



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년09월23일
(11) 등록번호 10-1310378
(24) 등록일자 2013년09월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)
(21) 출원번호 10-2008-0115179
(22) 출원일자 2008년11월19일
심사청구일자 2011년11월02일
(65) 공개번호 10-2010-0056147
(43) 공개일자 2010년05월27일
(56) 선행기술조사문헌
KR1020060130328 A*
KR1020020088859 A
JP2008122913 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장훈석
서울 중랑구 상봉동 신내13단지엘지아파트 1308동 1002호
손민식
서울특별시 강서구 수명로2길 108, 411동 705호 (내발산동, 마곡수명산파크)
(뒷면에 계속)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 7 항

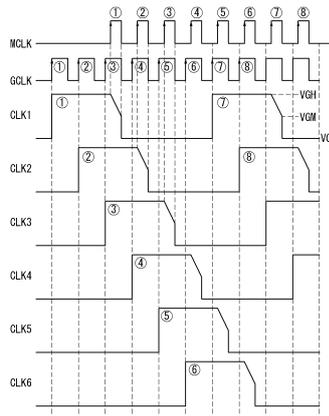
심사관 : 양성지

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 제1 클럭신호를 발생한 후에 제2 입력 클럭신호를 발생하는 클럭 발생부; 상기 제1 및 제2 입력 클럭신호를 쉬프트시키면서 게이트 하이전압, 상기 게이트 하이전압보다 낮은 변조 전압, 및 상기 변조 전압보다 낮은 게이트 로우전압으로 단계적으로 낮아지는 멀티 스텝으로 풀링에지의 전압이 낮아지는 클럭신호들을 발생하는 레벨 쉬프터; 및 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 상기 데이터 라인들과 상기 게이트라인들의 교차부에 형성된 TFT들, 및 상기 레벨 쉬프터로부터 입력되는 클럭신호들에 응답하여 상기 게이트 라인들에 순차적으로 게이트 펄스를 공급하는 게이트 쉬프트 레지스터를 포함한 액정표시패널을 구비한다.

대표도 - 도3



(72) 발명자

서승표

대구광역시 달서구 학산로 30, 보성1차아파트 103
동 1405호 (월성동)

허준오

경기도 수원시 장안구 송정로76번길 45, 712호 (정
자동, 기산아파트)

장승호

경상북도 구미시 형곡로39길 4, 602호 (형곡동, 대
원로알타운)

특허청구의 범위

청구항 1

제1 입력 클럭신호를 발생한 후에 상기 제1 입력 클럭신호로부터 소정 시간 지연된 제2 입력 클럭신호를 발생하는 클럭 발생부;

상기 제1 및 제2 입력 클럭신호를 쉬프트시키며, 상기 제1 입력 클럭신호에 동기되어 발생하는 게이트 하이전압, 상기 제2 입력 클럭신호에 동기되어 발생되며 상기 게이트 하이전압보다 낮은 변조 전압, 및 상기 제1 및 제2 입력 클럭신호에 동기되어 발생되며 상기 변조 전압보다 낮은 게이트 로우전압으로 단계적으로 낮아지는 멀티 스텝으로 폴링에지의 전압이 낮아지는 클럭신호들을 발생하는 레벨 쉬프터; 및

데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 상기 데이터 라인들과 상기 게이트라인들의 교차부에 형성된 TFT들, 및 상기 레벨 쉬프터로부터 입력되는 클럭신호들에 응답하여 상기 게이트 라인들에 순차적으로 게이트 펄스를 공급하는 게이트 쉬프트 레지스터를 포함한 액정표시패널을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 레벨 쉬프터는,

상기 제1 및 제2 입력 클럭신호를 쉬프트시키기 위한 쉬프트 레지스터; 및 상기 멀티 스텝으로 폴링에지의 전압이 낮아지는 상기 클럭신호들을 발생하는 변조 제어회로를 구비하며,

상기 게이트 하이전압은 상기 제1 입력 클럭신호의 라이징 에지에 동기되어 발생되고, 상기 변조 전압은 상기 제2 입력 클럭신호의 라이징 에지에 동기되어 발생되며, 상기 게이트 로우전압은 상기 제1 및 제2 입력 클럭신호의 폴링에지에 동기되어 발생하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 변조 제어회로는,

상기 게이트 하이전압이 공급되는 제1 트랜지스터;

상기 변조 전압이 공급되는 제2 트랜지스터;

상기 게이트 로우전압이 공급되는 제3 트랜지스터; 및

상기 쉬프트 레지스터로부터 입력되는 클럭신호들에 응답하여 상기 제1 내지 제3 트랜지스터를 순차적으로 턴-온시키는 로직부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

제1 트랜지스터는,

상기 로직부의 제어 하에 상기 쉬프트 레지스터를 경유하여 상기 로직부에 입력되는 상기 제1 입력 클럭신호의 라이징에지에 동기되도록 상기 게이트 하이전압을 출력단자로 출력하며, 상기 쉬프트 레지스터를 경유하여 상기 로직부에 입력되는 상기 제2 입력 클럭신호의 라이징에지 직전까지 상기 게이트 하이전압의 출력을 유지하고,

상기 제2 트랜지스터는,

상기 쉬프트 레지스터를 경유하여 상기 로직부에 입력되는 상기 제2 입력 클럭신호의 라이징에지에 동기하여 상기 변조 전압을 상기 출력단자로 출력하며, 상기 제2 입력 클럭신호의 폴링에지까지 상기 변조 전압의 출력을 유지하며,

상기 제3 트랜지스터는,

상기 로직부의 제어 하에 상기 쉬프트 레지스터를 경유하여 상기 로직부에 입력되는 상기 제1 및 제2 입력 클럭 신호의 폴링에지에 동기하여 상기 게이트 로우전압을 상기 출력단자로 출력하며, 다음 제1 입력 클럭신호가 입력될 때까지 상기 게이트 로우전압의 출력을 유지하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

제1 트랜지스터는,

상기 로직부의 제1 출력단자에 접속되는 게이트 전극;

상기 게이트 하이전압을 발생하는 제1 전압원에 접속되는 소스 전극; 및

상기 변조 제어회로의 출력단자에 접속되는 드레인 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제2 트랜지스터는,

상기 쉬프트 레지스터의 제1 입력 클럭신호 출력단자에 접속된 게이트 전극;

상기 변조 전압을 발생하는 제2 전압원에 접속되는 소스 전극; 및

상기 변조 제어회로의 출력단자에 접속되는 드레인 전극을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제3 트랜지스터는,

상기 로직부의 제2 출력단자에 접속되는 게이트 전극;

상기 게이트 로우 전압을 발생하는 제3 전압원에 접속되는 소스 전극; 및 상기 변조 제어회로의 출력단자에 접속된 드레인 전극을 구비하는 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 최소한의 클럭으로 게이트 펄스를 변조할 수 있는 액정표시장치에 관한 것이다.

배경기술

[0002] 음극선관(Cathode Ray Tube, CRT)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 전계발광소자(Electroluminescence Device, EL) 등이 있다.

[0003] 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 표시장치 등으로 이용되고 있다. 액정표시장치는 액정셀들에 인가되는 전계를 제어하여 백라이트 유닛으로부터 입사되는 빛을 변조함으로써 화상을 표시한다.

[0004] 액티브 매트릭스 타입의 액정표시장치에서 액정셀에 충전되는 전압은 TFT(Thin Film Transistor)의 기생용량으

로 인하여 발생하는 킥백전압(Kickback Voltage)(또는 Feed Through Voltage, ΔV_p)에 영향을 받는다. 킥백전압(ΔV_p)은 수학적 식 1과 같다.

수학적 식 1

$$\Delta V_p = \frac{C_{gd}}{C_{lc} + C_{st} + C_{gd}} (V_{on} - V_{off})$$

[0005]

[0006]

여기서, 'Cgd'는 게이트라인에 접속된 TFT의 게이트단자와 액정셀의 화소전극에 접속된 TFT의 드레인단자 사이에 형성되는 기생용량이고, 'Von-Voff'는 게이트라인에 공급되는 게이트펄스의 게이트하이전압과 게이트로우전압의 차전압이다.

[0007]

이러한 킥백전압으로 인하여 액정셀의 화소전극에 인가되는 전압이 변동되어 표시화상에서 플리커와 잔상이 나타난다.

발명의 내용

해결 하고자하는 과제

[0008]

따라서, 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 최소한의 클럭으로 게이트 펄스를 변조하고, 플리커와 잔상을 줄이도록 한 액정표시장치를 제공하는 데 있다.

과제 해결수단

[0009]

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 제1 클럭신호를 발생한 후에 제2 입력 클럭신호를 발생하는 클럭 발생부; 상기 제1 및 제2 입력 클럭신호를 쉬프트시키면서 게이트 하이전압, 상기 게이트 하이전압보다 낮은 변조 전압, 및 상기 변조 전압보다 낮은 게이트 로우전압으로 단계적으로 낮아지는 멀티 스텝으로 폴링에지의 전압이 낮아지는 클럭신호들을 발생하는 레벨 쉬프터; 및 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 상기 데이터 라인들과 상기 게이트라인들의 교차부에 형성된 TFT들, 및 상기 레벨 쉬프터로부터 입력되는 클럭신호들에 응답하여 상기 게이트 라인들에 순차적으로 게이트 펄스를 공급하는 게이트 쉬프트 레지스터를 포함한 액정표시패널을 구비한다.

효과

[0010]

본 발명의 실시예에 따른 액정표시장치는 두 개의 입력 클럭신호만으로 폴링에지가 멀티스텝으로 떨어지는 출력 클럭신호를 생성하고, 그 출력 클럭신호를 액정표시패널에 형성된 게이트 쉬프트 레지스터에 공급하여 게이트라인들에 공급되는 게이트 펄스의 폴링에지를 멀티스텝으로 제어할 수 있다. 그 결과, 본 발명의 실시예에 따른 액정표시장치는 액정표시장치의 플리커와 잔상을 줄여 표시품질을 높일 수 있을 뿐 아니라 게이트 쉬프트 레지스터에 공급되는 클럭신호를 발생하는 회로와 클럭신호를 최소화할 수 있다.

발명의 실시를 위한 구체적인 내용

[0011]

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.

[0012]

이하, 도 1 내지 도 3을 참조하여 본 발명의 바람직한 실시예에 대하여 상세히 설명하기로 한다.

[0013]

도 1를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10), 콘트롤 보드(11) 및 다수의 소스 드라이브 IC들(12) 등을 구비한다. 도 2에서 액정표시패널에 빛을 조사하는 백라이트 유닛과 그 구동회로는 생략되었다.

- [0014] 액정표시패널(10)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(10)의 액정셀들은 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배치된다.
- [0015] 액정표시패널(10)의 하부 유리기관에는 데이터라인들, 데이터라인들과 교차되는 게이트라인들, 데이터라인들과 게이트라인들의 교차부마다 형성된 TFT들, TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동되는 액정셀들(Clc), 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이가 형성된다. 또한, 액정표시패널(10)의 하부 유리기관에는 화소 어레이의 게이트라인들에 접속되는 게이트 쉬프트 레지스터(13)가 형성된다.
- [0016] 게이트 쉬프트 레지스터(13)는 화소 어레이의 제조공정시에 화소 어레이와 함께 하부 유리기관 상에 형성된다. 게이트 쉬프트 레지스터(13)는 콘트롤 보드(11)로부터의 게이트 스타트펄스를 변조된 클럭펄스(CLK1-CLK6)에 따라 쉬프트시켜 게이트라인들에 변조된 게이트 펄스를 순차적으로 공급한다.
- [0017] 액정표시패널(10)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 계면에 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0018] 콘트롤 보드(11)는 타이밍 콘트롤러와 레벨 쉬프터를 포함한다. 타이밍 콘트롤러는 디지털 비디오 데이터(RGB)를 정렬하여 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러는 소스 구동 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호를 발생한다. 타이밍 콘트롤러는 레벨 쉬프터를 제어하기 위한 제1 및 제2 클럭신호(MCLK, GCLK)와, 게이트 쉬프트 레지스터(13)에 입력될 게이트 스타트 펄스를 발생하는 클럭 발생회로를 포함한다. 레벨 쉬프터는 타이밍 콘트롤러로부터의 제1 및 제2 클럭신호(MCLK, GCLK)에 응답하여 폴링 에지에서 멀티스텝으로 전압이 낮아지는 클럭신호들(CLK1-CLK6)을 순차적으로 발생한다. 클럭신호들(CLK1-CLK6)은 액정표시패널(10)의 하부 유리기관에 형성된 게이트 쉬프트 레지스터(13)에 공급된다. 이러한 레벨 쉬프터에 대하여는 도 2 및 도 3을 결부하여 상세히 설명하기로 한다.
- [0019] 소스 드라이브 IC들(12)은 타이밍 콘트롤러로부터 디지털 비디오 데이터들(RGB)을 수신한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 아날로그 데이터전압으로 변환한 후에 그 아날로그 데이터전압을 게이트 펄스에 동기되도록 액정표시패널(10)의 데이터라인들에 공급한다.
- [0020] 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(10)의 하부 유리기관 상에 게이트 쉬프트 레지스터를 형성하여 액정표시패널(10)에 접속되는 게이트 구동회로를 간소화한다. 또한, 본 발명의 실시예에 따른 액정표시장치는 킥백전압을 보상하여 플리커와 잔상을 줄일 수 있도록, 후술하는 바와 같이 2 개의 클럭신호만으로 게이트 쉬프트 레지스터(13)에 공급되는 게이트 펄스의 폴링에지 전압을 멀티스텝으로 변조함으로써 수학식 1에서 'Von-Voff'를 작게 한다.
- [0021] 도 2는 콘트롤 보드(11)의 레벨 쉬프터를 상세히 보여 주는 회로도이다. 도 3은 도 2에 도시된 레벨 쉬프터의 입/출력 파형을 보여 주는 파형도이다.
- [0022] 도 2 및 도 3을 참조하면, 레벨 쉬프터는 쉬프트 레지스터(21) 및 다수의 변조 제어회로(23)를 구비한다.
- [0023] 타이밍 콘트롤러는 제1 클럭신호(GCLK)를 발생한 후에, 그 제1 클럭신호(GCLK)로부터 소정시간 지연되는 제2 클럭신호(MCLK)를 발생한다. 제1 클럭신호(GCLK)의 라이징 타임은 레벨 쉬프터로부터 출력되는 클럭신호(CLK1-CLK6)의 라이징 타임과 실질적으로 동기되고, 제1 클럭신호(GCLK)의 폴링 타임은 제2 클럭신호(MCLK)의 폴링 타임과 실질적으로 동기된다. 제1 클럭신호(GCLK)의 펄스폭은 제2 클럭신호(MCLK)의 펄스폭보다 크게 설정된다. 제1 클럭신호(GCLK)의 주기는 제2 클럭신호(MCLK)의 주기와 실질적으로 동일하다.
- [0024] 쉬프트 레지스터(21)는 도 3과 같이 제1 및 제2 클럭신호(GCLK, MCLK)을 쉬프트시켜 제1 내지 제6 출력채널쌍들에 제1 및 제2 클럭신호(GCLK, MCLK)를 순차적으로 공급한다.
- [0025] 변조 제어회로(23 ①~⑥) 각각의 클럭 입력단자쌍은 쉬프트 레지스터(21)의 출력채널쌍과 1:1로 접속된다. 변조 제어회로(23)의 제1 클럭 입력단자에는 제1 클럭신호(GCLK ①~⑥)가 입력되고, 변조 제어회로(23)의 제2 클럭 입력단자에는 제2 클럭신호(MCLK ①~⑥)가 입력된다. 변조 제어회로(23) 각각은 제1 클럭신호(GCLK ①~⑥)의 라이징에지에 동기하여 게이트 쉬프트 레지스터(13)에 공급될 클럭신호(CLK1-CLK6)를 게이트 하이전압레벨

(VGH)로 발생한 후, 소정시간이 경과한 후에 제2 클럭신호(MCLK ①~⑥)가 입력되면 그 제2 클럭신호(MCLK ①~⑥)의 라이징에지에 동기하여 게이트 쉬프트 레지스터(13)에 공급될 클럭신호(CLK1~CLK6)의 전압을 변조 전압레벨(VGM)로 낮춘다. 변조 제어회로(23 ①~⑥)는 제1 및 제2 클럭신호(GCLK ①~⑥, MCLK ①~⑥)의 폴링에지에 동기하여 게이트 쉬프트 레지스터(13)에 공급될 클럭신호(CLK1~CLK6)의 전압레벨을 게이트 로우전압레벨(VGL)로 낮춘다. 따라서, 변조 제어회로들(23 ①~⑥)은 쉬프트 레지스터(21)로부터 순차적으로 입력되는 제1 및 제2 클럭신호(GCLK ①~⑥, MCLK ①~⑥)에 응답하여 게이트 쉬프트 레지스터(13)에 공급될 클럭신호(CLK1~CLK6)를 발생하고 그 클럭신호(CLK1~CLK6)의 폴링에지 전압을 게이트 하이전압레벨(VGH), 변조 전압레벨(VHM) 및 게이트 로우전압레벨(VGL)로 점진적으로 낮춘다.

[0026] 게이트 하이전압(VGL)은 액정표시패널(10)의 화소 어레이에 형성된 TFT들의 문턱 전압 이상의 전압이며, 게이트 로우전압레벨(VGL)은 액정표시패널(10)의 화소 어레이에 형성된 TFT들의 문턱 전압 미만의 전압레벨이다. 변조 전압(VGM)은 게이트 하이전압(VGH)과 게이트 로우전압(VGL) 사이의 전압이다.

[0027] 변조 제어회로들(23 ①~⑥) 각각은 로직부(22), 제1 내지 제3 트랜지스터(T1~T3) 등을 구비한다. 제1 및 제2 트랜지스터(T1, T2)는 n 타입 MOS TFT(Metal Oxide Semiconductor TFT)로 구현되고, 제3 트랜지스터(T3)는 p 타입 MOS TFT로 구현된다.

[0028] 로직부(22)는 D-플립플롭과 같은 지연소자와, 제1 및 제2 클럭신호(GCLK, MCLK)을 논리 연산하는 로직 게이트 소자들을 이용하여 제1 클럭신호(GCLK ①~⑥)의 라이징 에지에서 제1 트랜지스터(T1)를 턴-온시킨 후, 제2 클럭신호(MCLK ①~⑥)의 라이징 에지에서 제2 트랜지스터(T2)를 턴-온시킨다. 이어서, 로직부(22)는 제2 클럭신호(MCLK ①~⑥)의 폴링 에지에서 제3 트랜지스터(T3)를 턴-온시킨다.

[0029] 제1 TFT(T1)는 로직부(22)의 제어 하에 제1 클럭신호(GCLK ①~⑥)의 라이징에지에 동기하여 게이트 하이전압(VGH)을 출력단자로 출력하며, 제2 클럭신호(MCLK ①~⑥)의 라이징에지 직전까지 게이트 하이전압(VGH)의 출력을 유지한다. 이를 위하여, 제1 TFT(T1)의 게이트전극은 로직부(22)로부터 하이논리전압의 제어펄스가 출력되는 로직부(22)의 제1 출력단자에 접속된다. 제1 TFT(T1)의 소스전극은 게이트 하이전압원(VGH)에 접속되고, 제1 TFT(T1)의 드레인전극은 변조 제어회로(23 ①~⑥)의 출력단자에 접속된다.

[0030] 제2 TFT(T2)는 제2 클럭신호(MCLK ①~⑥)의 라이징에지에 동기하여 변조 전압(VGM)을 출력단자로 출력하며, 제2 클럭신호(MCLK ①~⑥)의 폴링에지까지 변조 전압(VGM)의 출력을 유지한다. 이를 위하여, 제2 TFT(T2)의 게이트 전극은 쉬프트 레지스터(21)의 제1 클럭신호(MCLK ①~⑥) 출력단자에 접속된다. 제2 TFT(T2)의 소스전극은 변조 전압원(VGM)에 접속되고, 제2 TFT(T2)의 드레인전극은 변조 제어회로(23 ①~⑥)의 출력단자에 접속된다.

[0031] 제3 TFT(T3)는 로직부(22)의 제어 하에 제1 및 제2 클럭신호(GCLK ①~⑥, MCLK ①~⑥)의 폴링에지에 동기하여 게이트 로우전압(VGL)을 출력단자로 출력하며, 다음 제1 클럭신호(GCLK ①~⑥)가 입력될 때까지 게이트 로우전압(VGL)의 출력을 유지한다. 이를 위하여, 제3 TFT(T2)의 게이트전극은 로직부(22)로부터 로우논리전압의 제어 펄스가 출력되는 로직부(22)의 제2 출력단자에 접속된다. 제3 TFT(T3)의 소스전극은 게이트 로우 전압원(VGL)에 접속되고, 제3 TFT(T3)의 드레인전극은 변조 제어회로(23 ①~⑥)의 출력단자에 접속된다.

[0032] 제1 변조 제어회로(23 ①)는 제1 클럭신호(GCLK)에서 $6k(k$ 는 양의 정수) $+1$ 번째 발생하는 클럭(GCLK ①, GCLK ⑦)의 라이징 에지에 동기하여 게이트 하이전압(VGH)의 출력신호(CLK1)를 발생한 후, 제2 클럭신호(MCLK)에서 $6k+1$ 번째 발생하는 클럭(MCLK ①, MCLK ⑦)의 라이징에지에서 출력신호(CLK1)의 전압을 변조 전압(VGM)으로 낮춘다. 그리고 제1 변조 제어회로(23 ①)는 제2 클럭신호(MCLK)에서 $6k+1$ 번째 발생하는 클럭(MCLK ①, MCLK ⑦)의 폴링에지에 동기하여 출력신호(CLK1)의 전압을 게이트 로우전압(VGL)로 낮춘다.

[0033] 제2 변조 제어회로(23 ②)는 제1 클럭신호(GCLK)에서 $6k+2$ 번째 발생하는 클럭(GCLK ②, GCLK ⑧)의 라이징 에지에 동기하여 게이트 하이전압레벨(VGH)의 출력신호(CLK2)를 발생한 후, 제2 클럭신호(MCLK)에서 $6k+2$ 번째 발생하는 클럭(MCLK ②, MCLK ⑧)의 라이징에지에서 출력신호(CLK2)의 전압레벨을 변조 전압(VGM)으로 낮춘다. 그리고 제2 변조 제어회로(23 ②)는 제2 클럭신호(MCLK)에서 $6k+2$ 번째 발생하는 클럭(MCLK ②, MCLK ⑧)의 폴링에지에 동기하여 출력신호(CLK2)의 전압을 게이트 로우전압레벨(VGL)로 낮춘다. 제2 변조 제어회로(23 ②)는 쉬프트 레지스터(21)로부 입력되는 클럭신호들(GCLK ②, MCLK ②)이 제1 변조 제어회로(23 ①)에 입력되는 클럭신호들(GCLK ①, MCLK ①)보다 늦기 때문에 제1 변조 제어회로(23 ①)의 출력신호(CLK1)보다 늦은 출력신호(CLK2)를 발생한다. 제2 변조 제어회로(23 ②)의 출력신호(CLK2)는 제1 변조 제어회로(23 ①)의 출력신호(CLK1)와 일부 중첩된다.

[0034] 제3 변조 제어회로(23 ③)는 제1 클럭신호(GCLK)에서 $6k+3$ 번째 발생하는 클럭(GCLK ③, GCLK ⑨)의 라이징 에

지에 동기하여 게이트 하이전압(VGH)의 출력신호(CLK3)를 발생한 후, 제2 클럭신호(MCLK)에서 6k+3 번째 발생되는 클럭(MCLK ③, MCLK ⑨)의 라이징에지에서 출력신호(CLK3)의 전압을 변조 전압레벨(VGL)로 낮춘다. 그리고 제3 변조 제어회로(23 ③)는 제2 클럭신호(MCLK)에서 6k+3 번째 발생되는 클럭(MCLK ③, MCLK ⑨)의 폴링에지에서 동기하여 출력신호(CLK3)의 전압을 게이트 로우전압(VGL)으로 낮춘다. 제3 변조 제어회로(23 ③)는 쉬프트 레지스터(21)로부터 입력되는 클럭신호들(GCLK ③, MCLK ③)이 제2 변조 제어회로(23 ②)에 입력되는 클럭신호들(GCLK ②, MCLK ②)보다 늦기 때문에 제2 변조 제어회로(23 ②)의 출력신호(CLK2)보다 늦은 출력신호(CLK3)를 발생한다. 제3 변조 제어회로(23 ③)의 출력신호(CLK3)는 제2 변조 제어회로(23 ②)의 출력신호(CLK2)와 일부 중첩된다.

[0035] 제4 변조 제어회로(23 ④)는 제1 클럭신호(GCLK)에서 6k+4 번째 발생되는 클럭(GCLK ④, GCLK ⑩)의 라이징에지에 동기하여 게이트 하이전압(VGH)의 출력신호(CLK4)를 발생한 후, 제2 클럭신호(MCLK)에서 6k+4 번째 발생되는 클럭(MCLK ④, MCLK ⑩)의 라이징에지에서 출력신호(CLK4)의 전압을 변조 전압(VGM)으로 낮춘다. 그리고 제4 변조 제어회로(23 ④)는 제2 클럭신호(MCLK)에서 6k+4 번째 발생되는 클럭(MCLK ④, MCLK ⑩)의 폴링에지에서 동기하여 출력신호(CLK4)의 전압을 게이트 로우전압(VGL)으로 낮춘다. 제4 변조 제어회로(23 ④)는 쉬프트 레지스터(21)로부터 입력되는 클럭신호들(GCLK ④, MCLK ④)이 제3 변조 제어회로(23 ③)에 입력되는 클럭신호들(GCLK ③, MCLK ③)보다 늦기 때문에 제3 변조 제어회로(23 ③)의 출력신호(CLK3)보다 늦은 출력신호(CLK4)를 발생한다. 제4 변조 제어회로(23 ④)의 출력신호(CLK4)는 제3 변조 제어회로(23 ③)의 출력신호(CLK3)와 일부 중첩된다.

[0036] 제5 변조 제어회로(23 ⑤)는 제1 클럭신호(GCLK)에서 6k+5 번째 발생되는 클럭(GCLK ⑤, GCLK ⑪)의 라이징에지에 동기하여 게이트 하이전압(VGH)의 출력신호(CLK5)를 발생한 후, 제2 클럭신호(MCLK)에서 6k+5 번째 발생되는 클럭(MCLK ⑤, MCLK ⑪)의 라이징에지에서 출력신호(CLK5)의 전압을 변조 전압(VGM)으로 낮춘다. 그리고 제5 변조 제어회로(23 ⑤)는 제2 클럭신호(MCLK)에서 6k+5 번째 발생되는 클럭(MCLK ⑤, MCLK ⑪)의 폴링에지에서 동기하여 출력신호(CLK5)의 전압을 게이트 로우전압(VGL)로 낮춘다. 제5 변조 제어회로(23 ⑤)는 쉬프트 레지스터(21)로부터 입력되는 클럭신호들(GCLK ⑤, MCLK ⑤)이 제4 변조 제어회로(23 ④)에 입력되는 클럭신호들(GCLK ④, MCLK ④)보다 늦기 때문에 제4 변조 제어회로(23 ④)의 출력신호(CLK4)보다 늦은 출력신호(CLK5)를 발생한다. 제5 변조 제어회로(23 ⑤)의 출력신호(CLK5)는 제4 변조 제어회로(23 ④)의 출력신호(CLK4)와 일부 중첩된다.

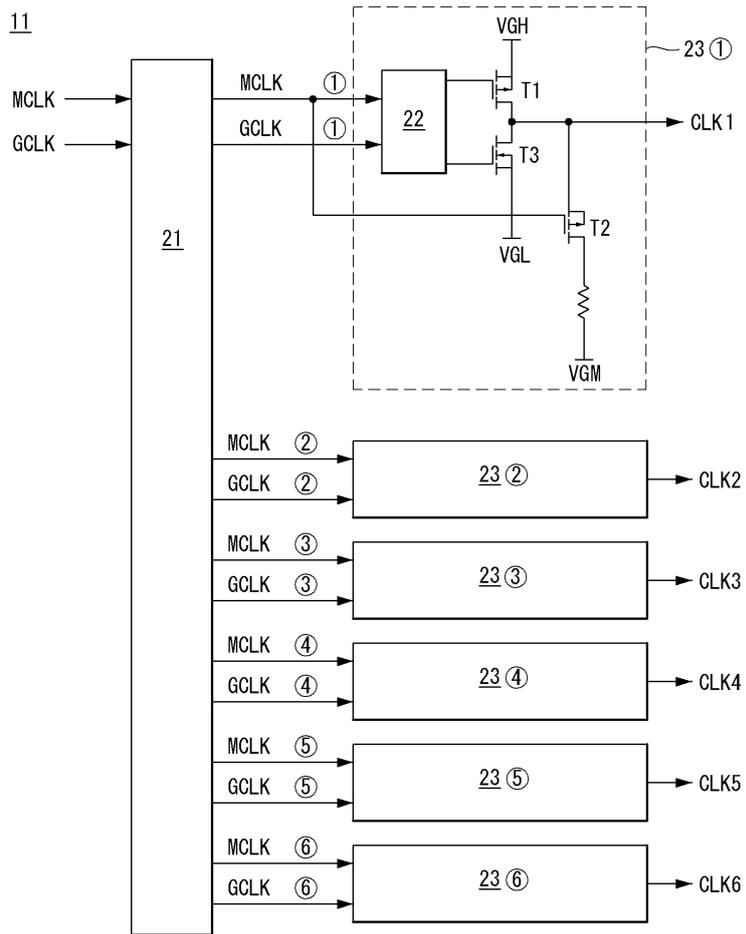
[0037] 제6 변조 제어회로(23 ⑥)는 제1 클럭신호(GCLK)에서 6k+6 번째 발생되는 클럭(GCLK ⑥, GCLK ⑫)의 라이징에지에 동기하여 게이트 하이전압(VGH)의 출력신호(CLK6)를 발생한 후, 제2 클럭신호(MCLK)에서 6k+6 번째 발생되는 클럭(MCLK ⑥, MCLK ⑫)의 라이징에지에서 출력신호(CLK6)의 전압을 변조 전압(VGM)으로 낮춘다. 그리고 제6 변조 제어회로(23 ⑥)는 제2 클럭신호(MCLK)에서 6k+6 번째 발생되는 클럭(MCLK ⑥, MCLK ⑫)의 폴링에지에서 동기하여 출력신호(CLK6)의 전압을 게이트 로우전압(VGL)로 낮춘다. 제6 변조 제어회로(23 ⑥)는 쉬프트 레지스터(21)로부터 입력되는 클럭신호들(GCLK ⑥, MCLK ⑥)이 제5 변조 제어회로(23 ⑤)에 입력되는 클럭신호들(GCLK ⑤, MCLK ⑤)보다 늦기 때문에 제5 변조 제어회로(23 ⑤)의 출력신호(CLK5)보다 늦은 출력신호(CLK6)를 발생한다. 제6 변조 제어회로(23 ⑥)의 출력신호(CLK6)는 제5 변조 제어회로(23 ⑤)의 출력신호(CLK5)와 일부 중첩된다.

[0038] 본 발명의 실시예에 따른 액정표시장치는 제1 및 제2 클럭신호들(GCLK ①~⑥, MCLK ①~⑥)의 시간차를 조정하여 게이트 쉬프트 레지스터(13)에 입력되는 클럭신호들(CLK1-CLK6)의 펄스폭을 조정할 수 있다. 또한, 본 발명의 실시예에 따른 액정표시장치는 제2 클럭신호들(GCLK ①~⑥, MCLK ①~⑥)의 펄스폭 및 듀티비를 조정하여 게이트 쉬프트 레지스터(13)에 입력되는 클럭신호들(CLK1-CLK6)의 폴링에지에서 변조 전압(VGM)의 지속시간을 조정할 수 있다.

[0039] 게이트 쉬프트 레지스터(13)는 레벨 쉬프트로부터 도 3과 같은 파형으로 공급되는 클럭신호들(CLK1-CLK6)에 응답하여 게이트 스타트 펄스를 쉬프트시켜 화소 어레이의 게이트라인들에 공급되는 게이트 펄스의 폴링에지를 VGH, VGM 및 VGL의 멀티 스텝으로 제어할 수 있다.

[0040] 상술한 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 두 개의 입력 클럭신호(GCLK ①~⑥, MCLK ①~⑥)만으로 폴링에지가 멀티스텝으로 떨어지는 출력 클럭신호(CLK1-CLK6)를 생성하고, 그 출력 클럭신호(CLK1-CLK6)를 액정표시패널(10)에 형성된 게이트 쉬프트 레지스터(13)에 공급하여 게이트라인들에 공급되는 게이트 펄스의 폴링에지를 멀티스텝으로 제어할 수 있다. 그 결과, 본 발명의 실시예에 따른 액정표시장치는 액정표시장치의 플리커와 잔상을 줄여 표시품질을 높일 수 있을 뿐 아니라 게이트 쉬프트 레지스터(13)에 공급되는 클럭신호를 받

도면2



도면3

