

A1

**DEMANDE  
DE BREVET D'INVENTION**

⑲

**N° 81 12474**

---

⑤4 Amplificateur différentiel à faible puissance.

⑤1 Classification internationale (Int. Cl.<sup>3</sup>). H 03 F 3/45; H 04 B 12/00.

②2 Date de dépôt..... 25 juin 1981.

③③ ③② ③① Priorité revendiquée : *EUA, 25 juin 1980, n° 252.972.*

④1 Date de la mise à la disposition du  
public de la demande..... B.O.P.I. — « Listes » n° 53 du 31-12-1981.

---

⑦1 Déposant : Société dite : MOSTEK CORPORATION, résidant aux EUA.

⑦2 Invention de : Young Ian Alexander.

⑦3 Titulaire : *Idem* ⑦1

⑦4 Mandataire : Cabinet Lavoix,  
2, place d'Estienne-d'Orves, 75441 Paris Cedex 09.

La présente invention se rapporte au domaine des amplificateurs en circuits intégrés et concerne plus particulièrement un amplificateur différentiel MOS (métal-oxyde-semi-conducteur) à canal N de faible puissance, constitué  
5 par deux transistors à effet de champ MOS d'entrée à transconductance, connectés à des entrées positive et négative, avec une seule ligne de source commune qui est placée dans un circuit de réaction dans le but d'amplifier la différence entre un signal d'entrée appliqué aux bornes d'entrée, et  
10 pour la réjection de signaux d'entrée en mode commun.

Les récents développements des techniques de filtrage à condensateurs commutés ont fait apparaître le besoin d'un amplificateur différentiel à faible puissance qui peut être utilisé pour réaliser des filtres de précision en technologie MOS monolithique sans imposer de réglage et avec un  
15 gain et une réponse en fréquence pratiquement stables malgré des variations accidentelles de production dans le traitement des lots individuels de circuits intégrés de conceptions identiques.

Une faible consommation d'énergie est extrêmement importante dans les filtres des systèmes à modulation par impulsions codées car les systèmes de commutation téléphoniques doivent fonctionner sur des batteries de secours. Etant donné que de nombreux amplificateurs différentiels  
25 sont nécessaires dans chaque filtre de modulation par impulsions codées, une faible consommation d'énergie et une insensibilité aux variations de traitement sont importantes. Autrement dit, le gain maximal doit être obtenu avec un nombre minimal de transistors sans sacrifier la stabilité  
30 ou la rejection en mode commun.

Deux problèmes importants posés par la conception des amplificateurs différentiels sont la conversion différentielle-unipolaire sans perte de gain et avec une forte réjection en mode commun. En ce qui concerne la conversion

différentielle-unipolaire il est nécessaire de convertir un amplificateur différentiel normal à deux entrées et deux sorties en un amplificateur à deux entrées et une seule sortie sans perdre pour autant la moitié du gain de l'amplificateur. En ce qui concerne la rejection en mode commun, il est souhaitable d'obtenir une tension de sortie nulle lorsque les deux entrées varient de la même manière dans la même polarité et en même temps.

Des amplificateurs opérationnels sont très fréquemment utilisés comme des blocs élémentaires d'autres systèmes électroniques. Ils sont utilisés principalement avec une réaction extérieure pour remplir des fonctions telles que d'obtenir un bloc de gain stable, l'intégration et le filtrage. L'amplificateur opérationnel idéal est une source de tension commandée par tension avec deux bornes d'entrée et une seule borne de sortie. Dans le cas idéal, un amplificateur opérationnel possède un gain élevé, une tension de sortie nulle quand la différence entre les tensions d'entrée est nulle, un courant d'entrée nul, une résistance de sortie nulle pour augmenter le gain au maximum, aucune dépendance de la fréquence, aucune dépendance de la température, aucune distorsion, aucune dépendance du traitement et une faible consommation.

En général, un amplificateur opérationnel comporte un amplificateur différentiel d'entrée comprenant un circuit de conversion différentiel-unipolaire afin de permettre que le signal de sortie soit prélevé à une seule borne de sortie, avec une boucle de réaction en mode commun pour accroître la réjection en mode commun. Après l'amplificateur différentiel d'entrée, un étage de décalage de niveau est utilisé pour décaler la composante continue du signal de sortie vers zéro par rapport à une masse analogique, afin que la tension de sortie soit presque nulle pour une tension d'entrée nulle. Enfin, un étage de sortie à faible gain est utilisé pour abaisser la résistance de sortie de

l'amplificateur opérationnel et pour accroître la possibilité d'attaque en courant car les étages d'entrée et de gain peuvent rarement fournir le courant de sortie nécessaire et présente généralement des impédances de sortie élevées.

5 Une manière d'effectuer la conversion différentielle-unipolaire consiste simplement à prélever le signal de sortie d'un seul des deux points de sortie de l'amplificateur différentiel. Les inconvénients de ce procédé sont que le gain n'est que la moitié de celui qui serait obtenu si  
10 une sortie différentielle était utilisée, et que le signal de sortie contient non seulement une composante différentielle mais aussi une composante de mode commun.

L'invention concerne donc un amplificateur différentiel qui utilise des circuits simples compatibles avec  
15 le traitement des transistors à effet de champ MOS à canal N pour obtenir un gain et une réponse en fréquence supportant les variations de température et de traitement, et qui peut attaquer convenablement la plupart des types communs de charge, de façon stable, avec une faible consommation en  
20 courant et une réjection élevée en mode commun. Un circuit de réaction simple et à large bande remplit simultanément les fonctions de conversion différentielle -unipolaire et d'augmentation de la réjection en mode commun.

D'autres caractéristiques et avantages de l'invention  
25 apparaîtront au cours de la description qui va suivre :

Aux dessins annexés, donnés uniquement à titre d'exemples nullement limitatifs :

La figure 1 est un schéma d'un amplificateur opérationnel sans l'étage de sortie et utilisé lorsque l'impédance de la charge est connue et lorsqu'une grande capacité  
30 d'attaque en courant n'est pas importante,

La figure 2 est un schéma d'un amplificateur opérationnel avec un étage de sortie,

La figure 3 est un schéma d'un amplificateur opérationnel avec un étage de sortie modifié pour les cas où

de forts courants d'attaque doivent être fournis, et avec plusieurs dispositifs de commutation de réduction de consommation.

5 La figure 1 représente donc un amplificateur différentiel à transistors à effet de champ MOS comprenant des transistors à effet de champ MOS 10 et 12, des transistors à effet de champ MOS 24 et 26 d'impédance de charge et un transistor à effet de champ 38 de source de courant, comprenant chacun une grille, un drain et une source.

10 La grille du transistor 10 est connectée à une borne d'entrée 14 et son drain est connecté à une première borne de sortie 16. La source du transistor 10 est connectée à un point de réaction 18. Le transistor 10 remplit la première de deux fonctions de transductance dans l'amplificateur  
15 différentiel. Le courant dans ce transistor est forcé de rester pratiquement constant pour les signaux d'entrée différentiels et en mode commun sous l'effet d'un dispositif qui fournit une réaction et qui sera décrit plus en détail ci-après.

20 La grille du transistor 12 est connectée à la seconde borne d'entrée 20 et son drain est connecté à la seconde borne de sortie 22. Sa source est connectée au point de réaction 18. Le transistor 12 remplit la seconde fonction de transductance de l'amplificateur différentiel, c'est  
25 -à-dire qu'il tend à changer son courant drain-source en changeant la tension grille-source.

Des charges de haute impédance sont constituées par les transistors MOS 24 et 26. Leurs drains sont connectés à une première source de tension 28 qui, dans la technologie des circuits intégrés à canal N est généralement une  
30 tension  $V_{CC}$  positive de cinq volts.

Les sources sont connectées respectivement aux première et seconde bornes de sortie 16 et 22. Ces transistors peuvent être du type enrichi avec leurs grilles connectées à leurs sources ou leurs grilles peuvent être connectées

à un signal d'horloge d'une caractéristique prédéterminée choisie de manière à établir l'impédance correcte pendant le fonctionnement actif, mais un courant nul dans l'état de faible alimentation. Mais dans le présent mode de réalisation, ce sont les transistors du type appauvri avec les grilles connectées aux sources. La géométrie de ces deux transistors MOS est choisie de manière à établir le bon point de fonctionnement pour les transistors d'entrée 10 et 12. Des composants du type appauvri sont choisis car ils peuvent présenter une plus haute impédance et par conséquent, un gain plus élevé et une plus faible dissipation d'énergie en raison du plus faible courant à l'état de repos, comme cela est expliqué plus en détail aux pages 267 et 268 du texte MOS/LSI Design and Application de W.N. Carr et Jack P. Mize, McGraw-Hill Book Company (1972).

Le circuit qui assure la réaction de l'amplificateur différentiel pour obtenir la conversion différentielle-unipolaire et pour augmenter la rejection en mode commun comporte des transistors à effet de champ MOS 30, 32, 34, 36 et 38. La grille du transistor 30 est connectée à la première borne de sortie 16 et son drain est connecté à la première source de tension 28,  $V_{CC}$ . Sa source 16 est connectée au drain du transistor 32 et à la grille du transistor 34. Le transistor 30 produit un signal de réaction à sa source, proportionnel au signal à la première borne de sortie 16 et de même polarité. Ce résultat est obtenu en coopération avec les autres éléments du circuit de réaction, comme cela sera décrit plus en détail par la suite.

Le transistor 32 remplit la fonction d'une source de courant qui délivre un courant pratiquement constant. Sa grille est connectée à la grille du transistor 36, et ses deux grilles sont connectées au circuit qui fournit une tension constante d'attaque de grille comme cela sera décrit plus en détail par la suite. La source du transistor 36 est connectée à une seconde source de tension 44,  $V_{BB}$ ,

qui dans la technologie MOS à canal N est le tension de polarisation de substrat de l'ordre de 5 volts négatifs. Dans d'autres modes de réalisation, le transistor 32 peut être remplacé par un composant de très haute impédance et dans le cas idéal, d'une impédance infinie connectée à une source de tension négative très élevée. Dans le présent mode de réalisation, il s'agit d'un transistor à effet de champ MOS d'impédance de sortie finie apparaissant au drain et avec un courant constant entre le drain et la source grâce à la tension grille-source constante.

Les caractéristiques de courant de drain des transistors à effet de champ MOS en fonction des tensions drain-source et grille-source sont décrites quantitativement et qualitativement et expliquées au chapitre 1 de "MOS Device Physics" de Carr et Mize, pages 1 à 56. En particulier, la caractéristique de courant de drain d'un composant du type enrichi fonctionnant dans la région linéaire ou triode est, comme le donne la formule de cet ouvrage 1-104, page 44 :

$$(1) \quad I_D = K \left[ (V_G - V_T) V_D - \frac{V_D^2}{2} \right]$$

et le courant de drain dans la région de saturation lorsqu'en valeur absolue  $V_D = V_G - V_T$  est donné par :

$$(2) \quad I_D = K \frac{(V_G - V_T)^2}{2}$$

où :

$I_D$  = courant drain-source ;

$K$  = constante directement proportionnelle à la mobilité des porteurs, la perméabilité de l'oxyde et la largeur de la région de canal, et inversement proportionnel à l'épaisseur de l'oxyde et à la longueur du canal ;

$V_G$  = tension grille-source ;

$V_T$  = tension seuil à laquelle le courant commence à circuler ;

$V_D$  = tension drain-source.

Il ressort de l'équation 2 qu'à la saturation, pour une tension grille-source constante, le courant de drain reste relativement constant en fonction de la tension source-drain car  $V_D$  n'apparaît pas dans la formule. Cela suppose  
5 que  $V_T$ , tension seuil, reste constante comme cela est normal si l'effet de corps est négligé. La tension seuil est généralement déterminée par la réalisation du composant et elle est constante sauf en ce qui concerne l'effet de polarisation  
10 inverse de grille résultant de changement de tension du substrat par rapport au canal conducteur. Une expression de  $V_T$  tenant compte de cet effet est donnée par l'équation 1-122 de l'ouvrage précité.

Ainsi, le courant de drain dans la région de saturation est constant pour une tension grille-source constante,  
15 même si la tension drain-source varie. Si l'on trace la tension drain-source en abscisse, le courant de drain est généralement représenté par un faisceau de lignes horizontales parallèles, l'une pour chaque valeur discrète de la  
20 tension grille-source, des valeurs de  $V_G$  plus élevées correspondant à un courant de drain plus élevé et constant. Une telle caractéristique horizontale de courant de drain représente une impédance de sortie infinie du transistor 32, ce qui n'est pas le cas pour les transistors à effet de  
25 champ MOS réels. Ils ont une résistance drain-source élevée, mais finie dans la région de saturation, provoquée par des effets secondaires. Il résulte de cette résistance de sortie finie, une faible pente de la caractéristique de drain du transistor 32.

30 Le premier signal de réaction à la source 46 du transistor 30 est provoqué par un courant pratiquement constant circulant dans le conducteur 46 sous l'effet du transistor 32. Etant donné qu'un courant pratiquement nul circule dans la grille du transistor 34, le courant de drain du transistor 30 est pratiquement égal à celui du transistor 32



et il est pratiquement constant. Les transistors 30 et 32 fonctionnent en charge de source avec la tension de sortie appliquée à la grille du transistor 34. Etant donné que le gain en tension d'un transistor à charge de source est voisin de l'unité, la tension à la grille du transistor 34 suit la tension à la première borne de sortie 16. Une analyse quantitative d'un amplificateur à charge de source est donnée dans l'article précité, chapitre 9.3.2 aux pages 282 et suivantes.

Autrement dit, et en tenant compte des équations 1 et 2, les caractéristiques physiques des transistors 30 et 32 sont choisies de manière qu'ils fonctionnent en charge de source, avec le transistor 30 à saturation et un courant pratiquement constant dans la ligne 46. Quand la tension à la première borne de sortie 16 tend à varier, la source 46 du transistor 30 doit suivre afin de maintenir une tension grille-source constante. La tension à la grille du transistor 34 est égale à une tension seuil plus une petite partie de tension de déblocage grille-source au-dessous de la tension à la première borne de sortie 16. Il se produit une poursuite constante entre la tension à la borne de sortie 16 et la tension à la grille du transistor 34, la tension à la grille de ce dernier étant toujours constante, au-dessous de la tension à la première borne de sortie 16.

De même que le transistor 32, le transistor 30 remplit la fonction d'une source de courant fournissant un courant pratiquement constant. Sa source est connectée à la seconde source de tension 44,  $V_{BB}$ . Son drain 42 est connecté à la source du transistor 34 dont le drain est connecté à la première borne de sortie 16. Le transistor 36 reçoit la même attaque de grille que le transistor 32 et sa géométrie est la même, et par conséquent son courant de drain est pratiquement le même que celui du transistor 32.

Le transistor 34 a pour fonction de fournir une tension -réaction de dérivation, c'est-à-dire un signal de

seconde réaction négative, à la première borne de sortie 16. Etant donné que le courant dans le transistor 34 est pratiquement constant et étant donné que sa tension de grille suit la tension à la première sortie 16, sa tension de source doit changer afin de suivre la tension à la source 46 du transistor 30. La tension de source doit changer pour maintenir constante la tension grille-source du transistor 34. Cette tension grille-source pratiquement constante au transistor 34 comprend la tension  $V_T$  du transistor 34 plus une partie de tension de déblocage qui établit le point de polarisation de repos.

En réalité, la tension grille-source du transistor 34 n'est pas tout à fait constante. Les transistors 34 et 36 fonctionnent dans le mode de saturation et une résistance élevée, mais finie, est présentée entre la source du transistor 34 et la seconde source de tension 44,  $V_{BB}$ . Quand la tension de grille commence à augmenter par rapport à la source, la transconductance du transistor 34 tend à augmenter le courant de drain. Le courant de drain accru passe par l'impédance de sortie très élevée du transistor 36, élevant ainsi la tension drain-source aux bornes du transistor 36. Cela élève la tension à la source 42 du transistor 34, mais pas tout à fait autant que la tension de grille. La tension grille-source légèrement augmentée et le courant de drain légèrement accru dans le transistor 34 font que la tension à la première borne de sortie 16 tend à diminuer vers son niveau initial, avant la variation des signaux d'entrée. Le résultat final est que la tension à la borne de sortie 16 reste pratiquement constante.

Le transistor 34 peut être considéré comme un amplificateur standard à transistor, avec une haute résistance de réaction entre sa source et la masse et une résistance de charge encore plus élevée entre son drain et la masse, par la première source d'alimentation 28,  $V_{CC}$ . Quand la

tension de grille augmente, mais pas tout à fait autant, augmentant ainsi le courant de drain dans la résistance de charge. Cela entraîne une chute de tension accrue aux bornes de la charge, et abaisse la tension de sortie du drain.

5 L'impédance de charge du transistor 34 est l'impédance fixe du transistor 24 en parallèle avec l'impédance de sortie du transistor 10. Le gain en tension du transistor 34 entre sa grille et son drain dépend de la transductance du transistor 34 et du rapport entre l'impédance de charge et  
10 l'impédance de source. La tension à la borne de sortie 16 est d'autant plus stable que le gain en tension du transistor 34 est plus élevé.

Le transistor 38 complète le circuit assurant la réaction. Sa grille est connectée à la source 42 du transistor 34 et sa source est connectée à la seconde source  
15 de tension 44,  $V_{BB}$ . Son drain est connecté au point de réaction 18. Le transistor 38 a pour fonction d'augmenter la réjection en mode commun de l'amplificateur différentiel et de compléter la conversion différentielle-unipolaire de  
20 l'amplificateur différentiel. Ce résultat est obtenu de la manière suivante.

Quand la tension à la source 42 du transistor 34 augmente et diminue, avec les tentatives de variation de la tension de sortie à la première borne de sortie 16, la  
25 tension grille-source du transistor 38 augmente et diminue. Il en résulte que le courant de drain du transistor 38 augmente et diminue et la tension au point de réaction 18 varie en proportion inverse. Autrement dit, lorsque la tension à la grille augmente, le courant de drain du transistor 38  
30 augmente et la chute de tension aux bornes de sa charge augmente, réduisant la tension à son drain, c'est-à-dire au point de réaction 18. Cela à l'effet suivant sur les signaux d'entrée en mode commun.

Quand les signaux aux bornes d'entrée 14 et 20 augmentent tous deux en mode commun par rapport à la secon-

de source de tension 44, la transconductance des transistors d'entrée 10 et 12 tente de convertir l'augmentation de tension aux grilles en un courant de drain accru sous l'effet de la résistance de sortie finie du transistor 38. L'augmentation de courant de drain tend à réduire les tensions aux première et seconde bornes de sortie 16 et 22. Mais le circuit de réaction corrige la tension à la borne de sortie 16 pour la ramener à sa valeur relativement constante.

La chute momentanée de tension à la première borne de sortie 16 est transmise à la source 42 du transistor 34, comme cela a déjà été expliqué. Cette chute de tension est appliquée à la grille du transistor 38 et tend à réduire son courant de drain. Il en résulte que la tension au point de réaction 18 augmente et réduit la tension grille-source aux transistors d'entrée, vers le niveau initial. Autrement dit, l'augmentation momentanée de la tension grille-source est ramenée à la source des transistors d'entrée 10 et 12 par le circuit de réaction, de sorte que la tension de source des transistors d'entrée augmente et que la tension grille-source reste constante. La tension grille-source constante se traduit par un courant de drain constant des transistors d'entrée 10 et 12 et en une tension constante aux première et seconde bornes de sortie 16 et 22. Par conséquent, des signaux d'entrée en mode commun n'entraînent aucun changement du signal de sortie de l'amplificateur différentiel à la seconde borne de sortie 22.

En ce qui concerne les signaux d'entrée en mode différentiel, l'effet du circuit produisant la réaction est que pratiquement tout le signal de sortie de l'amplificateur différentiel apparaît à la seconde borne de sortie 22, effectuant ainsi une conversion différentielle-unipolaire, pratiquement sans perte du signal de sortie.

Le mécanisme de cette conversion est le suivant. Il sera supposé que la tension à la borne d'entrée 14 commence à augmenter mais que la tension à la borne d'entrée

20 reste constante. Selon le mécanisme déjà expliqué, le courant dans le transistor d'entrée 10 est maintenu constant par l'augmentation de la tension de source au point de réaction 18. Mais cette même augmentation de la tension de source au point de réaction 18 a pour effet de réduire la tension grille-source du transistor d'entrée 12, tendant ainsi à réduire son courant de drain. Par conséquent, pratiquement toute la différence entre les tensions d'entrée des bornes 14 et 20 apparaît entre la grille et la source du transistor d'entrée 12. Cette tension différentielle d'entrée est convertie en une variation de courant de drain du transistor d'entrée 12 égale à la transductance de ce composant multiplié par la petite tension grille-source. Ce courant de drain réduit se retrouve à la seconde borne de sortie sous forme d'un courant d'un signal de sortie réduit. La tension à cette seconde borne de sortie est maintenue constante par un circuit de réaction dont la réalisation et le fonctionnement sont similaires à ceux du circuit qui assurent la réaction à la première borne de sortie. Etant donné que la tension à la seconde borne de sortie est maintenue constante, le courant dans l'impédance de charge 26 reste constant car le transistor 26 est un composant appauvri connecté pour représenter une impédance fixe. Etant donné que le courant qui circule à la seconde borne de sortie 22 par le transistor 26 est constant, mais que le courant circulant dans le transistor 12 diminue, le courant de sortie à la seconde borne de sortie 22 par le transistor 50 augmente.

Le circuit connecté à la seconde borne de sortie constitue un circuit de réaction pour maintenir constante la tension continue à la seconde borne de sortie, et un circuit de décalage de niveau continu pour une faible intensité du signal. La grille du transistor 48 est connectée à la seconde borne de sortie 22 et son drain est connecté à la première source de tension 28. Le drain du transistor 50 est connecté à la seconde borne de sortie 22 et sa grille 56

est connectée à la source du transistor 48. Le drain du transistor 52 est connecté à la source du transistor 48 et sa source est connectée à la seconde source de tension 44,  $V_{BB}$ . Le drain 58 du transistor 54 est connecté à la source du transistor 50. Le drain du transistor 54 constitue une troisième borne de sortie. La source du transistor 54 est connectée à la seconde source de tension 44,  $V_{BB}$ . La grille du transistor 54 est connectée à la grille du transistor 52 et les deux grilles sont connectées à une source de courant constant 60 de manière à recevoir la même attaque de grille que les transistors 32 et 36. Les géométries des transistors 52 et 54 sont identiques à celles des transistors 32 et 36 et les tensions d'attaque de grille de ces quatre transistors sont les mêmes. Ainsi, les transistors 32, 36, 52 et 54 sont identiques, avec des courants constants.

Le mécanisme destiné à maintenir la tension à la seconde entrée 22 pratiquement constante est le même que celui déjà expliqué. La composante continue du signal de sortie à la borne de sortie 22 est décalée vers le bas, en un niveau continu à la troisième borne de sortie 58, inférieure de la tension grille-source du transistor 48 et de la tension grille-source du transistor 50. Au repos, les tensions grille-source des transistors 48 et 50 sont pratiquement constantes et sont telles qu'elles décalent vers le bas le niveau continu jusqu'à un niveau voisin du niveau continu de la seconde source de tension 44.

Autrement dit, le transistor 48 produit un signal de réaction à sa source 56, proportionnel au signal à la seconde sortie 22 et de même polarité. Le transistor 50 délivre à sa source 58 un signal proportionnel au signal de la seconde sortie 22 et de même polarité mais dont le niveau continu est voisin de celui de la seconde source de tension 44. Des courants pratiquement constants circulent dans les drains des transistors 52 et 54.

La source de courant constant 60 délivre un courant constant aux drains des transistors 32, 36, 52 et 54

produisant ainsi une tension de grille pratiquement constante.

La source de courant 60 est constituée par des transistors 62, 64, 66 et 68. Le transistor 62 est un transistor à effet de champ MOS du type appauvri dont la géométrie est proportionnée par rapport aux transistors 24 et 26 de manière que le courant de drain du transistor 62 soit toujours proche de la moitié du courant qui circule dans les transistors 24 et 26. Plus particulièrement, le rapport entre la largeur et la longueur du canal du transistor 62 est la moitié de celui des transistors 24 et 26.

Le drain du transistor 62 est relié à la première source de tension 28 et sa grille est aussi reliée à cette source. Le drain du transistor 64 est relié à la première source de tension 28 et sa grille est connectée à la source du transistor 62. Le drain 66 du transistor 66 est connecté à la source du transistor 64 et à sa propre grille. Le circuit drain-grille du transistor 66 est également connecté aux grilles des transistors 32, 36, 52 et 54. La source du transistor 66 est reliée à la seconde source de tension 44,  $V_{BB}$ . Le drain 72 du transistor 68 est connecté à la source 72 du transistor 62 et sa grille est connectée à la grille du transistor 70. La source du transistor 68 est reliée à la seconde source de tension 44.

La source 60 de courant constant fonctionne de la manière suivante. Le transistor 62 est réalisé de manière à se comporter comme un miroir pour les variations de traitement et les variations de tension d'alimentation qui affectent le courant dans les transistors 24 et 26. Autrement dit, étant donné que le rapport entre la largeur et la longueur du transistor 62 est la moitié de celle des transistors 24 et 26, si des variations de traitement entre des lots de pastille font changer les tensions seuil des transistors 24 et 26, changeant ainsi les courants qui y circulent, les mêmes variations affectent dans les mêmes proportions le courant du transistor 62. Autrement dit, si les variations de tension d'alimentation ou de traitement entraînent une augmentation de 10% des courants dans

les transistors 24 et 26, les mêmes variations entraînent une augmentation de 10% du courant dans le transistor 62.

Le courant du transistor 62 est également le courant de drain du transistor 68, égal à la moitié du courant qui circule dans chacun des transistors 24 et 26. Les géométries des transistors 68 et 66 sont identiques et elles sont les mêmes que celles des transistors 32, 36, 52 et 54. Les attaques de grille des six transistors 68, 66, 32, 36, 52 et 54 sont établies par le transistor 64 qui forme une boucle de réaction avec les transistors 68 et 66 afin de stabiliser la tension au drain 72 du transistor 68 et au drain/grille 70 du transistor 66.

La tension au drain 72 du transistor 68 est établie habituellement par la tension drain-source du transistor 62, à savoir une tension établie par la réalisation du transistor 62 qui détermine sa résistance de sortie. Si des variations de traitement ou de tension d'alimentation tendent à provoquer une variation de tension au point 72, le courant de drain du transistor 64 change car sa grille est connectée au point 72. Le transistor 64 fonctionne en charge de source à transconductance, avec sa résistance de source égale à la résistance du transistor 66 du type enrichi avec sa grille connectée à son drain. Autrement dit, le transistor 66 présente un circuit de basse impédance à partir de la seconde source de tension 44 vers la source du transistor 64. Si les courants de drain des transistors 64 et 66 commencent à varier, la tension au point de drain 70 varie également et, étant donné que ce point est connecté à la grille du transistor 68, il change l'attaque de grille du transistor 68 entraînant une variation de son courant de drain. Quand le courant de drain du transistor 68 change, la tension au point 72 tend à changer dans un sens opposé à celui du changement initial qui a entraîné les variations.

Par exemple, si la tension au point 72 tend à augmenter, le transistor 64 produit un signal de réaction à son point de source 70, proportionnel à la tension



au point 72 et de même polarité. La tension croissante au point 70 entraîne une augmentation du courant de drain du transistor 68 et 62 tendant à ramener au niveau initial la tension au point de drain 72. Autrement dit, 5 le transistor 68 produit une contre-réaction suffisante sur la source du transistor 62 pour que le point 72 reste à une tension pratiquement constante, de sorte que le courant dans les transistors 62 et 68 reste constant. Il en résulte que la tension au point 70 et aux grilles des transistors 68, 66, 32, 52 et 54 reste pratiquement constante. 10 Etant donné que les six transistors sont de géométrie identique, avec des tensions identiques d'attaque de grille pratiquement constantes, les courants de drain de ces six transistors sont pratiquement constants.

15 Le dernier maillon du circuit de polarisation est le transistor à effet de champ MOS 38. Ce composant est réalisé de manière que son rapport entre la largeur et la longueur du canal soit le double de celui des transistors 24 et 26. En outre, les transistors 30 et 34 sont 20 réalisés de manière que la chute de niveau continu en fonctionnement au repos à partir du niveau continu de la première sortie 16 jusqu'au point de grille 42 du transistor 38 soit telle qu'au repos, la tension grille-source du transistor 38 soit la même que celle des transistors 32 25 et 34. Si le courant qui circule dans chacun des transistors 24 et 26 est  $2I$ , les courants de repos qui circulent dans les transistors 62, 64, 68, 66, 32, 36, 52, 54, 30, 34, 50 et 48 sont tous égaux à  $I$ . Etant donné que les courants de repos dans les transistors 34 et 50 sont égaux 30 à  $I$ , les courants qui circulent dans les transistors 10 et 12 doivent être égaux à  $I$  car un courant de  $2I$  circule dans les transistors 24 et 26 et un courant nul dans les grilles des transistors 30 et 48. Le courant de repos du transistor 38 est  $2I$ .

35 Le circuit qui amplifie le signal de sortie à la troisième borne de sortie 58, c'est-à-dire au point de drain du transistor 54, est le second étage de gain. Il est constitué par des transistors à effet de champ MOS

74 et 76. Le transistor 74 peut être un composant en mode enrichi avec sa grille connectée à son drain et à une première source de tension 28, ou un transistor du type enrichi ou appauvri avec sa grille connectée à une quatrième source de tension d'une caractéristique prédéterminée pour qu'il alimente une impédance de charge en fonctionnement actif et coupe tout courant dans un état de faible alimentation. Dans le présent mode de réalisation, le transistor 14 est du type appauvri avec sa grille connectée à sa source et son drain relié à la première source de tension 28. Le transistor 74 constitue l'impédance de charge du transistor 76 qui amplifie le signal à la troisième sortie 58 et qui l'applique à la quatrième sortie 78. Le drain du transistor 76 est connecté à la source du transistor 74 et à la quatrième sortie 78, et sa grille est connectée à la troisième sortie 58 tandis que sa source est connectée à sa seconde source de tension 44,  $V_{bb}$ .

Le condensateur 80 et un composant d'impédance 82 sont utilisés pour la compensation interne de l'amplificateur différentiel. Le condensateur 80 peut être un composant à pellicule mince ou un condensateur à jonction PN mais, dans le présent mode de réalisation, il s'agit d'un condensateur MOS avec une première borne connectée à la troisième sortie 58.

Le composant d'impédance 82 peut être une résistance en pellicule mince ou diffusée mais, dans le présent mode de réalisation, il s'agit d'un transistor à effet de champ MOS du type appauvri avec sa grille connectée à sa source pour qu'il se comporte comme une haute impédance. La source est connectée à l'autre borne du condensateur 80. Le drain du transistor 82 est connecté à la quatrième sortie 78. Le condensateur 80 et le transistor 82 fonctionnent ensemble pour transformer le second étage de gain en un intégrateur. La fonction du condensateur 80 est de séparer les pôles dans la fonction de transfert du second étage de gain afin que le premier pôle dominant produit par la capacité d'entrée du transistor 76 vue de la troisième sortie 58 soit abaissé en fréquence, de manière à

apparaître à environ 1 kHz. En même temps, le second pôle produit par la capacité répartie à la quatrième sortie 78 apparaît à une fréquence plus élevée que le point de gain unitaire, c'est-à-dire 2 MHz ou au-dessus.

5 Le but de cette technique de séparation des pôles est d'assurer la stabilité de l'amplificateur. Autrement dit, en déplaçant le second pôle au-delà du point de gain unitaire, une marge suffisante de phase est obtenue pour que le déphasage ne soit pas  $180^\circ$  au point de gain uni-  
10 taire, condition qui entraînerait l'oscillation de l'amplificateur.

La fonction du composant d'impédance sous la forme du transistor 82 est de déplacer le demi-plan nul qui résulte de la séparation des pôles dans le plan gauche  
15 afin d'annuler le second pôle dominant et assurer la stabilité. Son impédance est choisie de manière à situer exactement au-dessus du second pôle, de sorte que le zéro ne prolonge pas le point de gain unitaire en dehors de la région où apparaît un déphasage de  $180^\circ$ , pouvant  
20 entraîner une instabilité. Les procédés de compensation des amplificateurs sont bien connus, et une explication plus détaillée de ce sujet se trouve dans l'ouvrage de Gray et Meyer, Analysis and Design of Analog Integrated Circuits, Wiley & Sons, Inc. (1977), Library of Congress  
25 N° TK 7874.6688, particulièrement au chapitre 9.4.2, pages 512 et suivantes

Le second étage de gain constitué par les transistors 76, 74, 82 et le condensateur 80 intègre le  
courant de sortie de l'étage d'entrée différentielle  
30 après qu'il soit passé par le circuit de décalage de niveau constitué par les transistors 48, 50, 52 et 54. Dans le but de réduire au minimum le déphasage par le circuit de décalage de niveau, les transistors 48 et 50 sont agencés en une boucle de réaction dérivation-dérivation  
35 locale pour obtenir une faible impédance par l'étape de décalage de niveau.

Une pastille de filtre de modulation par impulsions codées doit pouvoir attaquer différentes sortes

de charge appliquées à l'extérieur par l'utilisateur. Ainsi, l'amplificateur opérationnel décrit un regard de la Figure 1 doit comporter une sorte ou une autre d'étage de sortie lorsqu'il est utilisé à la sortie d'un  
5 filtre d'émission ou de réception. Cet étage de sortie doit avoir une faible impédance de sortie et de très bonnes propriétés de source et de récepteur de courant bien qu'il ne doive pas consommer une énergie d'alimentation exagérée. L'étage de sortie doit pouvoir atta-  
10 quer les charges résistives minimales, par exemple de 3000 Ohms, avec une capacité maximale en dérivation tout en suivant fidèlement un signal de grande amplitude avec des crêtes à + ou - 3,2 Volts.

La Figure 2 montre l'étage de sortie couplée  
15 avec l'amplificateur opérationnel. Des transistors à effet de champ MOS 84 et 86 fournissent la possibilité de forte attaque en courant de l'étage de sortie en simulant des composants à canaux complémentaires à fonctionnement symétrique. Le drain du transistor 84 est con-  
20 necté à la première source de tension 28,  $v_{cc}$ . Sa grille est connectée à la quatrième sortie 78, c'est-à-dire au point de drain du transistor 76 et sa source est connectée à une cinquième sortie 88 qui constitue la sortie  
25 de l'amplificateur opérationnel. Cette sortie est également connectée à un dispositif qui constitue une impédance de charge du transistor 84 comme cela sera expliqué en détail par la suite. Le transistor 84 fonctionne en mode de charge de source, présentant une basse impédance de sortie à la cinquième sortie 88.

30 Le circuit qui présente une impédance de charge pour le transistor 84 est connecté entre la source de ce dernier et la seconde source de tension 44. Ce circuit doit fonctionner en formant une source de courant qui prélève une intensité croissante du courant à la  
35 charge extérieure connectée à la cinquième sortie pendant une moitié de la sinusoïde de sortie, mais une intensité décroissante pendant l'autre alternance. Autrement dit, quand le signal de sortie à la cinquième sortie

88 devient plus négatif à partir de 0 Volt pour des composants à canal N, la source de courant doit prélever à la charge un courant d'intensité croissante. Mais quand la tension de sortie augmente dans le sens positif à partir des niveaux faibles voisins de zéro, la source de courant doit réduire au minimum le courant vers la seconde source de tension 44 tout en servant d'impédance de charge du transistor 84 fonctionnant en charge de source.

Cet étage de sortie peut être réalisé de nombreuses manières différentes, y compris en utilisant les transistors complémentaires fonctionnant en classe B ou AB pour produire des courants de sortie d'une polarité ou l'autre. De plus, en utilisant une contre-réaction, l'impédance effective de sortie peut être réduite. Mais dans le présent mode de réalisation, des composants à canal N sont utilisés pour simuler un composant à canal P, simulant ainsi une paire de transistors de sortie complémentaires.

Dans le présent mode de réalisation, le circuit qui constitue la source de courant précitée comprend des transistors à effet de champ MOS 86, 90, 92 et 94. Le transistor 90 est un composant du type appauvri dans le présent mode de réalisation et son drain est connecté à la première source de tension 28, et sa grille à la grille 58 du transistor 76. Le transistor 96 présente un circuit d'alimentation directe depuis la troisième sortie vers la source du transistor 90 pour réduire au minimum le déphasage dans le second étage de drain, les transistors 70 et 74. Ce circuit est réalisé de manière à obtenir une tension de décalage pratiquement nulle entre la tension à la grille 58 et la source 96 du transistor 90.

Le drain du transistor 86 est connecté à la cinquième sortie 88, sa source à la seconde source de tension 44 et sa grille à la source 96 du transistor 90. Le transistor 86 a pour fonction de détecter le signal à la source 96 du transistor 90, indiquant la tension à la cinquième sortie 88. Le transistor 86 devient plus conducteur pour augmenter les signaux de sortie dans une alternance

de la sinusoïde de sortie, et moins conducteur pour les petits signaux voisins de zéro, et de moins en moins conducteur pour les signaux croissants dans l'autre alternance de la sinusoïde de sortie.

5 Dans le présent mode de réalisation, les transistors à effet de champ MOS 90 et 92 sont respectivement des composants du type appauvri et du type enrichi, et sont réalisés de manière que la tension à la source 96  
10 du transistor 90 suive la tension à sa grille 58 avec une tension de décalage pratiquement nulle, et aussi de manière que le transistor 90 commence à devenir plus conducteur et le transistor 92 moins conducteur quand la  
15 tension à la grille 58 du transistor 76 rend ce dernier plus conducteur. Cela réduit au minimum les distorsions au passage par zéro.

Un circuit de réaction connecté à la cinquième sortie 88, à la première source de tension 28 et à la grille du transistor 86 peut abaisser l'impédance de sortie vue par une charge extérieure connectée à la cinquième  
20 sortie 88. Il produit également une réaction à la grille du transistor 86 pour stabiliser la tension à la borne de sortie 88, en aidant à réduire au minimum la surmodulation pour les charges fortement capacitives.

Le drain du transistor à effet de champ MOS 94  
25 qui remplit cette fonction est connectée à la première source de tension 28, sa grille est reliée à la cinquième sortie 88 et sa source est reliée à la grille 96 du transistor 86. Le transistor 94 rend plus conducteur le transistor 86 lorsqu'une surmodulation se produit à la cin-  
30 quième sortie, afin de réduire au minimum la tension de surmodulation en prélevant du courant à la seconde source de tension 44 par le transistor 86, par une réduction momentanée de son impédance.

Le transistor 94 facilite également une attaque  
35 plus rapide de la grille du transistor 86 à l'état conducteur, par les transistors 90 et 92 pendant les alternances dans lesquelles un courant est prélevé à la charge vers la seconde source de tension 44. Autrement dit, pour les com-

posants à canal N, quand la tension de sortie devient plus négative, le transistor 94 devient de moins en moins conducteur, facilitant une plus forte attaque de la grille 96 du transistor 86 à l'état conducteur. Pendant des alternances positives, les deux transistors 94 et 92 deviennent plus conducteurs tandis que le transistor 90 devient moins conducteur. Il en résulte que la grille 96 est de plus en plus négative, de sorte que le transistor 86 devient de moins en moins conducteur, ce qui augmente les signaux de sortie positifs. Mais le transistor 94 fonctionne contre l'effet du transistor 92 en tendant à maintenir la grille 96 du transistor 86 suffisamment négative pour bloquer ce dernier. Le résultat global est que pendant les alternances positives, le transistor 84 domine et délivre autant de courant que la charge le nécessite, dans sa capacité. Mais à une tension de sortie à peu près nulle, le transistor 86 commence à prendre le dessus et devient de plus en plus conducteur, prélevant de plus en plus de courant à la charge.

Il apparaît ainsi que la consommation de courant par l'étage de sortie est réduite au minimum par le fonctionnement symétrique des transistors 84 et 86, réduisant au minimum l'alimentation en courant continu en évitant un circuit inutile depuis la première source de tension  $V_{cc}$  vers la seconde source de tension  $V_{bb}$  pour pratiquement toutes les tensions de sortie. Si les transistors 90 et 92 sont réalisés correctement pour fonctionner symétriquement avec le transistor 76, les distorsions de passage par zéro sont également réduites au minimum. L'étage de sortie décrite ci-dessus peut également être utilisé avec un autre amplificateur.

Il est possible d'économiser davantage d'énergie en ajoutant un circuit qui interrompt pratiquement la dissipation de courant à la réception d'un signal à un point de réduction d'alimentation. Des circuits de ce genre sont représentés sur la figure 3, par les transistors à effet de champ MOS 98, 100, 102, 104, 106, 108, 110, 112, 114 et 116.

Un circuit connecté au transistor 38 interrompant la dissipation d'énergie par ce transistor et dans l'amplificateur différentiel est constitué par les transistors 102 et 104, avec les connexions représentées sur la Figure 4. Quand la diminution d'alimentation est souhaitée, le point 118 de réduction d'alimentation est rendu négatif et le point 120 de réduction d'alimentation est rendu positif, bloquant le transistor 102 et débloquant le transistor 104. Cette condition bloque le transistor 38. Les transistors 24 et 26 restent conducteurs jusqu'à ce que la capacité aux points 16 et 22 soit chargée au niveau  $V_{cc}$  et à ce moment, plus aucun courant ne circule.

Un circuit connecté au transistor 62 pour interrompre la dissipation d'énergie est constitué par les transistors à effet de champ 98 et 100. Quand des signaux de réduction d'alimentation sont reçus, le transistor 98 est bloqué et le transistor 100 est débloqué, bloquant le transistor 64. Le transistor 62 continue à conduire jusqu'à ce que la capacité au point 72 soit chargée jusqu'à  $V_{cc}$ , et à ce moment, la conduction est interrompue.

Un circuit connecté à la grille du transistor 76 pour interrompre la dissipation d'énergie est constitué pour les transistors 106 et 108. Quand des signaux de réduction d'alimentation sont reçus, le transistor 108 est débloqué et le transistor 106 est bloqué. Cela bloque le transistor 76. Le transistor 74 continue à conduire jusqu'à ce que la capacité au point 78 soit chargée jusqu'à  $V_{cc}$  et à ce moment, la conduction du transistor 74 cesse.

Un circuit connecté aux transistors 92 et 96 pour interrompre la dissipation d'énergie à la réception de signaux aux points de réduction d'alimentation 118 et 120 est constitué par les transistors à effet de champ MOS 110, 112, 114 et 116. A la réception des signaux de réduction d'alimentation aux points 118 et 120, le transistor 110 est bloqué et le transistor 112 est débloqué, bloquant ainsi le transistor 92. Le transistor 90 cesse de conduire dès que la capacité au point 96 est chargée jusqu'à un niveau suffisant pour bloquer le transistor 90.



De même, le transistor 114 est bloqué et le transistor 116 est débloqué, bloquant le transistor 86.

Les transistors à effet de champ MOS 122 et 124 constituent un circuit de décalage de niveau rendant plus efficace l'étage de sortie, lorsque les transistors 86 et 84 sont réalisés de manière à fournir des courants de sortie intenses. Le circuit fonctionne selon les mêmes principes déjà expliqués, sauf que les transistors 122 et 124 sont connectés en charge de source pour décaler le niveau continu du signal à la quatrième sortie 98, vers un niveau inférieur.

Le drain du transistor 122 est connecté à la première source de tension 28, sa grille est connectée à la source 78 du transistor 74 et sa source est connectée au drain du transistor 124. Le drain de ce dernier est également connecté à la grille 78 du transistor 92 sa grille est connectée à la grille 58 du transistor 76 et sa source à la seconde source de tension 44. Cela permet au transistor 92 d'être réalisé avec une tension seuil plus basse, de sorte qu'il n'a pas à commencer à se débloquent au niveau continu élevé du drain du transistor 76 quand ce composant commence à se débloquent. Ce décalage de niveau dans l'étage de sortie avant l'inversion du signal abaisse nettement la possibilité de distorsion par passage par zéro à la transition des transistors 88 et 86.

Il est bien entendu, que de nombreuses modifications peuvent être apportées aux modes de réalisation décrits et illustrés à titre d'exemples nullement limitatifs sans sortir du cadre ni de l'esprit de l'invention.

REVENDEICATIONS

1 - Amplificateur différentiel destiné à amplifier un signal différentiel, caractérisé en ce qu'il comporte deux bornes d'entrée (14, 20) et deux bornes de sortie (16, 22), ainsi qu'un point de réaction (18), et comprenant un circuit de réaction connecté entre l'une desdites bornes de sortie (16) et ledit point de réaction (18) de manière que pratiquement la totalité du signal différentiel amplifié apparaisse à l'autre desdites bornes de sortie (22) en augmentant la réjection en mode commun.

2 - Amplificateur différentiel destiné à amplifier un signal différentiel, caractérisé en ce qu'il comporte deux bornes d'entrée (14, 20) et deux bornes de sortie (16, 22) et un point de réaction (18), et comprenant un circuit de réaction constitué par un premier circuit de réaction connecté à une première desdites bornes de sortie (16) pour appliquer une réaction négative suffisante à ladite première borne de sortie (16) pour maintenir le signal à cette borne pratiquement constant, ledit premier circuit de réaction comprenant un premier point (46) sur lequel est appliqué un signal proportionnel audit signal à ladite première borne de sortie (16), ledit circuit de réaction comportant en outre un second circuit de réaction connecté entre ledit premier point (46) et ledit point de réaction (18) de manière à appliquer une contre-réaction suffisante audit point de réaction (18) pour que pratiquement tout le signal différentiel amplifié apparaisse à la seconde desdites bornes de sortie (22) et afin que ladite seconde borne de sortie (22) ne varie pas substantiellement pour les signaux d'entrée en mode commun.

3 - Amplificateur différentiel destiné à être connecté à une première source de tension (28) pour amplifier un signal différentiel, ledit amplificateur différentiel comprenant deux bornes d'entrée (14, 20) et des premières et secondes bornes de sortie (16, 22) ainsi qu'un point de réaction (18) et un circuit de

réaction, amplificateur caractérisé en ce que ledit circuit de réaction comporte un premier transistor à effet de champ (30) MOS (métal-oxyde-semi-conducteur) avec une source, un drain et une grille, ladite grille étant connectée à ladite première borne de sortie (16), ledit drain étant connecté à une première source de tension (28) et ladite source (40) étant connectée à une première source de courant pour produire un courant pratiquement constant, afin de fournir un premier signal de réaction à ladite source (40) proportionnel au signal à ladite première borne de sortie (16), un second transistor à effet de champ MOS (34) avec une source, un drain et une grille, ladite grille étant connectée à ladite source (40) dudit premier transistor, ledit drain étant connecté à ladite première borne de sortie (16) et ladite source étant connectée à une seconde source de courant qui délivre un courant pratiquement constant, de manière à fournir un second signal négatif de réaction à ladite première borne de sortie (16) tendant à maintenir constante la tension à ladite borne, un troisième transistor à effet de champ MOS (38) avec une grille, un drain et une source, ledit drain étant connecté audit point de réaction (18), ladite grille étant connectée à ladite source (42) du second transistor et ladite source étant connectée à une seconde source de tension (44) pour recevoir ledit premier signal de réaction et le convertir en un troisième signal de réaction négative audit point de réaction (18) de manière que ledit amplificateur différentiel rejette pratiquement tous les signaux d'entrée en mode commun et faisant apparaître pratiquement tous les signaux différentiels amplifiés à ladite seconde borne de sortie (22).

4 - Amplificateur différentiel comprenant deux bornes d'entrée (14, 20) et des première et seconde bornes de sortie (16, 22), et destiné à amplifier un signal différentiel entre lesdites bornes d'entrée, amplificateur caractérisé en ce qu'il comporte des premier et second transistors à effet de champ MOS (24, 26) avec chacun un drain, une source et une grille, lesdits drains étant connectés à une première source de tension (28) et lesdites

grilles étant connectées à une troisième source de tension possédant des caractéristiques prédéterminées, un troisième transistor à effet de champ MOS (10) avec un drain, une source et une grille, ledit drain étant connecté à ladite première borne de sortie (16), un quatrième transistor à effet de champ MOS (12) avec un drain, une source et une grille, ledit drain étant connecté à ladite seconde borne de sortie (22), ladite grille à l'autre desdites bornes d'entrée (20) et ladite source étant connectée à ladite source (18) dudit sixième transistor à effet de champ MOS, et un circuit de réaction connecté entre ladite première borne de sortie (16) et ladite source (18) dudit troisième transistor à effet de champ MOS, afin d'augmenter la réjection en mode commun et pour que pratiquement tout le signal de différence amplifié apparaisse à ladite seconde borne de sortie (22).

5 - Amplificateur différentiel comprenant deux bornes d'entrée (14, 20) et des première (16) et seconde (22) bornes de sortie, et destiné à amplifier un signal différentiel présent entre ledites bornes d'entrée, amplificateur caractérisé en ce qu'il comporte des premier et second transistors à effet de champ MOS (24, 26) en mode appauvri avec chacun un drain, une source et une grille, lesdits drains étant connectés à une première source de tension (28), la grille du premier transistor étant connectée à sa source (16) et la grille du second transistor étant connectée à sa source (22), un troisième transistor à effet de champ MOS (10) avec un drain, une source et une grille, ledit drain étant connecté à ladite première borne de sortie (16), un quatrième transistor à effet de champ MOS avec un drain, une source et une grille, le drain étant connecté à la seconde borne de sortie (22), la grille étant connectée à l'autre desdites bornes d'entrée (20) et la source étant reliée à ladite source (18) du troisième transistor, un cinquième transistor à effet de champ MOS avec un drain, une source et une grille, la grille étant connectée à ladite première borne de sortie (16) et le drain à ladite première source de tension (28),

- un sixième transistor à effet de champ MOS avec un drain, une source et une grille, ladite grille étant connectée à ladite source (46) du cinquième transistor et le drain étant connecté à ladite première borne de sortie (16),
- 5 une seconde source de courant connectée à ladite source (42) dudit second transistor et à ladite seconde source de tension (44) de manière à faire circuler un courant constant dans ledit sixième transistor, un sixième transistor à effet de champ MOS (38) avec une grille, un drain
- 10 et une source, ladite grille étant connectée à ladite source (42) dudit sixième transistor, ledrain étant connecté à ladite source (18) dudit troisième transistor et la source étant connectée à ladite seconde source de tension (44).
- 15 6 - Amplificateur selon la revendication 4 ou 5, caractérisé en ce que lesdits troisième et quatrième transistors à effet de champ MOS sont des composants naturels utilisant la réalisation à canal N avec des canaux non implantés.
- 20 7 - Amplificateur selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'il comporte en outre un dispositif connecté entre ladite seconde borne de sortie (22) et ladite seconde source de tension (44) et destiné à décaler le niveau continu du signal différentiel amplifié apparaissant à ladite seconde borne de sortie (22),
- 25 jusqu'à un niveau continu voisin du niveau de tension de ladite seconde source de tension (44).
- 30 8 - Amplificateur selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'il comporte en outre un huitième transistor à effet de champ MOS (48) avec une source, un drain et une grille, le drain étant connecté à ladite première source de tension (28) et ladite grille à la seconde borne de sortie (22), un neuvième transistor à effet de champ MOS (50) avec une source, une
- 35 grille et un drain, le drain étant connecté à ladite seconde borne de sortie (22) et ladite grille étant connectée à ladite source dudit huitième transistor à effet de champ, une troisième source de courant connectée à ladite

source (36) dudit huitième transistor pour y faire circuler un courant de drain pratiquement constant, une quatrième source de courant connectée à ladite source (38) dudit neuvième transistor pour y faire circuler un courant de drain pratiquement constant.

9 - Amplificateur différentiel comprenant deux bornes d'entrée (14, 20) et des première et seconde bornes de sortie (16, 22), et destiné à amplifier un signal différentiel présent entre lesdites bornes d'entrée, amplificateur caractérisé en ce qu'il comporte des premier et second transistors à effet de champ MOS en mode appauvri avec chacun un drain, une source et une grille, lesdits drains étant connectés à une première source de tension (28), la grille du premier transistor étant connectée à sa source (16) et les grilles étant connectées à une troisième source de tension possédant une caractéristique prédéterminée, un troisième transistor à effet de champ MOS naturel avec un canal non implanté, et un drain, une source et une grille, le drain étant connecté à ladite première borne de sortie (16) et la grille étant connectée à l'une desdites bornes d'entrée, un quatrième transistor à effet de champ MOS naturel comprenant un canal non implanté, un drain, une source et une grille, le drain étant connecté à ladite seconde borne de sortie (22), la grille étant connectée à l'autre desdites bornes d'entrée (20) et la source étant connectée à la source (18) dudit troisième transistor à effet de champ (10), un cinquième transistor à effet de champ MOS (30) avec un drain, une source et une grille, la grille étant connectée à la première borne de sortie (16) et le drain étant connecté à ladite première source de tension (28), une première source de courant connectée à la source dudit cinquième transistor et à une seconde source de tension (44) de manière à faire circuler un courant pratiquement constant, un sixième transistor à effet de champ MOS (34) avec un drain, une source et une grille, la grille étant connectée à la source dudit cinquième transistor et le drain étant connecté à ladite première borne de sortie (16), une se-

conde source de courant connectée à ladite source du sixième transistor (34) et à ladite seconde source de tension (44), de manière à faire circuler un courant constant dans le sixième transistor, un septième transistor à effet de champ MOS (38) avec une grille, un drain et une source, la grille étant connectée à la source (42) dudit sixième transistor, le drain étant connecté à la source (18) dudit troisième transistor et la source étant connectée à ladite seconde source de tension (44), et un circuit connecté entre ladite seconde borne de sortie (22) et ladite seconde source de tension (44), pour décaler le niveau continu du signal différentiel amplifié apparaissant à ladite seconde borne de sortie (22) jusqu'à un niveau continu voisin du niveau de tension de ladite seconde source de tension (44), et possédant une troisième borne de sortie (58).

10 - Amplificateur selon la revendication 9, caractérisé en ce que ledit circuit de décalage du niveau continu du signal différentiel amplifié comporte un huitième transistor à effet de champ MOS (48) avec une source un drain et une grille, le drain étant connecté à ladite première source de tension (28) et la grille étant connectée à ladite seconde borne de sortie (22), un neuvième transistor à effet de champ MOS (50) avec une source, une grille et un drain, la source étant connectée à une troisième borne de sortie (58), le drain étant connecté à une seconde borne de sortie (22) et la grille étant connectée à la source (50) dudit huitième transistor, une troisième source de courant connectée à la source (50) dudit huitième transistor de manière à y faire circuler un courant constant, une quatrième source de courant connectée à la source dudit neuvième transistor (50) pour y faire circuler un courant constant.

11 - Amplificateur selon la revendication 9, caractérisé en ce qu'il comporte en outre un circuit connecté à ladite troisième borne de sortie (58) et destiné à amplifier le signal qui y apparaît, et à présenter le signal ainsi amplifié à la quatrième borne de sortie (78).

12 - Amplificateur selon la revendication 10 ou 11, caractérisé en ce qu'il comporte en outre un dixième transistor à effet de champ MOS (62) du type appauvri, avec un drain, une grille et une source, le drain étant connecté à la première source de tension (28), la grille connectée à ladite source (72), avec un rapport entre la largeur et la longueur du canal égal à la moitié de celui des premier et second transistors à effet de champ, un onzième transistor à effet de champ MOS (64) avec un drain, une grille et une source, le drain étant connectée à ladite première source de tension (28), la grille à ladite source (72) dudit dixième transistor à effet de champ MOS, un douzième transistor à effet de champ MOS (66) avec un drain, une grille, et une source, le drain étant connecté à la source (70) dudit onzième transistor, la grille étant connectée au drain (70) du douzième transistor et la source étant connectée à une seconde source de tension (44), et un treizième transistor à effet de champ MOS (68) avec un drain, une grille et une source, le drain étant connecté à la source (72) du dixième transistor, la grille étant connectée à la grille 70 du dixième transistor et la source étant connectée à ladite seconde source de tension 44, ladite première source de courant comprenant un quatorzième transistor à effet de champ MOS 32 avec une grille, un drain et une source, le drain étant connecté à la source (40) du cinquième transistor (30) et du douzième transistor (66) et la source étant connectée à ladite seconde source de tension (44), un quinzième transistor à effet de champ MOS (36) avec un drain, une grille et une source, le drain étant connecté à la source (42) du sixième transistor (34), la grille étant connectée à la grille (70) du quatorzième transistor et la source étant connectée à ladite seconde source de tension (44), ladite troisième source de courant comprenant un seizième transistor à effet de champ MOS (54) avec une grille, une source et un drain, le drain étant connecté à la source (58) du neuvième transistor (50), la grille étant connectée à la grille du douzième transistor (66) et la source étant



connectée à ladite seconde source de tension (44), la quatrième source de courant comprenant un dix-septième transistor à effet de champ MOS (52) avec une grille, une source et un drain, le drain étant connecté à la source (56) du huitième transistor, la grille étant connectée à la grille (70) du seizième transistor (54) et la source étant connectée à ladite seconde source de tension (44), lesdits douzième, (52) treizième (68), quatorzième (32), quinzième (36), seizième (54) et dix-septième (52) transistors à effet de champ MOS ayant tous la même géométrie et tous le même courant circulant du drain à la source que celui qui circule dans le dixième transistor (62), ledit septième transistor (38) étant réalisé de manière que son rapport entre la largeur et la longueur du canal soit le double de celui du treizième transistor (68), et les cinquième et sixième transistors étant réalisés de manière que leur chute de tension grille-source soit telle que la tension de grille (42) du septième transistor (38) soit pratiquement et en permanence la même que la tension de grille (70) du treizième transistor (68).

13 - Amplificateur différentiel destiné à être connecté à une première source de tension pour amplifier un signal différentiel, et comprenant deux bornes d'entrée (14, 20), et des première (16) et seconde (22) bornes de sortie, ainsi qu'un point de réaction (18) et un dispositif de réaction, amplificateur caractérisé en ce qu'il comporte un premier transistor à effet de champ MOS (30) avec une source, un drain et une grille, la grille étant connectée à ladite première borne de sortie (16) et le drain étant connecté à une première source de tension (28), une première source de courant connectée à la source (46) du premier transistor (30) pour lui fournir un courant constant, un second transistor à effet de champ MOS (34) avec une source, un drain et une grille, la grille étant connectée à la source (46) dudit premier transistor (30) et le drain étant connecté à ladite première borne de sortie (16), une seconde source de courant connectée à la source (42) du second transistor (34) pour lui fournir un

courant constant, un troisième transistor à effet de champ MOS (38) avec une grille, un drain et une source, le drain étant connecté audit point de réaction (18), la grille étant connectée à la source (42) dudit second transistor (34) et la source étant connectée à une seconde source de tension (44), et un dispositif connecté entre la seconde borne de sortie (22) et une seconde source de tension (44) pour décaler le niveau continu du signal différentiel amplifié apparaissant à ladite seconde borne de sortie (22) jusqu'à un niveau continu voisin de celui de ladite seconde source de tension (44), et avec une troisième borne de sortie (58).

14 - Amplificateur selon la revendication 13, caractérisé en ce qu'il comporte en outre un circuit connecté à ladite troisième borne de sortie (58) et destiné à amplifier le signal qui apparaît à cette borne et à présenter ce signal ainsi amplifié à une quatrième borne de sortie (72).

15 - Amplificateur selon la revendication 14, caractérisé en ce que ledit circuit d'amplification comporte un quatrième transistor à effet de champ MOS (74) avec un drain, une grille et une source, le drain étant connecté à une première source de tension (28), la grille étant connectée à une quatrième source de tension possédant une caractéristique prédéterminée, et un cinquième transistor à effet de champ MOS (76) avec un drain, une grille et une source, le drain étant connecté à la source (78) dudit quatrième transistor (74) et à la quatrième borne de sortie (78), la grille étant connectée à la troisième borne de sortie (58) et la source étant connectée à la seconde source de tension (44).

16 - Amplificateur selon la revendication 15, caractérisé en ce que ledit quatrième transistor (74) est un composant en mode appauvri dont la grille est connectée à la source (78).

17 - Amplificateur selon la revendication 15, caractérisé en ce qu'il comporte en outre un condensateur avec une première borne (58) et une seconde borne, la

première borne étant connectée à ladite troisième borne de sortie (58), et un circuit qui présente une impédance avec des première et seconde bornes (78); la première borne étant connectée à ladite seconde borne (78) dudit condensateur et à ladite quatrième borne de sortie (78) pour fermer un circuit de compensation de séparation de pôles.

18 - Amplificateur selon l'une quelconque des revendications 14 à 17, caractérisé en ce qu'il comporte en outre un circuit connecté à ladite quatrième sortie (78) et destinée à présenter une faible impédance de sortie et une forte capacité d'attaque en courant.

19 - Amplificateur selon l'une quelconque des revendications 14 à 17, caractérisé en ce qu'il comporte en outre un sixième transistor à effet de champ MOS (84) avec un drain, une grille et une source, le drain étant connecté à ladite première source de tension (28), la grille étant connectée à la quatrième borne de sortie (78) et la source étant connectée à une cinquième borne de sortie (88), et un circuit connecté entre ladite source (88) dudit sixième transistor et ladite seconde source de tension (44) et destiné à former une impédance de charge pour ledit sixième transistor et pour simuler un transistor du type à canal complémentaire de conductibilité opposée, en combinaison avec ledit sixième transistor pour fonctionner comme un étage de sortie symétrique.

20 - Amplificateur selon l'une quelconque des revendications 14 à 17, caractérisé en ce qu'il comporte en outre un sixième transistor à effet de champ MOS (84) avec un drain, une grille et une source, le drain étant connecté à ladite première source de tension (28), la grille étant connectée à la quatrième borne de sortie (78) et la source étant connectée à une cinquième borne de sortie (88), et un circuit connecté entre la source (88) dudit sixième transistor (84) et la seconde source de tension (44) de manière à former une source de courant qui prélève un courant d'intensité croissante à une charge extérieure connectée à la cinquième borne de sortie (88)

quand le signal de sortie à la cinquième borne de sortie (88) augmente dans une alternance d'une première polarité du signal de sortie, mais qui devient moins conducteur quand le signal de sortie augmente dans une seconde alternance de polarité opposée du signal de sortie, de manière à former l'impédance de charge dudit sixième transistor.

21 - Amplificateur selon l'une quelconque des revendications 15 à 17, caractérisé en ce qu'il comporte en outre un sixième transistor à effet de champ MOS (84) avec une grille, un drain et une source, le drain étant connecté à ladite première source de tension (28), la grille étant connectée à la quatrième borne de sortie (78) et la source étant connectée à une cinquième borne de sortie (88), un septième transistor à effet de champ MOS (90) avec un drain, une source et une grille, le drain étant connecté à ladite première source de tension (28), la grille étant connectée à la grille du cinquième transistor (76), un huitième transistor à effet de champ MOS (72) avec un drain, une source et une grille, le drain étant connecté à la source (76) du huitième transistor (92), la source étant connectée à ladite seconde source de tension (44) et la grille étant connectée au drain du cinquième transistor (76), et un neuvième transistor à effet de champ MOS (86) avec un drain, une source et une grille, la grille étant connectée à la source (96) du septième transistor, le drain étant connecté à la cinquième borne de sortie (88) et la source étant connectée à la seconde source de tension (44).

22 - Amplificateur selon la revendication 21, caractérisé en ce que le septième transistor (90) est un composant en mode appauvri, le huitième transistor (92) étant un composant en mode enrichi, le septième transistor (90) et le huitième transistor (92) étant réalisés de manière que la tension à la source (96) du septième transistor suive la tension à la grille (58) avec un décalage de tension pratiquement nul, et de manière que le septième transistor (90) commence à devenir plus conduc-

teur et que le huitième transistor (92) commence à devenir moins conducteur quand le signal à la grille (58) du cinquième transistor (76) commence à rendre plus conducteur le cinquième transistor (76).

5           23 - Amplificateur selon la revendication 22, caractérisé en ce qu'il comporte en outre un circuit connecté à la quatrième borne de sortie (78), à la première source de tension (28) et à la seconde source de tension (44) pour décaler le niveau continu du signal  
10 à la quatrième borne de sortie (78), jusqu'à une tension voisine du niveau continu de la seconde source de tension (44), et pour appliquer ce signal décalé à la grille du huitième transistor (92).

15           24 - Amplificateur selon la revendication 21, caractérisé en ce qu'il comporte en outre un circuit de réaction connecté à la cinquième borne de sortie (88) et à la première source de tension (28), ainsi qu'à la grille (96) du neuvième transistor (86) pour abaisser l'impédance de sortie vue par une charge extérieure  
20 connectée à ladite cinquième borne de sortie (88), et pour appliquer une réaction à la grille du neuvième transistor (86) afin de stabiliser la tension de sortie de la cinquième borne de sortie (88) et de réduire au minimum la surmodulation pour des charges fortement capacitives,

25           25 - Amplificateur selon la revendication 24, caractérisé en ce que ledit circuit de réaction comporte un dixième transistor à effet de champ MOS (94) avec une grille, une source et un drain, le drain étant connecté à la première source de tension (28), la grille  
30 étant connectée à la cinquième borne de sortie (88) et la source étant connectée à la grille (96) du neuvième transistor (86).

35           26 - Amplificateur selon la revendication 5, caractérisé en ce qu'il comporte en outre un circuit connecté audit septième transistor à effet de champ MOS (38) pour interrompre la dissipation d'énergie à la réception d'un signal provenant d'un point de réduction d'alimentation (118, 120).

27 - Amplificateur selon la revendication 12, caractérisé en ce qu'il comporte en outre un circuit connecté au dixième transistor (62) afin d'interrompre la dissipation d'énergie à la réception de signal provenant d'un point de réduction d'alimentation (118, 120).

28 - Amplificateur selon la revendication 15, caractérisé en ce qu'il comporte en outre un circuit connecté à la grille du cinquième transistor (76) pour interrompre la dissipation d'énergie à la réception d'un signal provenant d'un point de réduction d'alimentation (118, 120).

29 - Amplificateur selon la revendication 21, caractérisé en ce qu'il comporte en outre un circuit connecté auxdits huitième et neuvième transistors (92, 86) et destiné à interrompre la dissipation d'énergie à la réception d'un signal à un point de réduction d'alimentation.

30 - Etage de sortie d'un amplificateur opérationnel, caractérisé en ce qu'il comporte un premier transistor à effet de champ MOS (84) avec un drain, une grille et une source, le drain étant connecté à une première source de tension (28), la grille étant connectée à la borne de sortie (78) de l'amplificateur opérationnel et la source étant connectée à une borne de sortie (88) dudit étage de sortie, et un circuit connecté entre ladite borne de sortie (88) de l'étage de sortie et une seconde source de tension (84) pour présenter une impédance de charge audit premier transistor (84) et pour simuler un transistor à effet de champ MOS complémentaire avec un canal de conductibilité opposée, pour former en combinaison avec ledit premier transistor à effet de champ MOS un étage de sortie symétrique.

31 - Etage de sortie pour un amplificateur opérationnel, caractérisé en ce qu'il comporte un premier transistor à effet de champ MOS (84) avec une grille, un drain et une source, le drain étant connecté à une première source de tension (28), la grille étant connectée à la borne de sortie dudit amplificateur opérationnel,

un second transistor à effet de champ MOS(90) avec un drain, une source et une grille, le drain étant connecté à une première source de tension (28), et la grille étant connectée à une sortie inversée dudit amplificateur opérationnel, un troisième transistor à effet de champ MOS (92) avec un drain, une source et une grille, le drain étant connecté à la source (96) dudit second transistor, la source étant connectée à ladite source de tension (44) et la grille étant connectée à la borne de sortie dudit amplificateur opérationnel, et un quatrième transistor à effet de champ MOS (86) avec un drain, une source et une grille, la grille étant connectée à la source (96) dudit second transistor, le drain étant connecté à la borne de sortie (88) de l'étage de sortie et la source étant connectée à ladite seconde source de tension pour le couplage avec ladite seconde source de tension (44).

32 - Etage de sortie selon la revendication 31, caractérisé en ce que ledit second transistor (90) est un composant en mode appauvri, ledit troisième transistor (92) étant un composant en mode enrichi, lesdits second et troisième transistors (90 et 92) étant réalisés de manière que la tension à la source (96) dudit second transistor (90) suive la tension à la grille (58) avec une tension de décalage pratiquement nulle, ledit second transistor (90) commençant à devenir plus conducteur et ledit troisième transistor (92) commençant à devenir moins conducteur quand le signal de sortie à la borne de sortie dudit amplificateur opérationnel augmente dans une première polarité, et réciproquement, quand le signal de sortie augmente dans la polarité opposée.

33 - Etage de sortie selon la revendication 32, caractérisé en ce qu'il comporte en outre un transistor à effet de champ MOS (94) dont le drain est connecté à ladite première source de tension (28) et dont la grille est connectée à ladite cinquième borne de sortie (88) avec la source connectée à la grille (96) dudit quatrième transistor (86).

34 - Etage de sortie selon la revendication 33,

caractérisé en ce qu'il comporte en outre un cinquième transistor à effet de champ MOS (122) avec un drain, une source et une grille, le drain étant connecté à ladite première source de tension, la grille étant connectée à ladite borne de sortie (78) de l'amplificateur opérationnel et à la grille dudit premier transistor (84), et un sixième transistor à effet de champ MOS (124) avec un drain, une source et une grille, le drain étant connecté à la source dudit cinquième transistor (122) et à la grille dudit troisième transistor (92), la grille étant connectée à la sortie inverseuse de l'amplificateur opérationnel et la source étant connectée à ladite seconde source de tension (44).

35 - Etage de sortie selon la revendication 33, caractérisé en ce qu'il comporte en outre un circuit connecté entre la sortie inverseuse et la sortie non inverseuse de l'amplificateur opérationnel, et lesdits troisième transistor (92) et premier transistor (84) abaissant le niveau continu du signal de sortie de l'amplificateur opérationnel jusqu'à un niveau continu voisin de celui de ladite seconde source de tension (44) avant de l'appliquer à la grille dudit troisième transistor (92).



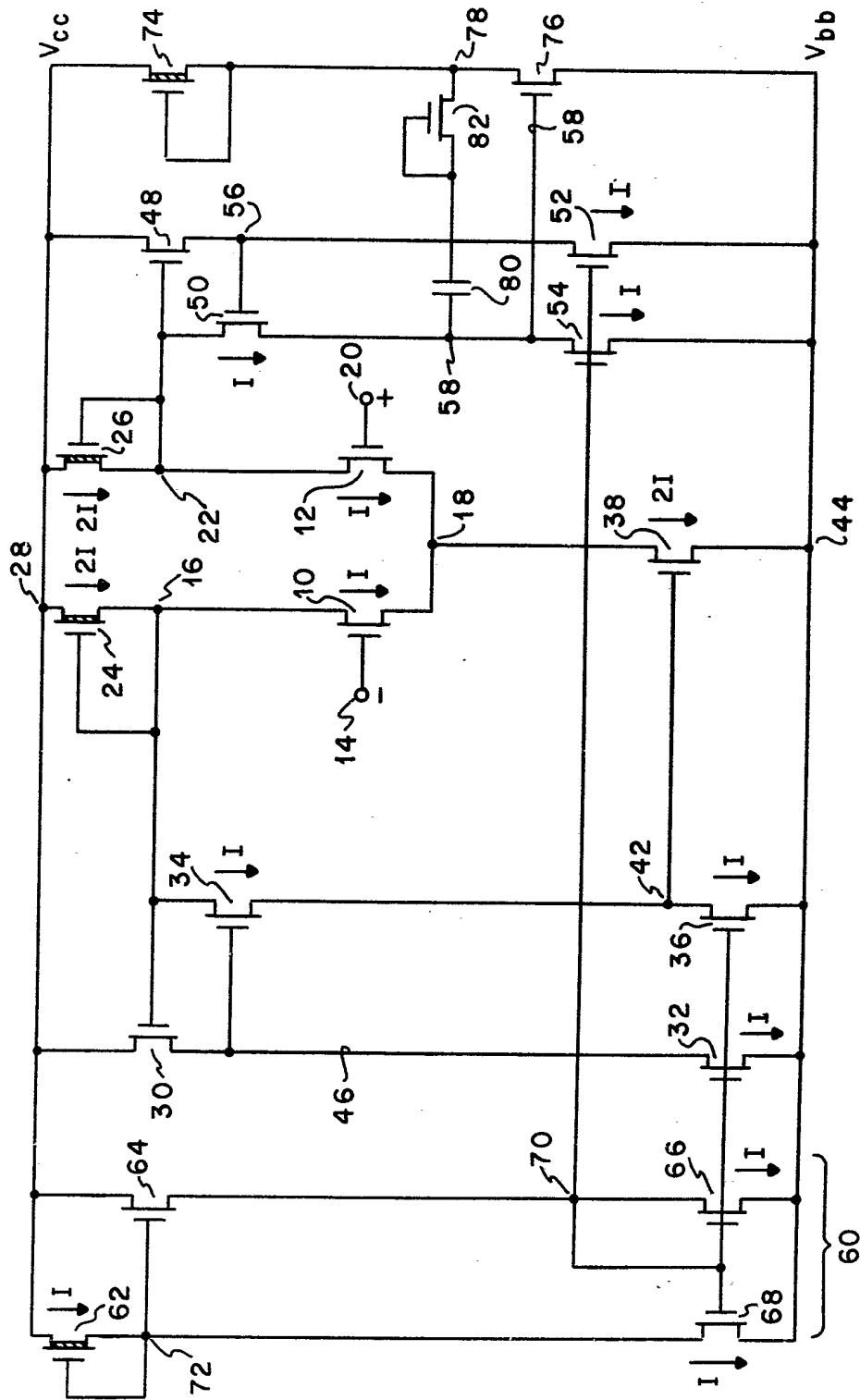


FIG. 1

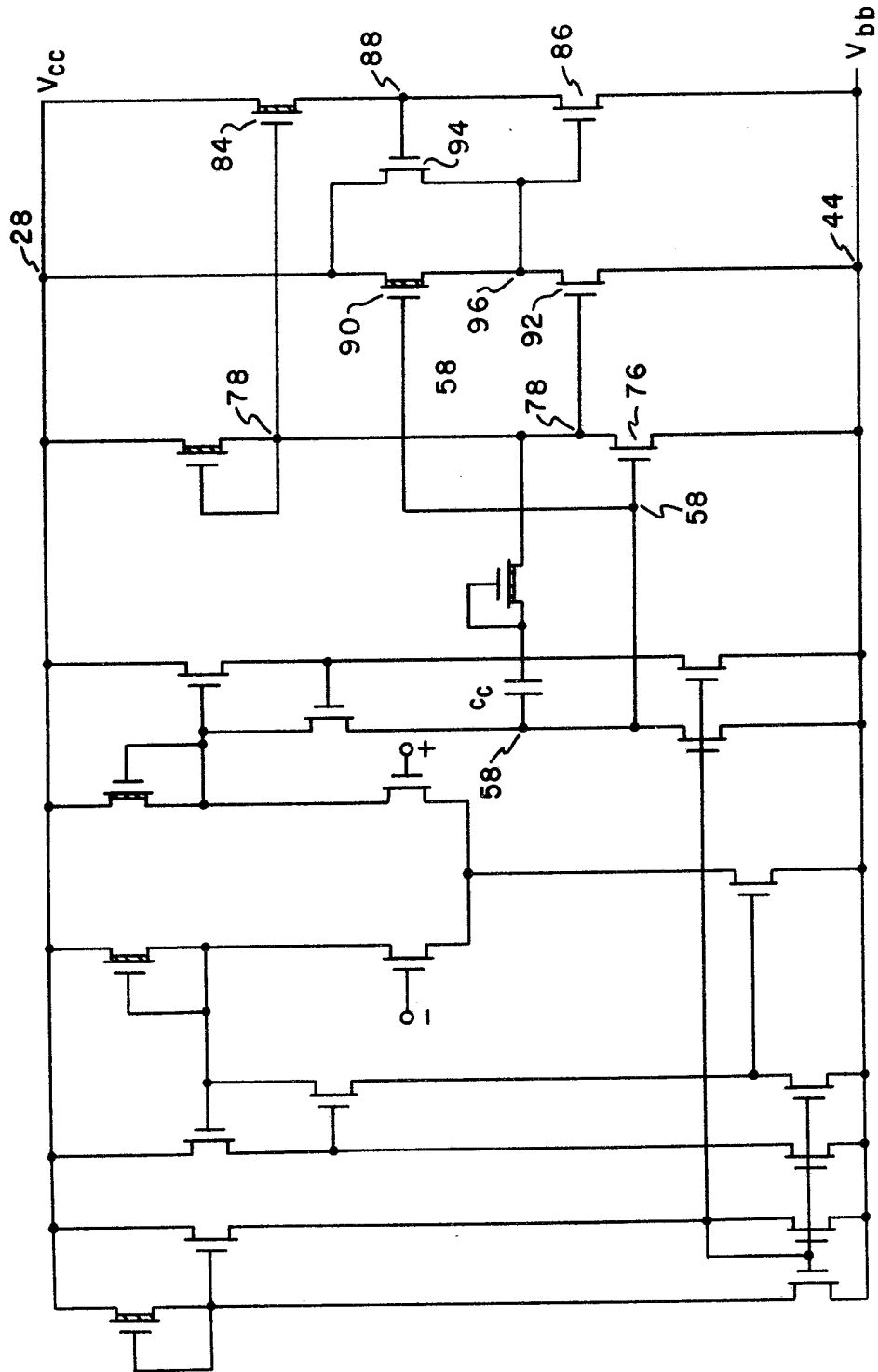


FIG. 2

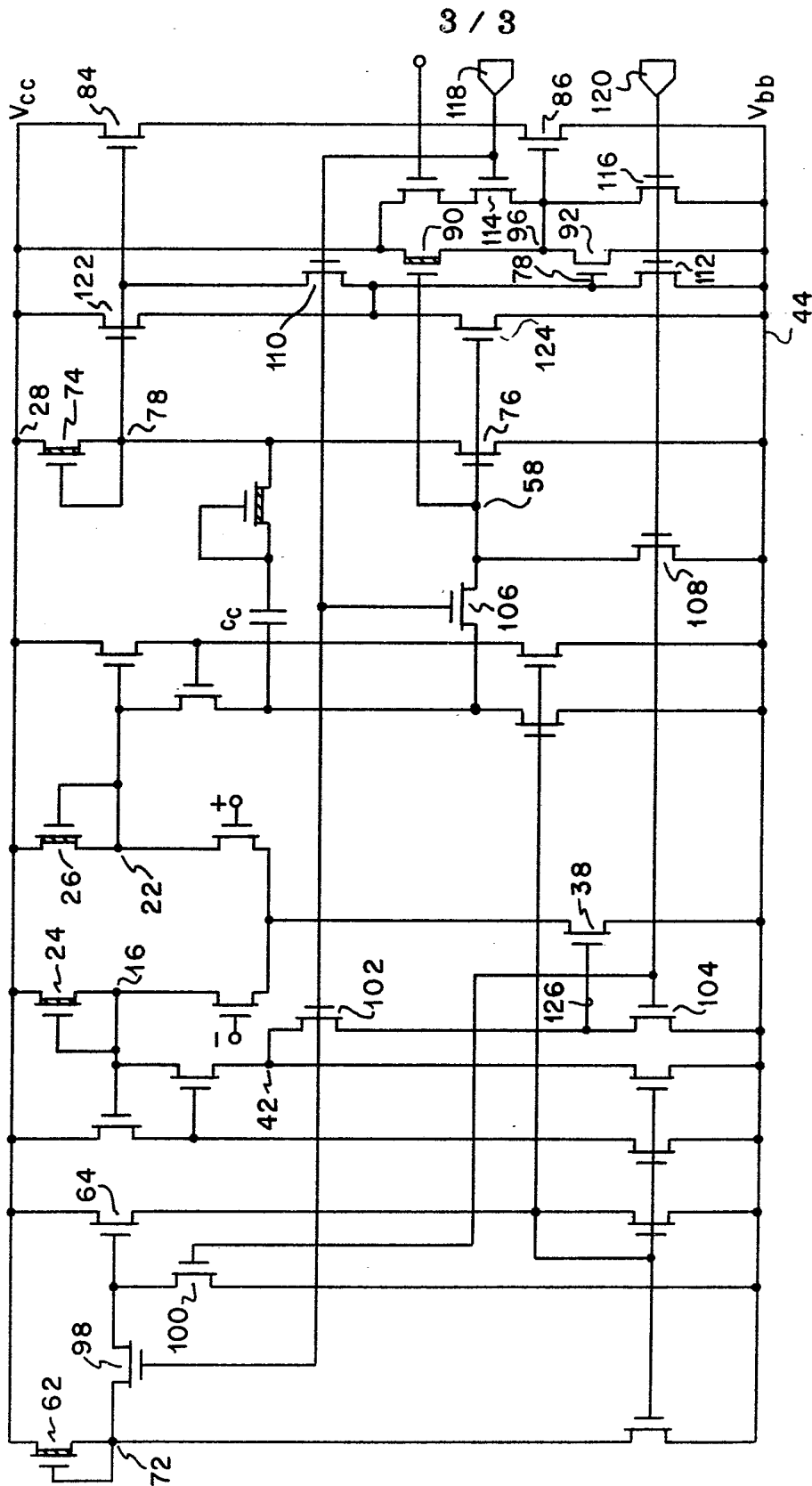


FIG. 3