(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.^{6}
H01L 23/28

(45) 공고일자 2003년06월19일
(11) 등록번호 10-0388287
(24) 등록일자 2003년06월07일

(21) 출원번호 10-1999-0020938
(22) 출원일자 1999년06월07일
(65) 공개번호 특2001-0001597
(43) 공개일자 2001년01월05일

(73) 특허권자 앰코 테크놀로지 코리아 주식회사
광주 북구 대촌동 957

(72) 발명자 윤주훈
서울특별시노원구월계3동미륭아파트20-1303

한병준
서울특별시송파구오륜동올림픽아파트125-502

강대병
서울특별시성동구성수1가1동656-1002

박인배
서울특별시강동구천호동현대아파트102-205

(74) 대리인 서만규

심사관 : 유환철

(54) 웨이퍼의 백그라인딩 방법과 이를 이용한 반도체패키지 및 그 제조방법

요약

이 발명은 웨이퍼의 백그라인딩 방법과 이를 이용한 반도체패키지 및 그 제조 방법에 관한 것으로, 웨이퍼 레벨(wafer level)에서 반도체패키지를 제조하는 동시에 워페이지(warpage) 현상 없이 매우 얇은 상태로 웨이퍼를 핸들링(handling) 할 수 있도록 일면에 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 입출력패드가 형성된 면에 위치되며, 다수의 본드핑거 및 볼랜드로 이루어진 도전성 회로패턴층이 형성되며, 상기 입출력패드와 대응하는 위치에는 관통공이 형성된 회로기판과; 상기 반도체칩의 일면과 회로기판을 상호 접착시키는 동시에 상기 반도체칩의 측면까지 감싸는 접착제와; 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속하는 전기적 접속수단과; 상기 반도체칩의 입출력패드, 접속수단 및 회로기판의 관통공 주변을 봉지하는 봉지재와; 상기 회로기판의 볼랜드에 융착되어 입출력단자로 사용되는 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 하는 웨이퍼의 백그라인딩 방법과 이를 이용한 반도체패키지 및 그 제조 방법.

대표도

도 1

명세서

도면의 간단한 설명

도1은 본 발명에 의한 반도체패키지를 도시한 단면도이다.
도2a 내지 도2h는 본 발명에 의한 웨이퍼의 백그라인딩 방법 및 반도체패키지의 제조 방법을 도시한 순차 설명도이다.

- 도면중 주요 부호에 대한 설명 -
2; 입출력패드 3; 요홈
4; 반도체칩 5; 스트릿라인
10; 회로기판 11; 수지층
12; 본드핑거 13; 볼랜드
14; 커버코트층 15; 관통공
20; 접착제 30; 접속수단
40; 도전성볼 50; 봉지재
62; 웨이퍼블레이드 64; 소잉툴
66; 고정수단 70; 웨이퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 웨이퍼의 백그라인딩 방법과 이를 이용한 반도체패키지 및 그 제조 방법에 관한 것으로, 보다 상세하게 설명하면 웨이퍼 레벨(wafer level)에서 반도체패키지를 제조하는 동시에 워페이지(warpage) 현상 없이 매우 얇은 상태로 웨이퍼를 핸들링(handling) 할 수 있는 웨이퍼의 백그라인딩 방법과 이를 이용한 반도체패키지 및 그 제조 방법에 관한 것이다.

현재 웨이퍼를 매우 얇은 상태로 하여 웨이퍼 레벨에서 패키징하는 기술로 백그라인딩(back grinding) 기술이 알려져 있다. 이 기술은 통상 웨이퍼의 뒷면, 즉 패턴이 형성되지 않은 면을 레이저, 에칭 또는 기계적 그라인딩 방법에 의해 일정 부분을 깍아 낸 상태에서 나머지 제조 공정인 회로기판부착, 전기적 접속, 봉지 및 입출력단자 형성 및 소잉(sawing) 공정 등을 실시하는 기술이다.

그러나, 상기와 같이 웨이퍼의 뒷면을 깍아냄으로써 초래되는 심각한 문제가 바로 웨이퍼의 워페이지 또는 소잉시 발생하는 칩크랙(chip crack) 문제이다. 즉, 웨이퍼의 뒷면을 백그라인딩시에는 보통 수백도에 이르는 열이 발생하게 되는데 이 높은 열로 인해 더욱 얇아진 웨이퍼가 쉽게 휘어버리는 것이다. 또한 이러한 얇은 웨이퍼를 낱개의 반도체칩으로 잘라내는 소잉시에는 그 두께가 매우 얇음으로써 매우 작은 칩크랙에도 상기 반도체칩이 쉽게 파손되는 문제가 있다.

더불어, 웨이퍼의 두께가 너무 얇게 됨으로써 그것이 제조 공정중 온도나 습기 등의 영향을 받아서 더욱 쉽게 휘게 되고, 또한 제조 공정중 상기와 같이 웨이 퍼가 휘게 되면 나머지 공정들 예를 들면, 회로기판을 부착하는 공정, 전기적 접속 공정, 봉지 공정, 입출력단자 형성 공정 및 전술한 소잉 공정 등에서 불량이 발생할 확률이 큼으로써 결국 웨이퍼 레벨에서의 반도체패키지 생산 수율이 매우 저조해지는 문제가 있다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 발명한 것으로, 웨이퍼 레벨에서 반도체패키지를 제조하는 동시에 워페이지 현상 없이 매우 얇은 상태로 핸들링할 수 있는 웨이퍼의 백그라인딩 방법과 이를 이용한 반도체패키지 및 그 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해 본 발명에 의한 웨이퍼의 백그라인딩 방법은 패턴층이 형성되고, 상기 패턴층에 연결되어서는 표면에 다수의 입출력패드가 구비된 다수의 반도체칩이 스트릿라인으로 구분되어 있는 웨이퍼를 제공하는 단계와; 상기 웨이퍼에서 각각의 스트릿라인을 따라 일정깊이의 요홈을 형성하되, 반도체칩에 형성된 패턴층의 깊이보다 더 깊게 형성하는 단계와; 상기 웨이퍼의 패턴층이 형성된 면 전체에 접착되어 상기 웨이퍼를 지지하는 지지수단을 접착하는 단계와; 상기 웨이퍼의 패턴층이 형성되지 않은 뒷면을 그라인딩하되, 상기 요홈에 의해 각 반도체칩이 일정 거리 이격될 수 있는 길이 만큼 백그라인딩 하는 단계를 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 웨이퍼상에 접착된 지지수단은 다수의 본드핑거 및 볼랜드로 이루어진 도전성 회로패턴이 형성되고, 상기 웨이퍼의 반도체칩의 입출력패드와 대응하는 영역에는 관통공이 형성된 회로기판과 상기 회로기판의 저면에 접착되어 상기 웨이퍼와 회로기판이 접착되도록 하는 접착제로 함이 바람직하다.

상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 일면에 다수의 입출력패드가 형성된 반도체칩과; 상기

반도체칩의 입출력패드가 형성된 면에 위치되며, 다수의 본드핑거 및 볼랜드로 이루어진 도전성 회로패턴층이 형성되며, 상기 입출력패드와 대응하는 위치에는 관통공이 형성된 회로기판과; 상기 반도체칩의 일면과 회로기판을 상호 접착시키는 동시에 상기 반도체칩의 측면까지 감싸는 접착제와; 상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속하는 전기적 접속수단과; 상기 반도체칩의 입출력패드, 접속수단 및 회로기판의 관통공 주변을 봉지하는 봉지재와; 상기 회로기판의 볼랜드에 융착되어 입출력단자로 사용되는 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지의 제조 방법은 패턴층이 형성되고, 상기 패턴층에 연결되어서는 표면에 다수의 입출력패드가 구비된 다수의 반도체칩이 스트릿라인으로 구분되어 있는 웨이퍼를 제공하는 단계와; 상기 웨이퍼에서 각각의 스트릿라인을 따라 일정깊이의 요홈을 형성하되, 반도체칩에 형성된 패턴층의 깊이보다 더 깊게 형성하는 단계와; 상기 웨이퍼상에 다수의 본드핑거 및 볼랜드로 이루어진 도전성 회로패턴이 구비되며, 상기 웨이퍼의 반도체칩의 입출력패드와 대응하는 영역에는 관통공이 형성된 회로기판을 접착제로 접착하되, 상기 접착제가 요홈 내측으로 흘러들어가도록 하는 단계와; 상기 웨이퍼 의 패턴층이 형성되지 않은 뒷면을 그라인딩하되, 상기 요홈을 통하여 접착제가 외측으로 노출되도록 하여 각 반도체칩이 일정 거리 이격되도록 하는 단계와; 상기 웨이퍼의 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적 접속수단으로 접속하는 단계와; 상기 웨이퍼의 각 반도체칩의 입출력패드, 본드핑거 및 회로기판의 관통공 주변을 봉지재로 봉지하는 단계와; 상기 회로기판의 볼랜드에 각각 도전성볼을 융착하는 단계와; 상기 요홈을 통하여 외부로 노출된 접착제 부분을 소잉 툴을 이용하여 회로기판에까지 일체로 소잉하여 낱개의 반도체패키지로 분리하는 단계를 포함하여 이루어진 것을 특징으로 한다.

여기서, 상기 소잉 단계는 요홈의 폭보다 작은 소잉툴을 이용함으로써, 분리된 낱개의 반도체패키지 측면이 접착제로 감싸여진 형태가 되도록 함이 바람직하다.

상기 소잉 단계는 회로기판의 상면을 배큠 홀더로 고정한 상태에서 실시하거나 또는 상기 회로기판의 상면을 마운트 테이프로 고정한 상태에서 실시함이 바람직하다.

상기 그라인딩 단계후에는 잉크나 레이저로 마킹하는 단계를 더 포함함이 바람직하다.

상기와 같이 하여 본 발명에 의한 웨이퍼의 백그라인딩 방법과 이를 이용한 반도체패키지 및 그 제조 방법에 의하면 웨이퍼 레벨에서 반도체패키지를 제조함으로써, 각종 장비에의 투입이나 핸들링 등이 용이해지고 따라서 제조 비용이 절감된다.

또한, 웨이퍼 레벨에서 패턴층이 형성된 면에 회로기판을 접착시킨 상태에서 그 뒷면을 깍아내고, 나머지 제조 공정을 수행함으로써 상기 회로기판이 얇은 상태의 웨이퍼가 휘지 않토록 지지하는 역할을 하여 결국 제조 공정중 웨페이지 문제를 해결하게 된다.

이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

도1은 본 발명에 의한 반도체패키지를 도시한 단면도이다.

소정의 전기적 기능을 수행하는 패턴(도시되지 않음)이 형성되고, 상기 패턴에 연결되어서는 다수의 입출력패드(2)가 상면에 형성된 반도체칩(4)이 중앙에 위치되어 있다.

상기 반도체칩(4)의 입출력패드(2)가 형성된 상면에는 수지층(11)을 기본층으로 그 상면에 다수의 본드핑거(12) 및 볼랜드(13)로 이루어진 도전성 회로패턴층이 형성되며, 상기 본드핑거(12) 및 볼랜드(13)가 오픈되도록 그 상면을 커버코트층(14)이 덮고 있다. 또한, 상기 반도체칩(4)의 입출력패드(2)와 대응하는 영역에는 일정크기의 관통공(15)이 형성됨으로써 상기 입출력패드(2)가 그 관통공(15)을 통하여 오픈되도록 되어 있다.

여기서, 상기 수지층(11)은 일반적인 폴리이미드(polyimide) 필름층이나 BT(bismaleimide triazine) 수지층으로 할 수 있다. 또는 상기 수지층(11)없이 직접 회로패턴층만 형성된 형태도 가능하며, 다층 구조도 가능하다. 이러한 회로기판(10)의 사양은 당업자의 선택사항에 불과하다.

또한, 상기 도전성 회로패턴층은 구리박막층으로 형성함이 바람직하며, 상기 본드핑거(12)에는 차후 전기적 접속수단(30)과의 양호한 접속을 위해 금(Au), 은(Ag) 등을 도금하고, 볼랜드(13)에는 차후 도전성볼(40)과의 양호한 결합을 위해 금, 은, 니켈(Ni) 또는 팔라디움(Pd) 등을 도금함이 바람직하다. 이러한 사항 역시 당업자의 선택사항에 불과할 것이다.

한편, 상기 반도체칩(4)과 회로기판(10)은 소정의 접착제(20)에 의해 접착되어 있다. 또한, 상기 접착제(20)는 반도체칩(4)과 회로기판(10) 사이뿐만 아니라 그 반도체칩(4)의 측면까지 감싸고 있는 형태를 한다. 상기한 접착제(20)는 반도체 분야에서 통상적으로 사용되고 있는 에폭시 접착제(20)를 사용함이 바람직하다. 더불어, 상기 반도체칩(4)의 저면은 외부로 노출되어 그 열방출성능이 향상되도록 되어 있으며, 상기 반도체칩(4)의 저면과 접착제(20)의 저면은 동일면을 이루고 있다.

상기 반도체칩(4)의 입출력패드(2)와 회로기판(10)의 본드핑거(12)는 전기적 접속수단(30)에 의해 상호 접속되어 있다. 상기 접속수단(30)은 통상 금와이어(Au wire) 또는 알루미늄와이어(Al wire)와 같은 도전성와이어 또는 상기 본드핑거(12)가 관통공(15) 내측으로 연장되어 형성되는 리드(lead)를 이용함이 바람직하다.

상기 반도체칩(4)의 입출력패드(2), 접속수단(30) 및 회로기판(10)의 관통공(15) 주변은 에폭시몰딩컴파운드(epoxy molding compound) 또는 액상봉지재와 같은 봉지재(50)로 봉지되어 외부의 먼지, 습기 및 기계적 충격 등으로부터 보 호되도록 되어 있다.

또한, 상기 회로기판(10)의 볼랜드(13)에는 입출력단자인 다수의 도전성볼(40)이 형성되어 있다. 상기 도전성볼(40)은 주석(Sn), 납(Pb) 또는 이들의 합금인 솔더볼(solder ball)을 이용함이 바람직하다.

도2a 내지 도2h는 본 발명에 의한 웨이퍼의 백그라인딩 방법 및 반도체패키지의 제조 방법을 도시한 순차 설명도이다.

먼저, 각종 전기적 기능을 수행하는 패턴층(도시되지 않음)이 형성되고, 상기 패턴층에 연결되어서는 상면에 다수의 입출력패드(2)가 구비된 다수의 반도체칩(4)이 스트릿라인(5)으로 구분되어 있는 웨이퍼(70)를 제공한다.(도2a)

웨이퍼 절단 블레이드(62)를 이용하여 상기 웨이퍼(70)에서 각각의 스트릿라인(5)을 따라 일정 깊이의 요홈(3)을 형성한다. 이때, 상기 요홈(3)은 각각의 반도체칩(4)에 형성된 패턴층의 깊이보다 약간 더 깊게 형성함이 바람직하다.(도2b)

상기 웨이퍼(70)의 패턴층이 형성된 면 전체에 접착되어 상기 웨이퍼를 지지하도록 소정의 지지수단을 접착한다. 여기서, 상기 지지수단은 바람직하기로 접착제와 회로기판으로 함이 바람직하다. 즉, 수지층(11)을 기본층으로 그 상면에 다수의 본드핑거(12), 볼랜드(13)의 도전성 회로패턴층이 구비되며, 상기 웨이퍼(70)의 반도체칩(4)의 입출력패드(2)와 대응하는 영역에는 관통공(15)이 형성된 회로기판(10)을 접착제(20)를 이용하여 접착하다. 이때, 상기 접착제(20)가 상기 웨이퍼(70)의 요홈(3) 내측으로 흘러 들어 가게 한다.(도2c)

계속해서, 상기 웨이퍼(70)의 패턴층이 형성되지 않은 뒷면을 화학적 에칭, 기계적 그라인딩 또는 레이저 조사 방법 등을 이용하여 소정 길이만큼 깍아낸다. 이때, 상기 웨이퍼(70)에 형성된 요홈(3)을 통하여 접착제(20)가 외측으로 노출될 정도까지 깍아냄이 바람직하다. 따라서 실제로 각 반도체칩(4)은 접착제(20)를 사이에 두고 일정 거리 이격된 상태가 된다.(도2d)

한편, 상기와 같이 웨이퍼(70)의 뒷면을 깍아낸 후에는 잉크나 레이저를 이용하여 소정 모양의 도안을 마킹(marking)할 수 있다. 이와 같은 마킹은 웨이퍼(70)에서 아직 각각의 반도체칩(4)으로 완전히 분리된 상태가 아니므로 동시에 많은 숫자의 반도체칩(4)에 마킹할 수 있는 장점이 있다.

상기 각각의 반도체칩(4)의 입출력패드(2)와 회로기판(10)의 본드핑거(12)를 전기적 접속수단(30)으로 접속한다. 이때, 상기 접속수단(30)은 금와이어 또는 알루미늄와이어와 같은 도전성와이어를 이용하거나, 본드핑거(12)에 연장된 리드 등을 이용함이 바람직하다.(도2e)

상기 웨이퍼(70)의 각 반도체칩(4)의 입출력패드(2), 본드핑거(12) 및 회로기판(10)의 관통공(15) 주변을 에폭시몰딩 컴파운드 또는 액상봉지재 등의 봉지재(50)를 이용하여 봉지한다.(도2f)

계속해서, 상기 회로기판(10)의 볼랜드(13)에는 솔더볼과 같은 도전성볼(40)을 융착한다.(도2g)

마지막으로 상기 요홈(3)을 통하여 외부로 노출된 접착제(20) 부분을 소잉툴(64)을 이용하여 회로기판(10)에까지 연장하여 절단함으로써 낱개의 반도체패키지로 분리한다.(도2h)

이때, 상기 소잉 단계는 요홈(3)의 폭보다 작은 소잉툴(64)을 이용함으로써, 분리된 낱개의 반도체패키지 측면이 접착제(20)로 감싸여진 형태가 되도록 함이 바람직하다.

또한, 상기 소잉 단계는 회로기판(10)의 상면을 고정수단(66) 예를 들면, 배큠 홀더(vacuum holder)나 마운트 테이프(mount tape) 등을 이용하여 고정한 상태에서 실시함이 바람직하다.

이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

발명의 효과

상기와 같이 하여 본 발명에 의한 웨이퍼의 백그라인딩 방법과 반도체패키지 및 그 제조 방법에 의하면 웨이퍼 레벨에서 반도체패키지를 제조함으로써, 각종 장비에의 투입이나 핸들링 등이 용이해지고 따라서 제조 비용이 절감되는 효과가 있다.

또한, 웨이퍼 레벨에서 패턴층이 형성된 면에 회로기판을 접착시킨 상태에서 그 뒷면을 깍아내고, 나머지 제조 공정을 수행함으로써 상기 회로기판이 얇은 상태의 웨이퍼가 휘지 않토록 지지하는 역할을 하여 결국 제조 공정중 웨페이지 문제를 해결하는 효과가 있다.

(57) 청구의 범위

청구항 1.

(삭제)

청구항 2.

(정정) 패턴층이 형성되고, 상기 패턴층에 연결되어서는 표면에 다수의 입출력패드가 형성된 다수의 반도체칩이 스트릿라인으로 구분되어 있는 웨이퍼를 제공하는 단계와;

상기 웨이퍼에서 각각의 스트릿라인을 따라 일정깊이의 요홈을 형성하되, 반도체칩에 형성된 패턴층의 깊이보다 더 깊게 형성하는 단계와;

상기 웨이퍼의 패턴층이 형성된 면 전체에 접착되어 상기 웨이퍼를 지지하는 지지수단을 접착하되, 상기 지지수단은 다수의 본드핑거 및 볼랜드로 이루어진 도전성 회로패턴이 형성되고, 상기 웨이퍼의 반도체칩의 입출력패드와 대응하는 영역에는 관통공이 형성된 회로기판과 상기 회로기판의 저면에 접착되어 상기 웨이퍼와 회로기판이 접착되도록 하는 접착제로 이루어진 것을 접착하는 단계와;

상기 웨이퍼의 패턴층이 형성되지 않은 뒷면을 그라인딩하되, 상기 요홈에 의해 각 반도체칩이 일정 거리 이격될 수 있는 길이 만큼 백그라인딩 하는 단계를 포함하여 이루어진 웨이퍼의 백그라인딩 방법.

청구항 3.

일면에 다수의 입출력패드가 형성된 반도체칩과;

상기 반도체칩의 입출력패드가 형성된 면에 위치되며, 다수의 본드핑거 및 볼랜드로 이루어진 도전성 회로패턴층이 형성되며, 상기 입출력패드와 대응하는 위치에는 관통공이 형성된 회로기판과;
상기 반도체칩의 일면과 회로기판을 상호 접착시키는 동시에 상기 반도체칩의 측면까지 감싸는 접착제와;
상기 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적으로 접속하는 전기적 접속수단과;
상기 반도체칩의 입출력패드, 접속수단 및 회로기판의 관통공 주변을 봉지하는 봉지재와;
상기 회로기판의 볼랜드에 융착되어 입출력단자로 사용되는 다수의 도전성볼을 포함하여 이루어진 것을 특징으로 하는 반도체패키지.

청구항 4.

패턴층이 형성되고, 상기 패턴층에 연결되어서는 표면에 다수의 입출력패드가 구비된 다수의 반도체칩이 스트릿라인으로 구분되어 있는 웨이퍼를 제공하는 단계와;
상기 웨이퍼에서 각각의 스트릿라인을 따라 일정깊이의 요홈을 형성하되, 반도체칩에 형성된 패턴층의 깊이보다 더 깊게 형성하는 단계와;
상기 웨이퍼상에 다수의 본드핑거 및 볼랜드로 이루어진 도전성 회로패턴이 구비되며, 상기 웨이퍼의 반도체칩의 입출력패드와 대응하는 영역에는 관통공이 형성된 회로기판을 접착제로 접착하되, 상기 접착제가 요홈 내측으로 흘러 들어가도록 하는 단계와;
상기 웨이퍼의 패턴층이 형성되지 않은 뒷면을 그라인딩하되, 상기 요홈을 통하여 접착제가 외측으로 노출되도록 하여 각 반도체칩이 일정 거리 이격되도록 하는 단계와;
상기 웨이퍼의 반도체칩의 입출력패드와 회로기판의 본드핑거를 전기적 접속수단으로 접속하는 단계와;
상기 웨이퍼의 각 반도체칩의 입출력패드, 본드핑거 및 회로기판의 관통공 주변을 봉지재로 봉지하는 단계와;
상기 회로기판의 볼랜드에 각각 도전성볼을 융착하는 단계와;
상기 요홈을 통하여 외부로 노출된 접착제 부분을 소잉 툴을 이용하여 회로기판에까지 일체로 소잉하여 낱개의 반도체패키지로 분리하는 것을 특징으로 하는 반도체패키지의 제조 방법.

청구항 5.

제4항에 있어서, 상기 소잉 단계는 요홈의 폭보다 작은 소잉툴을 이용함으로써, 분리된 낱개의 반도체패키지 측면이 접착제로 감싸여진 형태가 되도록 함을 특징으로 하는 반도체패키지의 제조 방법.

청구항 6.

제4항에 있어서, 상기 소잉 단계는 회로기판의 상면을 배큠 홀더로 고정한 상태에서 실시함을 특징으로 하는 반도체패키지의 제조 방법.

청구항 7.

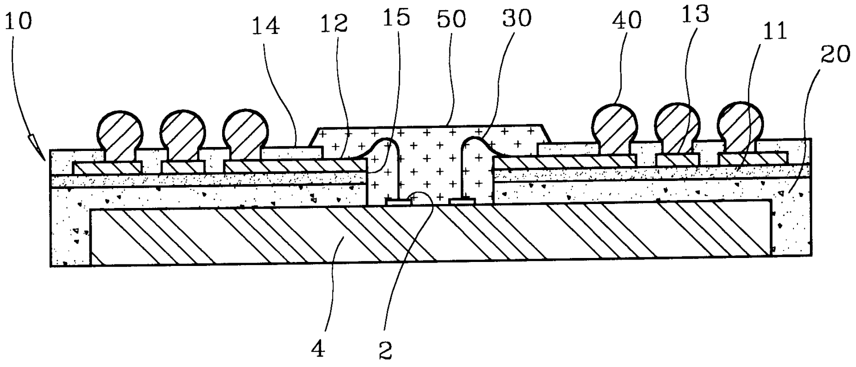
제4항에 있어서, 상기 소잉 단계는 회로기판의 상면을 마운트 테이프로 고정한 상태에서 실시함을 특징으로 하는 반도체패키지의 제조 방법.

청구항 8.

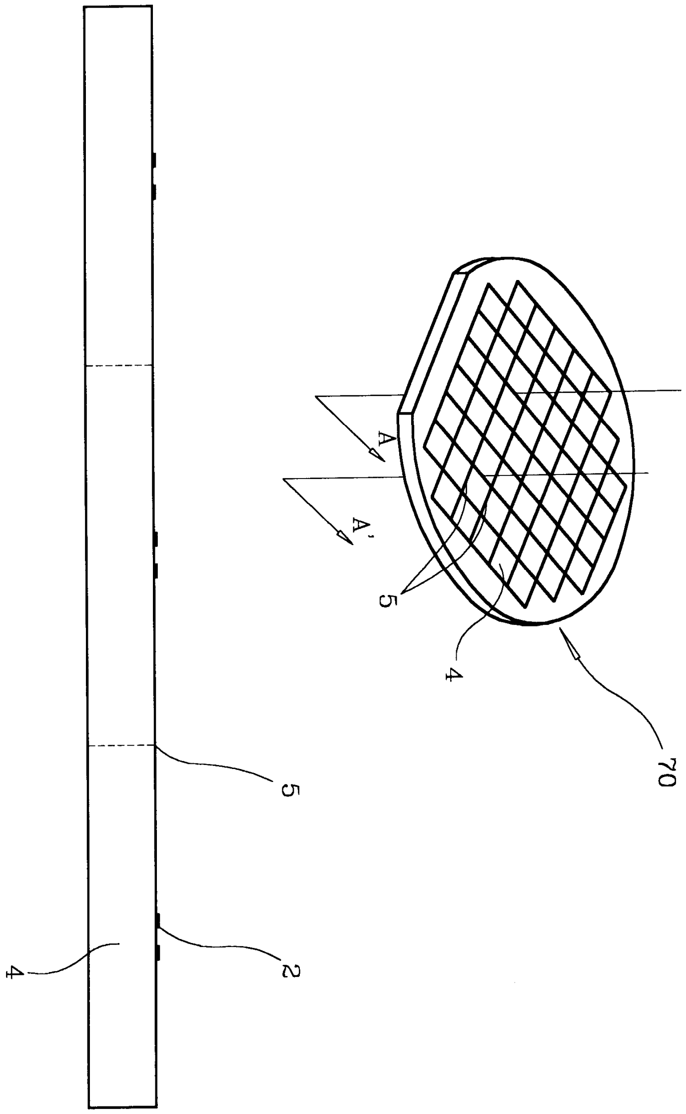
제4항에 있어서, 상기 그라인딩 단계후에는 잉크나 레이저로 마킹하는 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조 방법.

도면

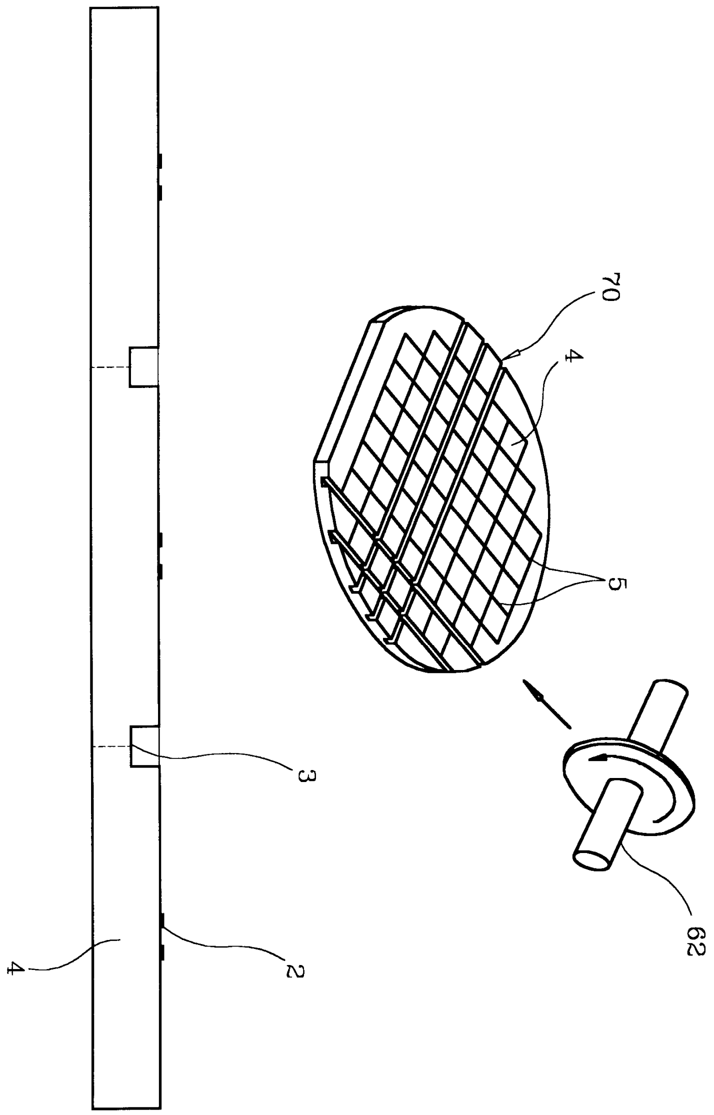
도면1



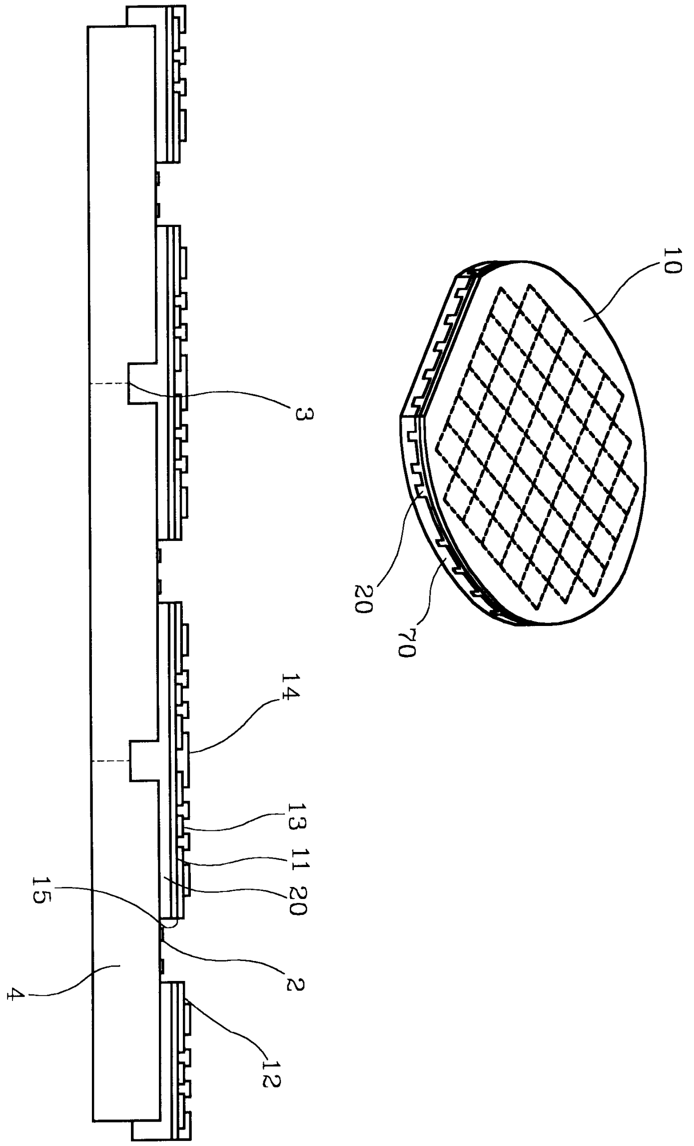
도면2a



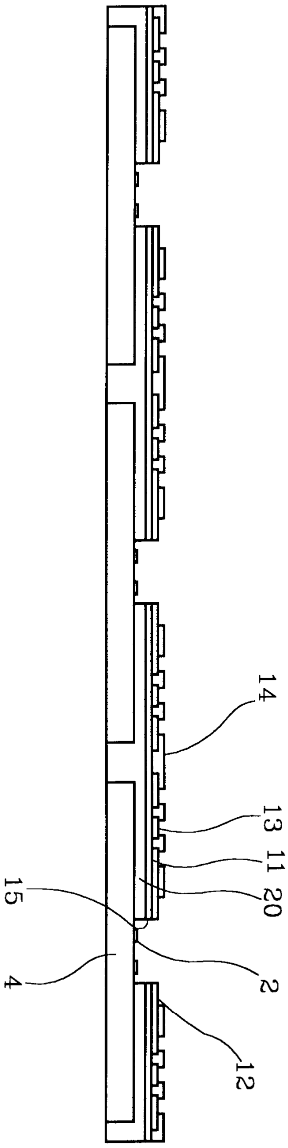
도면2b



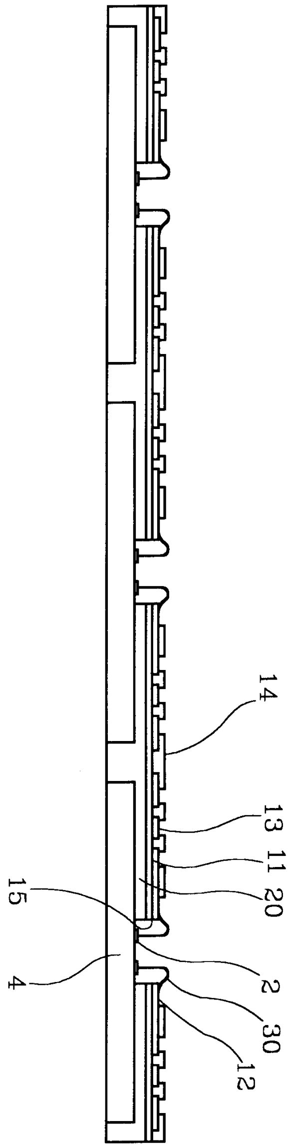
도면2c



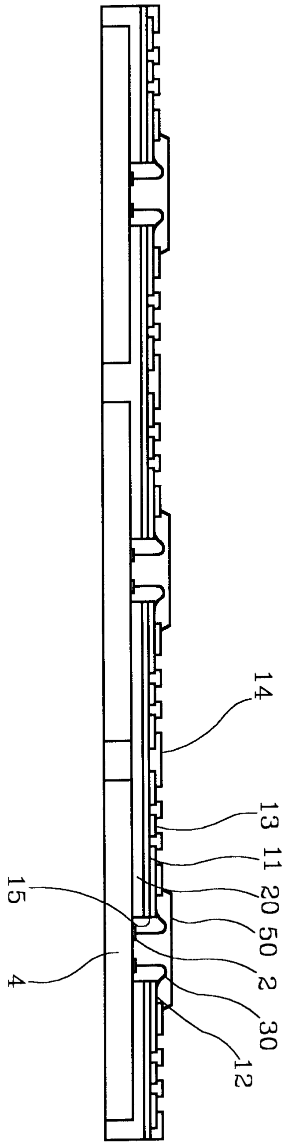
도면2d



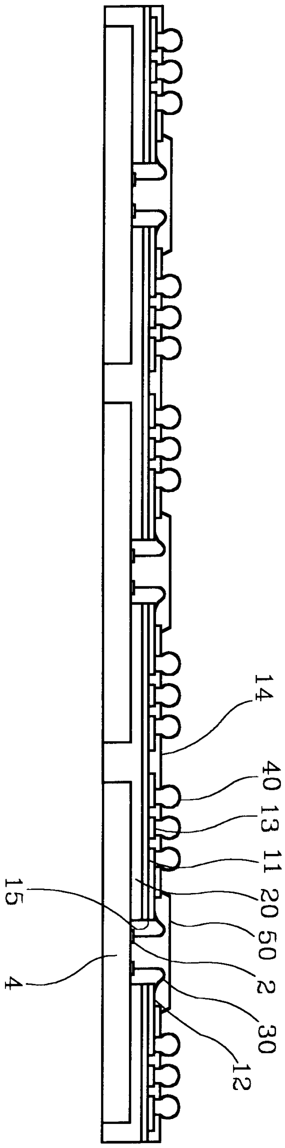
도면2e



도면2f



도면2g



도면2h