



(10) **DE 10 2014 114 836 B4** 2018.05.09

(12)

## Patentschrift

(21) Aktenzeichen: **10 2014 114 836.3**

(22) Anmeldetag: **13.10.2014**

(43) Offenlegungstag: **18.06.2015**

(45) Veröffentlichungstag  
der Patenterteilung: **09.05.2018**

(51) Int Cl.: **H01L 29/78 (2006.01)**

**H01L 27/088 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**14/053,633**      **15.10.2013**      **US**

(73) Patentinhaber:  
**Infineon Technologies AG, 85579 Neubiberg, DE**

(74) Vertreter:  
**Müller Hoffmann & Partner Patentanwälte mbB,  
81541 München, DE**

(72) Erfinder:  
**Meiser, Andreas, 82054 Sauerlach, DE; Schlösser,  
Till, Dr., 81825 München, DE; Hirler, Franz, Dr.,  
84424 Isen, DE**

(56) Ermittelter Stand der Technik:

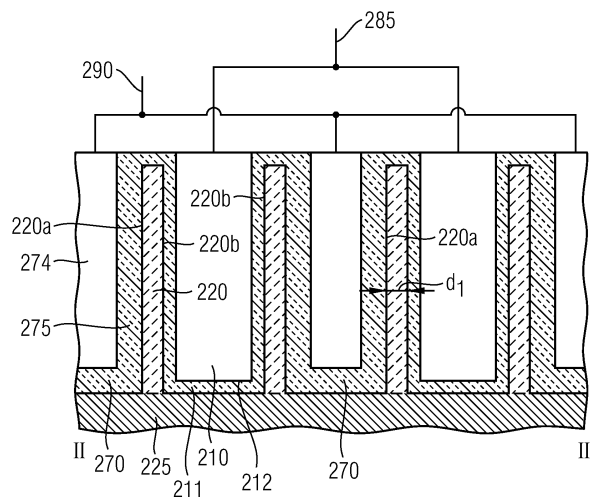
<b>US</b>	<b>7 368 777</b>	<b>B2</b>
<b>US</b>	<b>7 964 913</b>	<b>B2</b>
<b>US</b>	<b>2007 / 0 108 469</b>	<b>A1</b>

(54) Bezeichnung: **Halbleitervorrichtung**

(57) Hauptanspruch: Halbleitervorrichtung mit einem Transistor (200) in einem Halbleitersubstrat (100), das eine Hauptoberfläche (110) umfasst, wobei der Transistor (200) aufweist:

einen Sourcebereich (201) von einem ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),  
einen Drainbereich (205) vom ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),  
einen Kanalbereich (220) von einem zweiten Leitfähigkeitstyp, und

eine Gateelektrode (210), wobei der Sourcebereich (201) und der Drainbereich (205) längs einer ersten Richtung, die parallel zur Hauptoberfläche (110) ist, angeordnet sind, der Kanalbereich (220) zwischen dem Sourcebereich (201) und dem Drainbereich (205) gelegen ist, der Kanalbereich (220) eine Form eines Kammes hat, der sich längs der ersten Richtung erstreckt, der Kamm ein Oberseite (220c) und erste und zweite Seitenwände (220b, 220a) umfasst, die Gateelektrode (210) an der ersten Seitenwand (220b) des Kanalbereiches (220) angeordnet ist und die Gateelektrode (210) an der zweiten Seitenwand (220a) des Kanalbereiches (220) nicht vorhanden ist.



**Beschreibung**

## HINTERGRUND

**[0001]** Leistungstransistoren, die gewöhnlich in der Automobil- und Industrie-Elektronik eingesetzt werden, erfordern einen niedrigen Einschaltwiderstand ( $R_{on}$ ), während eine hohe Spannungssperrfähigkeit gewährleistet ist. Beispielsweise sollte ein MOS- („Metall-Oxid-Halbleiter“-)Leistungstransistor in der Lage sein, abhängig von Anforderungserfordernissen Drain-Source-Spannungen  $V_{ds}$  von einigen zehn bis einigen hundert oder tausenden Volt zu sperren. MOS-Leistungstransistoren leiten typischerweise sehr große Ströme, die bis zu einigen hundert Amperes bei typischen Gate-Source-Spannungen von etwa 2 bis 20 V betragen können.

**[0002]** Laterale Leistungsvorrichtungen, in denen ein Stromfluss hauptsächlich parallel zu einer Hauptoberfläche eines Halbleitersubstrates stattfindet, sind für Halbleitervorrichtungen nützlich, in welchen weitere Komponenten bzw. Bauelemente, wie Schalter, Brücken und Steuerschaltungen, integriert sind.

**[0003]** Beispielsweise können Leistungstransistoren in Gleichstrom/Gleichstrom- oder Wechselstrom/Gleichstrom-Konvertern bzw. -Umsetzern verwendet werden, um einen Strom durch einen Induktor bzw. eine Spule zu schalten. In diesen Konvertern werden Frequenzen in einem Bereich von einigen kHz bis zu einigen MHz verwendet. Um Schaltverluste zu verringern, werden Anstrengungen unternommen, Kapazitäten in den Leistungstransistoren zu minimieren. Dadurch können Schaltoperationen beschleunigt werden.

**[0004]** Weitere Halbleitervorrichtungen sind beispielsweise aus der US 7 368 777 B2, US 2007 / 0 108 469 A1 sowie der US 7 964 913 B2 bekannt.

**[0005]** Es ist Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung sowie eine integrierte Schaltung anzugeben die jeweils den obigen Forderungen genügen.

**[0006]** Diese Aufgabe wird erfindungsgemäß durch eine Halbleitervorrichtung mit den Merkmalen des Patentanspruches 1 bzw. 12 bzw. 20 sowie eine integrierte Schaltung mit den Merkmalen des Patentanspruches 11 bzw. 19 bzw. 23 gelöst. Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

## ZUSAMMENFASSUNG

**[0007]** Gemäß einem Ausführungsbeispiel umfasst eine Halbleitervorrichtung einen Transistor in einem Halbleitersubstrat, das eine Hauptoberfläche aufweist. Der Transistor umfasst einen Sourcebereich, einen Drainbereich, einen Kanalbereich und Gateelektrode. Der Sourcebereich und der Drainbereich sind längs einer ersten Richtung angeordnet, wobei die erste Richtung parallel zu der Hauptoberfläche ist. Der Kanalbereich ist zwischen dem Sourcebereich und dem Drainbereich vorgesehen. Der Kanalbereich hat eine Gestalt eines Kammes bzw. Grats, der sich längs der ersten Richtung erstreckt, wobei der Kamm ein Oberseite und erste und zweite Seitenwände umfasst. Die Gateelektrode ist an der ersten Seitenwand des Kanalbereiches angeordnet, und die Gateelektrode fehlt an der zweiten Seitenwand des Kanalbereiches bzw. ist dort nicht vorhanden.

**[0008]** Gemäß einem weiteren Ausführungsbeispiel umfasst eine Halbleitervorrichtung einen Transistor, der in einem Halbleitersubstrat ausgebildet ist, das eine erste Hauptoberfläche aufweist. Der Transistor umfasst einen Sourcebereich, einen Drainbereich, einen Kanalbereich, einen Gatetrench bzw. einen Gategraben benachbart zu einer ersten Seitenwand des Kanalbereiches, ein Gateleitermaterial, das in dem Gatetrench angeordnet ist, wobei das Gateleitermaterial mit einem Gateanschluss verbunden ist, und einen Kanaltrennungstrench bzw. -graben benachbart zu einer zweiten Seitenwand des Kanalbereiches. Der Kanaltrennungstrench ist gefüllt mit einer isolierenden Trennungstrenchfüllung oder weist eine leitende Füllung auf, die von dem Gateanschluss getrennt bzw. unterbrochen ist. Der Sourcebereich und der Drainbereich sind längs einer ersten Richtung angeordnet, wobei die erste Richtung parallel zu der Hauptoberfläche ist.

**[0009]** Gemäß einem weiteren Ausführungsbeispiel umfasst eine Halbleitervorrichtung ein Array bzw. eine Anordnung von Transistoren, die in einem Halbleitersubstrat gebildet sind, das eine Hauptoberfläche aufweist. Das Array von Transistoren umfasst einen Sourcebereich, einen Drainbereich, eine Vielzahl von Kanalbereichen und eine Vielzahl von Trenches bzw. Gräben, jeweils benachbart zu jedem der Kanalbereiche, so dass zwei Trenches benachbart zu einem der Kanalbereiche sind. Die Vielzahl von Trenches umfasst Gatetrenches und Kanaltrennungstrenches. Die Halbleitervorrichtung umfasst weiterhin ein Gateleitermaterial, das mit einem Gateanschluss verbunden ist, wobei das Gateleitermaterial in den Gatetrenches angeordnet ist. Der Sourcebereich und der Drainbereich sind längs einer ersten Richtung vorgesehen, wobei die erste Richtung

parallel zu der Hauptoberfläche ist. Wenigstens einer der Trenches ist ein Kanaltrennungstrench, wobei der Kanaltrennungstrench entweder mit einem dielektrischen Material gefüllt ist oder eine leitende Füllung hat, die von dem Gateanschluss abgetrennt ist.

**[0010]** Der Fachmann wird nach Lesen der folgenden Detailbeschreibung und Betrachten der begleitenden Zeichnungen zusätzliche Merkmale und Vorteile erkennen.

#### Figurenliste

**[0011]** Die beigefügten Zeichnungen sind beigeschlossen, um ein weiteres Verständnis von Ausführungsbeispielen der Erfindung zu liefern, und sie sind in die Offenbarung der Erfindung einbezogen und bilden einen Teil von dieser. Die Zeichnungen veranschaulichen die Hauptausführungsbeispiele und dienen zusammen mit der Beschreibung zum Erläutern der Prinzipien. Andere Ausführungsbeispiele und zahlreiche der beabsichtigten Vorteile werden sofort gewürdigt, da sie unter Hinweis auf die folgende Detailbeschreibung besser verstanden werden. Die Elemente der Zeichnungen sind nicht notwendigerweise maßstabsgetreu relativ zueinander. Gleiche Bezugszeichen geben entsprechend ähnliche Teile an.

**Fig. 1A** zeigt eine Schnittdarstellung einer Halbleitervorrichtung gemäß einem Ausführungsbeispiel in einer Ebene parallel zu einer Hauptoberfläche eines Halbleitersubstrates.

**Fig. 1B** zeigt eine erste Schnittdarstellung der in **Fig. 1A** dargestellten Halbleitervorrichtung.

**Fig. 1C** zeigt eine Schnittdarstellung der in **Fig. 1A** gezeigten Halbleitervorrichtung in einer Richtung senkrecht zu der Richtung der Schnittdarstellung von **Fig. 1B**.

**Fig. 2A** zeigt eine Schnittdarstellung einer Halbleitervorrichtung gemäß einem weiteren Ausführungsbeispiel.

**Fig. 2B** zeigt eine Schnittdarstellung der in **Fig. 2A** gezeigten Halbleitervorrichtung.

**Fig. 2C** zeigt eine Schnittdarstellung einer weiteren Halbleitervorrichtung.

**Fig. 3A** zeigt eine Schnittdarstellung einer Halbleitervorrichtung gemäß einem Ausführungsbeispiel.

**Fig. 3B** zeigt eine Schnittdarstellung einer Halbleitervorrichtung gemäß einem weiteren Ausführungsbeispiel.

**Fig. 3C** zeigt eine Schnittdarstellung einer Halbleitervorrichtung gemäß noch einem anderen Ausführungsbeispiel.

#### DETAILBESCHREIBUNG

**[0012]** In der folgenden Detailbeschreibung wird Bezug genommen auf die begleitenden Zeichnungen, die einen Teil der Offenbarung bilden und in denen für Veranschaulichungszwecke spezifische Ausführungsbeispiele gezeigt sind, in denen die Erfindung ausgeführt werden kann. In diesem Zusammenhang wird eine Richtungsterminologie, wie „Oberseite“, „Unterseite“, „Vorderseite“, „Rückseite“, „vorne“, „hinten“ und so weiter in Bezug auf die Orientierung der gerade beschriebenen Figuren verwendet. Da Komponenten von Ausführungsbeispielen der Erfindung in einer Anzahl von verschiedenen Orientierungen positioniert werden können, wird die Richtungsterminologie für Veranschaulichungszwecke benutzt und ist in keiner Weise begrenzend. Es ist zu verstehen, dass andere Ausführungsbeispiele herangezogen und strukturelle oder logische Änderungen gemacht werden können, ohne von dem durch die Patentansprüche definierten Bereich abzuweichen.

**[0013]** Die Beschreibung der Ausführungsbeispiele ist nicht begrenzend. Insbesondere können Elemente der im Folgenden beschriebenen Ausführungsbeispiele mit Elementen von verschiedenen Ausführungsbeispielen kombiniert werden.

**[0014]** Die Begriffe „Wafer“, „Substrat“ oder „Halbleitersubstrat“, die in der folgenden Beschreibung verwendet sind, können jegliche auf Halbleiter basierende Struktur umfassen, die eine Halbleiteroberfläche hat. Wafer und Struktur sind so zu verstehen, dass sie Silizium, Silizium-auf-Isolator (SOI), Silizium-auf-Saphir (SOS), dotierte und undotierte Halbleiter, epitaktische Schichten von Silizium, getragen durch eine Basishalbleiterunterlage, und andere Halbleiterstrukturen umfassen. Der Halbleiter braucht nicht auf Silizium zu beruhen. Der Halbleiter kann ebenso Silizium-Germanium, Germanium oder Galliumarsenid sein. Gemäß anderen Ausführungsbeispielen kann Siliziumcarbid (SiC) oder Galliumnitrid (GaN) das Halbleitersubstratmaterial bilden.

**[0015]** Die Begriffe „lateral“ und „horizontal“, wie diese in der vorliegenden Beschreibung verwendet sind, sollen eine Orientierung parallel zu einer ersten Oberfläche eines Halbleitersubstrates oder eines Halbleiterkörpers angeben. Dies kann beispielsweise die Oberfläche eines Wafers oder eines Chips bzw. einer Die sein.

**[0016]** Der Begriff „vertikal“, wie dieser in der vorliegenden Beschreibung verwendet ist, soll eine Orientierung angeben, die senkrecht zu der ersten Oberfläche des Halbleitersubstrates oder Halbleiterkörpers ist.

**[0017]** Die Figuren und die Beschreibung veranschaulichen relative Dotierungskonzentrationen durch Angabe von „-“ oder „+“ nächst zu dem Dotierungstyp „n“ oder „p“. Beispielsweise bedeutet „n-“ eine Dotierungskonzentration, die niedriger als die Dotierungskonzentration eines „n“-Dotierungsbereiches ist, während ein „n+“-Dotierungsbereich eine höhere Dotierungskonzentration hat als ein „n“-Dotierungsbereich. Dotierungsbereiche der gleichen relativen Dotierungskonzentration haben nicht notwendigerweise die gleiche absolute Dotierungskonzentration. Beispielsweise können zwei verschiedene „n“-Dotierungsbereiche die gleichen oder verschiedene absolute Dotierungskonzentrationen haben. In den Figuren und der Beschreibung werden für ein besseres Verständnis oft die dotierten Teile als „p“- oder „n“-dotiert bezeichnet. Es ist klar zu verstehen, dass diese Bezeichnung in keiner Weise begrenzend sein soll. Der Dotierungstyp kann willkürlich sein, solange die beschriebene Funktionalität erzielt wird.

**[0018]** Weiterhin können in allen Ausführungsbeispielen die Dotierungstypen umgekehrt werden.

**[0019]** Die in dieser Beschreibung verwendeten Begriffe „haben“, „enthalten“, „umfassen“, „aufweisen“ und ähnliche Begriffe sind offene Begriffe, die das Vorhandensein der festgestellten Elemente oder Merkmale angeben, jedoch nicht zusätzliche Elemente oder Merkmale ausschließen. Die unbestimmten Artikel und die bestimmten Artikel sollen sowohl den Plural als auch den Singular umfassen, falls sich aus dem Zusammenhang nicht klar etwas anderes ergibt.

**[0020]** Die in dieser Beschreibung verwendeten Begriffe „gekoppelt“ und/oder „elektrisch gekoppelt“ sollen nicht bedeuten, dass die Elemente direkt miteinander gekoppelt sein müssen, vielmehr können dazwischenliegende Elemente zwischen den „gekoppelten“ oder „elektrisch gekoppelten“ Elementen vorgesehen sein. Der Begriff „elektrisch verbunden“ soll eine niederohmige elektrische Verbindung zwischen den elektrisch miteinander verbundenen Elementen beschreiben.

**[0021]** Die vorliegende Beschreibung bezieht sich auf einen „ersten“ und einen „zweiten“ Leitfähigkeitstyp bzw. Leitungstyp von Dotierstoffen, mit denen Halbleiterteile dotiert sind. Der erste Leitfähigkeitstyp kann der p-Typ sein, und der zweite Leitfähigkeitstyp kann der n-Typ sein oder umgekehrt. Wie allgemein bekannt ist, können abhängig von dem Dotierungstyp oder der Polarität der Source- und Drainbereiche MOSFETs n-Kanal- oder p-Kanal-MOSFETs sein. Beispielsweise sind in einem n-Kanal-MOSFET die Source- und die Drainbereiche mit n-Typ-Dotierstoffen dotiert und die Stromrichtung geht von dem Drainbereich zu dem Sourcebereich. In einem p-Kanal-MOSFET sind der Source- und der Drainbereich mit p-Typ-Dotierstoffen dotiert, und die Stromrichtung führt von dem Sourcebereich zu dem Drainbereich. Wie klar zu verstehen ist, können im Zusammenhang der vorliegenden Beschreibung die Dotierungstypen umgekehrt sein. Wenn ein spezifischer Strompfad unter Verwendung einer Richtungsangabe beschrieben ist, so ist diese Beschreibung nur so zu verstehen, dass sie den Pfad und nicht die Polarität des Stromflusses anzeigt, d.h. ob der Transistor ein p-Kanal- oder ein n-Kanal-Transistor ist. Die Figuren können polaritätsempfindliche Komponenten bzw. Bauelemente aufweisen, beispielsweise Dioden. Wie klar zu verstehen ist, ist die spezifische Anordnung dieser polaritätsempfindlichen Komponenten als ein Beispiel beschrieben und kann abhängig davon, ob der erste Leitfähigkeitstyp den n-Typ oder p-Typ bedeutet, umgekehrt werden, um die beschriebene Funktionalität zu erzielen.

**[0022]** Ausführungsbeispiele sind beschrieben, wobei speziell auf sogenannte selbstsperrende Transistoren eingegangen wird, das heißt Transistoren, die in einem ausgeschalteten bzw. Aus-Zustand sind, wenn keine Gatespannung oder Gatespannung von 0 V anliegt. Wie klar zu verstehen ist, kann die vorliegende Lehre in gleicher Weise auf selbstleitende Transistoren angewandt werden, das heißt auf Transistoren, die in einem leitenden Zustand sind, wenn keine Spannung oder eine Gatespannung von 0 V angelegt ist.

**[0023]** **Fig. 1A** zeigt eine Schnittdarstellung einer Halbleitervorrichtung **1** oder einer integrierten Schaltung, die in einer Ebene parallel zu einer Hauptoberfläche eines Halbleitersubstrates geführt ist. Die Halbleitervorrichtung **1** umfasst einen Transistor **200**. Der in **Fig. 1A** gezeigte Transistor **200** umfasst einen Sourcebereich **201**, einen Drainbereich **205**, einen Kanalbereich **220** und eine Driftzone **260**. Der Sourcebereich **201**, der Drainbereich **205** und die Driftzone **260** können mit Dotierstoffen des ersten Leitfähigkeitstyps dotiert sein, beispielsweise n-Typ-Dotierstoffen. Die Dotierungskonzentration der Source- und der Drainbereiche **201**, **205**

kann höher sein als die Dotierungskonzentration der Driftzone **260**. Der Kanalbereich **220** ist zwischen dem Sourcebereich **201** und der Driftzone **260** angeordnet. Der Kanalbereich **220** ist mit Dotierstoffen eines zweiten Leitfähigkeitstyps dotiert, beispielsweise mit p-Typ-Dotierstoffen. Die Driftzone **260** kann zwischen dem Kanalbereich **220** und dem Drainbereich **205** angeordnet sein. Der Sourcebereich **201**, der Kanalbereich **220**, die Driftzone **260** und der Drainbereich **205** sind längs einer ersten Richtung parallel zu einer Hauptoberfläche des Halbleitersubstrates angeordnet. Der Sourcebereich **201** ist mit der Sourceelektrode **202** verbunden. Der Drainbereich **205** ist mit der Drainelektrode **206** verbunden. Die Halbleitervorrichtung **1** umfasst weiterhin eine Gateelektrode **210**. Die Gateelektrode **210** ist von dem Kanalbereich **220** mittels eines isolierenden Gatedielektrikummaterials **211**, wie beispielsweise Siliziumoxid, isoliert. Gemäß einem Ausführungsbeispiel kann der Transistor weiterhin eine Feldplatte **250** aufweisen, die benachbart zu der Driftzone **260** angeordnet ist. Die Feldplatte **250** ist von der Driftzone **260** mittels einer isolierenden Felddielektrikumsschicht **251**, wie beispielsweise Siliziumoxid, isoliert. Der Transistor **200** ist ein lateraler Transistor. Demgemäß erfolgt ein Stromfluss von dem Sourcebereich **201** zu dem Drainbereich **205** hauptsächlich in der ersten Richtung parallel zu der Hauptoberfläche des Halbleitersubstrates.

**[0024]** Wenn eine geeignete Spannung an die Gateelektrode **210** angelegt ist, wird eine Inversionsschicht an der Grenze zwischen dem Kanalbereich **220** und dem isolierenden Gatedielektrikummaterial **211** gebildet. Demgemäß ist der Transistor in einem leitenden Zustand von dem Sourcebereich **201** zu dem Drainbereich **205** über bzw. via die Driftzone **260**. Die Leitfähigkeit des Kanals, der in dem Kanalbereich **220** gebildet ist, wird durch die Gateelektrode gesteuert. Durch Steuern der Leitfähigkeit des Kanals, der in dem Kanalbereich gebildet ist, kann der Stromfluss von dem Sourcebereich **201** über den in dem Kanalbereich **220** gebildeten Kanal und die Driftzone **260** zu dem Drainbereich **205** gesteuert werden.

**[0025]** Wenn der Transistor ausgeschaltet ist, wird kein leitender Kanal an der Grenze zwischen dem Kanalbereich **220** und dem isolierenden Gatedielektrikummaterial **211** gebildet, so dass ein Unterschwellenstrom fließt.

**[0026]** Gemäß einem Ausführungsbeispiel kann der Transistor als ein selbstsperrender Transistor ausgeführt sein. Gemäß einem weiteren Ausführungsbeispiel kann der Transistor als ein selbstleitender Transistor ausgeführt sein. In diesem Fall kann der Kanalbereich **220** mit Dotierstoffen des ersten Leitfähigkeitstyps, beispielsweise mit n-Typ-Dotierstoffen, dotiert sein.

**[0027]** Eine geeignete Spannung kann an die Feldplatte in einem ausgeschalteten bzw. Aus-Zustand angelegt sein. Beispielsweise kann die Feldplatte **250** elektrisch mit einem Sourceanschluss verbunden sein, der auch elektrisch mit einer Sourceelektrode **202** verbunden ist. In einem Aus-Zustand verarmt die Feldplatte **250** Ladungsträger von der Driftzone **260**, so dass die Durchbruchspannungseigenschaften des Transistors **200** verbessert werden. In einem Transistor **200** mit der Feldplatte **250** kann die Dotierungskonzentration der Driftzone **260** erhöht werden, ohne die Durchbruchspannungseigenschaften im Vergleich mit einer Vorrichtung ohne eine Feldplatte zu verschlechtern. Aufgrund der höheren Dotierungskonzentration der Driftzone wird der Einschaltwiderstand  $R_{DS_{on}}$  weiter vermindert, was in verbesserten Vorrichtungseigenschaften resultiert.

**[0028]** Die Halbleitervorrichtung **1** umfasst weiterhin Kanaltrennungstrenche bzw. -gräben **270**. Aufgrund des Vorhandenseins der Kanaltrennungstrenche **270** ist die Breite des Kanalbereiches **220** vermindert. Dadurch ist es möglich, einen vollständig verarmten Transistor auszuführen. In Transistoren, die eine relativ hohe Durchbruchspannung haben, setzt eine Verringerung der Breite des aktiven Kanals nicht den Einschaltwiderstand ( $R_{on} \times A$ ) herab, da der Einschaltwiderstand hauptsächlich durch die Eigenschaften des Driftbereiches bestimmt wird. Die Trennungstrenches können mit einem isolierenden Material gefüllt werden oder können eine leitende Füllung umfassen, die von einem Gatepotential abgetrennt ist. Demgemäß ist die Anzahl der aktiven Trenches, die eine Gateelektrode umfassen, in der Halbleitervorrichtung **1** reduziert.

**[0029]** Fig. **1B** veranschaulicht eine Schnittdarstellung der Halbleitervorrichtung **1** zwischen I und I' längs der ersten Richtung, wie dies auch in Fig. **1A** angezeigt ist. Die Schnittdarstellung von Fig. **1B** ist so geführt, dass der Kanalbereich **220** und die Driftzone **260** geschnitten werden. Wie durch Strichlinien angezeigt ist, sind die Gatetrenches **212** benachbart zu dem Kanalbereich **220** in einer Ebene vor und hinter der Zeichenebene der Figur angeordnet. Weiterhin können Feldplattentrenches **252** benachbart zu der Driftzone **260** in einer Ebene vor und hinter der Zeichenebene der Figur angeordnet sein. Der Gatetrench **212** und der Feldplattentrench **252** erstrecken sich von der Hauptoberfläche **110** in einer Tiefenrichtung des Substrates **100**. Als eine Folge ist der Gatetrench benachbart zu wenigstens zwei Seiten des Kanalbereiches **220**. Weiterhin hat der Kanalbereich **220** die Gestalt eines ersten Kammes. Aufgrund des Vorhandenseins der Feldplattentrenches **252** kann gemäß einem Ausführungsbeispiel die Driftzone **260** die Gestalt eines zweiten Kammes haben.

**[0030]** Der Sourcebereich **201** erstreckt sich von der Hauptoberfläche **110** in einer Tiefenrichtung des Substrates **100**, das heißt senkrecht bezüglich der Hauptoberfläche **110**. Der Drainbereich **205** erstreckt sich in ähnlicher Weise von der Hauptoberfläche **110** in einer Tiefenrichtung des Substrates **100**. **Fig. 1B** zeigt weiterhin einen Bodyverbindungsimplantationsbereich **225**, der unter dem Kanalbereich **220** und unter einem Teil der Driftzone **260** angeordnet ist. Der Bodyverbindungsimplantationsteil **225** verbindet elektrisch den Kanalbereich mit der Sourceelektrode **202** und unterdrückt oder beseitigt weiterhin einen parasitären bipolaren Transistor. Darüber hinaus kann sich der Bodyverbindungsimplantationsteil **225** unterhalb der Driftzone **260** erstrecken, so dass in einem Aus-Zustand des Transistors die Driftzone **260** leichter verarmt werden kann. Der Bodyverbindungsimplantationsteil **225** kann mit Dotierstoffen des zweiten Leitfähigkeitstyps bei einer höheren Konzentration als der Kanalbereich dotiert sein.

**[0031]** **Fig. 1C** veranschaulicht eine Schnittdarstellung der Halbleitervorrichtung, die zwischen **II** und **II'** geführt ist, wie dies auch in **Fig. 1A** gezeigt ist. Die Richtung zwischen **II** und **II'** ist senkrecht zu der ersten Richtung. Wie in **Fig. 1C** gezeigt ist, hat der Kanalbereich **220** die Gestalt eines Kammes, wobei der Kamm eine Breite  $d_1$  hat. Beispielsweise kann der Kamm eine Oberseite, eine erste Seitenwand **220b** und eine zweite Seitenwand **220a** aufweisen. Die Seitenwände **220b**, **220a** können sich senkrecht oder unter einem Winkel von mehr als  $75^\circ$  bezüglich der Hauptoberfläche **110** erstrecken.

**[0032]** Gemäß dem Ausführungsbeispiel von **Fig. 1C** umfasst eine Halbleitervorrichtung einen Transistor **200**. Der Transistor **200** umfasst einen Sourcebereich **201**, einen Drainbereich **205**, einen Kanalbereich **220** und eine Gateelektrode **210**. Der Kanalbereich **220** ist längs einer ersten Richtung zwischen dem Sourcebereich **201** und dem Drainbereich **205** angeordnet, wobei die erste Richtung parallel zu der Hauptoberfläche ist. Der Kanalbereich **220** hat eine Gestalt bzw. Form eines Kammes, der sich längs der ersten Richtung erstreckt, wobei der Kamm eine Oberseite **220c**, eine erste Seitenwand **220b** und eine zweite Seitenwand **220a** aufweist. Die Gateelektrode **210** ist benachbart zu der ersten Seitenwand **220b** des Kanalbereiches, und die Gateelektrode fehlt bzw. ist abwesend von der zweiten Seitenwand **220a** des Kanalbereiches **220**.

**[0033]** Wenn die Halbleitervorrichtung **1** in einem Ein- bzw. Einschaltzustand betrieben wird, wird eine leitende Inversionsschicht längs der ersten Seitenwand **220b** gebildet. Aufgrund der Abwesenheit der Gateelektrode an der zweiten Seitenwand **220a** des Kanalbereiches **220** wird keine leitende Inversionsschicht an der zweiten Seitenwand **220a** gebildet.

**[0034]** Die Halbleitervorrichtung **1** kann ein Kanaltrennungselement benachbart zu der zweiten Seitenwand **220b** des Kanalbereiches **220** aufweisen.

**[0035]** Beispielsweise kann das Kanaltrennungselement einen Kanaltrennungstrench bzw. -graben **270** aufweisen, der mit einer Trennungstrenchfüllung gefüllt ist.

**[0036]** Gemäß einem weiteren Ausführungsbeispiel kann der Kanaltrennungstrench **270** eine leitende Füllung **274** und ein Trennungsdielektrikum **275** umfassen, das zwischen der leitenden Füllung **274** und dem Kanalbereich **220** angeordnet ist. Die Dicke des Trennungsdielektrikums **275** kann größer sein als die Dicke des Gatedielektrikums **211** zwischen der Gateelektrode **210** und dem Kanalbereich **220**.

**[0037]** Gemäß einem Ausführungsbeispiel können der Sourcebereich **201** und die leitende Füllung **274** des Kanaltrennungstrenches **270** mit einem Sourceanschluss **280** verbunden sein.

**[0038]** Die Breite der einigen Gatetrenches **212** und der einigen Kanaltrennungstrenches **270** kann verschieden voneinander sein.

**[0039]** Gemäß einem Ausführungsbeispiel erfüllt die Breite  $d_1$  des Kanalbereiches **220** die folgende Beziehung:  $d_1 \leq l_d$ , wobei  $l_d$  eine Länge einer Verarmungszone bezeichnet, die an der Zwischenfläche zwischen der Gatedielektrikumschicht **211** und dem Kanalbereich **220** gebildet ist. Beispielsweise kann die Breite der Verarmungszone bestimmt werden zu:

$$l_d = \sqrt{\frac{4\varepsilon_s k T \ln(N_A/n_i)}{q^2 N_A}}$$

wobei  $\epsilon_s$  die Dielektrizitätskonstante des Halbleitermaterials ( $11,9 \times \epsilon_0$  für Silizium,  $\epsilon_0 = 8,85 \times 10^{-14}$  F/cm) bezeichnet,  $k$  die Boltzmann-Konstante ( $1,38066 \times 10^{13}$  J/k) ist,  $T$  die Temperatur bedeutet,  $\ln$  den natürlichen Logarithmus angibt,  $N_A$  die Fremdstoffkonzentration des Halbleiterkörpers ist,  $n_i$  die intrinsische Trägerkonzentration bedeutet ( $1,45 \times 10^{10}$  cm<sup>-3</sup> für Silizium bei 27°C) und  $q$  die Elementarladung ( $1,6 \times 10^{-19}$  C) ist.

**[0040]** Im Allgemeinen verändert sich die Länge der Verarmungszone abhängig von der Gatespannung. Es wird angenommen, dass in einem Transistor die Länge der Verarmungszone bei einer Gatespannung entsprechend der Schwellenspannung der maximalen Breite der Verarmungszone entspricht. Beispielsweise kann die Breite der ersten Kämmen angenähert 10 bis 200 nm, z.B. 20 bis 60 nm, längs der Hauptoberfläche **110** des Halbleitersubstrates **100** betragen.

**[0041]** Darüber hinaus kann das Verhältnis von Länge zu Breite die folgende Beziehung erfüllen:  $s_1/d_1 > 2,0$ , wobei  $s_1$  die Länge des ersten Kamms überlappend mit der Gateelektrode oder, anders ausgedrückt, die Länge des Kanalbereiches, gemessen längs der ersten Richtung, wie dies auch in **Fig. 1** veranschaulicht ist, bedeutet. Gemäß weiteren Ausführungsbeispielen gilt  $s_1/d_1 > 2,5$ .

**[0042]** Gemäß dem Ausführungsbeispiel, in welchem für die Breite  $d_1 \leq l_d$  vorliegt, ist der Transistor **200** ein sogenannter „vollständig verarmter“ Transistor, in welchem der Kanalbereich **220** vollständig verarmt ist, wenn die Gateelektrode **210** auf eine Ein- bzw. Einschaltspannung gesetzt ist. In einem derartigen Transistor kann eine optimale Unterschwellenspannung erzielt werden, und Kurzkanaleffekte können wirksam unterdrückt werden, was in verbesserten Vorrichtungseigenschaften resultiert.

**[0043]** Aufgrund des Merkmals, dass die Gateelektrode von der zweiten Seitenwand des Kanalbereiches fehlt bzw. abwesend ist, kann die Gatekapazität vermindert werden, was in reduzierten Schaltverlusten resultiert. Gemäß einem Ausführungsbeispiel umfasst der Kanaltrennungstrench eine leitende Füllung und ein Trennungsdielektrikum **275**, das zwischen der leitenden Füllung **274** und dem Kanalbereich **220** angeordnet ist. Die Dicke des Trennungsdielektrikums **275** kann größer sein als die Dicke des Gatedielektrikums **211** zwischen der Gateelektrode **210** und dem Kanalbereich **220**. Wie herausgefunden wurde, wird aufgrund dieses Merkmales eine an die Gateelektrode angelegte Spannung nahezu vollständig an der Gateelektrode wirksam. Das heißt, aufgrund der vergrößerten Dicke des Trennungsdielektrikums **275** im Vergleich mit dem Gatedielektrikum **211** wird die leitende Füllung **274** in dem Kanaltrennungstrench **270** daran gehindert, als ein Spannungsteiler zu wirken, der einen Teil der angelegten Spannung aufnimmt. Als ein Ergebnis kann die Steilheit der Unterschwellenneigung der Strom-Spannungskennlinien des Transistors weiter gesteigert werden.

**[0044]** Gemäß einem weiteren Ausführungsbeispiel kann der Kanaltrennungstrench **270** mit einem isolierenden Material gefüllt werden. Aus Symmetriegründen wirkt ein derartiger Trennungstrench wie ein SOI-(Silizium-auf-Isolator-)Substrat, das einen Isolator einer unendlichen Dicke hat.

**[0045]** Gemäß einem Ausführungsbeispiel kann die Driftzone **260** eine flache Oberfläche haben, die nicht gemustert ist, um Kämmen zu bilden. Gemäß einem weiteren Ausführungsbeispiel kann die Feldplatte **250** in Trenches **252** angeordnet sein, so dass die Driftzone **260** Kämmen aufweist. In einem Transistor, der eine Feldplatte **250** umfasst, kann es wünschenswert sein, eine Driftzone **260** mit einer Breite  $d_2$  zu verwenden, die größer ist als die Breite  $d_1$  des Kanalbereiches, um beispielsweise die Ausgangskapazität  $C_{oss}$  zu begrenzen. Die Feldplattentrenches **252** können in einem größeren Abstand angeordnet sein, so dass die Teile der Driftzone **260**, die zwischen benachbarten Feldplattentrenches **252** vorgesehen sind, eine größere Breite haben. Gemäß einem anderen Ausführungsbeispiel kann  $d_2$  kleiner als  $d_1$  gewählt sein. Typischerweise ist die Dicke der Felddielektrikumschicht zwischen der Feldplatte und der Driftzone dicker als die Dicke der Gatedielektrikumschicht, um die Drain-Source-Durchbruchspannung zu erhöhen. Dies kann in einer größeren Teilung der Feldplattentrenches im Vergleich mit den Gatetrenches und den Trennungstrenches resultieren.

**[0046]** Um die Eigenschaften der Halbleitervorrichtung in dem Kanalbereich zu verbessern und um weiterhin die Vorrichtungseigenschaften in der Driftzone zu verbessern, kann ein Mustern der Gateelektrode und der Feldplatte vorgenommen werden, indem eine geeignete Ätzmaske verwendet wird, damit eine verschiedene Breite der ersten und zweiten Kämmen vorgesehen wird.

**[0047]** Wie weiter unten näher erläutert werden wird, kann dies erreicht werden durch Bilden eines Satzes von Gatetrenches **212**, die eine kleinere Teilung haben, und durch Bilden eines Satzes von Feldplattentrenches **252**, die eine größere Teilung haben. Gemäß einem Ausführungsbeispiel können die Gatetrenches **212** und die Feldplattentrenches **252** getrennt voneinander sein. Gemäß einem weiteren Ausführungsbeispiel können die

Gatetrenches **212** und die Feldplattentrenches **252** verschmolzen bzw. einheitlich sein, um so einen einzigen Trench zu bilden, der eine verschiedene Breite hat.

**[0048]** Die in den **Fig. 1A** bis **Fig. 1C** gezeigten Halbleitervorrichtungen bilden laterale Leistungstransistoren aus. Sie können in Gleichstrom/Gleichstrom- oder Wechselstrom/Gleichstrom-Konvertern bzw. Umsetzern verwendet werden, da sie in einer einfachen Weise integriert werden können. Weiterhin können sie hohe Stromdichten erzielen, so dass sie für eine kleine Leistung und Spannungen zwischen 10 V und einigen hundert Volt verwendet werden können.

**[0049]** **Fig. 2A** zeigt eine Schnittdarstellung einer Halbleitervorrichtung oder einer integrierten Schaltung gemäß einem Ausführungsbeispiel in einer Ebene, die parallel zu der Hauptoberfläche des Halbleitersubstrates ist. Die Halbleitervorrichtung umfasst Kanaltrennungstrenches **270**. In dem Ausführungsbeispiel von **Fig. 2A** umfassen die Kanaltrennungstrenches **270** eine leitende Füllung **274**. Eine Trennungsdielektrikumschicht **275** ist zwischen der leitenden Füllung **274** und dem benachbarten Kanalbereich **220** angeordnet. Die leitende Füllung **274** ist mit einem Anschluss **290** verbunden, der an ein Potential angeschlossen ist, das verschieden von dem Gatepotential ist. Beispielsweise kann die leitende Füllung **274** mit dem Sourceanschluss verbunden sein oder kann geerdet sein. Dadurch kann die Gate-Drain-Kapazität weiter vermindert werden. Die Trennungsdielektrikumschicht **275** kann eine größere Dicke haben als die Gatedielektrikumschicht **211**. Gemäß einem weiteren Ausführungsbeispiel kann die Dicke der Trennungsdielektrikumschicht **275** gleich wie die Dicke der Gatedielektrikumschicht **211** sein. Gemäß einem Ausführungsbeispiel kann eine Dicke der Gatedielektrikumschicht **211** an einem Teil **211d** benachbart zu dem Drainbereich **205** größer sein als eine Dicke der Gatedielektrikumschicht **211** an einem Teil benachbart zu dem Kanalbereich **220**. Die weiteren Komponenten des in **Fig. 2A** gezeigten Ausführungsbeispiels sind ähnlich zu denjenigen von **Fig. 1A**.

**[0050]** **Fig. 2B** zeigt eine Schnittdarstellung der in **Fig. 2A** dargestellten Halbleitervorrichtung zwischen **II** und **II'**, wie dies auch in **Fig. 2A** angegeben ist. Wie dargestellt ist, ist die Gateelektrode **210** benachbart zu einer ersten Seitenwand **220b** des Kanalbereiches **220** angeordnet. Weiterhin sind Kanaltrennungstrenches **270** benachbart zu einer zweiten Seitenwand **220a** von jedem der Kanalbereiche **220**. Eine leitende Füllung **274** ist in den Kanaltrennungstrenches **270** vorgesehen.

**[0051]** Die Gateelektroden **210** sind mit einem Gateanschluss **285** verbunden. Weiterhin ist die leitende Füllung **274** der Kanaltrennungstrenches **270** mit einem Anschluss **290** verbunden, der verschieden von dem Gateanschluss **285** ist. Als eine Folge können die Gate-Drain-Kapazitäten vermindert werden. Darüber hinaus kann die Dicke der Trennungsdielektrikumschicht **275** größer sei als die Dicke der Gatedielektrikumschicht **211**. Dadurch kann die Steilheit der Unterschwellenneigung der Strom-Spannungskennlinien des Transistors weiter gesteigert werden.

**[0052]** Das oben erläuterte Konzept kann in verschiedener Weise modifiziert werden. Beispielsweise kann die Driftzone **260** in verschiedenen Weisen ausgeführt werden. Weiterhin kann die Halbleitervorrichtung ohne Feldplatten einschließlich einer leitenden Füllung ausgebildet werden. Beispielsweise kann die Halbleitervorrichtung z.B. einen Stapel von abwechselnden p- und n-dotierten Kompensationsgebieten, die sich in der ersten Richtung erstrecken, umfassen, wie dies üblich ist. Dadurch kann eine Kompensationsvorrichtung oder eine Superjunctionvorrichtung bzw. Superübergangvorrichtung ausgebildet werden. Gemäß noch einem weiteren Ausführungsbeispiel kann auf einen Driftbereich verzichtet werden.

**[0053]** **Fig. 2C** zeigt eine Schnittdarstellung des Ausführungsbeispiels, gemäß welchem der Drainbereich **205** direkt benachbart zu dem Kanalbereich **220** ohne eine Driftzone **260**, die zwischen dem Kanalbereich und dem Drainbereich **205** angeordnet ist, gelegen ist. Gemäß der in **Fig. 2C** gezeigten Ausführung kann die Dicke der Gatedielektrikumschicht **211** in dem Teil **211d** benachbart zu dem Drainbereich **205** vergrößert werden, um so die Gate-Drain-Kapazität weiter zu reduzieren.

**[0054]** **Fig. 3A** zeigt eine Schnittdarstellung eines weiteren Ausführungsbeispiels einer Halbleitervorrichtung oder einer integrierten Schaltung. Die Schnittdarstellung von **Fig. 3A** ist parallel zu der Hauptoberfläche des Substrates geführt. Gemäß dem Ausführungsbeispiel von **Fig. 3A** sind die Kanaltrennungstrenches **270**, die eine leitende Füllung **274** umfassen, mit den Feldplattentrenches verbunden, um so ausgedehnte Feldplattentrenches **273** zu bilden. Damit umfasst die Halbleitervorrichtung gemäß dem Ausführungsbeispiel von **Fig. 3A** Gatetrenches **212** einschließlich der Gateelektrode **210**, die von dem benachbarten Kanalbereich mittels des Gatedielektrikums **211** isoliert ist. Die Halbleitervorrichtung umfasst weiterhin ausgedehnte Feldplattentrenches **273**, die sich zu dem Kanalbereich **220** erstrecken. Die ausgedehnten Feldplattentrenches sind mit einer leitenden Füllung **274** gefüllt, die mit einem Sourceanschluss **280** verbunden sein kann. Die leitende Füllung **274**



der ausgedehnten Feldplattentrenches **273** ist von dem Kanalbereich mittels der Felddielektrikumschicht **251** isoliert. Die Dicke der Felddielektrikumschicht **251** kann größer sein als die Dicke der Gatedielektrikumschicht **211**. Der Kanalbereich **220** umfasst eine erste Seitenwand **220b** und eine zweite Seitenwand **220a**, wobei die Gateelektrode **210** benachbart zu der ersten Seitenwand ist. Weiterhin ist die leitende Füllung **274** benachbart zu der zweiten Seitenwand **220a** der Kämme. Da die leitende Füllung **274** nicht mit dem Gateanschluss verbunden ist, wird ein Verarmungsbereich lediglich an der Zwischenfläche der ersten Seitenwand **220b** mit dem Gatedielektrikum **211** gebildet, wenn eine geeignete Gatespannung an dem Gateanschluss **285** angelegt wird. In der in **Fig. 3A** gezeigten Halbleitervorrichtung kann das effektive Gategebiet vermindert werden, was in einer reduzierten Gatekapazität resultiert.

**[0055]** **Fig. 3B** zeigt eine Schnittdarstellung einer Halbleitervorrichtung oder einer integrierten Schaltung gemäß einem weiteren Ausführungsbeispiel. In ähnlicher Weise, wie in **Fig. 3A** gezeigt ist, sind die Gatetrenches **212** und die Kanaltrennungstrenches **270** in einer abwechselnden Weise angeordnet, so dass ein Gatetrench **212** benachbart zu einer ersten Seitenwand **220b** von jedem der Kanalbereiche **220** ist und ein Kanaltrennungstrench **270a**, **270b** benachbart zu einer zweiten Seitenwand **220a** von jedem der Kanalbereiche ist. Wie weiter in **Fig. 3B** gezeigt ist, umfassen die Kanaltrennungstrenches **270** erste Kanaltrennungstrenches **270a**, die mit einem isolierenden Material gefüllt sind, und zweite Kanaltrennungstrenches **270b**, die mit einer leitenden Füllung **273** und einer Felddielektrikumschicht **251** zwischen der leitenden Füllung **273** und dem Kanalbereich **220** gefüllt sind. Wie weiter in **Fig. 3B** veranschaulicht ist, sind die zweiten Kanaltrennungstrenches **270b** als ausgedehnte Feldplattentrenches **273** ausgeführt, die sich zu der Driftzone **260** erstrecken, um die Feldplattentrenches zu bilden. Die Dicke der Felddielektrikumschicht **251** kann größer sein als die Dicke der Gatedielektrikumschicht **211**.

**[0056]** **Fig. 3C** zeigt eine Schnittdarstellung einer Halbleitervorrichtung oder einer integrierten Schaltung gemäß einem weiteren Ausführungsbeispiel. Wie dargestellt ist, kann die Trennungsdielektrikumschicht **275**, die benachbart zu dem Kanalbereich **220** ist, eine Dicke haben, die angenähert gleich zu der Dicke der Gatedielektrikumschicht **211** ist. Darüber hinaus sind die zweiten Kanaltrennungstrenches als ausgedehnte Feldplattentrenches **273** ausgeführt, in welchem sich die leitenden Füllung **274** der Trennungstrenches zu der Driftzone **260** erstreckt, um eine Feldplatte zu bilden. Die Trennungsdielektrikumschicht **275** hat eine größere Dicke in einem Bereich benachbart zu der Driftzone **260** als in einem Bereich benachbart zu dem Kanalbereich **220**. Wie oben diskutiert wurde, umfasst die Halbleitervorrichtung **1** ein Array bzw. eine Anordnung von Transistoren **200**, die in einem Halbleitersubstrat **100** gebildet sind, das eine Hauptoberfläche **110** hat. Das Array von Transistoren **200** umfasst einen Sourcebereich **201**, einen Drainbereich **205**, eine Vielzahl von Kanalbereichen **220** und eine Vielzahl von Trenches **212**, **270** benachbart zu jedem der Kanalbereiche **220**, so dass zwei Trenches benachbart zu einem der Kanalbereiche sind. Die Vielzahl von Trenches umfasst Gatetrenches **212** und Kanaltrennungstrenches **270**. Die Halbleitervorrichtung umfasst ein Gateleitermaterial **210**, das mit einem Gateanschluss **285** verbunden ist, und das Gateleitermaterial **210** ist in den Gatetrenches **212** angeordnet. Der Kanalbereich **220** ist längs einer ersten Richtung zwischen dem Sourcebereich **201** und dem Drainbereich **205** angeordnet, wobei die erste Richtung parallel zu der Hauptoberfläche **110** ist. Wenigstens einer der Trenches ist ein Kanaltrennungstrench **270**, wobei der Kanaltrennungstrench **270** entweder mit einem dielektrischen Material **272** gefüllt oder mit einem dielektrischen Material ausgekleidet und mit einer leitenden Füllung **274**, die von dem Gateanschluss **285** getrennt ist, gefüllt ist.

**[0057]** Gemäß einem Ausführungsbeispiel sind die Gatetrenches **212** und die Kanaltrennungstrenches **270** in einer abwechselnden Weise angeordnet, so dass ein Gatetrench **212** und ein Kanaltrennungstrench **270** zu verschiedenen Seitenwänden **220b**, **220a** von jedem der Kanalbereiche **220** benachbart sind.

**[0058]** Gemäß einem Ausführungsbeispiel umfassen die Kanaltrennungstrenches **270** erste Kanaltrennungstrenches **270a**, die mit einem isolierenden Material gefüllt sind, und zweite Kanaltrennungstrenches **270b**, die mit einer leitenden Füllung **274** und einer Trennungsdielektrikumschicht **275** zwischen der leitenden Füllung **274** und dem Kanalbereich **220** gefüllt sind.

**[0059]** Damit ist die Anzahl der aktiven Gatetrenches in der Halbleitervorrichtung **1** reduziert. Die leitende Inversionsschicht ist an lediglich einer Seitenwand des Kanalbereiches gebildet. In Vorrichtungen, die eine höhere Durchbruchspannung haben, sollte eine Reduktion der Dichte an aktiven Kanälen einen kleinen Einfluss auf  $R_{on} \times A$  haben, das hauptsächlich durch die Eigenschaften der Driftzone **260** bestimmt ist. Demgemäß kann die Gatekapazität vermindert werden, ohne den Einschaltwiderstand ( $R_{on} \times A$ ) zu verschlechtern. Weiterhin kann gemäß einem Ausführungsbeispiel die Gatekapazität vermindert werden, ohne die Unterschwellenneigung der Strom-Spannungskennlinien zu verschlechtern.

**[0060]** In anderen Ausführungsbeispielen kann der Transistor als eine selbstleitende Vorrichtung ausgeführt sein. In diesem Fall kann der Kanalbereich von dem gleichen Leitfähigkeitstyp wie die Source- und Drainbereiche sein.

**[0061]** Der beschriebene Transistor bezieht sich auf einen MOSFET („Metall-Oxid-Halbleiter-Feldeffekttransistor“), in welchem ein Gatedielektrikummaterial, wie Siliziumoxid, zwischen der Gateelektrode und dem Kanalbereich angeordnet ist. Gemäß einem weiteren Ausführungsbeispiel kann der Transistor ein JFET („Junction-Feldeffekttransistor“ bzw. „Übergang-Feldeffekttransistor“) sein, in welchem die Gateelektrode direkt benachbart zu dem Kanalbereich ist, ohne ein Gatedielektrikummaterial, das zwischen der Gateelektrode und dem Kanalbereich vorgesehen ist. Gemäß diesem Ausführungsbeispiel kann der Kanalbereich mit n-Typ-Dotierstoffen dotiert sein. Die Gateelektrode kann durch ein p-dotiertes Halbleitermaterial ausgeführt sein, beispielsweise durch p-dotiertes Polysilizium. Weitere Komponenten der Halbleitervorrichtung können in einer Weise ausgebildet sein, wie dies oben beschrieben ist.

**[0062]** Gemäß einem weiteren Ausführungsbeispiel kann die Halbleitervorrichtung außerdem Kontakte zu einer zweiten Hauptoberfläche umfassen, die entgegengesetzt zur ersten Hauptoberfläche **110** des Halbleitersubstrates **100** ist. Gemäß einem Ausführungsbeispiel kann sich die Sourceelektrode **202**, die elektrisch mit dem Sourcebereich **201** gekoppelt ist, zu der ersten Hauptoberfläche **110** erstrecken, und die Drainelektrode **206**, die mit dem Drainbereich **205** elektrisch gekoppelt ist, kann sich zu der zweiten Hauptoberfläche erstrecken, die entgegengesetzt zu der ersten Hauptoberfläche **110** ist.

### Patentansprüche

1. Halbleitervorrichtung mit einem Transistor (200) in einem Halbleitersubstrat (100), das eine Hauptoberfläche (110) umfasst, wobei der Transistor (200) aufweist:
  - einen Sourcebereich (201) von einem ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),
  - einen Drainbereich (205) vom ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),
  - einen Kanalbereich (220) von einem zweiten Leitfähigkeitstyp, und
  - eine Gateelektrode (210), wobei der Sourcebereich (201) und der Drainbereich (205) längs einer ersten Richtung, die parallel zur Hauptoberfläche (110) ist, angeordnet sind, der Kanalbereich (220) zwischen dem Sourcebereich (201) und dem Drainbereich (205) gelegen ist, der Kanalbereich (220) eine Form eines Kammes hat, der sich längs der ersten Richtung erstreckt, der Kamm ein Oberseite (220c) und erste und zweite Seitenwände (220b, 220a) umfasst, die Gateelektrode (210) an der ersten Seitenwand (220b) des Kanalbereiches (220) angeordnet ist und die Gateelektrode (210) an der zweiten Seitenwand (220a) des Kanalbereiches (220) nicht vorhanden ist.
2. Halbleitervorrichtung nach Anspruch 1, bei der in einem Einschaltzustand eine leitende Inversionsschicht längs der ersten Seitenwand (220b) gebildet ist.
3. Halbleitervorrichtung nach Anspruch 1 oder 2, weiterhin umfassend ein Kanaltrennungselement benachbart zu der zweiten Seitenwand (220a) des Kanalbereiches (220).
4. Halbleitervorrichtung nach Anspruch 3, bei der das Kanaltrennungselement einen Kanaltrennungstrench (270) umfasst, der mit einer Trennungstrenchfüllung (274, 275) gefüllt ist.
5. Halbleitervorrichtung nach Anspruch 3, bei der das Kanaltrennungselement einen Kanaltrennungstrench (270) umfasst, der eine leitende Füllung (274) und ein Trennungsdielektrikum (275), das zwischen der leitenden Füllung (274) und dem Kanalbereich (220) angeordnet ist, aufweist.
6. Halbleitervorrichtung nach Anspruch 5, bei der eine Dicke des Trennungsdielektrikums (275) größer ist als eine Dicke eines Gatedielektrikums (211) zwischen der Gateelektrode (210) und dem Kanalbereich (220).
7. Halbleitervorrichtung nach Anspruch 5 oder 6, bei der der Sourcebereich (201) und die leitende Füllung (274) des Kanaltrennungstrenches (270) elektrisch mit einem Sourceanschluss (290) verbunden sind.
8. Halbleitervorrichtung nach einem der Ansprüche 1 bis 7, weiterhin umfassend eine Driftzone (260) zwischen dem Kanalbereich (220) und dem Drainbereich (205).

9. Halbleitervorrichtung nach einem der Ansprüche 4 bis 7, weiterhin umfassend eine Driftzone (260) und eine Feldplatte (250) bei der Driftzone (260), wobei die Feldplatte (250) mit dem Kanaltrennungstrench (270) verbunden ist.

10. Halbleitervorrichtung nach einem der Ansprüche 1 bis 9, bei der eine Breite  $d$  des Kammes gegeben ist durch:  $d < l_d$ , wobei  $l_d$  eine Länge einer Verarmungszone angibt, die an einer Zwischenfläche zwischen dem Kamm und der Gateelektrode (210) gebildet ist.

11. Integrierte Schaltung, umfassend die Halbleitervorrichtung nach einem der Ansprüche 1 bis 10.

12. Halbleitervorrichtung mit einem Transistor (200), der in einem eine Hauptoberfläche (110) aufweisenden Halbleitersubstrat (100) gebildet ist, wobei der Transistor (200) aufweist:  
einen Sourcebereich (201) von einem ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),  
einen Drainbereich (205) vom ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),  
einen Kanalbereich (220) von einem zweiten Leitfähigkeitstyp,  
einen Gatetrench (212) benachbart zu einer ersten Seitenwand (220b) des Kanalbereiches (220),  
ein Gateleitermaterial (210), das in dem Gatetrench (212) vorgesehen ist, wobei das Gateleitermaterial mit einem Gateanschluss (285) verbunden ist, und  
einen Kanaltrennungstrench (270) benachbart zu einer zweiten Seitenwand (220a) des Kanalbereiches (220), wobei der Kanaltrennungstrench (270) mit einer isolierenden Trennungstrenchfüllung (275) gefüllt ist oder eine leitende Füllung (274) hat, die von dem Gateanschluss (285) abgetrennt ist, wobei der Sourcebereich (201) und der Drainbereich (205) längs einer ersten Richtung angeordnet sind, die parallel zu der Hauptoberfläche (110) ist.

13. Halbleitervorrichtung nach Anspruch 12, bei der in einem Einschaltzustand eine leitende Inversionsschicht längs der ersten Seitenwand (220b) gebildet ist.

14. Halbleitervorrichtung nach Anspruch 12 oder 13, bei der der Kanaltrennungstrench (270) eine leitende Füllung (274) und ein Trennungsdielektrikum (275), das zwischen der leitenden Füllung (274) und dem Kanalbereich (220) angeordnet ist, umfasst.

15. Halbleitervorrichtung nach Anspruch 14, bei der eine Dicke des Trennungsdielektrikums (275) größer ist als eine Dicke eines Gatedielektrikums (211) zwischen der Gateelektrode (210) und dem Kanalbereich (220).

16. Halbleitervorrichtung nach Anspruch 14 oder 15, bei der der Sourcebereich (201) und die leitende Füllung (274) des Kanaltrennungstrenches (270) mit einem Sourceanschluss (290) verbunden sind.

17. Halbleitervorrichtung nach einem der Ansprüche 14 bis 16, weiterhin umfassend eine Feldplatte (250), die mit der leitenden Füllung (274) des Kanaltrennungstrenches (270) verbunden ist.

18. Halbleitervorrichtung nach einem der Ansprüche 12 bis 17, weiterhin umfassend eine Driftzone (260) zwischen dem Kanalbereich (220) und dem Drainbereich (205).

19. Integrierte Schaltung, umfassend die Halbleitervorrichtung nach einem der Ansprüche 12 bis 18.

20. Halbleitervorrichtung mit einem Array von Transistoren (200), die in einem eine Hauptoberfläche (110) aufweisenden Halbleitersubstrat (100) gebildet sind, wobei das Array von Transistoren aufweist:  
einen Sourcebereich (201) von einem ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),  
einen Drainbereich (205) von einem ersten Leitfähigkeitstyp und angrenzend an die Hauptoberfläche (110),  
eine Vielzahl von Kanalbereichen (220) von einem zweiten Leitfähigkeitstyp,  
eine Vielzahl von Trenches (212) jeweils benachbart zu jedem der Kanalbereiche (220), so dass zwei Trenches (212) benachbart zu einem der Kanalbereiche (220) sind, wobei die Vielzahl von Trenches Gatetrenches (212) und Kanaltrennungstrenches (270) umfasst, und  
ein Gateleitermaterial (210), das mit einem Gateanschluss (285) verbunden ist, wobei das Gateleitermaterial (210) in den Gatetrenches (212) vorgesehen ist, wobei der Sourcebereich (201) und der Drainbereich (205) längs einer ersten Richtung vorgesehen sind, die parallel zu der Hauptoberfläche (110) ist, wobei wenigstens einer der Trenches ein Kanaltrennungstrench (270) ist, der entweder mit einem dielektrischen Material (275) gefüllt ist oder eine leitende Füllung (274) hat, die von dem Gateanschluss (285) abgetrennt ist.

21. Halbleitervorrichtung nach Anspruch 20, bei der die Gatetrenches (212) und die Kanaltrennungstrenches (270) in einer abwechselnden Weise angeordnet sind, so dass ein Gatetrench (212) und ein Kanaltrennungstrench (270) benachbart zu verschiedenen Seitenwänden (220a, 220b) von jedem der Kanalbereiche (220) ist.

22. Halbleitervorrichtung nach Anspruch 21, bei der die Kanaltrennungstrenches (270) erste Kanaltrennungstrenches, die mit einem isolierenden Material gefüllt sind, und zweite Kanaltrennungstrenches, die mit einer leitenden Füllung (274) und einer Trennungsdielektrikumschicht (275) zwischen der leitenden Füllung (274) und dem Kanalbereich (220) gefüllt sind, aufweisen.

23. Integrierte Schaltung, umfassend die Halbleitervorrichtung nach einem der Ansprüche 20 bis 22.

Es folgen 9 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1A

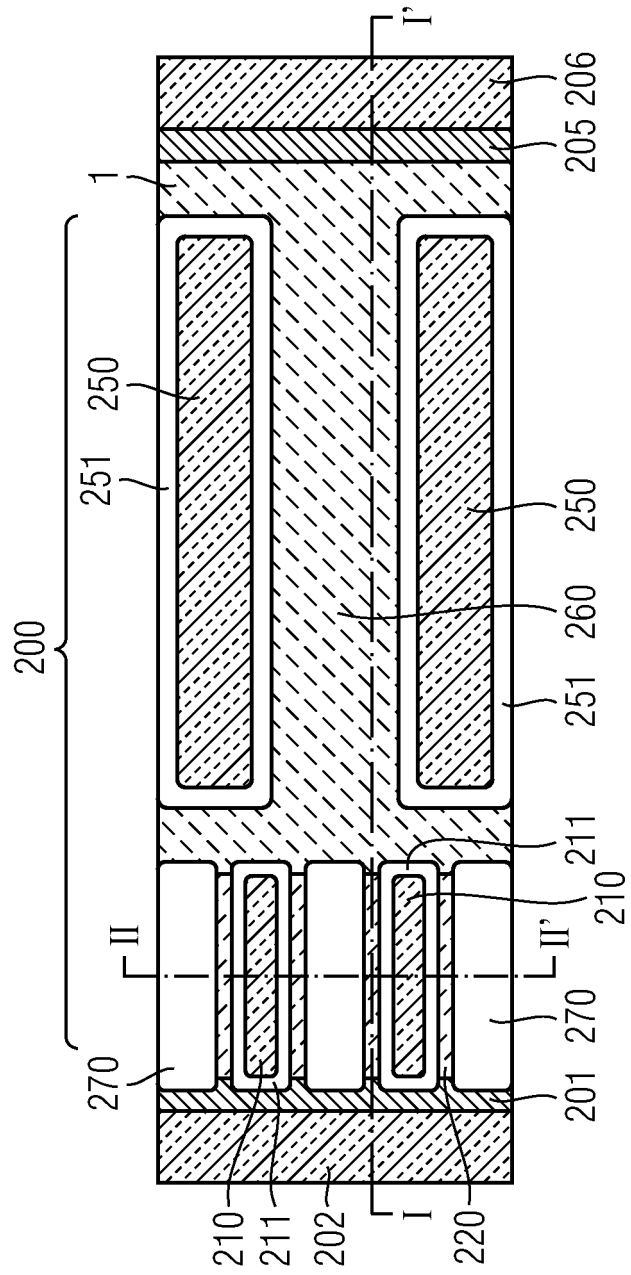


FIG 1B

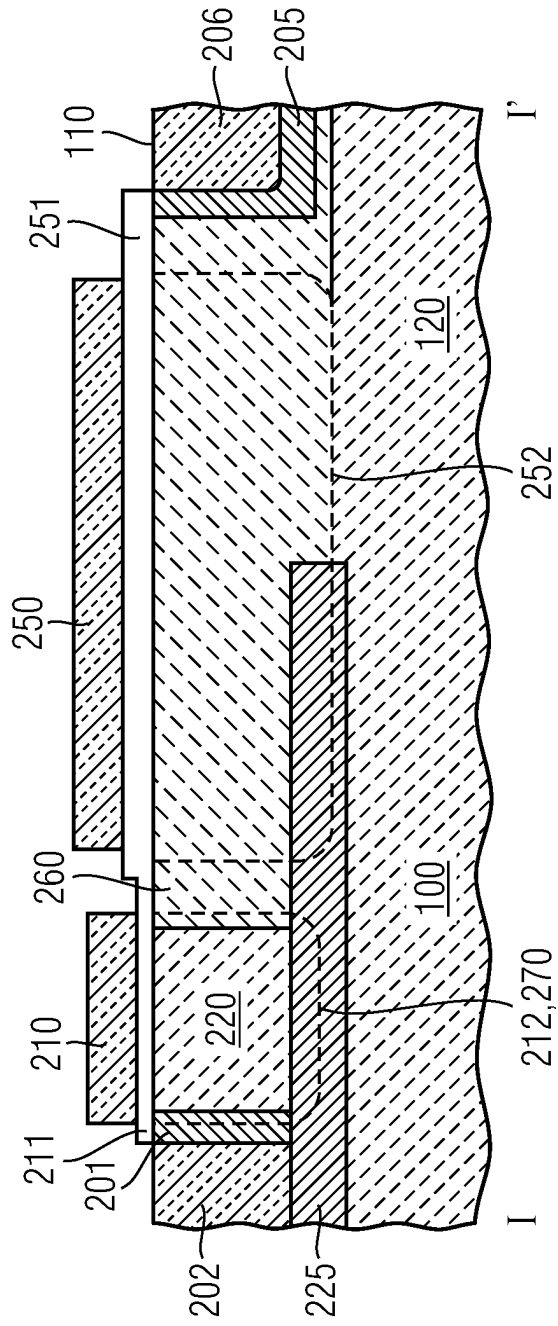


FIG 1C

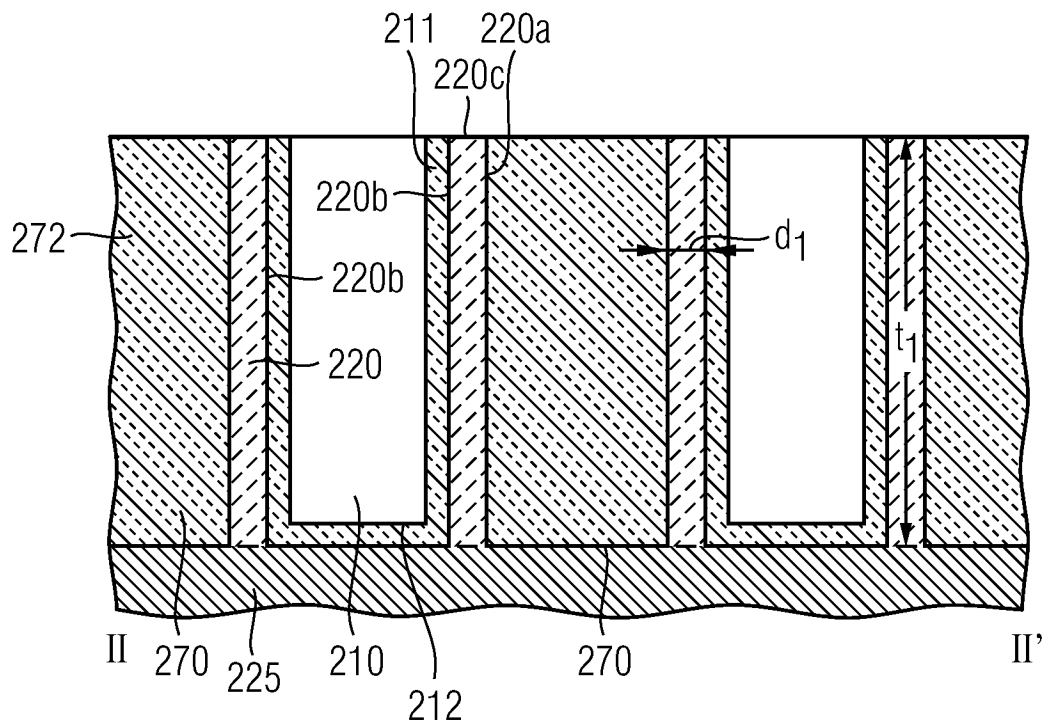


FIG 2A

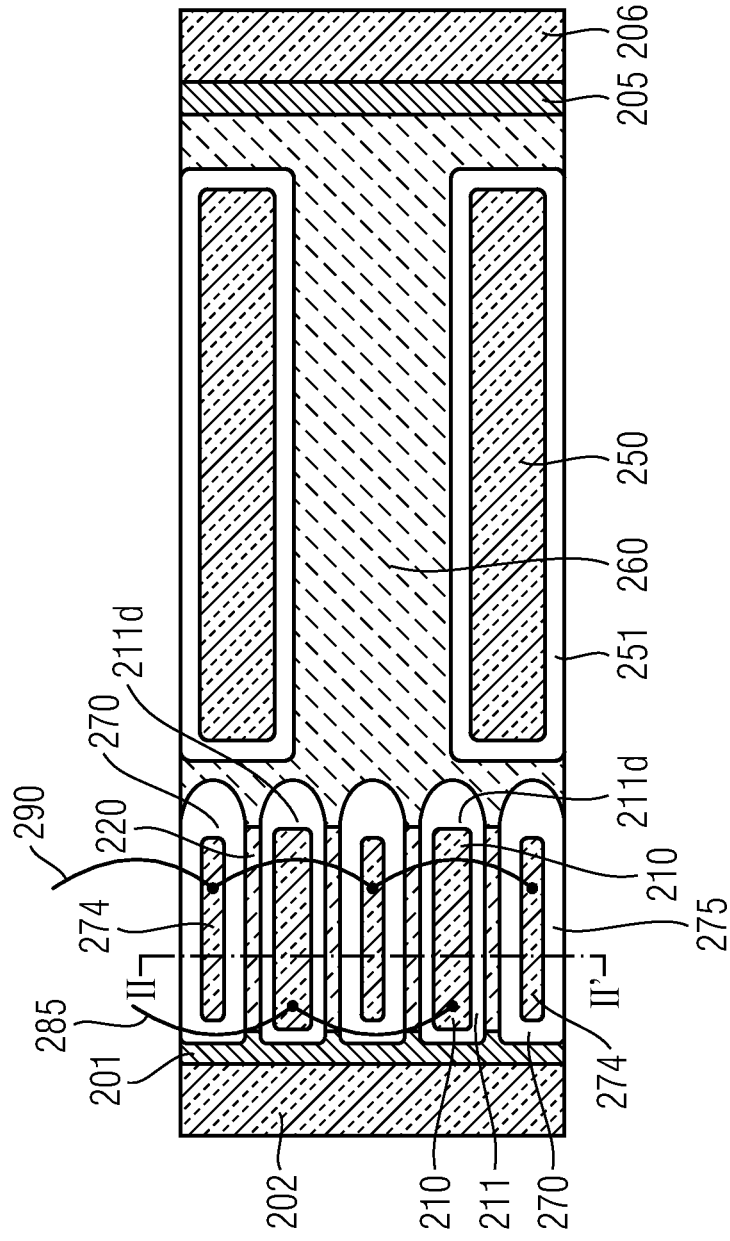




FIG 2B

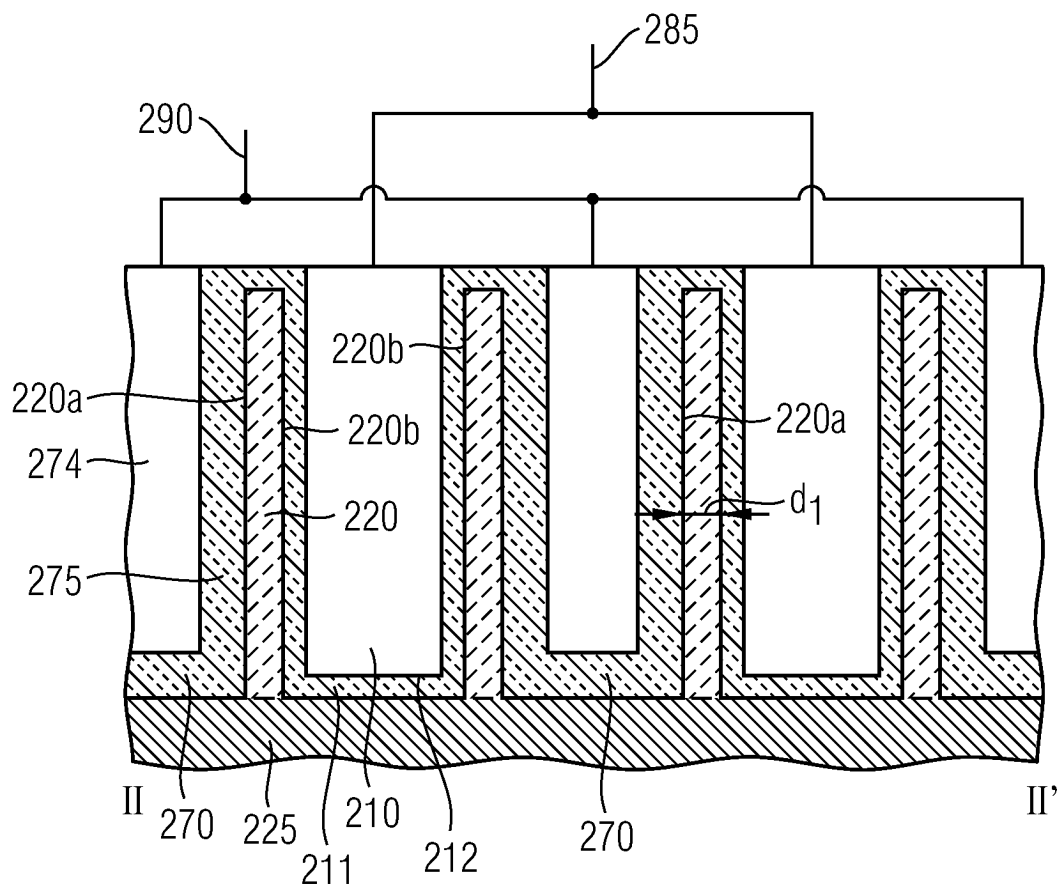


FIG 2C

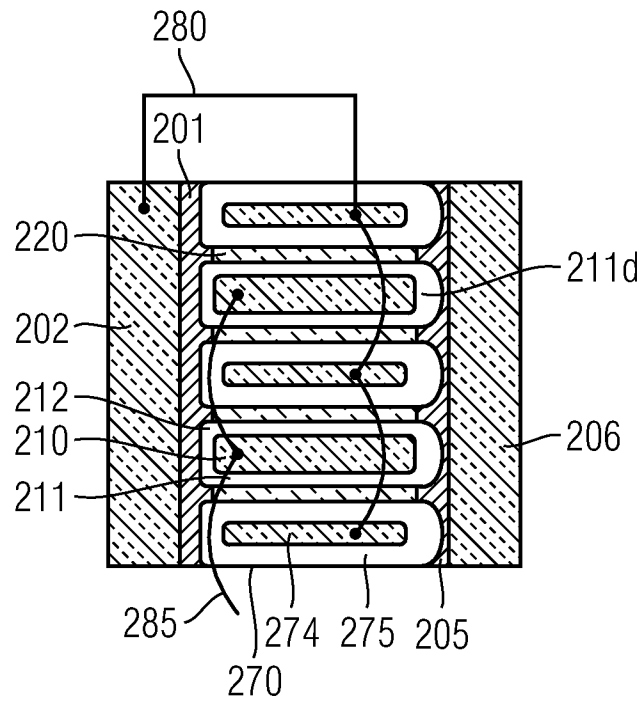


FIG 3A

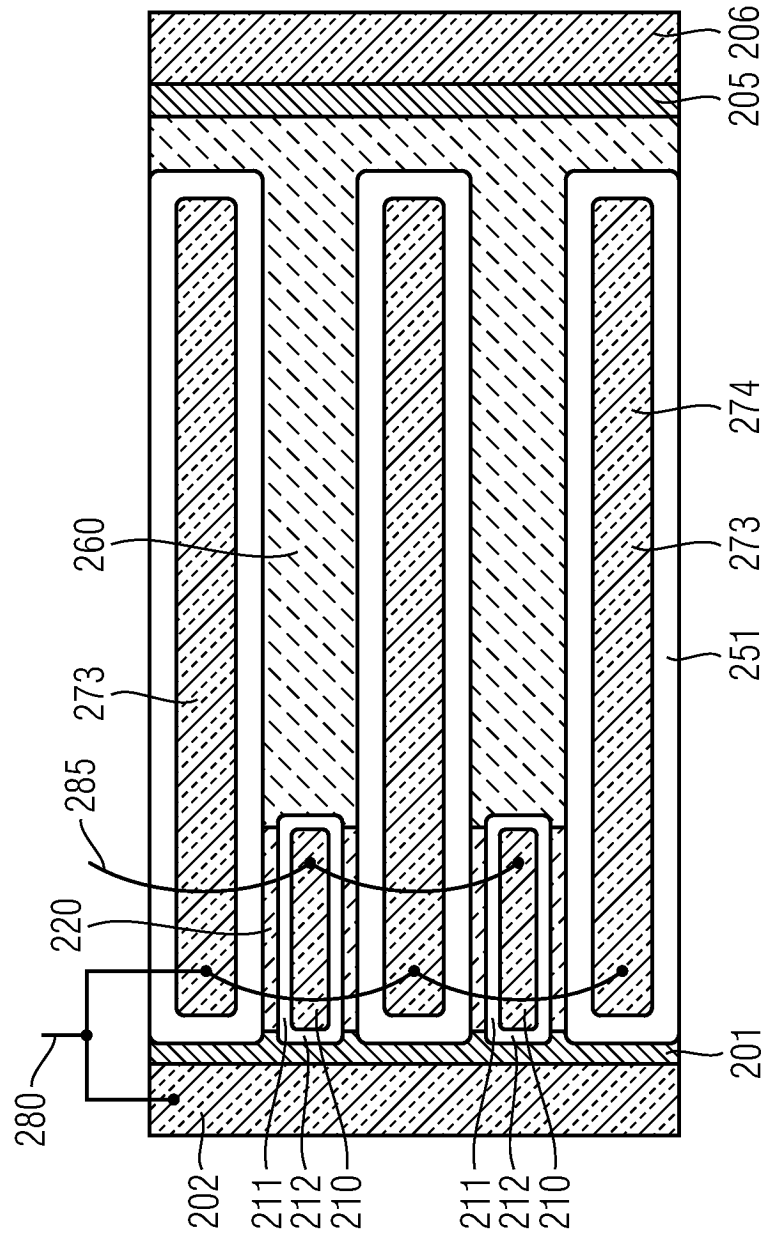


FIG 3B

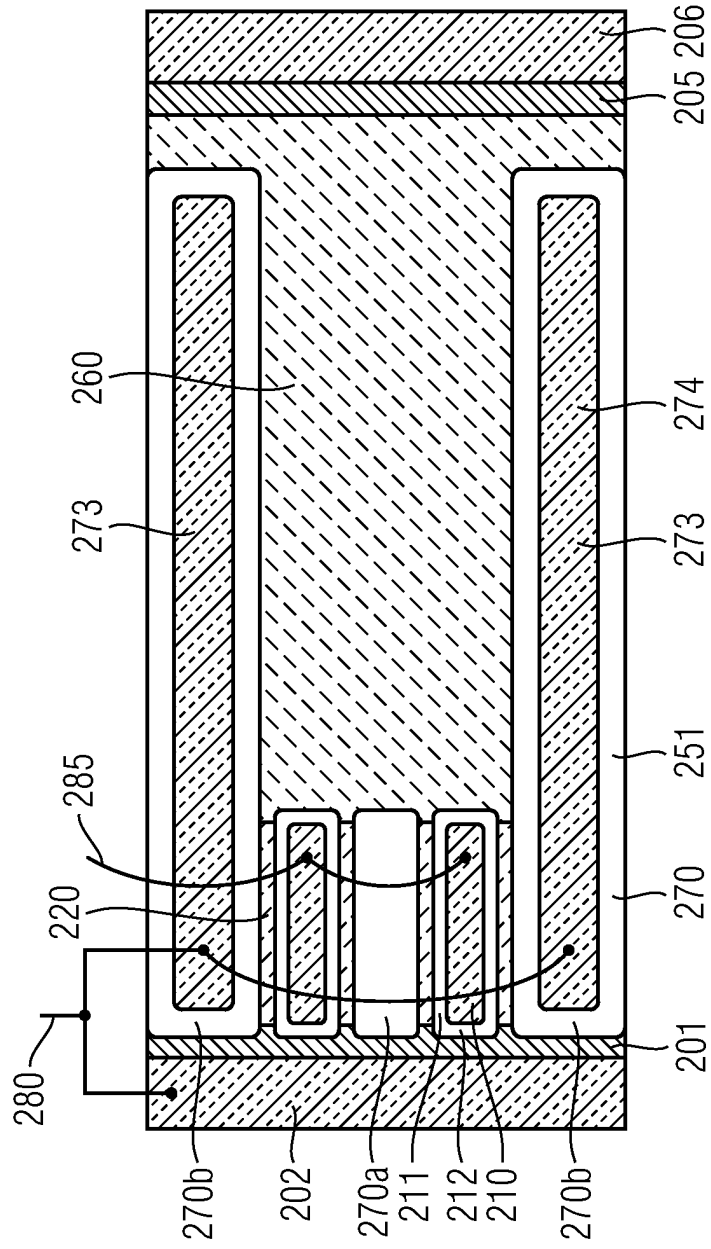


FIG 3C

