

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4010335号
(P4010335)

(45) 発行日 平成19年11月21日(2007.11.21)

(24) 登録日 平成19年9月14日(2007.9.14)

(51) Int. Cl.	F I
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A
HO 1 L 27/04 (2006.01)	GO 9 G 3/36
GO 9 G 3/36 (2006.01)	GO 9 G 3/20 6 2 3 B
GO 9 G 3/20 (2006.01)	GO 9 G 3/20 6 2 1 M
GO 2 F 1/133 (2006.01)	GO 9 G 3/20 6 8 0 G

請求項の数 17 (全 39 頁) 最終頁に続く

(21) 出願番号	特願2006-154200 (P2006-154200)	(73) 特許権者	000002369
(22) 出願日	平成18年6月2日(2006.6.2)		セイコーエプソン株式会社
(65) 公開番号	特開2007-243128 (P2007-243128A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成19年9月20日(2007.9.20)	(74) 代理人	100090479
審査請求日	平成19年3月1日(2007.3.1)		弁理士 井上 一
(31) 優先権主張番号	特願2006-34499 (P2006-34499)	(74) 代理人	100104710
(32) 優先日	平成18年2月10日(2006.2.10)		弁理士 竹腰 昇
(33) 優先権主張国	日本国(JP)	(74) 代理人	100124626
(31) 優先権主張番号	特願2005-192479 (P2005-192479)		弁理士 覆並 智和
(32) 優先日	平成17年6月30日(2005.6.30)	(74) 代理人	100124682
(33) 優先権主張国	日本国(JP)		弁理士 黒田 泰
(31) 優先権主張番号	特願2005-253389 (P2005-253389)	(72) 発明者	齊木 隆行
(32) 優先日	平成17年9月1日(2005.9.1)		長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(33) 優先権主張国	日本国(JP)		
早期審査対象出願			最終頁に続く

(54) 【発明の名称】 集積回路装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

データ線を駆動するための少なくとも1つのデータドライバブロックと、
各制御トランジスタが前記データドライバブロックの各出力線に対応して設けられ、各制御トランジスタが共通制御信号により制御される複数の制御トランジスタと、
前記データ線と前記データドライバブロックの出力線とを電氣的に接続するためのデータドライバ用パッドが配置されるパッド配置領域とを含み、
前記制御トランジスタが、前記パッド配置領域に配置されることを特徴とする集積回路装置。

【請求項2】

請求項1において、
前記制御トランジスタのゲートには前記共通制御信号が入力され、前記制御トランジスタのドレインには、前記データドライバブロックの出力線が接続されることを特徴とする集積回路装置。

【請求項3】

請求項2において、
前記制御トランジスタのソースには共通電位が供給され、前記共通制御信号がアクティブの場合に、前記データドライバブロックの出力線が前記共通電位に設定されることを特徴とする集積回路装置。

【請求項4】

10

20

請求項 1 乃至 3 のいずれかにおいて、
前記制御トランジスタは、
前記共通制御信号であるディスチャージ信号がアクティブになった場合に、前記データドライバブロックの出力線を接地電位に設定するディスチャージトランジスタであることを特徴とする集積回路装置。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、
前記制御トランジスタは、
その少なくとも一部が前記データドライバ用パッドにオーバーラップするように、前記データドライバ用パッドの下層に配置されることを特徴とする集積回路装置。

10

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、
前記データ線に出力されるデータ信号のインピーダンス変換を行うための演算増幅器を含み、
前記演算増幅器の差動部及び駆動部を構成するトランジスタは、前記データドライバブロックに配置されることを特徴とする集積回路装置。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、
前記データドライバブロックの出力線に接続され、前記パッド配置領域に配置される静電気保護素子を含み、
前記データ線が並ぶ方向を第 1 の方向とし、前記第 1 の方向に直交する方向を第 2 の方向とした場合に、
前記制御トランジスタは、
前記データドライバブロックの前記第 2 の方向側に配置され、
前記静電気保護素子は、
前記制御トランジスタの前記第 2 の方向側に配置されることを特徴とする集積回路装置

20

【請求項 8】

請求項 7 において、
前記パッド配置領域は、前記第 1 の方向に沿って並ぶ複数の配置エリアを有し、
前記複数の配置エリアの各配置エリアには、
前記第 2 の方向に沿って並ぶ K 個 (K は 2 以上の整数) の前記データドライバ用パッドと、
その各々が前記 K 個の前記データドライバ用パッドの各々に接続される K 個の前記静電気保護素子が配置されることを特徴とする集積回路装置。

30

【請求項 9】

請求項 8 において、
前記第 2 の方向に沿って並ぶ K 個の前記データドライバ用パッドは、前記第 1 の方向においてその中心位置がずれて配置されることを特徴とする集積回路装置。

【請求項 10】

請求項 8 又は 9 において、
K 個の前記静電気保護素子のうちの第 1 の静電気保護素子は、
高電位側電源と前記データドライバブロックの第 1 の出力線との間に設けられる第 1 のダイオードと、
低電位側電源と前記データドライバブロックの第 1 の出力線との間に設けられる第 2 のダイオードを含み、
K 個の前記静電気保護素子のうちの第 2 の静電気保護素子は、
高電位側電源と前記データドライバブロックの第 2 の出力線との間に設けられる第 3 のダイオードと、
低電位側電源と前記データドライバブロックの第 2 の出力線との間に設けられる第 4 の

40

50

ダイオードを含み、

前記第 1、第 2、第 3、第 4 のダイオードが、前記各配置エリアにおいて前記第 2 の方向に沿って配置されることを特徴とする集積回路装置。

【請求項 1 1】

請求項 1 0 において、

前記第 1、第 3 のダイオードは、第 1 のウェル領域に形成され、

前記第 2、第 4 のダイオードは、第 2 のウェル領域に形成され、

前記第 1、第 2 のウェル領域は、前記第 2 の方向において分離されることを特徴とする集積回路装置。

【請求項 1 2】

請求項 7 乃至 1 1 のいずれかにおいて、

前記静電気保護素子は、

その長辺が前記第 1 の方向に沿い、その短辺が前記第 2 の方向に沿った拡散領域を有することを特徴とする集積回路装置。

【請求項 1 3】

請求項 7 乃至 1 2 のいずれかにおいて、

高電位側電源と低電位側電源の間に設けられる電源間保護回路を含み、

前記電源間保護回路は、

前記静電気保護素子の前記第 2 の方向側に配置されることを特徴とする集積回路装置。

【請求項 1 4】

請求項 1 乃至 1 3 のいずれかにおいて、

前記データドライバブロックが用いる画像データを記憶するメモリブロックと、

前記データドライバ用パッド、前記制御トランジスタが配置されるパッドブロックとを含み、

前記データドライバブロック、前記メモリブロック、前記パッドブロックは、ドライバマクロセルとしてマクロセル化され、

前記データドライバブロックと前記メモリブロックは第 1 の方向に沿って配置され、

前記第 1 の方向に直交する方向を第 2 の方向とした場合に、前記パッドブロックは、前記データドライバブロック及び前記メモリブロックの前記第 2 の方向側に配置されることを特徴とする集積回路装置。

【請求項 1 5】

請求項 1 乃至 1 4 のいずれかにおいて、

前記データドライバブロックは、

その各々が 1 サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルを含み、

前記データドライバブロックでは、第 1 の方向に沿って複数の前記サブピクセルドライバセルが配置されると共に前記第 1 の方向に直交する第 2 の方向に沿って複数の前記サブピクセルドライバセルが配置されることを特徴とする集積回路装置。

【請求項 1 6】

集積回路装置の短辺である第 1 の辺から対向する第 3 の辺へと向かう方向を第 1 の方向とし、集積回路装置の長辺である第 2 の辺から対向する第 4 の辺へと向かう方向を第 2 の方向とした場合に、前記第 1 の方向に沿って配置される第 1 ~ 第 N の回路ブロック (N は 2 以上の整数) と、

前記第 1 ~ 第 N の回路ブロックの前記第 2 の方向側に前記第 4 の辺に沿って設けられ、パッド配置領域となる第 1 のインターフェース領域と、

前記第 2 の方向の反対方向を第 4 の方向とした場合に、前記第 1 ~ 第 N の回路ブロックの前記第 4 の方向側に前記第 2 の辺に沿って設けられ、パッド配置領域となる第 2 のインターフェース領域を含み、

前記第 1 ~ 第 N の回路ブロックは、

データ線を駆動するための少なくとも 1 つのデータドライバブロックを含み、

10

20

30

40

50

前記第1のインターフェース領域には、
前記データ線と前記データドライバブロックの出力線とを電氣的に接続するためのデータドライバ用パッドと、
各制御トランジスタが前記データドライバブロックの各出力線に対応して設けられ、各制御トランジスタが共通制御信号により制御される複数の制御トランジスタとが、
配置されることを特徴とする集積回路装置。

【請求項17】

請求項1乃至16のいずれかに記載の集積回路装置と、
前記集積回路装置により駆動される表示パネルと、
を含むことを特徴とする電子機器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路装置及び電子機器に関する。

【背景技術】

【0002】

液晶パネルなどの表示パネルを駆動する集積回路装置として表示ドライバ(LCDドライバ)がある。この表示ドライバでは、低コスト化のためにチップサイズの縮小が要求される。

【0003】

しかしながら、携帯電話機などに組み込まれる表示パネルの大きさはほぼ一定である。従って、微細プロセスを採用し、表示ドライバの集積回路装置を単純にシュリンクしてチップサイズを縮小しようとする、実装が困難になるなどの問題を招く。

20

【特許文献1】特開2001-222249号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、回路面積の縮小化を実現できる集積回路装置及びこれを含む電子機器を提供することにある。

30

【課題を解決するための手段】

【0005】

本発明は、データ線を駆動するための少なくとも1つのデータドライバブロックと、各制御トランジスタが前記データドライバブロックの各出力線に対応して設けられ、各制御トランジスタが共通制御信号により制御される複数の制御トランジスタと、前記データ線と前記データドライバブロックの出力線とを電氣的に接続するためのデータドライバ用パッドが配置されるパッド配置領域とを含み、前記制御トランジスタが、前記パッド配置領域に配置される集積回路装置に関係する。

【0006】

本発明では、データドライバブロックの各出力線に対応して、各制御トランジスタが設けられ、この各制御トランジスタは、共通制御信号により制御される。そして、この制御トランジスタがパッド配置領域に配置される。このように、制御トランジスタは共通制御信号により制御されるため、制御トランジスタをパッド配置領域に配置しても、配線領域はそれほど増加しない。従って、パッド配置領域を有効活用して制御トランジスタを配置できるため、集積回路装置の小面積化を図れる。

40

【0007】

また本発明では、前記制御トランジスタのゲートには前記共通制御信号が入力され、前記制御トランジスタのドレインには、前記データドライバブロックの出力線が接続されてもよい。

【0008】

50

このような制御トランジスタを用いれば、共通制御信号によりデータドライバブロックの出力線の電位等を制御できる。またこのような制御トランジスタをパッド配置領域に配置した場合にも、配線領域の面積増加については最小限に抑えることができる。

【0009】

また本発明では、前記制御トランジスタのソースには共通電位が供給され、前記共通制御信号がアクティブの場合に、前記データドライバブロックの出力線が前記共通電位に設定されてもよい。

【0010】

このような制御トランジスタを用いれば、共通制御信号によりデータドライバブロックの出力線を共通電位に設定できる。またこのような制御トランジスタをパッド配置領域に配置した場合にも、配線領域の面積増加については最小限に抑えることができる。

10

【0011】

また本発明では、前記制御トランジスタは、前記共通制御信号であるディスチャージ信号がアクティブになった場合に、前記データドライバブロックの出力線を接地電位に設定するディスチャージトランジスタであってもよい。

【0012】

制御トランジスタとしてこのようなディスチャージトランジスタをパッド配置領域に配置すれば、集積回路装置の小面積化を図りながら、データ線の残留電荷等を原因とする不具合の発生を防止できる。

【0013】

20

また本発明では、前記制御トランジスタは、その少なくとも一部が前記データドライバ用パッドにオーバーラップするように、前記データドライバ用パッドの下層に配置されてもよい。

【0014】

このようにすれば、パッドの下層の領域を有効活用して制御トランジスタを配置でき、集積回路装置の小面積化を図れる。

【0015】

また本発明では、前記データ線に出力されるデータ信号のインピーダンス変換を行うための演算増幅器を含み、前記演算増幅器の差動部及び駆動部を構成するトランジスタは、前記データドライバブロックに配置されてもよい。

30

【0016】

このようにすれば、無駄な配線領域が増加してしまう事態を防止できる。

【0017】

また本発明では、前記データドライバブロックの出力線に接続され、前記パッド配置領域に配置される静電気保護素子を含み、前記データ線が並ぶ方向を第1の方向とし、前記第1の方向に直交する方向を第2の方向とした場合に、前記制御トランジスタは、前記データドライバブロックの前記第2の方向側に配置され、前記静電気保護素子は、前記制御トランジスタの前記第2の方向側に配置されてもよい。

【0018】

このようにすれば、制御トランジスタの静電気破壊を防止しながら、集積回路装置の小面積化を図れる。

40

【0019】

また本発明では、前記パッド配置領域は、前記第1の方向に沿って並ぶ複数の配置エリアを有し、前記複数の配置エリアの各配置エリアには、前記第2の方向に沿って並ぶK個（Kは2以上の整数）の前記データドライバ用パッドと、その各々が前記K個の前記データドライバ用パッドの各々に接続されるK個の前記静電気保護素子が配置されてもよい。

【0020】

このようにすれば、データドライバ用パッドや静電気保護素子を、パッドピッチに合わせて各配置エリアに効率良く配置できる。

【0021】

50

また本発明は、記第 2 の方向に沿って並ぶ K 個の前記データドライバ用パッドは、前記第 1 の方向においてその中心位置がずれて配置されてもよい。

【 0 0 2 2 】

このようにすれば、第 1 の方向に沿って多くのデータドライバ用パッドを配置できるようになる。

【 0 0 2 3 】

また本発明では、K 個の前記静電気保護素子のうちの第 1 の静電気保護素子は、高電位側電源と前記データドライバブロックの第 1 の出力線との間に設けられる第 1 のダイオードと、低電位側電源と前記データドライバブロックの第 1 の出力線との間に設けられる第 2 のダイオードを含み、K 個の前記静電気保護素子のうちの第 2 の静電気保護素子は、高電位側電源と前記データドライバブロックの第 2 の出力線との間に設けられる第 3 のダイオードと、低電位側電源と前記データドライバブロックの第 2 の出力線との間に設けられる第 4 のダイオードを含み、前記第 1、第 2、第 3、第 4 のダイオードが、前記各配置エリアにおいて前記第 2 の方向に沿って配置されてもよい。

10

【 0 0 2 4 】

このように第 1 ~ 第 4 のダイオードを配置すれば、配置エリアの第 1 の方向での幅を小さくでき、狭いパッドピッチに対応できるようになる。

【 0 0 2 5 】

また本発明では、前記第 1、第 3 のダイオードは、第 1 のウェル領域に形成され、前記第 2、第 4 のダイオードは、第 2 のウェル領域に形成され、前記第 1、第 2 のウェル領域は、前記第 2 の方向において分離されてもよい。

20

【 0 0 2 6 】

このようにすれば、配置エリアの第 1 の方向での幅を小さくでき、狭いパッドピッチに対応できるようになる。

【 0 0 2 7 】

また本発明では、前記静電気保護素子は、その長辺が前記第 1 の方向に沿い、その短辺が前記第 2 の方向に沿った拡散領域を有してもよい。

【 0 0 2 8 】

このようにすれば、パッドへの接続線の線幅を太くすることが可能になり、配線インピーダンスを低減できる。

30

【 0 0 2 9 】

また本発明では、高電位側電源と低電位側電源の間に設けられる電源間保護回路を含み、前記電源間保護回路は、前記静電気保護素子の前記第 2 の方向側に配置されてもよい。

【 0 0 3 0 】

このようにすれば、電源間保護回路の回路規模が大きい場合にも、これを効率良くレイアウトすることが可能になる。

【 0 0 3 1 】

また本発明では、前記データドライバブロックが用いる画像データを記憶するメモリブロックと、前記データドライバ用パッド、前記制御トランジスタが配置されるパッドブロックとを含み、前記データドライバブロック、前記メモリブロック、前記パッドブロックは、ドライバマクロセルとしてマクロセル化され、前記データドライバブロックと前記メモリブロックは第 1 の方向に沿って配置され、前記第 1 の方向に直交する方向を第 2 の方向とした場合に、前記パッドブロックは、前記データドライバブロック及び前記メモリブロックの前記第 2 の方向側に配置されてもよい。

40

【 0 0 3 2 】

このようにデータドライバブロック、パッドブロック等をマクロセル化すれば、データドライバブロックの出力線を例えば手作業のレイアウトによりパッドに配線して完成したものを、ドライバマクロセルとして使用できる。従って、出力線の配線領域を小さくでき、集積回路装置の小面積化を図れる。

【 0 0 3 3 】

50

また本発明では、前記データドライバブロックは、その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルを含み、前記データドライバブロックでは、第1の方向に沿って複数の前記サブピクセルドライバセルが配置されると共に前記第1の方向に直交する第2の方向に沿って複数の前記サブピクセルドライバセルが配置されてもよい。

【0034】

このようにサブピクセルドライバセルをマトリクス配置すれば、データドライバの仕様に応じた柔軟なレイアウト設計が可能になる。

【0035】

また本発明は、集積回路装置の短辺である第1の辺から対向する第3の辺へと向かう方向を第1の方向とし、集積回路装置の長辺である第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記第1の方向に沿って配置される第1～第Nの回路ブロック（Nは2以上の整数）と、前記第1～第Nの回路ブロックの前記第2の方向側に前記第4の辺に沿って設けられ、パッド配置領域となる第1のインターフェース領域と、前記第2の方向の反対方向を第4の方向とした場合に、前記第1～第Nの回路ブロックの前記第4の方向側に前記第2の辺に沿って設けられ、パッド配置領域となる第2のインターフェース領域を含み、前記第1～第Nの回路ブロックは、データ線を駆動するための少なくとも1つのデータドライバブロックを含み、前記第1のインターフェース領域には、前記データ線と前記データドライバブロックの出力線とを電気的に接続するためのデータドライバ用パッドと、各制御トランジスタが前記データドライバブロックの各出力線に対応して設けられ、各制御トランジスタが共通制御信号により制御される複数の制御トランジスタとが配置される集積回路装置に関する。

【0036】

本発明では、第1～第Nの回路ブロックが、第1の方向に沿って配置されるため、集積回路装置の第2の方向での幅を小さくでき、スリムな細長の集積回路装置を提供できる。そして本発明によれば、パッド配置領域を有効活用して制御トランジスタを配置できるため、集積回路装置の第2の方向での幅をより一層小さくできる。

【0037】

また本発明は、上記のいずれかに記載の集積回路装置と、前記集積回路装置により駆動される表示パネルとを含む電子機器に関する。

【発明を実施するための最良の形態】

【0038】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0039】

1. 比較例

図1(A)に本実施形態の比較例となる集積回路装置500を示す。図1(A)の集積回路装置500はメモリブロックMB（表示データRAM）とデータドライバブロックDBを含む。そしてメモリブロックMBとデータドライバブロックDBはD2方向に沿って配置されている。またメモリブロックMB、データドライバブロックDBは、D1方向に沿った長さがD2方向での幅に比べて長い超扁平なブロックになっている。

【0040】

ホスト側からの画像データはメモリブロックMBに書き込まれる。そしてデータドライバブロックDBは、メモリブロックMBに書き込まれたデジタルの画像データをアナログのデータ電圧に変換して、表示パネルのデータ線を駆動する。このように図1(A)において画像データの信号の流れはD2方向である。このため、図1(A)の比較例では、この信号の流れに合わせて、メモリブロックMBとデータドライバブロックDBをD2方向に沿って配置している。このようにすることで、入力と出力の間がショートパスになり、信号遅延を最適化でき、効率の良い信号伝達が可能になる。

10

20

30

40

50

【 0 0 4 1 】

ところが図 1 (A) の比較例では以下のような課題がある。

【 0 0 4 2 】

第 1 に、表示ドライバなどの集積回路装置では、低コスト化のためにチップサイズの縮小が要求される。ところが、微細プロセスを採用し、集積回路装置 5 0 0 を単純にシュリンクしてチップサイズを縮小すると、短辺方向のみならず長辺方向も縮小されてしまう。従って図 2 (A) に示すように実装の困難化の問題を招く。即ち出力ピッチは、例えば 2 2 μ m 以上であることが望ましいが、図 2 (A) のような単純シュリンクでは例えば 1 7 μ m ピッチになってしまい、狭ピッチのために実装が困難になる。また表示パネルのガラスの額縁が広くなり、ガラスの取れ数が減少し、コスト増を招く。

10

【 0 0 4 3 】

第 2 に、表示ドライバでは、表示パネルの種類 (アモルファス T F T、低温ポリシリコン T F T) や画素数 (Q C I F、Q V G A、V G A) や製品の仕様などに応じて、メモリやデータドライバの構成が変わる。従って図 1 (A) の比較例では、ある製品では図 1 (B) のように、パッドピッチとメモリのセルピッチとデータドライバのセルピッチが一致していたとしても、メモリやデータドライバの構成が変わると、図 1 (C) に示すようにこれらのピッチが一致しなくなる。そして図 1 (C) のようにピッチが一致しなくなると、回路ブロック間に、ピッチの不一致を吸収するための無駄な配線領域を形成しなければならなくなる。特に D 1 方向にブロックが扁平している図 1 (A) の比較例では、ピッチの不一致を吸収するための無駄な配線領域が大きくなる。この結果、集積回路装置 5 0 0 の D 2 方向での幅 W が大きくなり、チップ面積が増加し、コスト増を招く。

20

【 0 0 4 4 】

一方、このような事態を避けるために、パッドピッチとセルピッチが揃うようにメモリやデータドライバのレイアウトを変更すると、開発期間が長期化し、結局、コスト増を招く。即ち図 1 (A) の比較例では、各回路ブロックの回路構成やレイアウトを個別設計し、その後にピッチ等を合わせるという作業を行うため、無駄な空き領域が生じたり、設計が非効率化するなどの問題が生じる。

【 0 0 4 5 】

2 . 集積回路装置の構成

以上のような問題を解決できる本実施形態の集積回路装置 1 0 の構成例を図 3 に示す。本実施形態では、集積回路装置 1 0 の短辺である第 1 の辺 S D 1 から対向する第 3 の辺 S D 3 へと向かう方向を第 1 の方向 D 1 とし、D 1 の反対方向を第 3 の方向 D 3 としている。また集積回路装置 1 0 の長辺である第 2 の辺 S D 2 から対向する第 4 の辺 S D 4 へと向かう方向を第 2 の方向 D 2 とし、D 2 の反対方向を第 4 の方向 D 4 としている。なお、図 3 では集積回路装置 1 0 の左辺が第 1 の辺 S D 1 で、右辺が第 3 の辺 S D 3 になっているが、左辺が第 3 の辺 S D 3 で、右辺が第 1 の辺 S D 1 であってもよい。

30

【 0 0 4 6 】

図 3 に示すように本実施形態の集積回路装置 1 0 は、D 1 方向に沿って配置される第 1 ~ 第 N の回路ブロック C B 1 ~ C B N (N は 2 以上の整数) を含む。即ち、図 1 (A) の比較例では回路ブロックが D 2 方向に並んでいるが、本実施形態では回路ブロック C B 1 ~ C B N が D 1 方向に並んでいる。また各回路ブロックは、図 1 (A) の比較例のような超扁平なブロックになっておらず、比較的スクウェアなブロックになっている。

40

【 0 0 4 7 】

また集積回路装置 1 0 は、第 1 ~ 第 N の回路ブロック C B 1 ~ C B N の D 2 方向側に辺 S D 4 に沿って設けられる出力側 I / F 領域 1 2 (広義には第 1 のインターフェース領域) を含む。また第 1 ~ 第 N の回路ブロック C B 1 ~ C B N の D 4 方向側に辺 S D 2 に沿って設けられる入力側 I / F 領域 1 4 (広義には第 2 のインターフェース領域) を含む。より具体的には、出力側 I / F 領域 1 2 (第 1 の I / O 領域) は、回路ブロック C B 1 ~ C B N の D 2 方向側に、例えば他の回路ブロック等を介さずに配置される。また入力側 I / F 領域 1 4 (第 2 の I / O 領域) は、回路ブロック C B 1 ~ C B N の D 4 方向側に、例え

50

ば他の回路ブロック等を介さずに配置される。即ち少なくともデータドライバブロックが存在する部分において、D2方向において1つの回路ブロック(データドライバブロック)だけが存在する。なお集積回路装置10をIP(Intellectual Property)コアとして用いて他の集積回路装置に組み込む場合等には、I/F領域12、14の少なくとも一方を設けない構成とすることもできる。

【0048】

出力側(表示パネル側)I/F領域12は、表示パネルとのインターフェースとなる領域であり、パッドや、パッドに接続される出力用トランジスタ、保護素子などの種々の素子を含む。具体的には、データ線へのデータ信号や走査線への走査信号を出力するための出力用トランジスタなどを含む。なお表示パネルがタッチパネルである場合等には、入力用トランジスタを含んでもよい。

10

【0049】

入力側(ホスト側)I/F領域14は、ホスト(MPU、画像処理コントローラ、ベースバンドエンジン)とのインターフェースとなる領域であり、パッドや、パッドに接続される入力用(入出力用)トランジスタ、出力用トランジスタ、保護素子などの種々の素子を含むことができる。具体的には、ホストからの信号(デジタル信号)を入力するための入力用トランジスタやホストへの信号を出力するための出力用トランジスタなどを含む。

【0050】

なお、短辺である辺SD1、SD3に沿った出力側又は入力側I/F領域を設けるようにしてもよい。また外部接続端子となるバンプ等は、I/F(インターフェース)領域12、14に設けてもよいし、それ以外の領域(第1~第Nの回路ブロックCB1~CBN)に設けてもよい。I/F領域12、14以外の領域に設ける場合には、金バンプ以外の小型バンプ技術(樹脂をコアとするバンプ技術など)を用いることで実現される。

20

【0051】

また第1~第Nの回路ブロックCB1~CBNは、少なくとも2つ(或いは3つ)の異なる回路ブロック(異なる機能を持つ回路ブロック)を含むことができる。集積回路装置10が表示ドライバである場合を例にとれば、回路ブロックCB1~CBNは、データドライバ、メモリ、走査ドライバ、ロジック回路、階調電圧生成回路、電源回路のブロックの少なくとも2つを含むことができる。更に具体的には回路ブロックCB1~CBNは、少なくともデータドライバ、ロジック回路のブロックを含むことができ、更に階調電圧生成回路のブロックを含むことができる。またメモリ内蔵タイプの場合には更にメモリのブロックを含むことができる。

30

【0052】

例えば図4に種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例を示す。メモリ(RAM)内蔵のアモルファスTFT(Thin Film Transistor)パネル用表示ドライバでは、回路ブロックCB1~CBNは、メモリ、データドライバ(ソースドライバ)、走査ドライバ(ゲートドライバ)、ロジック回路(ゲートアレイ回路)、階調電圧生成回路(補正回路)、電源回路のブロックを含む。一方、メモリ内蔵の低温ポリシリコン(LTPS)TFTパネル用表示ドライバでは、走査ドライバをガラス基板に形成できるため、走査ドライバのブロックを省略できる。またメモリ非内蔵のアモルファスTFTパネル用では、メモリのブロックを省略でき、メモリ非内蔵の低温ポリシリコンTFTパネル用では、メモリ及び走査ドライバのブロックを省略できる。またCSTN(Color Super Twisted Nematic)パネル、TFD(Thin Film Diode)パネル用では、階調電圧生成回路のブロックを省略できる。

40

【0053】

図5(A)(B)に本実施形態の表示ドライバの集積回路装置10の平面レイアウトの例を示す。図5(A)(B)は、メモリ内蔵のアモルファスTFTパネル用の例であり、図5(A)は例えばQCIF、32階調用の表示ドライバをターゲットとし、図5(B)はQVGA、64階調用の表示ドライバをターゲットとしている。

【0054】

50

図5(A)(B)では、第1～第Nの回路ブロックCB1～CBNは、第1～第4のメモリブロックMB1～MB4(広義には第1～第Iのメモリブロック。Iは2以上の整数)を含む。また第1～第4のメモリブロックMB1～MB4の各々に対して、D1方向に沿ってその各々が隣接して配置される第1～第4のデータドライバブロックDB1～DB4(広義には第1～第Iのデータドライバブロック)を含む。具体的にはメモリブロックMB1とデータドライバブロックDB1がD1方向に沿って隣接して配置され、メモリブロックMB2とデータドライバブロックDB2がD1方向に沿って隣接して配置される。そしてデータドライバブロックDB1がデータ線を駆動するために用いる画像データ(表示データ)は、隣接するメモリブロックMB1が記憶し、データドライバブロックDB2がデータ線を駆動するために用いる画像データは、隣接するメモリブロックMB2が記憶する。

10

【0055】

また図5(A)では、メモリブロックMB1～MB4のうちのMB1(広義には第Jのメモリブロック。1 J<I)のD3方向側に、データドライバブロックDB1～DB4のうちのDB1(広義には第Jのデータドライバブロック)が隣接して配置される。またメモリブロックMB1のD1方向側に、メモリブロックMB2(広義には第J+1のメモリブロック)が隣接して配置される。そしてメモリブロックMB2のD1方向側に、データドライバブロックDB2(広義には第J+1のデータドライバブロック)が隣接して配置される。メモリブロックMB3、MB4、データドライバブロックDB3、DB4の配置も同様である。このように図5(A)では、MB1、MB2の境界線に対して線対称にMB1、DB1とMB2、DB2が配置され、MB3、MB4の境界線に対して線対称にMB3、DB3とMB4、DB4とが配置される。なお図5(A)では、DB2とDB3が隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

20

【0056】

一方、図5(B)では、メモリブロックMB1～MB4のうちのMB1(第Jのメモリブロック)のD3方向側に、データドライバブロックDB1～DB4のうちのDB1(第Jのデータドライバブロック)が隣接して配置される。またMB1のD1方向側にDB2(第J+1のデータドライバブロック)が配置される。またDB2のD1方向側にMB2(第J+1のメモリブロック)が配置される。DB3、MB3、DB4、MB4も同様に配置される。なお図5(B)では、MB1とDB2、MB2とDB3、MB3とDB4が、各々、隣接して配置されているが、これらを隣接させずに、その間に他の回路ブロックを配置してもよい。

30

【0057】

図5(A)のレイアウト配置によれば、メモリブロックMB1とMB2や、MB3とMB4の間で(第J、第J+1のメモリブロックの間で)、カラムアドレスデコーダを共用できるという利点がある。一方、図5(B)のレイアウト配置によれば、データドライバブロックDB1～DB4から出力側I/F領域12へのデータ信号出力線の配線ピッチを均一化でき、配線効率を向上できるという利点がある。

【0058】

なお本実施形態の集積回路装置10のレイアウト配置は図5(A)(B)に限定されない。例えばメモリブロックやデータドライバブロックのブロック数を2、3或いは5以上にしてもよいし、メモリブロックやデータドライバブロックをブロック分割しない構成にしてもよい。またメモリブロックとデータドライバブロックが隣接しないようにする変形実施も可能である。またメモリブロック、走査ドライバブロック、電源回路ブロック又は階調電圧生成回路ブロックなどを設けない構成としてもよい。また回路ブロックCB1～CBNと出力側I/F領域12や入力側I/F領域14の間に、D2方向での幅が極めて狭い回路ブロック(WB以下の細長回路ブロック)を設けてもよい。また回路ブロックCB1～CBNが、異なる回路ブロックがD2方向に多段に並んだ回路ブロックを含んでもよい。例えば走査ドライバ回路と電源回路を1つの回路ブロックとした構成としてもよい

40

50

【 0 0 5 9 】

図 6 (A) に本実施形態の集積回路装置 1 0 の D 2 方向に沿った断面図の例を示す。ここで $W 1$ 、 $W B$ 、 $W 2$ は、各々、出力側 I / F 領域 1 2、回路ブロック C B 1 ~ C B N、入力側 I / F 領域 1 4 の D 2 方向での幅である。また W は集積回路装置 1 0 の D 2 方向での幅である。

【 0 0 6 0 】

本実施形態では図 6 (A) に示すように、D 2 方向において、回路ブロック C B 1 ~ C B N (データドライバブロック D B) と出力側、入力側 I / F 領域 1 2、1 4 との間に他の回路ブロックが介在しない構成にできる。従って、 $W 1 + W B + W 2 < W 1 + 2 \times W B + W 2$ とすることができ、細長の集積回路装置を実現できる。具体的には、D 2 方向での幅 W は、 $W < 2 \text{ mm}$ とすることができ、更に具体的には $W < 1.5 \text{ mm}$ とすることができ、なおチップの検査やマウンティングを考慮すると、 $W > 0.9 \text{ mm}$ であることが望ましい。また長辺方向での長さ $L D$ は、 $1.5 \text{ mm} < L D < 2.7 \text{ mm}$ とすることができ、またチップ形状比 $S P = L D / W$ は、 $S P > 1.0$ とすることができ、更に具体的には $S P > 1.2$ とすることができ、

【 0 0 6 1 】

なお図 6 (A) の幅 $W 1$ 、 $W B$ 、 $W 2$ は、各々、出力側 I / F 領域 1 2、回路ブロック C B 1 ~ C B N、入力側 I / F 領域 1 4 のトランジスタ形成領域 (バルク領域、アクティブ領域) の幅である。即ち I / F 領域 1 2、1 4 には、出力用トランジスタ、入力用トランジスタ、入出力用トランジスタ、静電保護素子のトランジスタなどが形成される。また回路ブロック C B 1 ~ C B N には、回路を構成するトランジスタが形成される。そして $W 1$ 、 $W B$ 、 $W 2$ は、このようなトランジスタが形成されるウェル領域や拡散領域などを基準に決められる。例えば、よりスリムな細長の集積回路装置を実現するためには、回路ブロック C B 1 ~ C B N のトランジスタの上にもバンプ (能動面バンプ) を形成することが望ましい。具体的には、そのコアが樹脂で形成され、樹脂の表面に金属層が形成された樹脂コアバンプなどをトランジスタ (アクティブ領域) 上に形成する。そしてこのバンプ (外部接続端子) は、I / F 領域 1 2、1 4 に配置されるパッドに、金属配線により接続される。本実施形態の $W 1$ 、 $W B$ 、 $W 2$ は、このようなバンプの形成領域の幅ではなく、バンプの下に形成されるトランジスタ形成領域の幅である。

【 0 0 6 2 】

また回路ブロック C B 1 ~ C B N の各々の D 2 方向での幅は、例えば同じ幅に統一できる。この場合、各回路ブロックの幅は、実質的に同じであればよく、例えば数 $\mu \text{ m}$ ~ 20 $\mu \text{ m}$ (数十 $\mu \text{ m}$) 程度の違いは許容範囲内である。また回路ブロック C B 1 ~ C B N の中に、幅が異なる回路ブロックが存在する場合には、幅 $W B$ は、回路ブロック C B 1 ~ C B N の幅の中の最大幅とすることができ、この場合の最大幅は、例えばデータドライバブロックの D 2 方向での幅とすることができ、或いはメモリ内蔵の集積回路装置の場合にはメモリブロックの D 2 方向での幅とすることができ、なお回路ブロック C B 1 ~ C B N と I / F 領域 1 2、1 4 の間には、例えば 20 ~ 30 $\mu \text{ m}$ 程度の幅の空き領域を設けることができる。

【 0 0 6 3 】

また本実施形態では、出力側 I / F 領域 1 2 には D 2 方向での段数が 1 段又は複数段となるパッドを配置できる。従ってパッド幅 (例えば 0.1 mm) やパッドピッチを考慮すると、出力側 I / F 領域 1 2 の D 2 方向での幅 $W 1$ は、 $0.13 \text{ mm} < W 1 < 0.4 \text{ mm}$ とすることができ、また入力側 I / F 領域 1 4 には、D 2 方向での段数が 1 段となるパッドを配置できるため、入力側 I / F 領域 1 4 の幅 $W 2$ は、 $0.1 \text{ mm} < W 2 < 0.2 \text{ mm}$ とすることができ、また細長の集積回路装置を実現するためには、回路ブロック C B 1 ~ C B N 上に、ロジック回路ブロックからのロジック信号や、階調電圧生成回路ブロックからの階調電圧信号や、電源配線を、グローバル配線により形成する必要があり、これらの配線幅は合計で例えば 0.8 ~ 0.9 mm 程度になる。従って、これらを考慮すると

、回路ブロック $CB1 \sim CBN$ の幅 WB は、 $0.65 \text{ mm} < WB < 1.2 \text{ mm}$ とすることができる。

【0064】

そして $W1 = 0.4 \text{ mm}$ 、 $W2 = 0.2 \text{ mm}$ であつたとしても、 $0.65 \text{ mm} < WB < 1.2 \text{ mm}$ であるため、 $WB > W1 + W2$ が成り立つ。また $W1$ 、 WB 、 $W2$ が最も小さい値である場合には、 $W1 = 0.13 \text{ mm}$ 、 $WB = 0.65 \text{ mm}$ 、 $W2 = 0.1 \text{ mm}$ となり、集積回路装置の幅は $W = 0.88 \text{ mm}$ 程度になる。従つて、 $W = 0.88 \text{ mm} < 2 \times WB = 1.3 \text{ mm}$ が成り立つ。また $W1$ 、 WB 、 $W2$ が最も大きい値である場合には、 $W1 = 0.4 \text{ mm}$ 、 $WB = 1.2 \text{ mm}$ 、 $W2 = 0.2 \text{ mm}$ となり、集積回路装置の幅は $W = 1.8 \text{ mm}$ 程度になる。従つて、 $W = 1.8 \text{ mm} < 2 \times WB = 2.4 \text{ mm}$ が成り立つ。従つて $W < 2 \times WB$ の関係式が成り立ち、細長の集積回路装置を実現できる。

10

【0065】

図1(A)の比較例では、図6(B)に示すように2以上の複数の回路ブロックがD2方向に沿って配置される。またD2方向において、回路ブロック間や、回路ブロックとI/F領域の間に配線領域が形成される。従つて集積回路装置500のD2方向(短辺方向)での幅Wが大きくなり、スリムな細長チップを実現できない。従つて微細プロセスを利用してチップをシュリンクしても、図2(A)に示すようにD1方向(長辺方向)での長さLDも短くなってしまい、出力ピッチが狭ピッチになるため、実装の困難化を招く。

【0066】

これに対して本実施形態では図3、図5(A)(B)に示すように複数の回路ブロック $CB1 \sim CBN$ がD1方向に沿って配置される。また図6(A)に示すように、パッド(バンク)の下にトランジスタ(回路素子)を配置できる(能動面バンク)。また回路ブロック内の配線であるローカル配線よりも上層(パッドよりも下層)で形成されるグローバル配線により、回路ブロック間や、回路ブロックとI/F領域間等での信号線を形成できる。従つて図2(B)に示すように、集積回路装置10のD1方向での長さLDを維持したままで、D2方向での幅Wを狭くでき、超スリムな細長チップを実現できる。この結果、出力ピッチを例えば $22 \mu\text{m}$ 以上に維持することができ、実装を容易化できる。

20

【0067】

また本実施形態では複数の回路ブロック $CB1 \sim CBN$ がD1方向に沿って配置されるため、製品の仕様変更等に容易に対応できる。即ち共通のプラットフォームを用いて様々な仕様の製品を設計できるため、設計効率を向上できる。例えば図5(A)(B)において、表示パネルの画素数や階調数が増減した場合にも、メモリブロックやデータドライバブロックのブロック数や、1水平走査期間での画像データの読み出し回数等を増減するだけで対応できる。また図5(A)(B)はメモリ内蔵のアモルファスTFTパネル用の例であるが、メモリ内蔵の低温ポリシリコンTFTパネル用の製品を開発する場合には、回路ブロック $CB1 \sim CBN$ の中から走査ドライバブロックを取り除くだけで済む。またメモリ非内蔵の製品を開発する場合には、メモリブロックを取り除けば済む。そしてこのように仕様に合わせて回路ブロックを取り除いても、本実施形態では、それが他の回路ブロックに及ぼす影響が最小限に抑えられるため、設計効率を向上できる。

30

【0068】

また本実施形態では、各回路ブロック $CB1 \sim CBN$ のD2方向での幅(高さ)を、例えばデータドライバブロックやメモリブロックの幅(高さ)に統一できる。そして各回路ブロックのトランジスタ数が増減した場合には、各回路ブロックのD1方向での長さを増減することで調整できるため、設計を更に効率化できる。例えば図5(A)(B)において、階調電圧生成回路ブロックや電源回路ブロックの構成が変更になり、トランジスタ数が増減した場合にも、階調電圧生成回路ブロックや電源回路ブロックのD1方向での長さを増減することで対応できる。

40

【0069】

なお第2の比較例として、例えばデータドライバブロックをD1方向に細長に配置し、データドライバブロックのD4方向側に、メモリブロックなどの他の複数の回路ブロック

50

をD1方向に沿って配置する手法も考えられる。しかしながらこの第2の比較例では、メモリブロックなどの他の回路ブロックと出力側I/F領域との間に、幅の大きなデータドライバブロックが介在するようになるため、集積回路装置のD2方向での幅Wが大きくなり、スリムな細長チップの実現が困難になる。またデータドライバブロックとメモリブロックの間に無駄な配線領域が生じてしまい、幅Wが更に大きくなってしまふ。またデータドライバブロックやメモリブロックの構成が変わった場合には、図1(B)(C)で説明したピッチの不一致の問題が生じ、設計効率を向上できない。

【0070】

また本実施形態の第3の比較例として、同一機能の回路ブロック(例えばデータドライバブロック)だけをブロック分割して、D1方向に並べて配置する手法も考えられる。しかしながら、この第3の比較例では、集積回路装置に同一機能(例えばデータドライバの機能)だけしか持たせることができないため、多様な製品展開を実現できない。これに対して本実施形態では、回路ブロックCB1~CBNは、少なくとも2つの異なる機能を有する回路ブロックを含む。従って図4、図5(A)(B)に示すように、様々なタイプの表示パネルに対応した多様な機種を集積回路装置を提供できるという利点がある。

【0071】

3. 回路構成

図7に集積回路装置10の回路構成例を示す。なお集積回路装置10の回路構成は図7に限定されるものではなく、種々の変形実施が可能である。メモリ20(表示データRAM)は画像データを記憶する。メモリセルアレイ22は複数のメモリセルを含み、少なくとも1フレーム(1画面)分の画像データ(表示データ)を記憶する。この場合、1画素は例えばR、G、Bの3サブピクセル(3ドット)で構成され、各サブピクセルについて例えば6ビット(kビット)の画像データが記憶される。ローアドレスデコーダ24(MPU/LCDローアドレスデコーダ)はローアドレスについてのデコード処理を行い、メモリセルアレイ22のワード線の選択処理を行う。カラムアドレスデコーダ26(MPUカラムアドレスデコーダ)はカラムアドレスについてのデコード処理を行い、メモリセルアレイ22のビット線の選択処理を行う。ライト/リード回路28(MPUライト/リード回路)はメモリセルアレイ22への画像データのライト処理や、メモリセルアレイ22からの画像データのリード処理を行う。なおメモリセルアレイ22のアクセス領域は、例えばスタートアドレスとエンドアドレスを対頂点とする矩形で定義される。即ちスタートアドレスのカラムアドレス及びローアドレスと、エンドアドレスのカラムアドレス及びローアドレスでアクセス領域が定義され、メモリアクセスが行われる。

【0072】

ロジック回路40(例えば自動配置配線回路)は、表示タイミングを制御するための制御信号やデータ処理タイミングを制御するための制御信号などを生成する。このロジック回路40は例えばゲートアレイ(G/A)などの自動配置配線により形成できる。制御回路42は各種制御信号を生成したり、装置全体の制御を行う。具体的には階調電圧生成回路110に階調特性(特性)の調整データ(補正データ)を出力したり、電源回路90の電圧生成を制御する。またローアドレスデコーダ24、カラムアドレスデコーダ26、ライト/リード回路28を用いたメモリへのライト/リード処理を制御する。表示タイミング制御回路44は表示タイミングを制御するための各種の制御信号を生成し、メモリから表示パネル側への画像データの読み出しを制御する。ホスト(MPU)インターフェース回路46は、ホストからのアクセス毎に内部パルスが発生してメモリにアクセスするホストインターフェースを実現する。RGBインターフェース回路48は、ドットクロックにより動画のRGBデータをメモリに書き込むRGBインターフェースを実現する。なおホストインターフェース回路46、RGBインターフェース回路48のいずれか一方のみを設ける構成としてもよい。

【0073】

図7において、ホストインターフェース回路46、RGBインターフェース回路48からは1画素単位でメモリ20へのアクセスが行われる。一方、データドライバ50へは、

ホストインターフェース回路46、RGBインターフェース回路48とは独立した内部表示タイミングにより、ライン周期毎に、ラインアドレスで指定されライン単位で読み出された画像データが送られる。

【0074】

データドライバ50は表示パネルのデータ線を駆動するための回路であり、図8(A)にその構成例を示す。データラッチ回路52は、メモリ20からのデジタルの画像データをラッチする。D/A変換回路54(電圧選択回路)は、データラッチ回路52にラッチされたデジタルの画像データのD/A変換を行い、アナログのデータ電圧を生成する。具体的には階調電圧生成回路110から複数(例えば64段階)の階調電圧(基準電圧)を受け、これらの複数の階調電圧の中から、デジタルの画像データに対応する電圧を選択して、データ電圧として出力する。出力回路56(駆動回路、バッファ回路)は、D/A変換回路54からのデータ電圧をバッファリングして表示パネルのデータ線に出力し、データ線を駆動する。なお、出力回路56の一部(例えば演算増幅器の出力段)をデータドライバ50には含ませずに、他の領域に配置する構成としてもよい。

10

【0075】

走査ドライバ70は表示パネルの走査線を駆動するための回路であり、図8(B)にその構成例を示す。シフトレジスタ72は順次接続された複数のフリップフロップを含み、シフトクロック信号SCKに同期してイネーブル入出力信号EIOを順次シフトする。レベルシフタ76は、シフトレジスタ72からの信号の電圧レベルを、走査線選択のための高電圧レベルに変換する。出力回路78は、レベルシフタ76により変換されて出力された走査電圧をバッファリングして表示パネルの走査線に出力し、走査線を選択駆動する。なお走査ドライバ70は図8(C)に示す構成であってもよい。図8(C)では、走査アドレス生成回路73が走査アドレスを生成して出力し、アドレスデコーダ74が走査アドレスのデコード処理を行う。そしてこのデコード処理により特定された走査線に対して、レベルシフタ76、出力回路78を介して走査電圧が出力される。

20

【0076】

電源回路90は各種の電源電圧を生成する回路であり、図9(A)にその構成例を示す。昇圧回路92は、入力電源電圧や内部電源電圧を、昇圧用キャパシタや昇圧用トランジスタを用いてチャージポンプ方式で昇圧し、昇圧電圧を生成する回路であり、1次~4次昇圧回路などを含むことができる。この昇圧回路92により、走査ドライバ70や階調電圧生成回路110が使用する高電圧を生成できる。レギュレータ回路94は、昇圧回路92により生成された昇圧電圧のレベル調整を行う。VCOM生成回路96は、表示パネルの対向電極に供給するVCOM電圧を生成して出力する。制御回路98は電源回路90の制御を行うものであり、各種の制御レジスタなどを含む。

30

【0077】

階調電圧生成回路(補正回路)110は階調電圧を生成する回路であり、図9(B)にその構成例を示す。選択用電圧生成回路112(電圧分割回路)は、電源回路90で生成された高電圧の電源電圧VDDH、VSSHに基づいて、選択用電圧VS0~VS255(広義にはR個の選択用電圧)を出力する。具体的には選択用電圧生成回路112は、直列に接続された複数の抵抗素子を有するラダー抵抗回路を含む。そしてVDDH、VSSHを、このラダー抵抗回路により分割した電圧を、選択用電圧VS0~VS255として出力する。階調電圧選択回路114は、ロジック回路40により調整レジスタ116に設定された階調特性の調整データに基づいて、選択用電圧VS0~VS255の中から、例えば64階調の場合には64個(広義にはS個。R>S)の電圧を選択して、階調電圧V0~V63として出力する。このようにすれば表示パネルに応じた最適な階調特性(補正特性)の階調電圧を生成できる。なお極性反転駆動の場合には、正極性用のラダー抵抗回路と負極性用のラダー抵抗回路を選択用電圧生成回路112に設けてもよい。またラダー抵抗回路の各抵抗素子の抵抗値を、調整レジスタ116に設定された調整データに基づいて変更できるようにしてもよい。また選択用電圧生成回路112や階調電圧選択回路114に、インピーダンス変換回路(ボルテージフォロワ接続の演算増幅器)を設ける構

40

50

成にしてもよい。

【0078】

図10(A)に、図8(A)のD/A変換回路54が含む各DAC(Digital Analog Converter)の構成例を示す。図10(A)の各DACは、例えばサブピクセル毎(或いは画素毎)に設けることができ、ROMデコーダ等により構成される。そしてメモリ20からの6ビットのデジタルの画像データD0~D5とその反転データXD0~XD5に基づいて、階調電圧生成回路110からの階調電圧V0~V63のいずれかを選択することで、画像データD0~D5をアナログ電圧に変換する。そして得られたアナログ電圧の信号DAQ(DAQR、DAQG、DAQB)を出力回路56に出力する。

【0079】

なお低温ポリシリコンTFT用の表示ドライバ等で、R用、G用、B用のデータ信号をマルチプレクスして表示ドライバに送る場合(図10(C)の場合)には、R用、G用、B用の画像データを、1つの共用のDACを用いてD/A変換することもできる。この場合には図10(A)の各DACは画素毎に設けられる。

【0080】

図10(B)に、図8(A)の出力回路56が含む各出力部SQの構成例を示す。図10(B)の各出力部SQは画素毎に設けることができる。各出力部SQは、R(赤)用、G(緑)用、B(青)用のインピーダンス変換回路OPR、OPG、OPB(ボルテージフォロワ接続の演算増幅器)を含み、DACからの信号DAQR、DAQG、DAQBのインピーダンス変換を行って、データ信号DATAR、DATAG、DATABをR、G、B用のデータ信号出力線に出力する。なお例えば低温ポリシリコンTFTパネルの場合には、図10(C)に示すようなスイッチ素子(スイッチ用トランジスタ)SWR、SWG、SWBを設け、R用、G用、B用のデータ信号が多重化されたデータ信号DATAを、インピーダンス変換回路OPが出力するようにしてもよい。またデータ信号の多重化を複数画素に亘って行うようにしてもよい。また出力部SQに、図10(B)(C)のようなインピーダンス変換回路を設けずに、スイッチ素子等だけを設ける構成にしてもよい。

【0081】

4. パッド配置領域への素子配置

4.1 制御トランジスタの配置

本実施形態では、集積回路装置のD2方向での幅を小さくし、細長のチップを実現するために、通常は回路ブロック内に配置されるべき素子についても、出力側I/F領域、入力側I/F領域などのパッド配置領域に配置している。この場合、特に集積回路装置におけるデータドライバの占有面積は大きい。従って、データドライバを構成するトランジスタをパッド配置領域に配置できれば、集積回路装置の小面積化を期待できる。

【0082】

しかしながら、一般的に、データドライバの出力線の本数は非常に多い。従って、データドライバが含む演算増幅器を構成するトランジスタ等を、パッド配置領域に配置すると、多数の信号線をパッド配置領域において引き回さなければならなくなり、その配線領域の面積が増え、結局、集積回路装置のD2方向での幅を小さくできない。

【0083】

そこで本実施形態では、データドライバを構成するトランジスタのうち、データドライバ間に共通の制御信号で制御される制御トランジスタをパッド配置領域に配置する手法を採用している。

【0084】

例えば図11において、集積回路装置は、データ線DL1、DL2、DL3、DL4・・・を駆動するための少なくとも1つのデータドライバブロックDBを含む。また複数の制御トランジスタ(電位設定用トランジスタ)TC1、TC2、TC3、TC4・・・と、パッド配置領域(出力側I/F領域)を含む。

【0085】

ここで制御トランジスタTC1、TC2、TC3、TC4・・・の各制御トランジスタ

10

20

30

40

50

は、データドライバブロックDBの各出力線QL1、QL2、QL3、QL4・・・に対応して設けられ、各制御トランジスタは、共通制御信号CTLにより制御される。なお制御トランジスタはN型（広義には第1導電型）のトランジスタでもよいし、P型（広義には第2導電型）のトランジスタでもよい。或いはN型トランジスタとP型トランジスタを組み合わせた回路、例えばトランスファークートのトランジスタであってもよい。

【0086】

パッド配置領域には、表示パネルのデータ線とデータドライバブロックDBの出力線QL1、QL2、QL3、QL4・・・とを電氣的に接続するためのデータドライバ用パッド（パッドメタル）が配置される。なおパッド配置領域にデータドライバ用パッド以外のパッドを配置したり、ダミーのパッドを配置してもよい。或いは後述する静電気保護素子や電源間保護回路を配置してもよい。またパッド配置領域は例えば回路ブロックの辺（境界、縁）と集積回路装置の辺（例えば第2、第4の辺）との間の領域であり、例えば図3の出力側I/F領域12、入力側I/F領域14である。パッドは少なくともその中心位置（パッドセンター）がパッド配置領域に配置されていけばよい。

10

【0087】

そして本実施形態では図11に示すように、制御トランジスタTC1、TC2、TC3・・・をパッド配置領域に配置している。即ちデータドライバの演算増幅器の差動部や駆動部を構成するトランジスタについては、パッド配置領域に敢えて配置せずに、図11に示すような制御トランジスタTC1、TC2、TC3・・・をパッド配置領域に配置している。

20

【0088】

例えば演算増幅器の駆動部を構成する出力トランジスタは、そのゲートにデータドライバ（サブピクセルドライバセル）毎に異なる入力信号が入力されて制御される。従って、このような出力トランジスタをパッド配置領域に配置すると、これらの入力信号の配線領域が原因となって、集積回路装置のD2方向での幅が増加してしまう可能性がある。

【0089】

この点、制御トランジスタTC1、TC2、TC3・・・は、各データドライバ毎に異なる信号ではなく、データドライバ間（サブピクセルドライバセル間）に共通の制御信号CTLで制御される。従って、制御トランジスタTC1、TC2、TC3・・・をパッド配置領域に配置しても、配線領域の面積はそれほど増加しないため、集積回路装置のD2方向での幅を小さくできる。

30

【0090】

図12にデータドライバ（サブピクセルドライバセル）の出力部SSQ1、SSQ2の回路構成例を示す。パッドP1に対応して設けられた出力部SSQ1は、演算増幅器OP1、スイッチ回路SWA1、SWB1、N型トランジスタTDN1、P型トランジスタTDP1を含む。なお出力部SSQ2の構成は出力部SSQ1とほぼ同様であるため、詳細な説明を省略する。

【0091】

演算増幅器OP1は、データ線に出力されるデータ信号のインピーダンス変換を行うものである。即ち、前段のD/A変換器DAC1からの出力信号のインピーダンス変換を行ってデータ線にデータ信号を出力し、データ線を駆動する。

40

【0092】

スイッチ回路SWA1は、出力部SSQ1の出力線QL1が接続されるパッドP1と、演算増幅器OP1の間に直列に挿入される。スイッチ回路SWB1は、パッドP1と演算増幅器OP1の入力（DAC1の出力）の間に直列に挿入される。これらのスイッチ回路SWA1、SWB1は、N型トランジスタ、P型トランジスタからなるトランスファークートにより構成できる。そしてこれらのスイッチ回路SWA1、SWB1はロジック回路ブロックからのイネーブル信号に基づきオン・オフ制御される。具体的には、1水平走査期間の初めの第1期間では、スイッチ回路SWA1がオン（導通）状態になり、スイッチ回路SWB1がオフ（非導通）状態になる。これにより第1の期間ではデータ線は演算増

50

幅器OP1により駆動される。一方、第1の期間に続く第2の期間では、スイッチ回路SWA1がオフ状態になり、スイッチ回路SWB1がオン状態になり、DAC1の出力がそのままデータ信号としてデータ線に出力される。また第2の期間では演算増幅器OP1の動作電流が停止又は制限される。このようにすることで、演算増幅器OP1の動作期間が短縮され、低消費電力化を図れる。

【0093】

トランジスタTDN1、TDP1は8色表示モード用のトランジスタである。8色表示モードにおいては、トランジスタTDN1、TDP1のゲートは、制御信号BEN1、XBEN1により制御される。具体的には画像データの最上位ビットのデータに基づき生成された信号BEN1、XBEN1により制御される。一方、通常動作モードにおいては、制御信号BEN1、XBEN1は、各々、Lレベル、Hレベルになり、トランジスタTDN1及びTDP1のドレインはハイインピーダンス状態になる。

10

【0094】

制御トランジスタTC1は、ディスチャージ用のトランジスタである。即ち、共通制御信号(ディスチャージ信号)CTL1がアクティブになった場合に、出力部SSQ1(データドライバブロック)の出力線QL1をVSS(接地電位)に設定し、パッドP1に接続されるデータ線(表示パネル)の電荷をVSS側に放電する。この制御トランジスタTC1のゲートには、共通制御信号(ディスチャージ信号)CTL1が入力され、制御トランジスタTC1のドレインには、出力部SSQ1(データドライバブロック)の出力線QL1が接続される。

20

【0095】

ディスチャージ用の制御信号CTL1は、初期化信号(リセット信号)と、データドライバに含まれる電圧レベル低下検出回路からの検出信号に基づき生成できる。即ち高電位側の電源電圧が低下して所与のしきい値電圧以下になった場合、又は初期化信号がアクティブになった場合に、制御信号CTL1がアクティブになる。これによりパッドP1に接続されるデータ線の電荷が放電される。この結果、初期化処理時や内蔵バッテリーの取り出し等に起因した不意の電源電圧低下時に、データ線の残留電荷により表示パネルに焼き付け等が発生するのを防止できる。

【0096】

本実施形態では図12に示すような制御トランジスタTC1、TC2をパッド配置領域に配置している。具体的には、制御トランジスタTC1、TC2は、その少なくとも一部(一部又は全部)が、パッド(パッドメタル)P1、P2に平面視においてオーバーラップするように、パッドP1、P2の下層(下方)に配置される。別の言い方をすれば、制御トランジスタTC1、TC2の一部又は全部に、平面視においてオーバーラップするように、TC1、TC2の上層にパッドP1、P2(データドライバ用パッド)が配置される。

30

【0097】

パッドの下層にトランジスタを配置すると、ボンディングワイヤの接着時やバンプ実装時にパッドに加わった応力が原因となって、トランジスタのしきい値電圧が変動してしまう可能性がある。またトランジスタの層間膜の容量も設計時の容量に比べて変動する可能性がある。このためウェハ上でのトランジスタの特性が、実装時の特性とは異なるものになる不具合が生じるおそれがある。従って演算増幅器OP1、OP2の差動部(差動段)及び駆動部(駆動段)を構成するアナログ回路としてのトランジスタのように、アナログ電圧を出力するためのトランジスタについては、敢えてパッドの下層に配置せずに、データドライバブロック内に配置する。

40

【0098】

一方、制御トランジスタTC1、TC2のように、デジタルスイッチとして機能し、デジタル電圧を出力するトランジスタについては、パッドの下層に配置する。こうすることで、上記の不具合の発生を回避できると共に、集積回路装置のレイアウト面積を削減でき、集積回路装置のD2方向での幅をより一層小さくできる。例えばデータドライバの出力線の本数は非常に多いため、面積削減の効果は顕著である。

50

【 0 0 9 9 】

また、演算増幅器OP1、OP2の駆動部を構成する出力トランジスタのゲートは、出力部SSQ1とSSQ2とで、別のゲート制御信号により制御される。従って、これらの出力トランジスタをパッド配置領域に配置しようとする、データ線と同じ本数の多数のゲート制御信号をパッド配置領域に配線する必要があり、配線領域の面積が増加する。

【 0 1 0 0 】

これに対して図12の制御トランジスタTC1、TC2は、共通制御信号CTL1により制御される。従って制御トランジスタTC1、TC2をパッド配置領域に配置した場合に、パッド配置領域には共通制御信号線を配線すれば済む。また出力線QL1、QL2は接続線によりパッドP1、P2に接続されるため、この接続線の下方に制御トランジスタTC1、TC2を配置し、TC1、TC2のドレインを接続線に接続すれば、配線領域の面積はほとんど増加しない。従って、制御トランジスタTC1、TC2を配置したことによる配線領域の面積増加は最小限となる。

10

【 0 1 0 1 】

図13では、パッドP1に対応して、トランスファージェートを構成するN型の制御トランジスタTCN1とP型の制御トランジスタTCP1が設けられる。またパッドP2に対応して、トランスファージェートを構成するN型のトランジスタTCN2とP型のトランジスタTCP2が設けられる。トランジスタTCN1及びTCP1のドレイン、TCN2及びTCP2のドレインは、各々、出力線QL1、QL2に接続される。TCN1及びTCP1のソース、TCN2、TCP2のソースには、各々、所与の共通電位VCMが供給される。ここで共通電位VCMは、例えば表示パネルの対向電極に供給されるコモン電位である。或いは集積回路装置の外部端子に接続されるキャパシタの一端の電位である。従って、共通制御信号CTL2、XCTL2がアクティブになると、データドライバブロックの出力線QL1、QL2が共通電位VCMに設定されるようになる。

20

【 0 1 0 2 】

本実施形態では、このような制御トランジスタTCN1、TCP1、TCN2、TCP2についてもパッド配置領域に配置している。具体的には、制御トランジスタTCN1、TCP1、TCN2、TCP2は、その少なくとも一部がパッドP1、P2にオーバーラップするように、パッドP1、P2（パッドメタル）の下層（下方）に配置される。なおトランジスタTC1、TC2、TCN1、TCP1、TCN2、TCP2の一部をパッドの下層に配置しないようにしてもよい。或いは出力部SSQ1、SSQ2を構成する他のトランジスタをパッド配置領域に配置する変形実施も可能である。

30

【 0 1 0 3 】

図14では、パッドP1に対応して第1の静電気保護素子ESD1が設けられ、パッドP2に対応して第2の静電気保護素子ESD2が設けられる。ここで第1の静電気保護素子ESD1は、高電位側電源(VDD2)とデータドライバブロックの出力線QL1との間に設けられる第1のダイオードDI1と、低電位側電源(VSS)と出力線QL1との間に設けられる第2のダイオードDI2を含む。また第2の静電気保護素子ESD2は、高電位側電源とデータドライバブロックの出力線QL2との間に設けられる第3のダイオードDI3と、低電位側電源と出力線QL2との間に設けられる第4のダイオードDI4を含む。これらのダイオードDI1～DI4は、拡散領域とウェル領域等との境界に形成されるツェナダイオードであってもよいし、トランジスタのソースとゲートを接続することで構成されるGCDトランジスタのダイオードであってもよい。

40

【 0 1 0 4 】

本実施形態では、このような静電気保護素子ESD1、ESD2についてもパッド配置領域に配置している。具体的には、静電気保護素子ESD1、ESD2は、その少なくとも一部が、パッドP1、P2にオーバーラップするように、パッドP1、P2の下層に配置される。こうすることで、集積回路装置のD2方向での幅をより一層小さくできる。

【 0 1 0 5 】

4.2 パッド配置領域のレイアウト

50

図15にパッド配置領域のレイアウト例を示す。また図16(A)に電源VDD2(VDDHS)、VSS間に設けられる静電気保護素子等の例を示す。図16(A)では、パッドP1(P2)に接続される出力線QL1(QL2)と電源VDD2との間にダイオードDI1(DI3)が設けられる。また出力線QL1(QL2)と電源VSSとの間にダイオードDI2(DI4)が設けられる。これらのダイオードDI1、DI2を設ければ、パッドP1に静電気電圧が印加された場合にも、電荷をVDD2側又はVSS側に逃がすことができ、トランジスタTRQ1、TRQ2(例えば演算増幅器の駆動部の出力トランジスタ)を静電気から保護できる。

【0106】

なお図16(A)では、高電位側電源VDD2と低電位側電源VSSの間に電源間保護回路210が設けられる。この電源間保護回路210は、VDD2、VSS間に所与の電圧以上の高い電圧が印加された場合に、一定電圧値で電圧をクランプする電圧クランプ回路として機能する。この電源間保護回路210としては、SCR(シリコン制御整流器)、バイポーラトランジスタ、或いは逆方向接続で直列接続された複数個のダイオードなどを用いることができる。

10

【0107】

図16(B)に、図15のパッドP1、P2と、静電気保護素子ESD1、ESD2を構成するダイオードDI1~DI4と、制御トランジスタTC1、TC2、TCN1、TCP1、TCN2、TCP2の接続関係を示す。図16(B)に示すように、静電気保護素子ESD1を構成するダイオードDI1、DI2と、制御トランジスタTC1、TCN1、TCP1は、パッドP1に接続される。また静電気保護素子ESD2を構成するダイオードDI3、DI4と、制御トランジスタTC2、TCN2、TCP2は、パッドP2に接続される。またダイオードDI1、DI3は第1のウェル領域に形成され、ダイオードDI2、DI4は、第1のウェル領域とは分離形成された第2のウェル領域に形成される。

20

【0108】

さて図15では、表示パネルのデータ線(出力線)の並ぶ方向がD1方向となっており、D1方向に直交する方向がD2方向となっている。そして図15に示すように、図14で説明した制御トランジスタTC1、TC2、TCN1、TCP1、TCN2、TCP2(以下、TC1~TCP2)は、データドライバブロックのD2方向に配置される。そして静電気保護素子ESD1(ダイオードDI1、DI2)、ESD2(ダイオードDI3、DI4)は、制御トランジスタTC1~TCP2のD2方向側に配置される。即ち、制御トランジスタTC1~TCP2は、データドライバブロックと静電気保護素子ESD1、ESD2の間に配置される。また図15では、これらの制御トランジスタTC1~TCP2、静電気保護素子ESD1、ESD2は、その一部がパッドP1、P2に平面視においてオーバーラップするように、パッドP1、P2の下層(下方)に配置される。

30

【0109】

このような配置によれば、制御トランジスタTC1~TCP2がデータドライバブロックの直近に配置されるようになるため、データドライバブロックからの出力線をショートパスで制御トランジスタTC1~TCP2に接続でき、レイアウト効率、配線効率を向上できる。またこの配置によれば、静電気保護素子ESD1、ESD2の方が制御トランジスタTC1~TCP2よりもパッドP1、P2の近くに配置されるようになる。従って、パッドP1、P2に静電気電圧が印加された場合に、静電気が静電気保護素子ESD1、ESD2で放電された後、時間的に遅れて制御トランジスタTC1~TCP2に印加されるようになる。これにより、制御トランジスタTC1~TCP2が静電気破壊される事態を防止できる。

40

【0110】

この場合、制御トランジスタTC1~TCP2のドレイン面積を大きくすることで、静電耐圧を高める手法もあるが、この手法を採用するとパッド配置領域のD2方向での幅が大きくなり、集積回路装置のD2方向での幅も大きくなってしまふ。

50

【0111】

この点、図15の配置によれば、制御トランジスタTC1～TCP2のドレイン面積をそれほど大きくしなくても、静電耐圧を高めることができるため、集積回路装置のD2方向での幅をより一層小さくできる。

【0112】

また図15では、パッド配置領域が、D1方向に沿って並ぶ複数の配置エリアAR1、AR2、AR3・・・を有する。そして配置エリアAR1（各配置エリア）には、D2方向に並ぶ2個（広義にはK個。Kは2以上の整数）のデータドライバ用のパッドP1、P2（パッドの中心位置）が配置される。また、その各々がパッドP1、P2の各々に接続される2個（K個）の静電気保護素子ESD1、ESD2が配置される。更に制御トランジスタTC1～TCP2も配置される。

10

【0113】

また図15では各配置エリアにおいて2個のパッドが千鳥配置されている。例えばD2方向に沿って並ぶパッドP1、P2は、D1方向においてその中心位置がずれて配置される。即ちD1方向をX軸とした場合に、パッドP1とP2は、そのX座標が異なっている。

【0114】

このようにパッドP1、P2を千鳥配置にすれば、D1方向に沿って多くのパッドを配置できるようになり、データドライバブロックからの多数のデータ信号をパッドを介してデータ線に出力できるようになる。

20

【0115】

また、このようにパッドを千鳥配置にして、パッドピッチが小さくなると、配置エリアAR1のD1方向での幅が狭くなってしまふ。この点、図15では、複数個のパッドP1、P2を一組として配置エリアAR1を形成している。従って、配置エリアAR1のD1方向での幅をある程度の大きさに確保できる。これにより、この配置エリアAR1に静電気保護素子ESD1、ESD2、制御トランジスタTC1～TCP2を配置できる。

【0116】

また図15では、配置エリアAR1に配置される2個（K個）の静電気保護素子のうちの第1の静電気保護素子ESD1は、第1、第2のダイオードDI1、DI2を含み、第2の静電気保護素子ESD2は、第3、第4のダイオードDI3、DI4を含む。そしてこれらのダイオードDI1、DI2、DI3、DI4は、配置エリアAR1においてD2方向に沿って配置される。このようにダイオードDI1～DI4をD2方向に沿ってスタック配置すれば、配置エリアAR1のD1方向での幅を小さくできる。

30

【0117】

即ち比較例の手法として、ダイオードDI1、DI2をD1方向に沿ってスタック配置し、その上側にダイオードDI3、DI4をD1方向に沿ってスタック配置する手法も考えられる。しかしながら、この手法によると、ダイオードがD1方向にスタック配置されると共にP型ウェル領域、N型ウェル領域がD1方向に並んで形成されるため、配置エリアAR1のD1方向での幅が広がってしまう。

【0118】

この点、図15では、ダイオードDI1～DI4がD2方向にスタック配置されると共にP型ウェル領域、N型ウェル領域もD2方向に沿って形成される。即ちダイオードDI1、DI3が形成される第1のウェル領域（N型）と、ダイオードDI2、DI4が形成される第2のウェル領域（P型）が、D2方向で分離形成される。従って、配置エリアAR1のD1方向での幅を小さくでき、狭いパッドピッチに対応できる。

40

【0119】

図17（A）に、図15のダイオードDI1のA-B断面図を模式的に示す。同図に示すように、ダイオードDI1は、パッドP1が接続されるP+拡散領域と、電源VDD2（MV電源）が接続されるN+拡散領域又はN型ウェルとの接合面に形成される。

【0120】

50

また図17(B)に、図15のダイオードDI2のC-D断面図を模式的に示す。同図に示すように、ダイオードDI2は、電源VSSが接続されるP+拡散領域又はP型ウェルと、パッドP1が接続されるN+拡散領域との接合面に形成される。なお図17(A)(B)に示すように、基板PSUBは負極性の高電位電源(VEE)に接続される。また基板PSUBの上には、濃度の低いN型ウェル(ディープウェル)が形成され、この濃度の低いN型ウェルの上に、濃度が高いN型ウェル又はP型ウェルが形成される。

【0121】

図15に示すように、ダイオードDI1~DI4は、その長辺がD1方向に沿い、その短辺がD2方向に沿った拡散領域(P+、N+)を有する。このように、ダイオードDI1~DI4の拡散領域を、その長辺方向がD1方向に沿うように横長形状に形成すれば、配線のインピーダンスを低くできる。即ち静電気保護素子ESD1、ESD2とパッドP1、P2とは、太い線幅のアルミ線で接続することで、その配線インピーダンスを低減できる。そして、このように太い線幅のアルミ線で静電気保護素子ESD1、ESD2とパッドP1、P2を接続するためには、ダイオードDI1~DI4の拡散領域を横長形状に形成することが好適となる。

10

【0122】

また図15では、高電位側電源と低電位側電源の間に設けられる電源間保護回路210を、静電気保護素子ESD1、ESD2のD2方向側に配置している。即ち電源間保護回路210は、高電圧印加時に即座に電圧をクランプして回路ブロック内のトランジスタを保護する必要があるため、その回路規模が大きい場合が多い。一方、電源間保護回路210は、静電気保護素子ESD1、ESD2のようにデータドライバの各出力パッドに対して1対1に設ける必要はない。

20

【0123】

そこで図15では、静電気保護素子ESD1、ESD2のD2方向側に、集積回路装置の外周に沿って電源間保護回路210を形成している。このようにすれば、パッドの下層の領域を有効活用して、その各々が複数のパッド毎に配置される複数の電源間保護回路210を形成できる。従って集積回路装置の面積増加を最小限に抑えながら、静電耐圧を向上できる。

【0124】

4.3 ドライバマクロセル

本実施形態の集積回路装置は、図18(A)に示すような複数の回路ブロックがマクロセル化(マクロ化、マクロブロック化)された少なくとも1つのドライバマクロセル(ドライバマクロブロック)を含む。このドライバマクロセルは、例えばその配線及び回路セル配置が固定化されるハードマクロになっている。具体的には、例えば、配線や回路セル配置が手作業のレイアウトにより行われる。なお配線、配置の一部を自動化してもよい。

30

【0125】

図18(A)のドライバマクロセルは、データ線(ソース線)を駆動するためのデータドライバブロックDBと、画像データを記憶するメモリブロックMBを含む。またデータドライバブロックDBの出力線と表示パネルのデータ線とを電氣的に接続するための複数のパッドが配置されるパッドブロックPDBを含む。このパッドブロックPDBでは、D2方向に千鳥配置された2行(広義には複数行)のパッド列を含み、各パッド列ではD1方向に沿ってパッド(パッドメタル)が配列されている。またこのパッドブロックPDBには、前述の制御トランジスタや静電気保護素子や電源間保護回路などを配置できる。

40

【0126】

そして図18(A)では、データドライバブロックDBとメモリブロックMBはD1方向に沿って配置され、パッドブロックPDBは、データドライバブロックDB及びメモリブロックMBのD2方向側に配置される。具体的にはデータドライバブロックDBとメモリブロックMBはD1方向に沿って隣接し、データドライバブロックDB及びメモリブロックMBとパッドブロックPDBはD2方向に沿って隣接する。なおデータドライバブロックDBとメモリブロックMBの間に他の付加回路を設ける変形実施や、メモリブロック

50

MBをドライバマクロセルに含ませない変形実施も可能である。

【0127】

一般的に、データドライバの出力線が接続されるパッドの数は非常に多い。従って、データドライバの出力線を自動配線ツールを用いてデータドライバ用パッドに接続しようとすると、出力線の配線領域が増えてしまい、D2方向での集積回路装置の幅が大きくなり、スリムな細長チップの実現が難しくなる。

【0128】

この点、図18(A)ではデータドライバブロックDBとパッドブロックPDBとがマクロセルとして一体化されている。このため、例えばデータドライバの出力線を手作業のレイアウトにより効率的にパッドに配線して完成したものを、ドライバマクロセルとして登録して使用できるようになる。従って、自動配線ツールによりデータドライバの出力線を配線する手法に比べて、出力線の配線領域を小さくできる。この結果、D2方向での集積回路装置の幅を小さくでき、スリムな細長チップを実現できる。

10

【0129】

また図18(A)のようにマクロセル化すれば、ドライバマクロセルをD1方向に沿って並べて配置するだけで、図5(A)(B)に示すようなレイアウトの集積回路装置を実現できるため、回路設計やレイアウト作業を効率化できる。例えば表示パネルの画素数の仕様が変わった場合にも、配置するドライバマクロセルの個数を変更するだけで、これに対応でき、データドライバの出力線を配線し直す必要がないため、作業効率を向上できる。

20

【0130】

また図18(A)では、データドライバブロックDBのD2方向側の領域のみならずメモブロックMBのD2方向側の領域も、パッド配置領域として有効活用できる。即ちメモブロックMBのD2方向側の空き領域にもパッドを配置できる。従って、幅WPBのパッドブロックPDBに対して無駄なくパッドを配置でき、レイアウト効率を向上できる。

【0131】

また例えば図1(A)の比較例では、メモブロックMBとデータドライバブロックDBは、信号の流れに合わせて、短辺方向であるD2方向に沿って配置されるため、スリムな細長チップの実現が難しい。また表示パネルの画素数、表示ドライバの仕様、メモセルの構成等が変化し、メモブロックMBやデータドライバブロックDBのD2方向での幅やD1方向での長さが変化すると、その影響が他の回路ブロックにも及んでしまい、設計が非効率化する。

30

【0132】

これに対して図18(A)では、データドライバブロックDBとメモブロックMBがD1方向に沿って隣接して配置されるため、D2方向での集積回路装置の幅を小さくできると共に、設計を効率化できる。

【0133】

また図1(A)の比較例では、ワード線WLが長辺方向であるD1方向に沿って配置されるため、ワード線WLでの信号遅延が大きくなり、画像データの読み出し速度が遅くなる。特にメモセルに接続されるワード線WLはポリシリコン層により形成されるため、この信号遅延の問題は深刻である。

40

【0134】

これに対して図18(A)では、メモブロックMB内において、ワード線WLを短辺方向であるD2方向に沿って配線でき、ビット線BLを長辺方向であるD1方向に沿って配線できる。また本実施形態ではD2方向での集積回路装置の幅Wは短い。従ってメモブロックMB内でのワード線WLの長さを短くでき、WLでの信号遅延を小さくできる。また図1(A)の比較例では、ホストからメモリの一部のアクセス領域にアクセスされた時においても、D1方向に長く寄生容量の大きいワード線WLが選択されてしまうため、消費電力が大きくなる。これに対して図18(A)では、ホストアクセス時に、アクセス

50

領域に対応するメモリブロックのワード線WLだけが選択されるようにできるため、低消費電力化を実現できる。

【0135】

4.4 ドライバマクロセルの幅

図18(A)(B)において、データドライバブロックDB、メモリブロックMB、パッドブロックPDBのD1方向での幅を、各々、WDB、WMB、WPBとした場合に、例えば $WDB + WMB = WPB$ の関係が成り立つようにしてもよい。

【0136】

即ち図18(A)では、パッドブロックPDBのD1方向での幅WPBは、データドライバブロックDBの幅WDBとメモリブロックMBの幅WMBを足したものとほぼ等しくなり、例えば $WDB + WMB = WPB$ となる。一方、図18(B)では、付加回路であるリピータブロックRPが配置されている。このリピータブロックRPはメモリブロックMBへの少なくともライトデータ信号(或いはアドレス信号、メモリ制御信号)をバッファリングしてメモリブロックMBに対して出力するバッファを含む回路ブロックである。そして図18(B)の場合には、 $WDB + WMB < WPB$ となる。

10

【0137】

このような $WDB + WMB = WPB$ の関係が成り立てば、複数のドライバマクロセルをD1方向に並べて配置したときに、隣り合うパッドブロック間に無駄な空き領域が生じることなく複数のパッドブロックがD1方向に沿って並ぶようになる。従って、データドライバ用パッドもD1方向に無駄なく配列されるようになり、集積回路装置のD1方向での幅を小さくできる。

20

【0138】

また $WDB + WMB = WPB$ の関係が成り立てば、図18(B)に示すような付加回路であるリピータブロックRPを配置できるようになり、レイアウト効率を向上できる。即ち、パッドピッチの制約によりパッドブロックPDBの幅WPBが大きくなり、メモリブロックMBやデータドライバブロックDBの隣に空き領域が生じた場合に、この空き領域に付加的な回路を配置できるようになる。なお、このような空き領域に配置する付加回路は、リピータブロックRPには限定されない。例えば階調電圧生成回路の一部や、データドライバの出力線を所定の電位に設定する回路や、静電気保護回路などの付加回路を配置してもよい。

30

【0139】

図19(A)にパッドブロックPDBでのパッド(パッドメタル)の配置例を示す。図19(A)では、D1方向に並ぶ1行目のパッドの列と、D1方向に並ぶ2行目のパッドの列が、D2方向にスタックされて千鳥配置されている。即ちD1方向をX軸、D2方向をY軸とすると、1行目のパッドの中心位置のX座標と、2行目のパッドの中心位置のX座標とがずれて配置されている。そして図19(A)において、パッドのD1方向でのピッチPPは、パッドの中心位置のX座標の差になる。例えばパッドPnとPn+1の中心位置のX座標の差が、パッドピッチPP(例えば20~22μm)になる。

【0140】

図19(B)において、付加回路ブロックであるリピータブロックRPのD1方向での幅をWABとし、パッドブロックPDBでのパッドの個数をNPとする。すると、例えば $(NP - 1) \times PP < WDB + WMB + WAB < (NP + 1) \times PP$ の関係が成り立つ。

40

【0141】

このような関係が成り立てば、複数のドライバマクロセルをD1方向に並べて配置したときに、無駄な空き領域が生じないように複数のパッドブロックがD1方向に並ぶようになり、均一なパッドピッチでパッドをD1方向に沿って配列できるようになる。そして均一なパッドピッチでパッドが配列されれば、集積回路装置をパンプ等を用いてガラス基板に実装した場合に、パッド配置領域に応力が均一にかかるようになり、接触不良を防止できる。またパッド間に空き領域が生じると、その空き領域が原因でACFなどの異方性導電材料の接着材の流れが変わり、接着不良などの事態が生じる可能性があるが、均一なパ

50

ッドピッチでパッドが配列されれば、このような事態を防止できる。更に $WDB + WMB + WAB$ $NP \times PP$ の関係が成り立つようにしてもよい。このようにすれば、 $D1$ 方向でのパッドピッチを更に均一化でき、応力の更なる均一化を図れる。

【0142】

なおリピータブロック RP のような付加回路を配置しない場合には、 $WAB = 0$ とすることができる。またパッドブロック PDB に、データドライバ用パッド以外のダミーのパッド（バンプ、ボンディングワイヤが接続されないパッド等）を配置してもよく、この場合はデータドライバ用パッドとダミーパッドの個数を合わせたものをパッドの個数 NP とすることもできる。

【0143】

5. データドライバブロック、メモリブロックの詳細

5.1 ブロック分割

図20(A)に示すように表示パネルが、垂直走査方向（データ線方向）での画素数が $VPN = 320$ であり、水平走査方向（走査線方向）での画素数が $HPN = 240$ である $QVGA$ のパネルであったとする。また1画素分の画像（表示）データのビット数 PDB が、 R 、 G 、 B の各々が6ビットであり、 $PDB = 18$ ビットであったとする。この場合には、表示パネルの1フレーム分の表示に必要な画像データのビット数は、 $VPN \times HPN \times PDB = 320 \times 240 \times 18$ ビットになる。従って集積回路装置のメモリは、少なくとも $320 \times 240 \times 18$ ビット分の画像データを記憶することになる。またデータドライバは、1水平走査期間毎（1本の走査線が走査される期間毎）に、 $HPN = 240$ 本分のデータ信号（ 240×18 ビット分の画像データに対応するデータ信号）を表示パネルに対して出力する。

【0144】

そして図20(B)では、データドライバは、 $DBN = 4$ 個のデータドライバブロック $DB1 \sim DB4$ に分割される。またメモリも、 $MBN = DBN = 4$ 個のメモリブロック $MB1 \sim MB4$ に分割される。即ち、例えばデータドライバブロック、メモリブロック、パッドブロックをマクロセル化した4個のドライバマクロセル $DMC1$ 、 $DMC2$ 、 $DMC3$ 、 $DMC4$ が $D1$ 方向に沿って配置される。従って、各データドライバブロック $DB1 \sim DB4$ は、1水平走査期間毎に $HPN / DBN = 240 / 4 = 60$ 本分のデータ信号を表示パネルに出力する。また各メモリブロック $MB1 \sim MB4$ は、 $(VPN \times HPN \times PDB) / MBN = (320 \times 240 \times 18) / 4$ ビット分の画像データを記憶する。

【0145】

5.2 1水平走査期間に複数回読み出し

図20(B)では、各データドライバブロック $DB1 \sim DB4$ は、1水平走査期間に60本分（ R 、 G 、 B を3本とすると、 $60 \times 3 = 180$ 本）のデータ信号を出力する。従って $DB1 \sim DB4$ に対応するメモリブロック $MB1 \sim MB4$ からは、1水平走査期間毎に 240 本分のデータ信号に対応する画像データを読み出す必要がある。

【0146】

しかしながら、1水平走査期間毎に読み出す画像データのビット数が増えると、 $D2$ 方向に並ぶメモリセル（センスアンプ）の個数を多くする必要が生じる。この結果、集積回路装置の $D2$ 方向での幅 W が大きくなり、チップのスリム化が妨げられる。またワード線 WL が長くなり、 WL の信号遅延の問題も招く。

【0147】

そこで本実施形態では、各メモリブロック $MB1 \sim MB4$ から各データドライバブロック $DB1 \sim DB4$ に対して、各メモリブロック $MB1 \sim MB4$ に記憶される画像データを1水平走査期間において複数回（ RN 回）読み出す手法を採用している。

【0148】

例えば図21では $A1$ 、 $A2$ に示すように、1水平走査期間において $RN = 2$ 回だけメモリアクセス信号 $MACS$ （ワード選択信号）がアクティブ（ハイレベル）になる。これにより各メモリブロックから各データドライバブロックに対して画像データが1水平走査

10

20

30

40

50

期間において $RN = 2$ 回読み出される。すると、データドライバブロック内に設けられた図 22 の第 1、第 2 のデータドライバ DRa 、 DRb が含むデータラッチ回路が、 $A3$ 、 $A4$ に示すラッチ信号 $LATa$ 、 $LATb$ に基づいて、読み出された画像データをラッチする。そして第 1、第 2 のデータドライバ DRa 、 DRb が含む D/A 変換回路が、ラッチされた画像データの D/A 変換を行い、 DRa 、 DRb が含む出力回路が、 D/A 変換により得られたデータ信号 $DATAa$ 、 $DATAb$ を $A5$ 、 $A6$ に示すようにデータ信号出力線に出力する。その後、 $A7$ に示すように、表示パネルの各画素の TFT のゲートに入力される走査信号 $SCSEL$ がアクティブになり、データ信号が表示パネルの各画素に入力されて保持される。

【0149】

なお図 21 では第 1 の水平走査期間で画像データを 2 回読み出し、同じ第 1 の水平走査期間においてデータ信号 $DATAa$ 、 $DATAb$ をデータ信号出力線に出力している。しかしながら、第 1 の水平走査期間で画像データを 2 回読み出してラッチしておき、次の第 2 の水平走査期間で、ラッチされた画像データに対応するデータ信号 $DATAa$ 、 $DATAb$ をデータ信号出力線に出力してもよい。また図 21 では、読み出し回数 $RN = 2$ である場合を示しているが、 $RN = 3$ であってもよい。

【0150】

図 21 の手法によれば、図 22 に示すように、各メモリブロックから 30 本分のデータ信号に対応する画像データが読み出され、各データドライバ DRa 、 DRb が 30 本分のデータ信号を出力する。これにより各データドライバブロックからは 60 本分のデータ信号が出力される。このように図 21 では、各メモリブロックからは、1 回の読み出しにおいて 30 本分のデータ信号に対応する画像データを読み出せば済むようになる。従って 1 水平走査期間に 1 回だけ読み出す手法に比べて、図 22 の $D2$ 方向でのメモリセル、センスアンプの個数を少なくすることが可能になる。この結果、集積回路装置の $D2$ 方向での幅を小さくでき、超スリムな細長チップを実現できる。特に 1 水平走査期間の長さは、 $QVGA$ の場合は $52 \mu sec$ 程度である。一方、メモリの読み出し時間は例えば $40 nsec$ 程度であり、 $52 \mu sec$ に比べて十分に短い。従って、1 水平走査期間での読み出し回数を 1 回から複数回に増やしたとしても、表示特性に与える影響はそれほど大きくない。

【0151】

また図 20 (A) は $QVGA (320 \times 240)$ の表示パネルであるが、1 水平走査期間での読み出し回数を例えば $RN = 4$ にすれば、 $VGA (640 \times 480)$ の表示パネルに対応することも可能になり、設計の自由度を増すことができる。

【0152】

なお 1 水平走査期間での複数回読み出しは、各メモリブロック内で異なる複数のワード線をロードアドレスデコーダ (ワード線選択回路) が 1 水平走査期間において選択する第 1 の手法で実現してもよいし、各メモリブロック内で同じワード線をロードアドレスデコーダ (ワード線選択回路) が 1 水平走査期間において複数回選択する第 2 の手法で実現してもよい。或いは第 1、第 2 の手法の両方の組み合わせにより実現してもよい。

【0153】

5.3 データドライバ、ドライバセルの配置

図 22 にデータドライバと、データドライバが含むドライバセルの配置例を示す。図 22 に示すように、データドライバブロックは、 $D1$ 方向に沿ってスタック配置される複数のデータドライバ DRa 、 DRb (第 1 ~ 第 m のデータドライバ) を含む。また各データドライバ DRa 、 DRb は、複数の 30 個 (広義には Q 個) のドライバセル $DRC1 \sim DRC30$ を含む。

【0154】

第 1 のデータドライバ DRa は、メモリブロックのワード線 $WL1a$ が選択され、図 21 の $A1$ に示すように 1 回目の画像データがメモリブロックから読み出されると、 $A3$ に示すラッチ信号 $LATa$ に基づいて、読み出された画像データをラッチする。そしてラッ

10

20

30

40

50

チされた画像データのD/A変換を行い、1回目の読み出し画像データに対応するデータ信号DATAaを、A5に示すようにデータ信号出力線に出力する。

【0155】

一方、第2のデータドライバDRbは、メモリブロックのワード線WL1bが選択され、図21のA2に示すように2回目の画像データがメモリブロックから読み出されると、A4に示すラッチ信号LATbに基づいて、読み出された画像データをラッチする。そしてラッチされた画像データのD/A変換を行い、2回目の読み出し画像データに対応するデータ信号DATAbを、A6に示すようにデータ信号出力線に出力する。

【0156】

このようにして、各データドライバDRa、DRbが30個の画素に対応する30本分のデータ信号を出力することで、合計で60個の画素に対応する60本分のデータ信号が出力されるようになる。

10

【0157】

図22のように、複数のデータドライバDRa、DRbをD1方向に沿って配置(スタック)するようになれば、データドライバの規模の大きさが原因になって集積回路装置のD2方向での幅Wが大きくなってしまいう事態を防止できる。またデータドライバは、表示パネルのタイプに応じて種々の構成が採用される。この場合にも、複数のデータドライバをD1方向に沿って配置する手法によれば、種々の構成のデータドライバを効率良くレイアウトすることが可能になる。なお図22ではD1方向でのデータドライバの配置数が2個である場合を示しているが、配置数は3個以上でもよい。

20

【0158】

また図22では、各データドライバDRa、DRbは、D2方向に沿って並んで配置される30個(Q個)のドライバセルDRC1~DRC30を含む。ここでドライバセルDRC1~DRC30の各々は、1画素分の画像データを受ける。そして1画素分の画像データのD/A変換を行い、1画素分の画像データに対応するデータ信号を出力する。このドライバセルDRC1~DRC30の各々は、データのラッチ回路や、図10(A)のDAC(1画素分のDAC)や、図10(B)(C)の出力部SQを含むことができる。

【0159】

そして図22において、表示パネルの水平走査方向の画素数(複数の集積回路装置により分担して表示パネルのデータ線を駆動する場合には、各集積回路装置が受け持つ水平走査方向の画素数)をHPNとし、データドライバブロックのブロック数(ブロック分割数)をDBNとし、ドライバセルに対して1水平走査期間に入力される画像データの入力回数をINとしたとする。なおINは、図21で説明した1水平走査期間での画像データの読み出し回数RNと等しくなる。この場合に、D2方向に沿って並ぶドライバセルDRC1~DRC30の個数Qは、 $Q = HPN / (DBN \times IN)$ と表すことができる。図22の場合には、 $HPN = 240$ 、 $DBN = 4$ 、 $IN = 2$ であるため、 $Q = 240 / (4 \times 2) = 30$ 個になる。

30

【0160】

なおドライバセルDRC1~DRC30のD2方向での幅(ピッチ)をWDとし、データドライバブロックが含む周辺回路部分(バッファ回路、配線領域等)のD2方向での幅をWPCBとした場合に、第1~第Nの回路ブロックCB1~CBNのD2方向での幅WB(最大幅)は、 $Q \times WD < WB < (Q + 1) \times WD + WPCB$ と表すことができる。またメモリブロックが含む周辺回路部分(ローアドレスデコーダRD、配線領域等)のD2方向での幅をWPCとした場合には、 $Q \times WD < WB < (Q + 1) \times WD + WPC$ と表すことができる。

40

【0161】

また表示パネルの水平走査方向の画素数をHPNとし、1画素分の画像データのビット数をPDBとし、メモリブロックのブロック数をMBN(=DBN)とし、1水平走査期間においてメモリブロックから読み出される画像データの読み出し回数をRNとしたとする。この場合に、センスアンプブロックSABにおいてD2方向に沿って並ぶセンスアン

50

プ(1ビット分の画像データを出力するセンスアンプ)の個数Pは、 $P = (HPN \times PDB) / (MBN \times RN)$ と表すことができる。図22の場合には、 $HPN = 240$ 、 $PDB = 18$ 、 $MBN = 4$ 、 $RN = 2$ であるため、 $P = (240 \times 18) / (4 \times 2) = 540$ 個になる。なお個数Pは、有効メモリセル数に対応する有効センスアンプ数であり、ダミーメモリセル用のセンスアンプ等の有効ではないセンスアンプの個数は含まない。

【0162】

またセンスアンプブロックSABが含む各センスアンプのD2方向での幅(ピッチ)をWSとした場合には、センスアンプブロックSAB(メモリブロック)のD2方向での幅WSABは、 $WSAB = P \times WS$ と表すことができる。そして、回路ブロックCB1~CBNのD2方向での幅WB(最大幅)は、メモリブロックが含む周辺回路部分のD2方向での幅をWPCとした場合には、 $P \times WS \leq WB < (P + PDB) \times WS + WPC$ と表すこともできる。

10

【0163】

5.4 データドライバブロックのレイアウト

図23にデータドライバブロックの更に詳細なレイアウト例を示す。図23では、データドライバブロックは、その各々が1サブピクセル分の画像データに対応するデータ信号を出力する複数のサブピクセルドライバセルSDC1~SDC180を含む。そしてこのデータドライバブロックでは、D1方向(サブピクセルドライバセルの長辺に沿った方向)に沿って複数のサブピクセルドライバセルが配置されると共にD1方向に直交するD2方向に沿って複数のサブピクセルドライバセルが配置される。即ちサブピクセルドライバセルSDC1~SDC180がマトリクス配置される。そしてデータドライバブロックの出力線と表示パネルのデータ線とを電気的に接続するためのパッド(パッドブロック)が、データドライバブロックのD2方向側に配置される。

20

【0164】

例えば図22のデータドライバDRaのドライバセルDRC1は、図23のサブピクセルドライバセルSDC1、SDC2、SDC3により構成される。ここでSDC1、SDC2、SDC3は、各々、R(赤)用、G(緑)用、B(青)用のサブピクセルドライバセルであり、1本目のデータ信号に対応するR、G、Bの画像データ(R1、G1、B1)がメモリブロックから入力される。そしてサブピクセルドライバセルSDC1、SDC2、SDC3は、これらの画像データ(R1、G1、B1)のD/A変換を行い、1本目のR、G、Bのデータ信号(データ電圧)を、1本目のデータ線に対応するR、G、B用のパッドに出力する。

30

【0165】

同様にドライバセルDRC2は、R用、G用、B用のサブピクセルドライバセルSDC4、SDC5、SDC6により構成され、2本目のデータ信号に対応するR、G、Bの画像データ(R2、G2、B2)がメモリブロックから入力される。そしてサブピクセルドライバセルSDC4、SDC5、SDC6は、これらの画像データ(R2、G2、B2)のD/A変換を行い、2本目のR、G、Bのデータ信号(データ電圧)を、2本目のデータ線に対応するR、G、B用のパッドに出力する。他のサブピクセルドライバセルも同様である。

40

【0166】

なおサブピクセルの数は3個に限定されず、4個以上であってもよい。またサブピクセルドライバセルの配置も図23に限定されず、R用、G用、B用のサブピクセルドライバセルを例えばD2方向に沿ってスタック配置してもよい。

【0167】

5.5 メモリブロックのレイアウト

図24にメモリブロックのレイアウト例を示す。図24は、メモリブロックのうちの1画素(R、G、Bが各々6ビットで合計18ビット)に対応する部分を詳細に示している。

【0168】

50

センスアンプブロックのうち1画素に対応する部分は、R用のセンスアンプSAR0～SAR5と、G用のセンスアンプSAG0～SAG5と、B用のセンスアンプSAB0～SAB5を含む。また図24では、2個（広義には複数）のセンスアンプ（及びバッファ）がD1方向にスタック配置される。そしてスタック配置されたセンスアンプSAR0、SAR1のD1方向側にD1方向に沿って並ぶ2行のメモリセル列のうち、上側の行のメモリセル列のビット線は例えばSAR0に接続され、下側の行のメモリセル列のビット線は例えばSAR1に接続される。そしてSAR0、SAR1は、メモリセルから読み出された画像データの信号増幅を行い、これによりSAR0、SAR1から2ビットの画像データが出力されるようになる。他のセンスアンプとメモリセルの関係についても同様である。

10

【0169】

図24の構成の場合には、図21に示す1水平走査期間での画像データの複数回読み出しは、次のようにして実現できる。即ち第1の水平走査期間（第1の走査線の選択期間）においては、まずワード線WL1aを選択して画像データの1回目の読み出しを行い、図21のA5に示すように1回目のデータ信号DATAaを出力する。この場合にはセンスアンプSAR0～SAR5、SAG0～SAG5、SAB0～SAB5からのR、G、Bの画像データは、各々、サブピクセルドライバセルSDC1、SDC2、SDC3に入力される。次に、同じ第1の水平走査期間においてワード線WL1bを選択して画像データの2回目の読み出しを行い、図21のA6に示すように2回目のデータ信号DATAbを出力する。この場合にはセンスアンプSAR0～SAR5、SAG0～SAG5、SAB0～SAB5からのR、G、Bの画像データは、各々、図23のサブピクセルドライバセルSDC91、SDC92、SDC93に入力される。また次の第2の水平走査期間（第2の走査線の選択期間）においては、まずワード線WL2aを選択して画像データの1回目の読み出しを行い、1回目のデータ信号DATAaを出力する。次に、同じ第2の水平走査期間においてワード線WL2bを選択して画像データの2回目の読み出しを行い、2回目のデータ信号DATAbを出力する。

20

【0170】

なおセンスアンプをD1方向にスタック配置しない変形実施も可能である。またカラム選択信号を用いて、各センスアンプに接続するメモリセルの列を切り替えるようにしてもよい。この場合には、メモリブロック内において同じワード線を1水平走査期間において複数回選択することで、1水平走査期間での複数回読み出しを実現できる。

30

【0171】

5.6 サブピクセルドライバセルのレイアウト

図25にサブピクセルドライバセルの詳細なレイアウト例を示す。図25に示すように各サブピクセルドライバセルSDC1～SDC180は、ラッチ回路LAT、レベルシフタL/S、D/A変換器DAC、出力部SSQを含む。なおラッチ回路LATとレベルシフタL/Sの間に、階調制御のためのFRC（Frame Rate Control）回路などの他のロジック回路を設けてもよい。

【0172】

各サブピクセルドライバセルが含むラッチ回路LATは、メモリブロックMB1からの1サブピクセル分である6ビットの画像データをラッチする。レベルシフタL/Sは、ラッチ回路LATからの6ビットの画像データ信号の電圧レベルを変換する。D/A変換器DACは、階調電圧を用いて、6ビットの画像データのD/A変換を行う。出力部SSQは、D/A変換器DACの出力信号のインピーダンス変換を行う演算増幅器OP（ボルテージフォロワ接続）を有し、1サブピクセルに対応する1本のデータ線を駆動する。なお出力部SSQは、演算増幅器OP以外にも、ディスチャージ用、8色表示用、DAC駆動用のトランジスタ（スイッチ素子）を含むことができる。

40

【0173】

そして図25に示すように各サブピクセルドライバセルは、LV（Low Voltage）の電圧レベル（広義には第1の電圧レベル）の電源で動作する回路が配置されるLV領域（広

50

義には第1の回路領域)と、LVよりも高いMV (Middle Voltage) の電圧レベル (広義には第2の電圧レベル) の電源で動作する回路が配置されるMV領域 (広義には第2の回路領域) を有する。ここでLVは、ロジック回路ブロックLB、メモリブロックMB等の動作電圧である。またMVは、D/A変換器、演算増幅器、電源回路等の動作電圧である。なお走査ドライバの出力トランジスタは、HV (High Voltage) の電圧レベル (広義には第3の電圧レベル) の電源が供給されて走査線を駆動する。

【0174】

例えばサブピクセルドライバセルのLV領域 (第1の回路領域) には、ラッチ回路LAT (或いはその他のロジック回路) が配置される。またMV領域 (第2の回路領域) にはD/A変換器DACや、演算増幅器OPを有する出力部SSQが配置される。そしてレベルシフタL/Sが、LVの電圧レベルの信号をMVの電圧レベルの信号に変換する。

10

【0175】

なお図25ではサブピクセルドライバセルSDC1~SDC180のD4方向側にバッファ回路BF1が設けられている。このバッファ回路BF1は、ロジック回路ブロックLBからのドライバ制御信号をバッファリングして、サブピクセルドライバセルSDC1~SDC180に出力する。別の言い方をすれば、ドライバ制御信号のリピータブロックとして機能する。

【0176】

具体的にはバッファ回路BF1は、LV領域に配置されるLVバッファと、MV領域に配置されるMVバッファを含む。そしてLVバッファは、ロジック回路ブロックLBからのLVの電圧レベルのドライバ制御信号 (ラッチ信号等) を受けてバッファリングし、そのD2方向側に配置されるサブピクセルドライバセルのLV領域の回路 (LAT) に対して出力する。またMVバッファは、ロジック回路ブロックLBからのLVの電圧レベルのドライバ制御信号 (DAC制御信号、出力制御信号等) を受け、レベルシフタによりMVの電圧レベルに変換してバッファリングし、そのD2方向側に配置されるサブピクセルドライバセルのMV領域の回路 (DAC、SSQ) に対して出力する。

20

【0177】

そして本実施形態では図25に示すように、各サブピクセルドライバセルのMV領域同士 (又はLV領域同士) がD1方向に沿って隣接するようにサブピクセルドライバセルSDC1~SDC180が配置される。即ち隣接するサブピクセルドライバセルがD2方向に沿った隣接境界を挟んでミラー配置される。例えばサブピクセルドライバセルSDC1とSDC2はMV領域が隣接するように配置される。またサブピクセルドライバセルSDC3とSDC91もMV領域が隣接するように配置される。なおサブピクセルドライバセルSDC2とSDC3はLV領域同士が隣接するように配置される。

30

【0178】

図25のようにMV領域が隣接するように配置すれば、サブピクセルドライバセル間にガードリング等を設ける必要がなくなる。従ってMV領域とLV領域を隣接させる手法に比べて、データドライバブロックのD1方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【0179】

また図25の配置手法によれば、隣接するサブピクセルドライバセル (ドライバセル) のMV領域を、サブピクセルドライバセル (ドライバセル) の出力信号の取り出し線の配線領域として有効利用でき、レイアウト効率を向上できる。

40

【0180】

更に図25の配置手法によれば、メモリブロックを、サブピクセルドライバセルのLV領域 (第1の回路領域) に対して隣接して配置できるようになる。例えば図25において、メモリブロックMB1は、サブピクセルドライバセルSDC1やSDC88のLV領域に隣接して配置される。またメモリブロックMB2は、サブピクセルドライバセルSDC93やSDC180のLV領域に隣接して配置される。そしてメモリブロックMB1、MB2はLVの電圧レベルの電源で動作する。従って、このようにサブピクセルドライバセ

50

ルのLV領域をメモリブロックに隣接して配置すれば、データドライバブロック及びメモリブロックにより構成されるドライバマクロセルのD1方向での幅を小さくでき、集積回路装置の小面積化を図れる。

【0181】

なお集積回路装置がメモリブロックを含まない場合でも、図25の手法によれば、リピータブロックを、隣り合うサブピクセルドライバセルのLV領域の間の領域に配置できる。これにより、ロジック回路ブロックLBからのLVの電圧レベルの信号(画像データ信号)をリピータブロックによりバッファリングして、サブピクセルドライバセルに入力することが可能になる。

【0182】

6. 電子機器

図26(A)(B)に本実施形態の集積回路装置10を含む電子機器(電気光学装置)の例を示す。なお電子機器は図26(A)(B)に示されるもの以外の構成要素(例えばカメラ、操作部又は電源等)を含んでもよい。また本実施形態の電子機器は携帯電話機には限定されず、デジタルカメラ、PDA、電子手帳、電子辞書、プロジェクタ、リアプロジェクションテレビ、或いは携帯型情報端末などであってもよい。

【0183】

図26(A)(B)においてホストデバイス410は、例えばMPU(Micro Processor Unit)、ベースバンドエンジン(ベースバンドプロセッサ)などである。このホストデバイス410は、表示ドライバである集積回路装置10の制御を行う。或いはアプリケーションエンジンやベースバンドエンジンとしての処理や、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行うこともできる。また図26(B)の画像処理コントローラ(表示コントローラ)420は、ホストデバイス410に代行して、圧縮、伸長、サイジングなどのグラフィックエンジンとしての処理を行う。

【0184】

表示パネル400は、複数のデータ線(ソース線)と、複数の走査線(ゲート線)と、データ線及び走査線により特定される複数の画素を有する。そして、各画素領域における電気光学素子(狭義には、液晶素子)の光学特性を変化させることで、表示動作を実現する。この表示パネル400は、TFT、TFDなどのスイッチング素子を用いたアクティブマトリクス方式のパネルにより構成できる。なお表示パネル400は、アクティブマトリクス方式以外のパネルであってもよいし、液晶パネル以外のパネルであってもよい。

【0185】

図26(A)の場合には、集積回路装置10としてメモリ内蔵のものを用いることができる。即ちこの場合には集積回路装置10は、ホストデバイス410からの画像データを、一旦内蔵メモリに書き込み、書き込まれた画像データを内蔵メモリから読み出して、表示パネルを駆動する。一方、図26(B)の場合には、集積回路装置10としてメモリ非内蔵のものを用いることができる。即ちこの場合には、ホストデバイス410からの画像データは、画像処理コントローラ420の内蔵メモリに書き込まれる。そして集積回路装置10は、画像処理コントローラ420の制御の下で、表示パネル400を駆動する。

【0186】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語(第1のインターフェース領域、第2のインターフェース領域、K個等)と共に記載された用語(出力側I/F領域、入力側I/F領域、2個等)は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また制御トランジスタをパッド配置領域に配置する本実施形態の手法は、図3とは異なる配置・構成の集積回路装置にも適用できる。

【図面の簡単な説明】

10

20

30

40

50

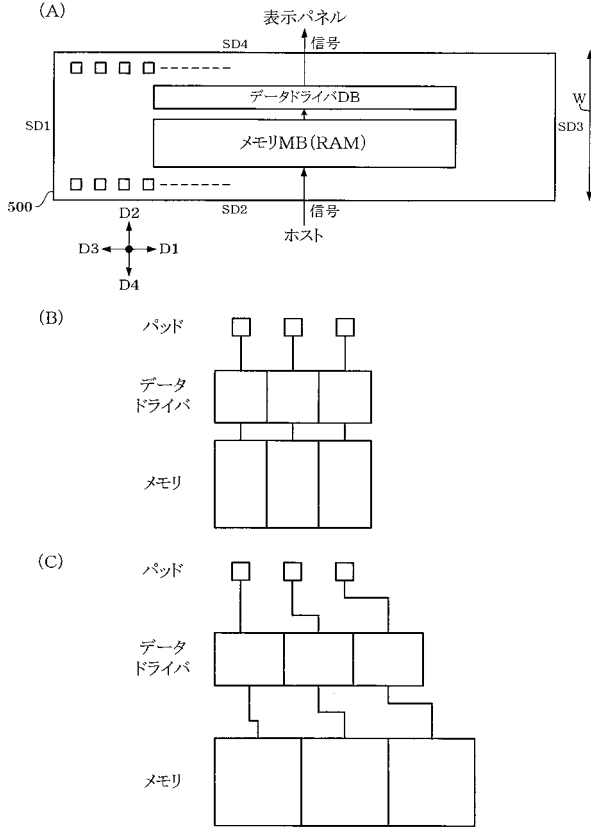
【 0 1 8 7 】

- 【図 1】図 1 (A) (B) (C) は本実施形態の比較例の説明図。
 【図 2】図 2 (A) (B) は集積回路装置の実装についての説明図。
 【図 3】本実施形態の集積回路装置の構成例。
 【図 4】種々のタイプの表示ドライバとそれが内蔵する回路ブロックの例。
 【図 5】図 5 (A) (B) は本実施形態の集積回路装置の平面レイアウト例。
 【図 6】図 6 (A) (B) は集積回路装置の断面図の例。
 【図 7】集積回路装置の回路構成例。
 【図 8】図 8 (A) (B) (C) はデータドライバ、走査ドライバの構成例。
 【図 9】図 9 (A) (B) は電源回路、階調電圧生成回路の構成例。 10
 【図 10】図 10 (A) (B) (C) は D / A 変換回路、出力回路の構成例。
 【図 11】本実施形態の制御トランジスタの配置手法の説明図。
 【図 12】データドライバの出力部の構成例。
 【図 13】データドライバの出力部の構成例。
 【図 14】データドライバの出力部の構成例。
 【図 15】パッド配置領域のレイアウト例。
 【図 16】図 16 (A) (B) は静電気保護素子とパッドとの接続の説明図。
 【図 17】図 17 (A) (B) はダイオードの断面図。
 【図 18】図 18 (A) (B) は本実施形態のマクロセル化手法の説明図。
 【図 19】図 19 (A) (B) も本実施形態のマクロセル化手法の説明図。 20
 【図 20】図 20 (A) (B) はメモリやデータドライバのブロック分割手法の説明図。
 【図 21】1 水平走査期間に画像データを複数回読み出す手法の説明図。
 【図 22】データドライバ、ドライバセルの配置例。
 【図 23】サブピクセルドライバセルの配置例。
 【図 24】センスアンプ、メモリセルの配置例。
 【図 25】サブピクセルドライバセルの構成例。
 【図 26】図 26 (A) (B) は電子機器の構成例。
 【符号の説明】

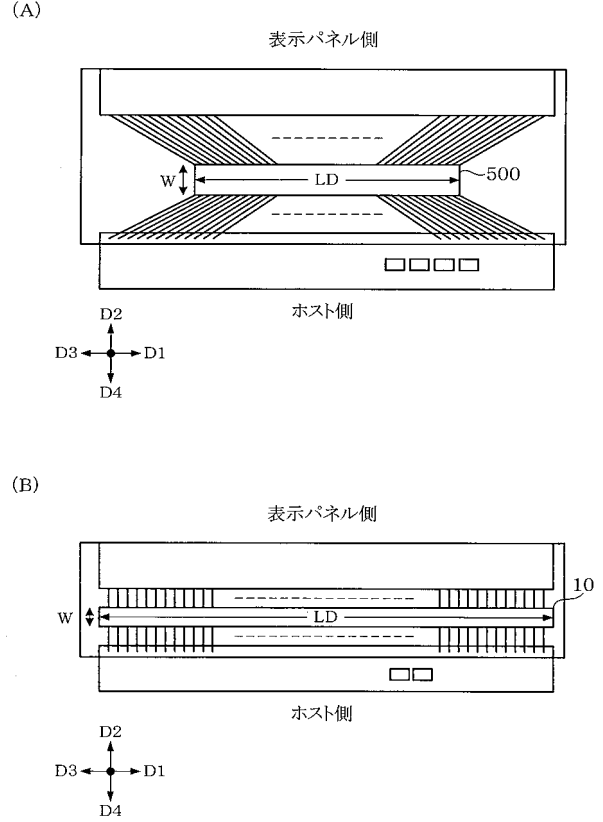
【 0 1 8 8 】

- C B 1 ~ C B N 第 1 ~ 第 N の回路ブロック、 30
 T C 1、T C 2、T C N 1、T C P 1、T C N 2、T C P 2 制御トランジスタ、
 D I 1 ~ D I 4 ダイオード、P 1、P 2 パッド、O P 1、O P 2 演算増幅器、
 D B データドライバブロック、M B メモリブロック、P D B パッドブロック、
 D M C 1 ~ D M C 4 ドライバマクロセル、D R C 1 ~ D R C 3 0 ドライバセル、
 S D C 1 ~ S D C 1 8 0 サブピクセルドライバセル、
 1 0 集積回路装置、1 2 出力側 I / F 領域、1 4 入力側 I / F 領域、
 2 0 メモリ、2 2 メモリセルアレイ、2 4 ローアドレスデコーダ、
 2 6 カラムアドレスデコーダ、2 8 ライト / リード回路、
 4 0 ロジック回路、4 2 制御回路、4 4 表示タイミング制御回路、
 4 6 ホストインターフェース回路、4 8 R G B インターフェース回路、 40
 5 0 データドライバ、5 2 データラッチ回路、5 4 D / A 変換回路、
 5 6 出力回路、7 0 走査ドライバ、7 2 シフトレジスタ、
 7 3 走査アドレス生成回路、7 4 アドレスデコーダ、7 6 レベルシフタ、
 7 8 出力回路、9 0 電源回路、9 2 昇圧回路、9 4 レギュレータ回路、
 9 6 V C O M 生成回路、9 8 制御回路、1 1 0 階調電圧生成回路、
 1 1 2 選択用電圧生成回路、1 1 4 階調電圧選択回路、1 1 6 調整レジスタ

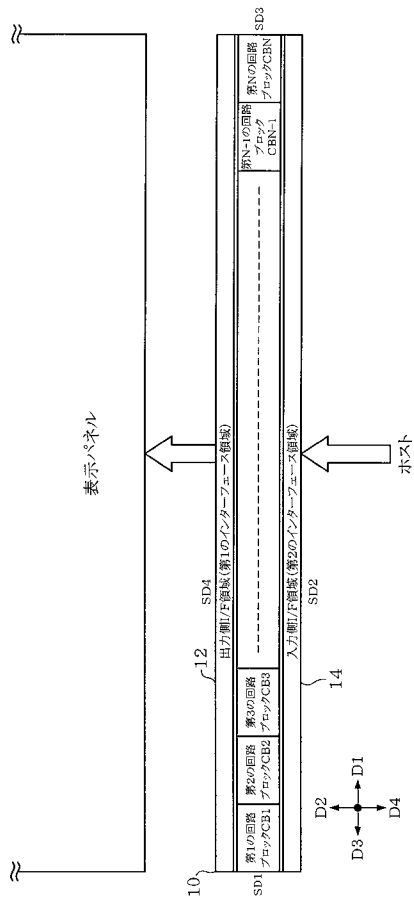
【 図 1 】



【 図 2 】



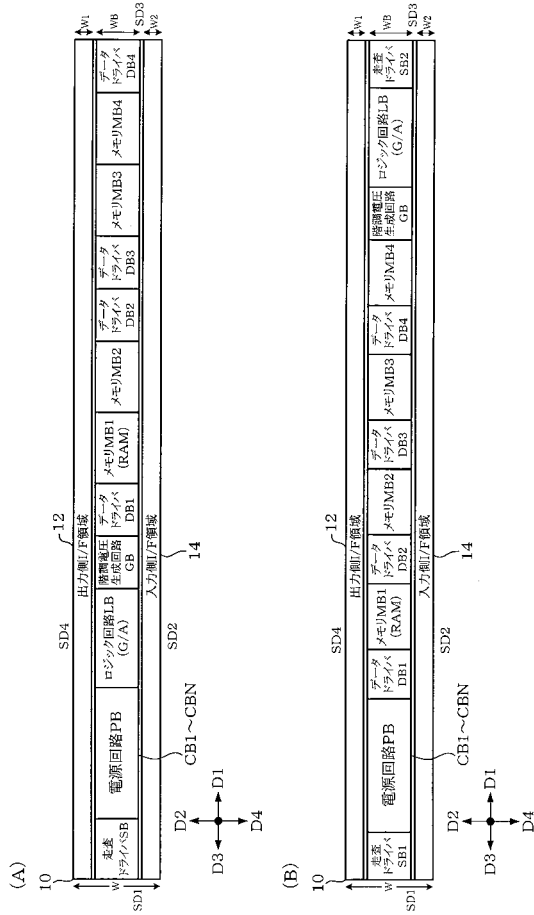
【 図 3 】



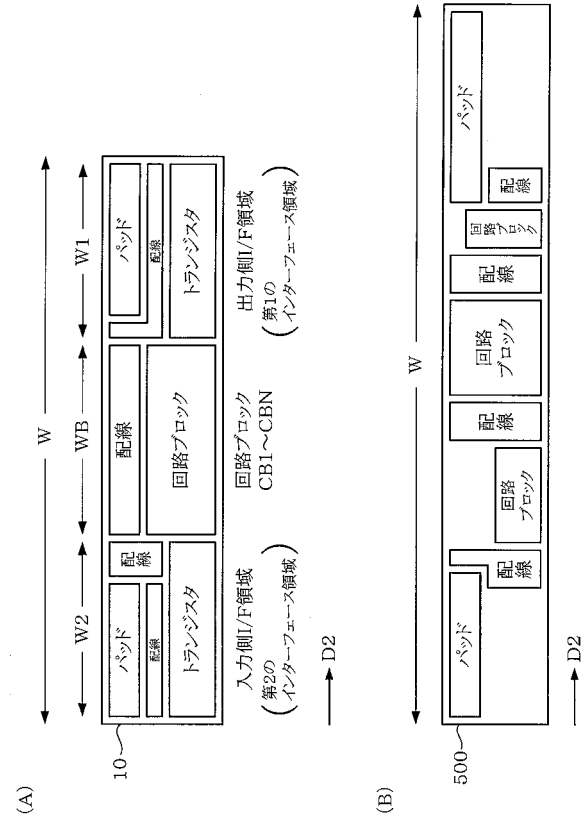
【 図 4 】

	メモリ (RAM)	データドライバ	走査ドライバ	ロジック回路 (G/A)	電圧生成回路 (γ)	電源回路
メモリ (RAM) 内蔵	○	○	○	○	○	○
メモリ非内蔵	○	○	○	○	○	○
アモルファス TFT	○	○	○	○	○	○
低温ポリシリコン TFT	○	○	○	○	○	○
アモルファス TFT	○	○	○	○	○	○
低温ポリシリコン TFT	○	○	○	○	○	○
TFD	○	○	○	○	○	○
CSTN	○	○	○	○	○	○
メモリ (RAM) 内蔵	○	○	○	○	○	○
メモリ非内蔵	○	○	○	○	○	○
アモルファス TFT	○	○	○	○	○	○
低温ポリシリコン TFT	○	○	○	○	○	○
TFD	○	○	○	○	○	○
CSTN	○	○	○	○	○	○

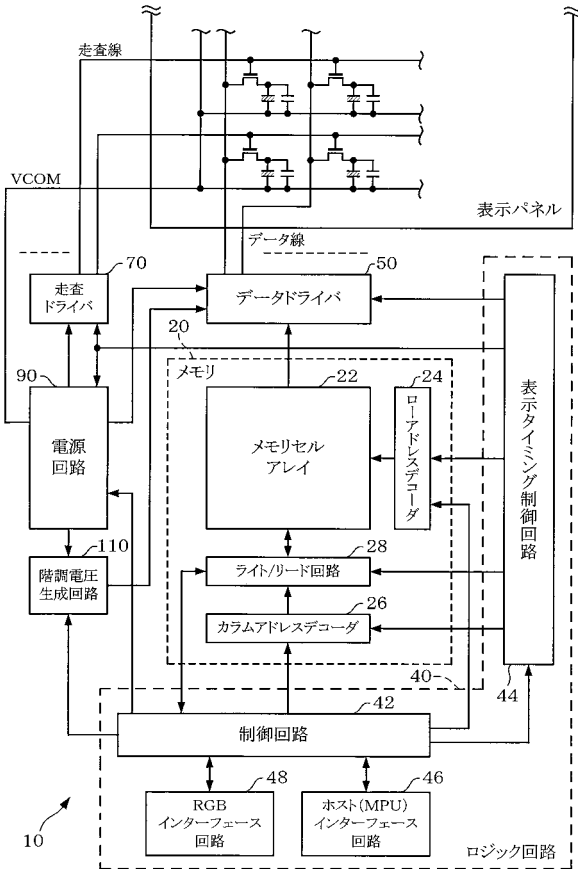
【図5】



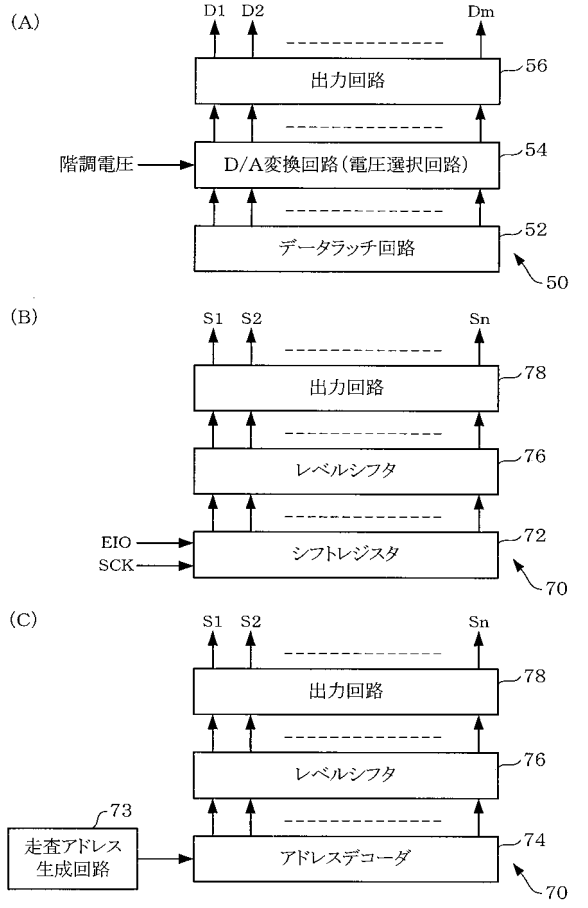
【図6】



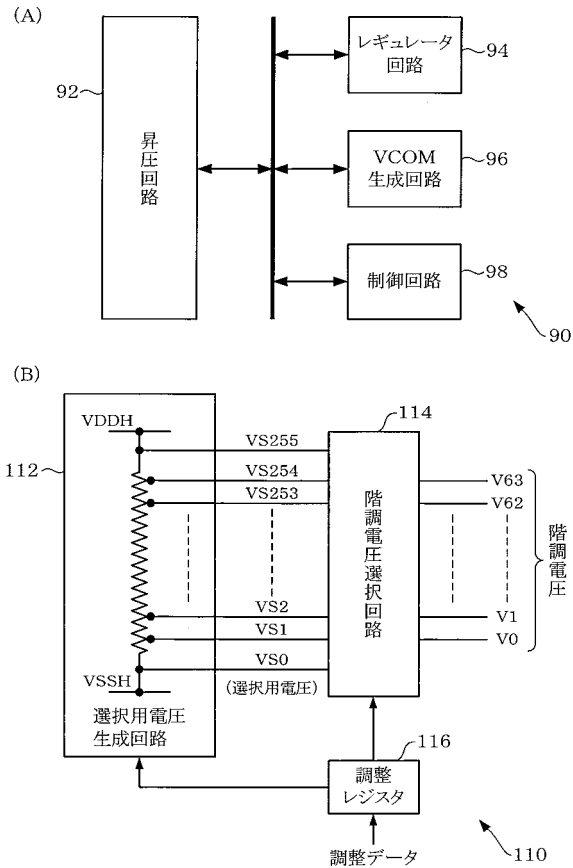
【図7】



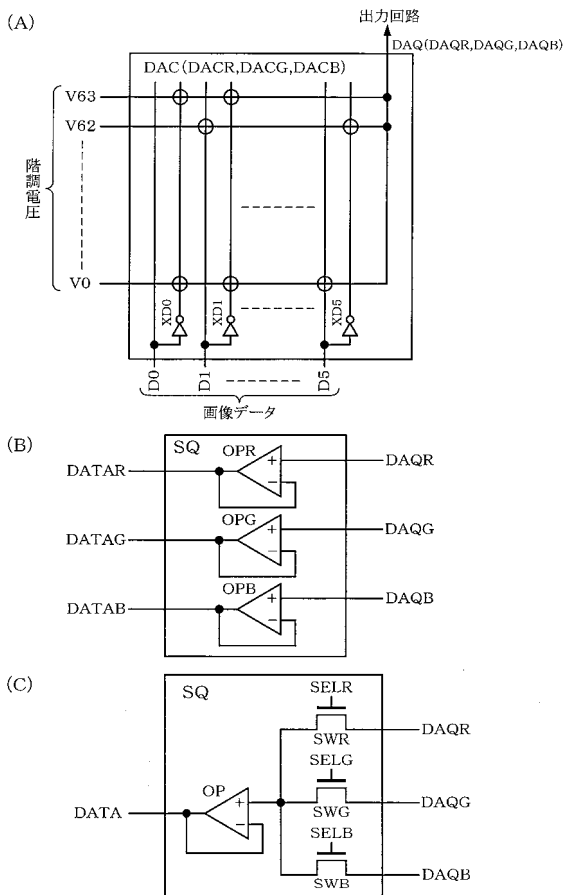
【図8】



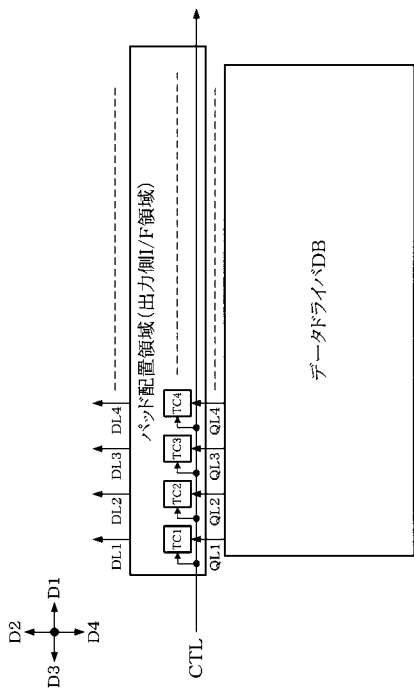
【図9】



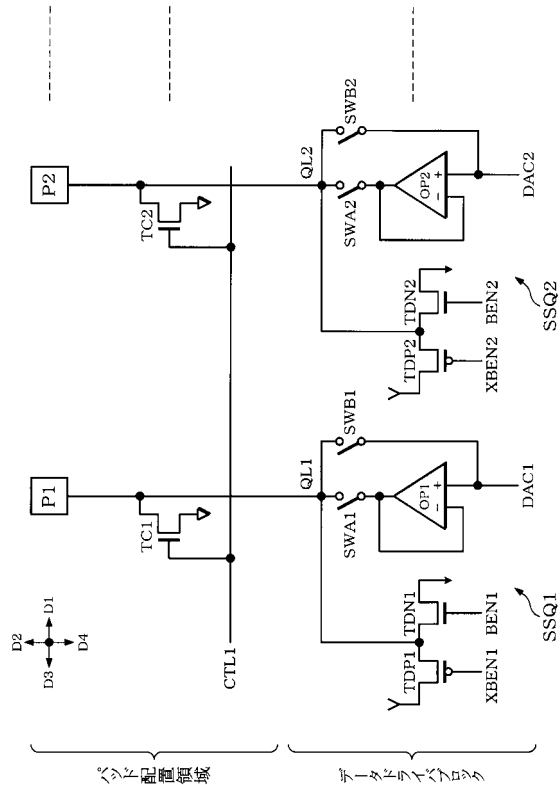
【図10】



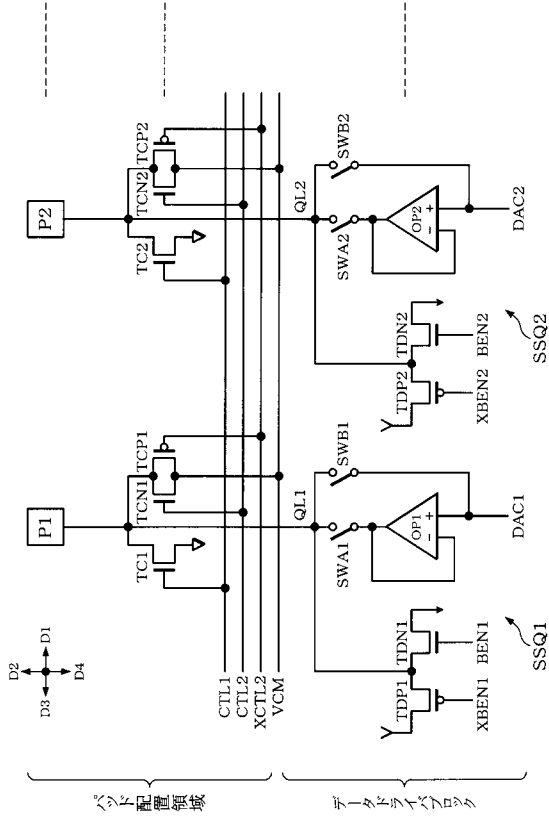
【図11】



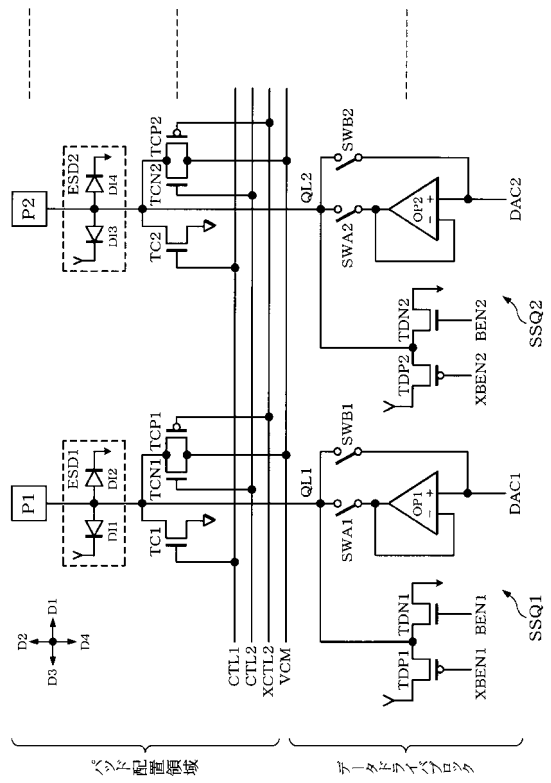
【図12】



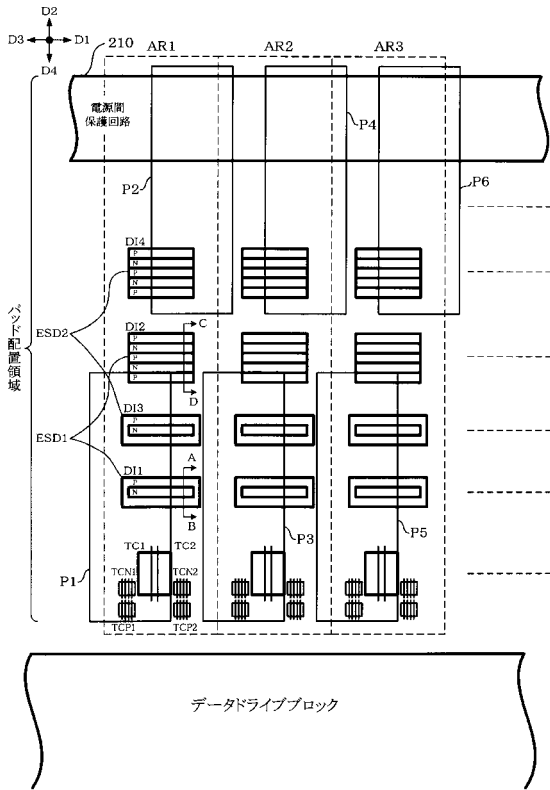
【図13】



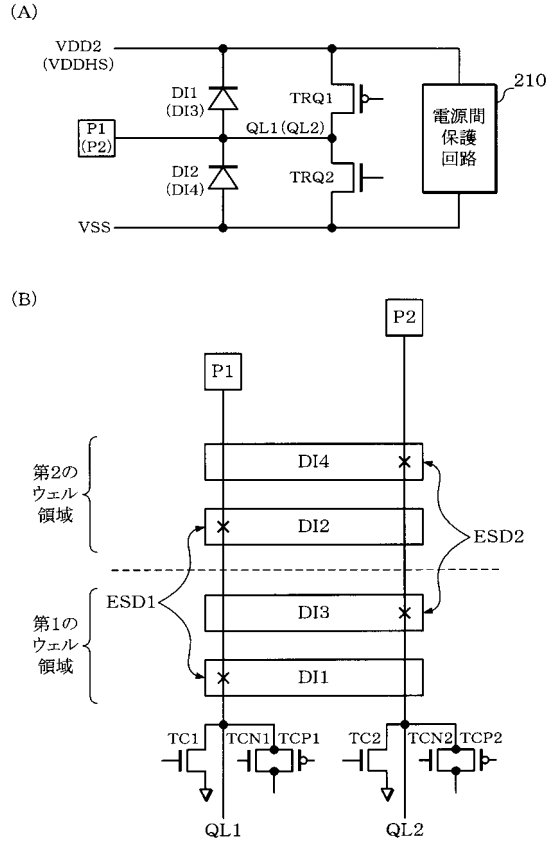
【図14】



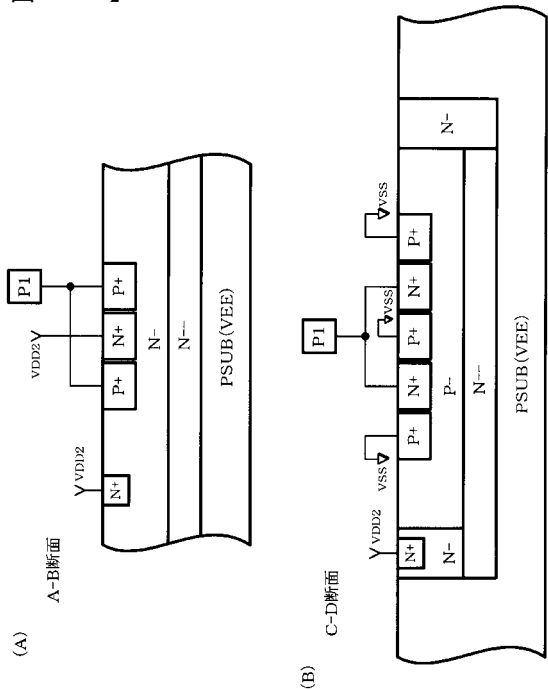
【図15】



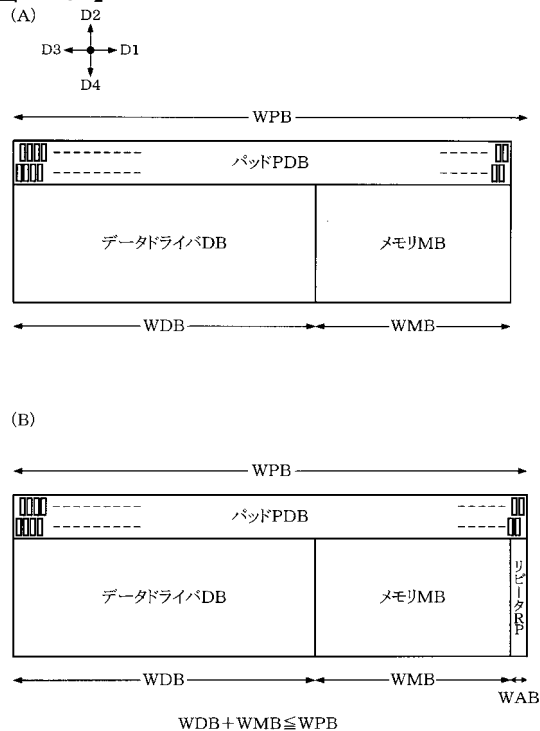
【図16】



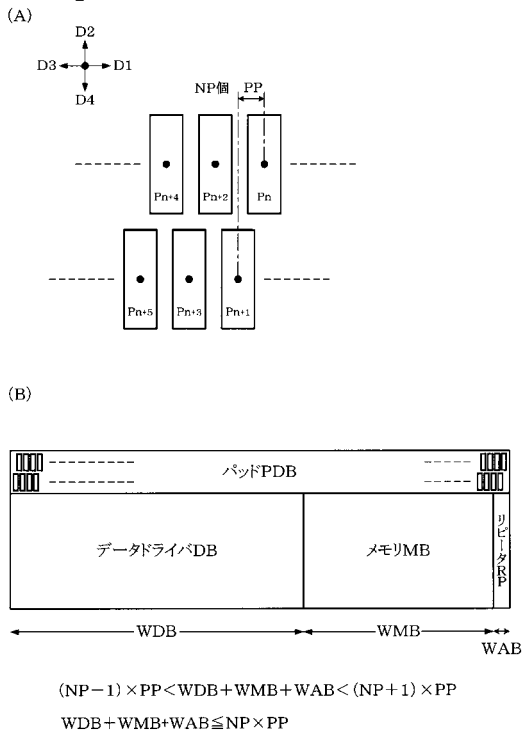
【 図 17 】



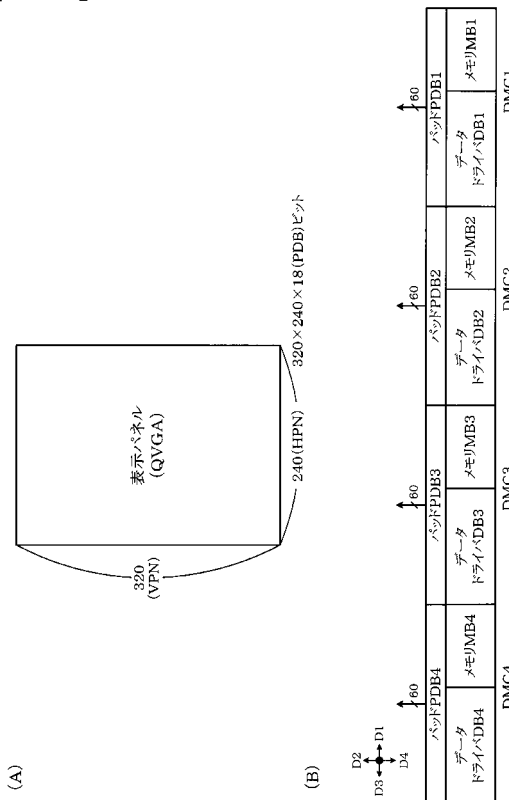
【 図 18 】



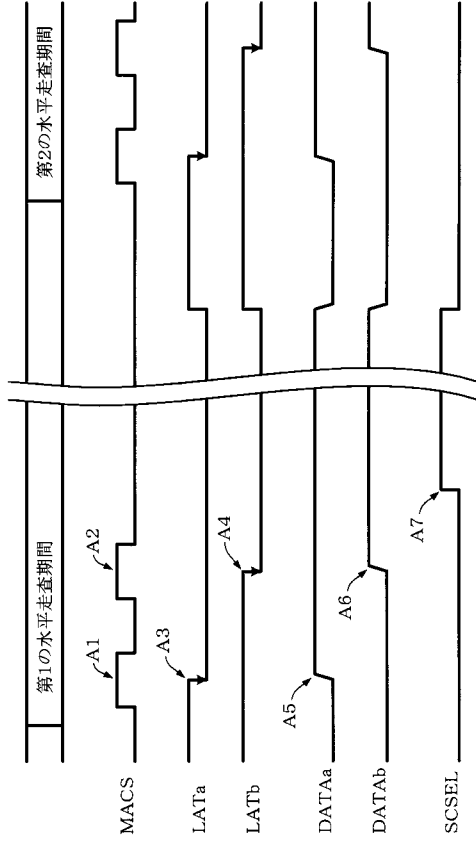
【 図 19 】



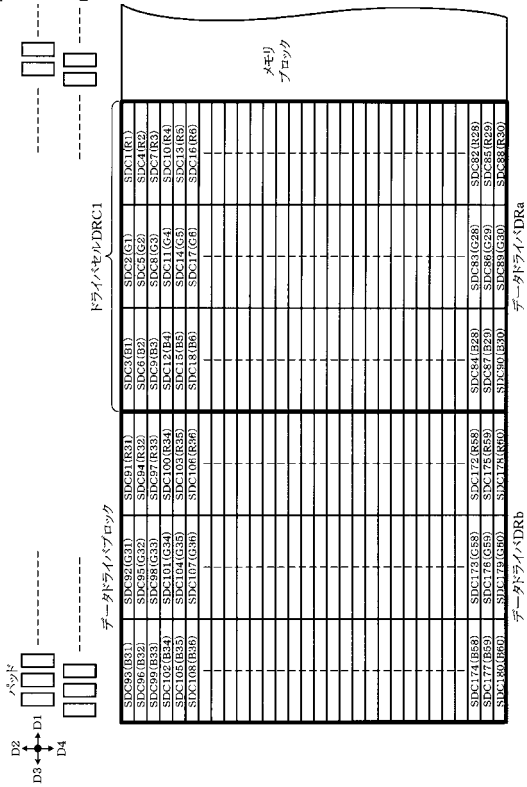
【 図 20 】



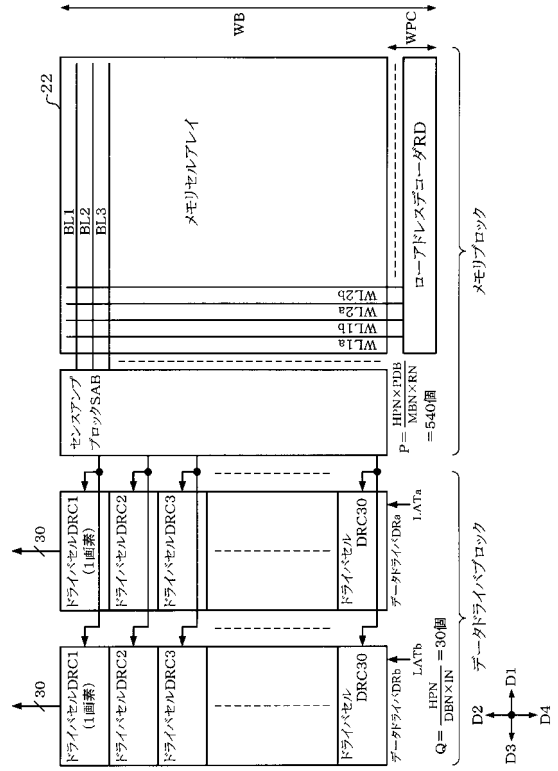
【 図 2 1 】



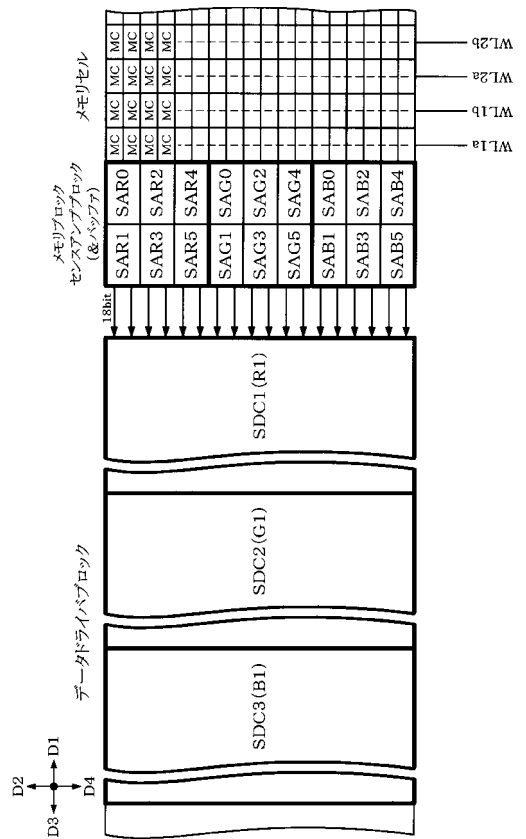
【 図 2 3 】



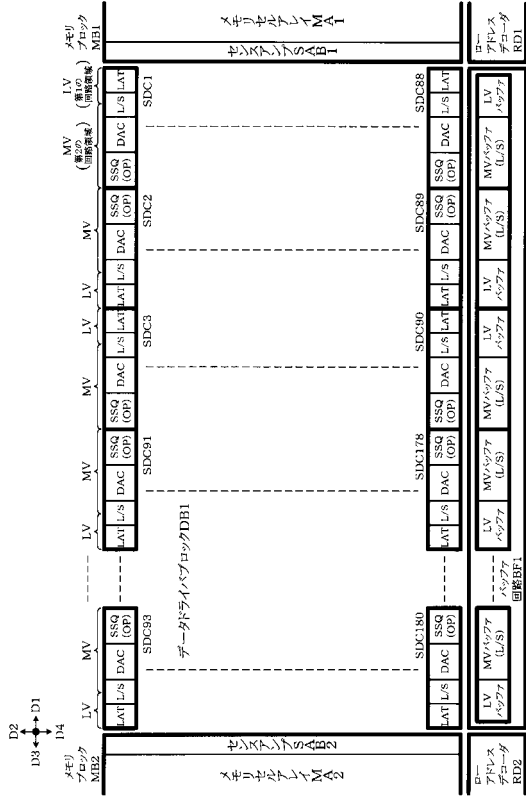
【 図 2 2 】



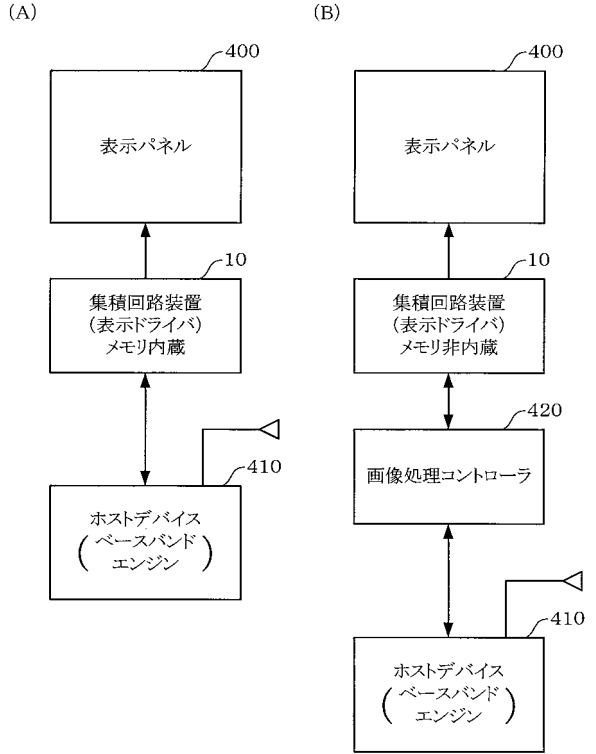
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51) Int.Cl. F I
G 0 2 F 1/1362 (2006.01) G 0 9 G 3/20 6 7 0 C
 G 0 2 F 1/133 5 0 5
 G 0 2 F 1/1362
 H 0 1 L 27/04 H

- (72)発明者 伊藤 悟
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 森口 昌彦
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 熊谷 敬
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 石山 久展
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 前川 和広
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 藤瀬 隆史
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 唐澤 純一
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
- (72)発明者 小平 覚
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 大嶋 洋一

- (56)参考文献 特開2006-228770(JP,A)
 特開2005-167212(JP,A)
 特開2003-107528(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 1 / 8 2
 H 0 1 L 2 7 / 0 4
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 2 6
 G 0 2 F 1 / 1 3 3
 G 0 2 F 1 / 1 3 4 5
 G 0 2 F 1 / 1 3 6 2