



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 23/48 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년11월30일 10-0651076 2006년11월22일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0093502 2003년12월19일 2003년12월19일	(65) 공개번호 (43) 공개일자	10-2004-0057934 2004년07월02일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2002-00371538 2002년12월24일 일본(JP)

(73) 특허권자 가시오계산키 가부시키가이샤
일본국 도쿄도 시부야구 혼마치 1초메 6반 2고

(72) 발명자 죠벳토히로야스
일본국도쿄도하치오지시구보야마초1-9-1

(74) 대리인 손은진

(56) 선행기술조사문헌
JP10079576 A JP2000195862 A
KR1020000011717 A KR1020000071342 A
JP14246756 A *
* 심사관에 의하여 인용된 문헌

심사관 : 홍근조

전체 청구항 수 : 총 7 항

(54) 반도체장치

(57) 요약

본 발명은 칩사이즈의 반도체소자를 내장한 반도체장치 및 그 제조방법에 관한 것으로서,

복수의 반도체장치에 대응하는 사이즈의 베이스판(1)상의 접촉층(2)상의 소정의 복수장소에 CSP라 불리우는 반도체구성체(3)를 배치하고, 다음으로 반도체구성체(3)간에 유리섬유 등을 포함하는 반경화의 열경화성 수지로 이루어지는 절연재 재료(13A)를 배치하고, 한쌍의 가열가압판을 이용하여 가열가압함으로써 상면이 반도체구성체(3)의 상면과 대략 면일치하게 되는 절연재를 형성하며, 이 경우 절연재재료(13A) 속의 수지가 반도체구성체(3)상에 유출되어도 이것을 저가이고 저정밀도의 버프 또는 엔드리스연마벨트를 이용하여 간단히 연마해서 제거할 수 있으며, 그리고 그 위에 상층절연막, 상층재배선, 땀납볼 등을 형성하며, 이어서 서로 인접하는 반도체구성체(3)간에서 절단하면 땀납볼을 구비한 반도체장치가 복수개 얻어지는 것을 특징으로 한다.

대표도

도 9

특허청구의 범위

청구항 1.

상면에 복수의 접속패드를 갖는 반도체기판과, 상기 접속패드를 노출시키는 개구부를 가지며, 상기 반도체기판을 덮도록 형성된 제 1 절연막과, 각각 상기 제 1 절연막의 상기 개구부를 통하여 접속되어 접속패드부를 갖는 복수의 재배선과, 각각 상기 재배선의 상기 접속패드부상에 형성된 복수의 기둥상 전극과, 상기 기둥상 전극의 상면을 노출시키면서 상기 반도체기판상에 있어서의 상기 기둥상 전극의 주위에 설치된 상기 밀봉막을 가지며, 상기 밀봉막은 상기 반도체기판과 동일한 면적을 갖고, 상기 밀봉막의 각 측가장자리부는 상기 반도체기판의 대응하는 측가장자리부와 동일 평면상에 위치하는 반도체구성체와,

상기 반도체구성체의 옆쪽에 설치되어 보강재를 포함하는 수지로 이루어지는 절연재와,

상기 반도체구성체의 기둥상 전극의 상면의 적어도 일부를 노출시켜 상기 밀봉막의 상면 및 상기 절연재의 상면에 설치된 제 2 절연막 및,

상기 제 2 절연막상에 각각이 상기 반도체구성체의 상기 기둥상 전극에 접속되어 설치되고, 또한 접속패드부를 갖는 적어도 하나의 층의 복수개의 상층재배선을 갖고, 상기 상층재배선 중 최상층의 상층재배선의 적어도 일부의 접속패드부는 상기 절연재에 대응하는 영역상에 배치되어 있는 것을 특징으로 하는 반도체장치.

청구항 2.

제 1 항에 있어서,

복수개의 상기 반도체구성체를 갖는 것을 특징으로 하는 반도체장치.

청구항 3.

제 1 항에 있어서,

상기 절연재의 상면은 상기 반도체구성체의 상면과 대략 면일치하게 되어 있는 것을 특징으로 하는 반도체장치.

청구항 4.

제 1 항에 있어서,

상기 절연재의 상면은 상기 반도체구성체의 상면보다도 약간 낮은 위치에 배치되어 있는 것을 특징으로 하는 반도체장치.

청구항 5.

제 1 항에 있어서,

상기 반도체구성체와 상기 절연재의 사이에 상기 제 2 절연막 속의 보강재를 포함하지 않고, 상기 제 2 절연막 속의 수지와 같은 수지로 이루어지는 제 3 절연막이 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 6.

제 1 항에 있어서,

상기 절연재는 테두리상인 것을 특징으로 하는 반도체장치.

청구항 7.

제 1 항에 있어서,

최상층의 상기 상층재배선의 상기 접속패드부상에 뿔납볼이 설치되어 있는 것을 특징으로 하는 반도체장치.

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칩사이즈의 반도체소자를 내장한 반도체장치 및 그 제조방법에 관한 것이다.

근래 휴대전화에 대표되는 바와 같은 휴대형 전자기기의 소형화와 더불어 CSP(Chip size package)라 불리는 반도체장치가 개발되고 있다. 이 CSP는 복수의 외부접속용의 접속패드가 형성된 베어(Bare)의 반도체장치의 상면에 패시베이션막(중간절연막)을 설치하고, 이 패시베이션막의 각 접속패드의 대응부에 개구부를 형성하며, 해당 개구부를 통하여 각 접속패드에 접속되는 재배선을 형성하고, 각 재배선의 타단부측에 기동상의 외부접속용 전극을 형성하는 동시에, 각 외부접속용 전극간에 밀봉재를 충전한 것이다. 이와 같은 CSP에 따르면, 각 기동상의 외부접속용 전극상에 땀납볼을 형성해 둠으로써 접속단자를 갖는 회로기판에 페이스다운방식으로 본딩할 수 있어서 실장면적을 대략 베어의 반도체장치와 동일한 사이즈로 하는 것이 가능하게 되기 때문에 종래의 와이어본딩 등을 이용한 페이스업방식의 본딩방법에 비하여 전자기기를 대폭으로 소형화하는 것이 가능하다. 이와 같은 CSP에 있어서, 예를 들면 USP6, 467, 674와 같이 생산성을 높이기 위해 웨이퍼상태의 반도체기판에 패시베이션막, 재배선, 외부접속용 전극 및 밀봉재를 형성하고, 또한 밀봉재로 덮이지 않고 노출된 외부접속용 전극의 상면에 땀납볼을 설치한 후 다이싱라인에서 절단하도록 한 것이 있다.

그런데 상기 종래의 반도체장치에서는 집적화가 진행됨에 따라서 외부접속용 전극의 수가 증가하면 다음과 같은 문제가 있었다. 즉 상기한 바와 같이, CSP는 베어의 반도체장치의 상면에 외부접속용 전극을 배열하기 때문에 통상은 매트릭스상으로 배열하는 것인데, 그 때문에 외부접속용 전극수가 많은 반도체장치의 경우에는 외부접속용 전극의 사이즈 및 피치가 극단적으로 작아져 버리는 결점을 갖고 있으며, 이 때문에 베어의 반도체장치의 사이즈에 비해 외부접속용 전극이 많은 것에는 적용할 수 없는 것이었다. 즉 외부접속용 전극의 사이즈 및 피치가 극단적으로 작아지면 회로기판과의 위치맞춤이 곤란할 뿐만 아니라 접합강도가 부족하고, 본딩시에 전극간의 쇼트가 발생하며, 통상은 실리콘기판으로 이루어지는 반도체기판과 회로기판의 선펡장계수의 차에 기인하여 발생하는 응력에 의해 외부접속용 전극이 파괴되는 등의 치명적인 문제가 발생하는 것이다.

발명이 이루고자 하는 기술적 과제

그래서 본 발명은 외부접속용 전극의 수가 증가해도 그 사이즈 및 피치를 필요한 크기로 하는 것이 가능하게 되는 신규의 반도체장치를 제공하는 것을 목적으로 하는 것이며, 본 발명에 따르면,

상면에 복수의 외부접속부(11, 5)를 갖는 반도체구성체(3)와, 상기 반도체구성체(3)의 옆쪽에 설치되어 보강재를 포함하는 수지로 이루어지는 절연재(13)와, 상기 반도체구성체(3)의 외부접속부(11, 5)를 제외한 상면 및 상기 절연재(13)의 상면에 설치된 절연막(14, 8) 및 상기 절연막(14, 8)상에 각각이 상기 반도체구성체(3)의 외부접속부(11, 5)에 접속되어 설치되고, 또한 접속패드부를 갖는 적어도 1층의 복수개의 상층재배선(19)을 갖고, 상기 상층재배선(19) 중 최상층의 상층재배선(19)의 적어도 일부의 접속패드부는 상기 절연재(13)에 대응하는 영역상에 배치되어 있는 것을 특징으로 하는 반도체장치가 제공된다.

발명의 구성

(제 1 실시형태)

도 1은 본 발명의 제 1 실시형태로서의 반도체장치의 단면도를 나타낸 것이다. 이 반도체장치는 실리콘, 유리, 세라믹스 등으로 이루어지는 평면직사각형형상의 베이스판(1)을 구비하고 있다. 베이스판(1)의 상면에는 접착제, 점착시트, 양면접착 테이프 등으로 이루어지는 접착층(2)이 설치되어 있다.

접착층(2)의 상면중앙부에는 베이스판(1)의 사이즈보다도 약간 작은 사이즈의 평면직사각형형상의 반도체구성체(3)의 하면이 접착되어 있다. 이 경우 반도체구성체(3)는 CSP라 불리는 것으로, 접착층(2)의 상면중앙부에 접착된 실리콘기판(반도체기판)(4)을 구비하고 있다.

실리콘기판(4)의 상면중앙부에는 집적회로(도시하지 않음)가 설치되고, 상면주변부에는 알루미늄계 금속 등으로 이루어지는 복수의 접속패드(5)가 집적회로에 접속되어 설치되어 있다. 접속패드(5)의 중앙부를 제외한 실리콘기판(4)의 상면에는 산화실리콘 등으로 이루어지는 절연막(6)이 설치되고, 접속패드(5)의 중앙부는 절연막(6)에 설치된 개구부(7)를 통하여 노출되어 있다.

여기에서 실리콘기판(4)상에 접속패드(5) 및 절연막(6)을 설치하여 이루어지는 것은 통상 웨이퍼상태의 실리콘기판(4)을 다이싱하여 개개의 칩으로 이룬 경우에 얻어지는 것이다. 그러나 이 실시형태에서는 웨이퍼상태의 실리콘기판(4)상에 접속패드(5) 및 절연막(6)이 형성된 상태에서는 다이싱을 실시하지 않고, 이하에 설명하는 바와 같이, 재배선(10) 및 기동상 전극(11)을 갖는 반도체구성체(3)가 얻어지는 상태에서 웨이퍼상태의 실리콘기판(4)을 다이싱한다.

다음으로 CSP라 불리우는 반도체구성체(3)의 구성에 대하여 설명한다. 실리콘기판(4)상에 설치된 절연막(6)의 상면에는 에폭시계 수지나 폴리이미드 등으로 이루어지는 보호막(절연막)(8)이 설치되어 있다. 이 경우 절연막(6)의 개구부(7)에 대응하는 부분에 있어서의 보호막(8)에는 개구부(9)가 설치되어 있다. 양 개구부(7, 9)를 통하여 노출된 접속패드(5)의 상면으로부터 보호막(8)의 상면의 소정 장소에 걸쳐서 하지(下地)금속층(10a) 및 해당 하지금속층(10a)상에 설치된 상층금속층(10b)으로 이루어지는 재배선(10)이 설치되어 있다.

재배선(10)의 접속패드부상면에는 동으로 이루어지는 기동상 전극(11)이 설치되어 있다. 재배선(10)을 포함하는 보호막(8)의 상면에는 에폭시계 수지나 폴리이미드 등으로 이루어지는 밀봉막(절연막)(12)이, 그 상면이 기동상 전극(11)의 상면과 면일치하게 되도록 설치되어 있다. 이와 같이 CSP라 불리우는 반도체구성체(3)는 실리콘기판(4), 접속패드(5), 절연막(6)을 포함하고, 또한 보호막(8), 재배선(10), 기동상 전극(11), 밀봉막(12)을 포함하여 구성되어 있다.

반도체구성체(3)의 주위에 있어서의 접촉층(2)의 상면에는 직사각형태두리상의 절연재(13)가 설치되어 있다. 절연재(13)는 에폭시계 수지나 BT수지 등의 열경화성 수지 속에 섬유나 필러 등의 보강재를 함유시킨 것으로 이루어져 있다. 섬유는 유리섬유나 아라미드섬유 등이다. 필러는 실리카필러나 세라믹계 필러 등이다. 절연재(13)의 두께는 반도체구성체(3)의 두께와 대략 같게 되어 있다.

반도체구성체(3) 및 절연재(13)의 상면에는 에폭시계 수지나 폴리이미드 등으로 이루어지는 제 1 상층절연막(14)이 설치되어 있다. 기동상 전극(11)의 상면중앙부에 대응하는 부분에 있어서의 제 1 상층절연막(14)에는 개구부(15)가 설치되어 있다. 개구부(15)를 통하여 노출된 기동상 전극(11)의 상면으로부터 제 1 상층절연막(14)의 상면의 소정 장소에 걸쳐서 제 1 하지금속층(16a) 및 해당 제 1 하지금속층(16a)상에 설치된 제 1 상층금속층(16b)으로 이루어지는 제 1 상층재배선(16)이 설치되어 있다.

제 1 상층재배선(16)을 포함하는 제 1 상층절연막(14)의 상면에는 에폭시계 수지나 폴리이미드 등으로 이루어지는 제 2 상층절연막(17)이 설치되어 있다. 제 1 상층재배선(16)의 접속패드부에 대응하는 부분에 있어서의 제 2 상층절연막(17)에는 개구부(18)가 설치되어 있다. 개구부(18)를 통하여 노출된 제 1 상층재배선(16)의 접속패드부상면으로부터 제 2 상층절연막(17)의 상면의 소정 장소에 걸쳐서 제 2 하지금속층(19a) 및 해당 제 2 하지금속층(19a)상에 설치된 제 2 상층금속층(19b)으로 이루어지는 제 2 상층재배선(19)이 설치되어 있다.

제 2 상층재배선(19)을 포함하는 제 2 상층절연막(17)의 상면에는 에폭시계 수지나 폴리이미드 등으로 이루어지는 제 3 상층절연막(20)이 설치되어 있다. 제 2 상층재배선(19)의 접속패드부에 대응하는 부분에 있어서의 제 3 상층절연막(20)에는 개구부(21)가 설치되어 있다. 개구부(21)내 및 그 위쪽에는 뿔납볼(22)이 제 2 상층재배선(19)의 접속패드부에 접속되어 설치되어 있다. 복수의 뿔납볼(22)은 제 3 상층절연막(20)상에 매트릭스상으로 배치되어 있다.

그런데 베이스판(1)의 사이즈를 반도체구성체(3)의 사이즈보다도 약간 크게 하고 있는 것은 실리콘기판(4)상의 접속패드(5)의 수의 증가에 따라서 뿔납볼(22)의 배치영역을 반도체구성체(3)의 사이즈보다도 약간 크게 하고, 이에 따라 제 2 상층재배선(19)의 접속패드부(제 3 상층절연막(20)의 개구부(21)내의 부분)의 사이즈 및 피치를 기동상 전극(11)의 사이즈 및 피치보다도 크게 하기 위함이다.

이 때문에 매트릭스상으로 배치된 제 2 상층재배선(19)의 접속패드부는 반도체구성체(3)에 대응하는 영역만이 아니고, 반도체구성체(3)의 둘레측면의 외측에 설치된 절연재(13)에 대응하는 영역상에도 배치되어 있다. 즉 매트릭스상으로 배치된 뿔납볼(22) 중 적어도 가장 외주의 뿔납볼(22)은 반도체구성체(3)보다도 외측에 위치하는 주위에 배치되어 있다.

이 경우 변형예로서 제 2 상층재배선(19)의 접속패드부를 모두 반도체구성체(3)보다도 외측에 위치하는 주위에 배치하도록 해도 좋다. 또 상층의 재배선을 1층으로 하고, 즉 제 1 상층재배선(16)만으로 하고, 적어도 가장 외주의 접속패드부를 반도체구성체(3)보다도 외측에 위치하는 주위에 배치할 수도 있다.

이와 같이 이 반도체장치에서는 실리콘기판(4)상에 접속패드(5), 절연막(6)을 가질 뿐만 아니라 보호막(8), 재배선(10), 기동상 전극(11), 밀봉막(12) 등도 형성한 반도체구성체(3)의 주위에 절연재(13)를 설치하고, 그 상면에 적어도 제 1 상층절연막(14) 및 해당 제 1 상층절연막(14)에 형성된 개구부(15)를 통하여 기동상 전극(11)에 접속되는 제 1 상층재배선(16)을 설치하는 구성을 특징으로 하고 있다.

이 경우 반도체구성체(3)의 주위에 배치된 직사각형태두리상의 절연재(13)는 열경화성 수지 속에 섬유나 필러 등의 보강재를 함유시킨 것으로 이루어져 있기 때문에 열경화성 수지만으로 이루어지는 경우와 비교하여 열경화성 수지의 경화시의 수축에 의한 응력을 작게 할 수 있으며, 나아가서는 베이스기판(1)이 휘기 어렵도록 할 수 있다. 또 절연재(13)를 이용하는 것으로 상면을 평탄화하고, 후술하는 바와 같이, 이후의 공정에서 형성하는 상층재배선(16, 19)이나 땀납볼(22)의 상면의 높이위치를 균일하게 하여 본딩시의 신뢰성을 향상할 수 있다.

(제조방법)

다음으로 이 반도체장치의 제조방법의 한 예에 대하여 설명하는데, 우선 반도체구성체(3)의 제조방법의 한 예에 대하여 설명한다. 이 경우 우선 도 2에 나타내는 바와 같이, 웨이퍼상태의 실리콘기판(반도체기판)(4)상에 알루미늄계 금속 등으로 이루어지는 접속패드(5), 산화실리콘 등으로 이루어지는 절연막(6) 및 에폭시계 수지나 폴리이미드 등으로 이루어지는 보호막(8)이 설치되고, 접속패드(5)의 중앙부가 절연막(6) 및 보호막(8)에 형성된 개구부(7, 9)를 통하여 노출된 것을 준비한다.

다음으로 도 3에 나타내는 바와 같이, 양 개구부(7, 9)를 통하여 노출된 접속패드(5)의 상면을 포함하는 보호막(8)의 상면 전체에 하지금속층(10a)을 형성한다. 이 경우 하지금속층(10a)은 무전해도금에 의해 형성된 동층(銅層)만이어도 좋고, 또 스퍼터에 의해 형성된 동층만이어도 좋으며, 또한 스퍼터에 의해 형성된 티탄 등의 박막층상에 스퍼터에 의해 동층을 형성한 것이어도 좋다. 이것은 후술하는 상층하지금속층(16a, 19a)의 경우도 마찬가지이다.

다음으로 하지금속층(10a)의 상면에 도금레지스트막(31)을 패턴형성한다. 이 경우 재배선(10)형성영역에 대응하는 부분에 있어서의 도금레지스트막(31)에는 개구부(32)가 형성되어 있다. 다음으로 하지금속층(10a)을 도금전류로 하여 동전해도금을 실시함으로써 도금레지스트막(31)의 개구부(32)내의 하지금속층(10a)의 상면에 상층금속층(10b)을 형성한다. 다음으로 도금레지스트막(31)을 박리한다.

다음으로 도 4에 나타내는 바와 같이, 상층금속층(10b)을 포함하는 하지금속층(10a)의 상면에 도금레지스트막(33)을 패턴형성한다. 이 경우 기동상 전극(11)형성영역에 대응하는 부분에 있어서의 도금레지스트막(33)에는 개구부(34)가 형성되어 있다. 다음으로 하지금속층(10a)을 도금전류로 하여 동전해도금을 실시함으로써 도금레지스트막(33)의 개구부(34)내의 상층금속층(10b)의 접속패드부상면에 기동상 전극(11)을 형성한다.

다음으로 도금레지스트막(33)을 박리하고, 이어서 기동상 전극(11) 및 상층금속층(10b)을 마스크로 하여 하지금속층(10a)의 불필요한 부분을 에칭해서 제거하면 도 5에 나타내는 바와 같이, 상층금속층(10b)하에만 하지금속층(10a)이 잔존되고, 이 잔존된 하지금속층(10a) 및 그 상면 전체에 형성된 상층금속층(10b)에 의해 재배선(10)이 형성된다.

다음으로 도 6에 나타내는 바와 같이, 스크린인쇄법이나 스프인코팅법 등에 의해 기동상 전극(11) 및 재배선(10)을 포함하는 보호막(8)의 상면 전체에 에폭시계 수지나 폴리이미드 등으로 이루어지는 밀봉막(12)을 그 두께가 기동상 전극(11)의 높이보다도 두꺼워지도록 형성한다. 따라서 이 상태에서는 기동상 전극(11)의 상면은 밀봉막(12)에 의하여 덮여져 있다.

다음으로 밀봉막(12) 및 기동상 전극(11)의 상면측을 적절히 연마하고, 도 7에 나타내는 바와 같이, 기동상 전극(11)의 상면을 노출시키며, 또한 이 노출된 기동상 전극(11)의 상면을 포함하는 밀봉막(12)의 상면을 평탄화한다. 다음으로 도 8에 나타내는 바와 같이, 다이싱공정을 거치면 도 1에 나타내는 반도체구성체(3)가 복수개 얻어진다.

그런데 기동상 전극(11)의 상면측을 적절히 연마하는 것은 전해도금에 의해 형성되는 기동상 전극(11)의 높이에 흐트러짐이 있기 때문에 이 흐트러짐을 해소하여 기동상 전극(11)의 높이를 균일하게 하기 위함이다. 또 이 경우 연질의 동으로 이루어지는 기동상 전극(11)과 에폭시계 수지 등으로 이루어지는 밀봉막(12)을 동시에 연마하기 위해 적절한 거칠기의 스톨을 구비한 그라인더를 이용하고 있다.

다음으로 이와 같이 하여 얻어진 반도체구성체(3)를 이용해서 도 1에 나타내는 반도체장치를 제조하는 경우의 한 예에 대하여 설명한다. 우선 도 9에 나타내는 바와 같이, 도 1에 나타내는 베이스판(1)을 복수장 채취할 수 있는 크기이고, 한정하는 의미는 아니지만, 평면형상이 직사각형, 바람직하게는 대략 정사각형의 베이스판(1)의 상면 전체에 접착층(2)을 형성한다. 다음으로 접착층(2)의 상면의 소정의 복수장소에 각각 반도체구성체(3)의 실리콘기판(4)의 하면을 접착한다.

다음으로 반도체구성체(3)간 및 가장 외주에 배치된 반도체구성체(3)의 외측에 있어서의 접착층(2)의 상면에 섬유나 필터 등의 보강재를 포함하는 반경화의, 에폭시계 수지 또는 BT수지 등의 열경화성 수지로 이루어지는 절연재재료(13A)를 반도체구성체(3)의 상면보다도 약간 솟아오르도록 배치한다.

다음으로 도 10에 나타내는 바와 같이, 한쌍의 가열가압판(35, 36)을 이용하여 절연재재료(13A)를 가열가압함으로써 반도체구성체(3)간 및 가장 외주에 배치된 반도체구성체(3)의 외측에 있어서의 접착층(2)의 상면에 절연재(13)를, 그 상면이 반도체구성체(3)의 상면과 대략 면일치하게 되도록 형성한다.

이 경우 도 7에 나타내는 바와 같이 웨이퍼상태에 있어서, 반도체구성체(3)의 기동상 전극(11)의 높이는 균일하게 되고, 또한 기동상 전극(11)의 상면을 포함하는 밀봉막(12)의 상면은 평탄화되어 있기 때문에 도 10에 나타내는 상태에 있어서 복수의 반도체구성체(3)의 각 두께는 같다.

그래서 도 10에 나타내는 상태에 있어서, 반도체구성체(3)의 상면을 가압제한면으로 하여 가열가압을 실시하면 절연재(13)의 두께는 반도체구성체(3)의 두께와 대략 같게 된다. 또 한쌍의 가열가압판(35, 36)을 구비한 프레스장치로서 오픈엔드형의 평면프레스장치를 이용하면 절연재재료(13A) 속의 여분의 열경화성 수지는 한쌍의 가열가압판(35, 36)의 외측으로 밀어내어진다. 그리고 이 상태에서 절연재(13) 속의 반경화의 열경화성 수지가 경화하면 절연재(13)의 상면은 반도체구성체(3)의 상면과 대략 면일치하게 된다. 또한 도 10에 나타내는 제조공정에 있어서, 상면측으로부터는 가압만으로 하고, 가열은 반도체구성체(3)의 하면측을 히터 등으로 실시한다는 식으로 가열과 가압은 따로 따로의 수단으로 실시해도 좋고, 가압과 가열을 별도의 공정으로 실시하도록 할 수도 있다.

이와 같이 가열가압 또는 가압만에 의해 절연재(13)의 두께가 반도체구성체(3)의 두께와 대략 같게 되도록 하고 있기 때문에 연마공정은 불필요하다. 따라서 베이스판(1)의 사이즈가 예를 들면 500×500mm 정도로 비교적 커도 그 위에 배치된 복수의 반도체구성체(3)에 대하여 절연재(13)의 평탄화를 일괄해서 간단히 실시할 수 있다.

여기에서 절연재재료(13A) 속의 여분의 열경화성 수지가 반도체구성체(3)상에 약간 유출되어도 이 유출에 의해 형성된 열경화성 수지층의 두께가 무시할 수 있을 정도로 얇으면 특별히 지장은 없다. 한편 이 유출에 의해 형성된 열경화성 수지층의 두께가 무시할 수 없을 정도로 두꺼운 경우에는 버프연마에 의해 제거하면 좋다.

즉 이 경우의 연마는 반도체구성체(3)의 상면측, 즉 동으로 이루어지는 기동상 전극(11)의 상면측을 연마하는 것은 아니고, 반도체구성체(3)의 상면 및 형성해야 할 두께의 절연재(13)의 상면을 덮고 있는 열경화성 수지층을 제거하는 것이며, 또한 이 열경화성 수지층 속에 섬유나 필터 등의 보강재는 포함되어 있지 않기 때문에 저가이고 저정밀도의 버프연마장치를 이용하여 간단히 연마할 수 있다.

연마의 다른 예로서는, 저가이고 저정밀도의 엔드리스연마벨트의 일부를 플랫폼화하고, 이 플랫폼화한 부분에서 반도체구성체(3)의 상면 및 형성해야 할 두께의 절연재(13)의 상면을 덮고 있는 열경화성 수지층을, 반도체구성체(3)의 상면을 연마제한면으로 하여 평활화연마하도록 해도 좋다.

그리고 버프나 엔드리스연마벨트를 이용한 연마장치에서는 베이스판(1)의 사이즈가 예를 들면 500×500mm 정도로 비교적 커도 그것에 용이하게 대응할 수 있는 데다가 연마공정은 1회로 완료되어 단시간에 간단히 연마할 수 있다. 이와 같이 이 공정에서는 스톨 등에 의한 연마와 달리 기동상 전극(11)의 상면측에 풀림이 발생하지 않는 연마를 실시하도록 하는 것이 생산성의 면에서 바람직하다.

그런데 반도체구성체(3)의 주위에 배치된 사각형태두리상의 절연재(13)는 열경화성 수지 속에 섬유나 필러 등의 보강재를 함유시킨 것으로 이루어져 있기 때문에 열경화성 수지만으로 이루어지는 경우와 비교하여 열경화성 수지의 경화시의 수축에 의한 응력을 작게 할 수 있으며, 나아가서는 베이스판(1)이 휘기 어렵도록 할 수 있다. 또한 절연재재료(13A)는 미리 각 반도체구성체(3)가 배치되는 위치에 대응하여 반도체구성체(3)의 사이즈와 대략 같거나 또는 조금 큰 사이즈의 개구부가 형성된 시트상의 것을 이용해도 좋다. 또 상기 실시형태에서는 베이스판(1)상에 복수의 반도체구성체(3)를 배치한 후 절연재재료(13A)를 배치하는 경우로 설명했는데, 베이스판(1)상에 각 반도체구성체(3)에 대응하는 개구부가 형성된 절연재재료(13A)를 배치한 후 반도체구성체(3)를 배치하도록 하는 것도 가능하다.

그런데 도 10에 나타내는 공정이 종료되면 다음으로 도 11에 나타내는 바와 같이, 대략 면일치하게 된 반도체구성체(3) 및 절연재(13)의 상면 전체에 제 1 상층절연막(14)을 형성한다. 이 경우 제 1 상층절연막(14)의 형성은 수지시트의 라미네이트이어도 좋고, 액상 수지의 도포이어도 좋다. 그리고 제 1 상층절연막(14)을 에폭시계 수지나 칼드수지 등의 감광성 수지에 의하여 형성하는 경우에는 포토리소그래피법에 의해 기둥상 전극(11)의 상면중앙부에 대응하는 부분에 있어서의 제 1 상층절연막(14)에 개구부(15)를 형성한다.

제 1 상층절연막(14)을 에폭시계 수지나 BT수지 등의 비감광성 수지에 의하여 형성하는 경우에는 레이저빔을 조사하는 레이저가공에 의해 제 1 상층절연막(14)에 개구부(15)를 형성한다. 이 경우 도 10에 나타내는 제조공정에 있어서, 절연재재료(13A) 속의 여분의 열경화성 수지가 반도체구성체(3)상에 약간 유출되고, 이 유출에 의해 형성된 열경화성 수지층의 두께가 무시할 수 없을 정도로 두꺼워도 레이저가공에 의한 개구형성이 가능한 정도로 얇은 경우에는 상기의 연마공정은 생략해도 좋다.

다음으로 도 12에 나타내는 바와 같이, 개구부(15)를 통하여 노출된 기둥상 전극(11)의 상면을 포함하는 제 1 상층절연막(14)의 상면 전체에 제 1 하지금속층(16a)을 형성한다. 다음으로 제 1 하지금속층(16a)의 상면에 도금레지스트막(37)을 패터닝형성한다. 이 경우 제 1 상층재배선(16)형성영역에 대응하는 부분에 있어서의 도금레지스트막(37)에는 개구부(38)가 형성되어 있다. 다음으로 제 1 하지금속층(16a)을 도금전류로 하여 동의 전해도금을 실시함으로써 도금레지스트막(37)의 개구부(38)내의 제 1 하지금속층(16a)의 상면에 제 1 상층금속층(16b)을 형성한다.

다음으로 도금레지스트막(37)을 박리하고, 이어서 제 1 상층금속층(16b)을 마스크로 하여 제 1 하지금속층(16a)의 불필요한 부분을 에칭해서 제거하면 도 13에 나타내는 바와 같이, 제 1 상층금속층(16b)하에만 제 1 하지금속층(16a)이 잔존되고, 이 잔존된 제 1 하지금속층(16a) 및 그 상면 전체에 형성된 제 1 상층금속층(16b)에 의해 제 1 상층재배선(16)이 형성된다.

다음으로 도 14에 나타내는 바와 같이, 스크린인쇄법이나 스펀코팅법 등에 의해 제 1 상층재배선(16)을 포함하는 제 1 상층절연막(14)의 상면 전체에 에폭시계 수지나 폴리이미드 등으로 이루어지는 제 2 상층절연막(17)을 형성한다. 이 경우 제 1 상층재배선(16)의 접속패드부에 대응하는 부분에 있어서의 제 2 상층절연막(17)에는 개구부(18)가 형성되어 있다. 다음으로 개구부(18)를 통하여 노출된 제 1 상층재배선(16)의 접속패드부를 포함하는 제 2 상층절연막(17)의 상면 전체에 제 2 하지금속층(19a)을 형성한다.

다음으로 제 2 하지금속층(19a)의 상면에 도금레지스트막(39)을 패터닝형성한다. 이 경우 제 2 상층재배선(19)형성영역에 대응하는 부분에 있어서의 도금레지스트막(39)에는 개구부(40)가 형성되어 있다. 다음으로 제 2 하지금속층(19a)을 도금전류로 하여 동의 전해도금을 실시함으로써 도금레지스트막(39)의 개구부(40)내의 제 2 하지금속층(19a)의 상면에 제 2 상층금속층(19b)을 형성한다.

다음으로 도금레지스트막(39)을 박리하고, 이어서 제 2 상층금속층(19b)을 마스크로 하여 제 2 하지금속층(19a)의 불필요한 부분을 에칭해서 제거하면 도 15에 나타내는 바와 같이, 제 2 상층금속층(19b)하에만 제 2 하지금속층(19a)이 잔존되고, 이 잔존된 제 2 하지금속층(19a) 및 그 상면 전체에 형성된 제 2 상층금속층(19b)에 의해 제 2 상층재배선(19)이 형성된다.

다음으로 도 16에 나타내는 바와 같이, 스크린인쇄법이나 스펀코팅법 등에 의해 제 2 상층재배선(19)을 포함하는 제 2 상층절연막(17)의 상면 전체에 에폭시계 수지나 폴리이미드 등으로 이루어지는 제 3 상층절연막(20)을 형성한다. 이 경우 제 2 상층재배선(19)의 접속패드부에 대응하는 부분에 있어서의 제 3 상층절연막(20)에는 개구부(21)가 형성되어 있다. 다음으로 개구부(21)내 및 그 위쪽에 땀납볼(22)을 제 2 상층재배선(19)의 접속패드부에 접속시켜서 형성한다.

다음으로 도 17에 나타내는 바와 같이, 서로 인접하는 반도체구성체(3)간에 있어서, 3층의 절연막(20, 17, 14), 절연재(13), 접착층(2) 및 베이스판(1)을 절단하면 도 1에 나타내는 반도체장치가 복수개 얻어진다.

이와 같이 하여 얻어진 반도체장치에서는 반도체구성체(3)의 기동상 전극(11)에 접속되는 제 1 하지금속층(16a) 및 제 1 상층금속층(16b)을 무전해도금(또는 스퍼터) 및 전해도금에 의해 형성하고, 제 1 상층재배선(16)의 접속패드부에 접속되는 제 2 하지금속층(19a) 및 제 2 상층금속층(19b)을 무전해도금(또는 스퍼터) 및 전해도금에 의해 형성하고 있기 때문에 반도체구성체(3)의 기동상 전극(11)과 제 1 상층재배선(16)의 사이의 도전접속 및 제 1 상층재배선(16)과 제 2 상층재배선(19)의 사이의 도전접속을 확실하게 할 수 있다.

또 상기 제조방법에서는 베이스판(1)상의 접착층(2)상에 복수의 반도체구성체(3)를 배치하고, 복수의 반도체구성체(3)에 대하여 절연재(13), 제 1~제 3 상층절연막(14, 17, 20), 제 1, 제 2 하지금속층(16a, 19a), 제 1, 제 2 상층금속층(16b, 19b) 및 뿔납볼(22)의 형성을 일괄하여 실시하고, 그 후에 분단하여 복수개의 반도체장치를 얻고 있기 때문에 제조공정을 간략화할 수 있다.

또 베이스판(1)과 함께 복수의 반도체구성체(3)를 반송할 수 있기 때문에 이에 의해서도 제조공정을 간략화할 수 있다. 또한 베이스판(1)의 외형치수를 일정하게 하면 제조해야 할 반도체장치의 외형치수에 관계 없이 반송계를 공유화할 수 있다.

또한 상기 제조방법에서는 도 9에 나타내는 바와 같이, 재배선(10) 및 기동상 전극(11)을 구비한 CSP타입의 반도체구성체(3)를 접착층(2)상에 접착하고 있기 때문에 예를 들면 실리콘기판(4)상에 접속패드(5) 및 절연막(6)을 설치하여 이루어지는 통상의 반도체칩을 접착층(2)상에 접착하고, 반도체칩의 주위에 설치된 밀봉막상 등에 재배선 및 기동상 전극을 형성하는 경우와 비교하여 비용을 저감할 수 있다.

예를 들면 절단 전의 베이스판(1)이 실리콘웨이퍼와 같이 일정한 사이즈의 대략 원형상인 경우 접착층(2)상에 접착된 반도체칩의 주위에 설치된 밀봉막상 등에 재배선 및 기동상 전극을 형성하면 처리면적이 증대한다. 환언하면 저밀도처리가 되기 때문에 1회당의 처리매수가 저감하고, 스루풋이 저하하기 때문에 비용상승으로 된다.

이에 대하여 상기 제조방법에서는 재배선(10) 및 기동상 전극(11)을 구비한 CSP타입의 반도체구성체(3)를 접착층(2)상에 접착한 후에 빌드업하고 있기 때문에 프로세스수는 증대하는데, 기동상 전극(11)을 형성하기까지는 고밀도처리이기 때문에 효율이 좋고, 프로세스수의 증대를 고려해도 전체의 가격을 저감할 수 있다.

또한 상기 실시형태에 있어서는, 뿔납볼(22)을 반도체구성체(3)상 및 절연재(13)상의 전체면에 대응하여 매트릭스상으로 배열되도록 설치하고 있는데, 뿔납볼(22)을 반도체구성체(3)의 주위의 절연재(13)상에 대응하는 영역상에만 설치하도록 해도 좋다. 그 경우 뿔납볼(22)을 반도체구성체(3)의 전체주위는 아니고, 반도체구성체(3)의 4변 중 1~3변의 옆쪽만에 설치해도 좋다. 또 이와 같은 경우에는 절연재(13)를 직사각형태두리상의 것으로 할 필요는 없고, 뿔납볼(22)을 설치하는 변의 옆쪽만에 배치되도록 해도 좋다.

(제조방법의 변형예 1)

다음으로 도 1에 나타내는 반도체장치의 제조방법의 변형예 1에 대하여 설명한다. 우선 도 18에 나타내는 바와 같이, 자외선투과성의 투명수지판이나 유리판 등으로 이루어지는 별도의 베이스판(41)의 상면 전체에 자외선경화형의 점착시트 등으로 이루어지는 접착층(42)을 접착하고, 접착층(42)의 상면에 상기의 베이스판(21) 및 접착층(22)을 접착한 것을 준비한다.

그리고 도 9~도 16에 각각 나타내는 제조공정을 거친 후에 도 19에 나타내는 바와 같이, 3층의 절연막(20, 17, 14), 절연재(13), 접착층(2), 베이스판(1) 및 접착층(42)을 절단하고, 별도의 베이스판(41)을 절단하지 않는다. 다음으로 별도의 베이스판(41)의 하면측으로부터 자외선을 조사하고, 접착층(42)을 경화시킨다. 그러면 분단된 베이스판(1)의 하면에 대한 접착층(42)에 의한 접착성이 저하한다. 그래서 접착층(42)상에 존재하는 개편화된 것을 1개씩 벗겨서 픽업하면 도 1에 나타내는 반도체장치가 복수개 얻어진다.

이 제조방법에서는 도 19에 나타내는 상태에 있어서, 접착층(42)상에 존재하는 개편화된 반도체장치가 뿔뿔이 흩어지게 되지 않기 때문에 전용의 반도체장치제치용 트레이를 이용하는 일 없이 그대로 도시하지 않는 회로기판상에서의 실장시에

1개씩 벗겨서 픽업할 수 있다. 또 별도의 베이스판(41)의 상면에 잔존하는 접착층(42)을 박리하면 별도의 베이스판(41)을 재이용할 수 있다. 또한 별도의 베이스판(41)의 외형치수를 일정하게 하면 제조해야 할 반도체장치의 외형치수에 관계 없이 반송계를 공유화할 수 있다.

또한 여기에서 별도의 베이스판(41)으로서, 팽창시킴으로써 반도체장치를 떼어내는 통상의 다이싱테이프 등을 이용하는 것도 가능하며, 그 경우에는 접착층은 자외선경화형이 아니어도 좋다. 또 별도의 베이스판(41)을 연마나 에칭에 의해 제거하도록 해도 좋다.

(제조방법의 변형예 2)

다음으로 도 1에 나타내는 반도체장치의 제조방법의 변형예 2에 대하여 설명한다. 이 제조방법에서는 도 11에 나타내는 제조공정 후에 도 20에 나타내는 바와 같이, 개구부(15)를 통하여 노출된 기동상 전극(11)의 상면을 포함하는 제 1 상층절연막(14)의 상면 전체에 동의 무전해도금을 의해 제 1 하지금속층(16a)을 형성한다. 다음으로 제 1 하지금속층(16a)을 도금전류로 하여 동의 전해도금을 실시함으로써 제 1 하지금속층(16a)의 상면 전체에 제 1 상층금속형성용 층(16c)을 형성한다. 다음으로 제 1 상층금속형성용 층(39c)의 상면의 제 1 상층재배선형성영역에 대응하는 부분에 레지스트막(43)을 패턴형성한다.

다음으로 레지스트막(43)을 마스크로 하여 제 1 상층금속형성용 층(16c) 및 제 1 하지금속층(16a)의 불필요한 부분을 에칭해서 제거하면 도 21에 나타내는 바와 같이, 레지스트막(43)하에만 제 1 상층배선층(16)이 잔존된다. 이 후 레지스트막(43)을 박리한다. 또한 이것과 똑같은 형성방법에 의해 제 2 상층재배선(19)을 형성하도록 해도 좋다.

그런데 도 9에 나타내는 베이스판(1) 또는 도 19에 나타내는 별도의 베이스판(41)을 트레이상으로 할 수도 있다. 즉 베이스판을, 반도체구성체(3)를 배열하는 영역이 주위보다 함몰한 받침접시와 같은 형상으로 한다. 그리고 이 트레이상의 베이스판의 반도체구성체(3)배열영역을 둘러싸는 주위의 상면에 도금전류로용 금속층을 설치하고, 이 도금전류로용 금속층과 도금전류로용의 하지금속층(16a, 19a)을 도전부재로 접속하여 전해도금을 실시하도록 해도 좋다. 이 경우 트레이의 외형 사이즈를 동일하게 해 둠으로써 제조하는 반도체장치의 사이즈가 다른 경우에도 동일한 제조장치의 사용이 가능하게 되어 효율적으로 된다.

(제조방법의 변형예 3)

다음으로 도 1에 나타내는 반도체장치의 제조방법의 변형예 3에 대하여 설명한다. 이 제조방법에서는 도 22에 나타내는 바와 같이, 베이스판(1)상의 접착층(2)상에 배치된 복수의 반도체구성체(3)상에 섬유나 필터 등의 보강재를 포함하는 반경화의 에폭시계 수지나 BT수지 등의 열경화성 수지로 이루어지는 시트상의 절연재재료(13B)를 배치한다.

다음으로 한쌍의 가열가압판(35, 36)을 이용해서 반도체구성체(3)의 상면을 가압제한면으로 하여 가열가압함으로써 시트상의 절연재재료(13B) 속의 열경화성 수지가 보강재와 함께 반도체구성체(3)간 및 가장 외주에 배치된 반도체구성체(3)의 외측에 있어서의 접착층(2)상에 밀어넣어지고, 도 10에 나타내는 경우와 마찬가지로 상면이 반도체구성체(3)의 상면과 대략 면일치하게 되는 절연재(13)가 형성된다.

(제조방법의 변형예 4)

다음으로 도 1에 나타내는 반도체장치의 제조방법의 변형예 4에 대하여 설명한다. 이 제조방법에서는 도 9에 나타내는 제조공정 후에 도 23에 나타내는 바와 같이, 복수의 반도체구성체(3)의 상면 및 절연재재료(13A)의 상면에 에폭시계 수지나 칼드수지 등의 감광성 수지로 이루어지는 시트상의 제 1 상층절연막재료(14A)를 라미네이터 등을 이용하여 가접착한다. 이 경우 시트상의 제 1 상층절연막재료(14A)를 형성하는 감광성 수지로서는 유동성이 비교적 낮은 것이 바람직하다.

다음으로 광조사에 의해 제 1 상층절연막재료(14A)를 가경화시킨다. 이 가경화는 다음의 가열가압공정에 있어서, 절연재재료(13A) 속의 열경화성 수지가 반도체구성체(3)상에 유출되지 않도록 하는 동시에, 절연재재료(13A) 속의 열경화성 수지와 제 1 상층절연막재료(14A)를 형성하는 감광성 수지가 서로 섞이지 않도록 하기 위함이다.

다음으로 도 24에 나타내는 바와 같이, 한쌍의 가열가압판(35, 36)을 이용해서 형성해야 할 제 1 상층절연막(14)의 상면을 가압제한면으로 하여 가열가압함으로써 반도체구성체(3)간 및 가장 외주에 배치된 반도체구성체(3)의 외측에 있어서의 접착층(2)의 상면에 절연재(13)를, 그 상면이 반도체구성체(3)의 상면과 대략 면일치하게 되도록 형성하고, 또한 대략 면일치하게 된 반도체구성체(3) 및 절연재(13)의 상면 전체에 제 1 상층절연막(14)을 형성한다.

이 경우의 가열가압처리는 감광성 수지로 이루어지는 제 1 상층절연막재료(14A)을 통하여 반도체구성체(3)를 가압하기 때문에 반도체구성체(3)에 걸리는 스트레스를 경감할 수 있다. 다음으로 감광성 수지로 이루어지는 제 1 상층절연막(14)에는 가경화를 위한 빛이 이미 조사되어 있기 때문에 포토리소그래피법은 아니고, 레이저가공에 의해 기둥상 전극(11)의 상면중앙부에 대응하는 부분에 있어서의 제 1 상층절연막(14)에 개구부(15)(도 11 참조)를 형성한다.

(제 2 실시형태)

도 9에 나타내는 제조공정에 있어서, 접착층(2)을 반도체구성체(3)의 실리콘기판(4)의 하면에 각각 설치하고, 이들 접착층(2)을 베이스판(1)의 상면의 각 소정 장소에 접촉한 경우에는 도 10에 나타내는 제조공정에 있어서, 절연재(13)의 하면이 베이스판(1)의 상면에 접합하기 때문에 도 25에 나타내는 본 발명의 제 2 실시형태로서의 반도체장치가 얻어진다.

이와 같이 하여 얻어진 반도체장치에서는 예를 들면 실리콘기판(4)의 하면이 접착층(2)을 통하여 베이스판(1)의 상면에 접촉되어 있는 외에 실리콘기판(4)의 측면이 절연재(13)를 통하여 베이스판(1)의 상면에 접합되어 있기 때문에 반도체구성체(3)의 베이스판(1)에 대한 접합강도를 어느 정도 강하게 할 수 있다.

(제 3 실시형태)

도 26은 본 발명의 제 3 실시형태로서의 반도체장치의 단면도를 나타낸 것이다. 이 반도체장치에 있어서, 도 1에 나타내는 반도체장치와 다른 점은 베이스판(1) 및 접착층(2)을 구비하고 있지 않은 것이다.

이 제 3 실시형태의 반도체장치를 제조하는 경우에는 예를 들면 도 16에 나타내는 바와 같이, 뿔납볼(22)을 형성한 후에 베이스판(1) 및 접착층(2)을 연마나 에칭 등에 의해 제거하고, 이어서 서로 인접하는 반도체구성체(3)간에 있어서, 3층의 절연막(20, 17, 14) 및 절연재(13)를 절단하면 도 26에 나타내는 반도체장치가 복수개 얻어진다. 이와 같이 하여 얻어진 반도체장치에서는 베이스판(1) 및 접착층(2)을 구비하고 있지 않기 때문에 그 분량만큼 박형화할 수 있다.

(제 4 실시형태)

또 베이스판(1) 및 접착층(2)을 연마나 에칭 등에 의해 제거한 후에 실리콘기판(4) 및 절연재(13)의 하면측을 적절히 연마하고, 이어서 서로 인접하는 반도체구성체(3)간에 있어서, 3층의 절연막(20, 17, 14) 및 절연재(13)를 절단하면 도 27에 나타내는 본 발명의 제 4 실시형태로서의 반도체장치가 복수개 얻어진다. 이와 같이 하여 얻어진 반도체장치에서는 더욱 박형화할 수 있다.

또한 뿔납볼(22)을 형성하기 전에 베이스판(1) 및 접착층(2)을 연마나 에칭 등에 의해 제거하고(필요에 따라서 다시 실리콘기판(4) 및 절연재(13)의 하면측을 적절히 연마하고), 이어서 뿔납볼(22)을 형성하며, 이어서 서로 인접하는 반도체구성체(3)간에 있어서, 3층의 절연막(20, 17, 14) 및 절연재(13)를 절단하도록 해도 좋다.

(제 5 실시형태)

도 28은 본 발명의 제 5 실시형태로서의 반도체장치의 단면도를 나타낸 것이다. 이 반도체장치에 있어서, 도 1에 나타내는 반도체장치와 다른 점은 접착층(2)의 하면에 방열용의 금속층(44)이 접착되어 있는 것이다. 금속층(44)은 두께 수십 μ m의 동박 등으로 이루어져 있다.

이 제 5 실시형태의 반도체장치를 제조하는 경우에는 예를 들면 도 16에 나타내는 바와 같이, 뿔납볼(22)을 형성한 후에 베이스판(1)을 연마나 에칭 등에 의해 제거하고, 이어서 접착층(2)의 하면 전체에 금속층(44)을 접착하며, 이어서 서로 인접하는 반도체구성체(3)간에 있어서, 3층의 절연막(20, 17, 14), 절연재(13), 접착층(2) 및 금속층(44)을 절단하면 도 28에 나타내는 반도체장치가 복수개 얻어진다.

또한 접착층(2)도 연마나 에칭 등에 의해 제거하고(필요에 따라서 다시 실리콘기판(4) 및 절연재(13)의 하면측을 적절히 연마하고), 실리콘기판(4) 및 절연재(13)의 하면에 새로운 접착층을 통하여 금속층(44)을 접착하도록 해도 좋다.

(제 6 실시형태)

도 29는 본 발명의 제 6 실시형태로서의 반도체장치의 단면도를 나타낸 것이다. 이 반도체장치에 있어서, 도 1에 나타내는 반도체장치와 크게 다른 점은 제 1 상층절연막(14)을 절연재(13)와 동일한 재료에 의하여 형성하고, 반도체구성체(3)와 절연재(13)의 사이에 틈(23)을 형성하고, 이 틈(23)에 수지로 이루어지는 절연막(24)을 설치한 것이다.

다음으로 이 반도체장치의 제조방법의 한 예에 대하여 설명한다. 우선 도 30에 나타내는 바와 같이, 베이스판(1)상에 설치된 접착층(2)의 상면의 소정 장소에 격자상의 절연재(13)의 하면을 접착한다. 격자상의 절연재(13)는 섬유나 필러 등의 보강재를 포함하는 열경화성 수지로 이루어지는 시트상의 절연재재료(예를 들면 프리프레그)에 형빼냄(Pattern-draw)가공이나 에칭 등에 의해 복수의 직사각형형상의 개구부(25)를 형성함으로써 얻어진다. 개구부(25)의 사이즈는 반도체구성체(3)의 사이즈보다도 약간 커져 있다.

다음으로 격자상의 절연재(13)의 각 개구부(25)내에 있어서의 접착층(2)의 상면중앙부에 각각 반도체구성체(3)의 실리콘기관(4)의 하면을 접착한다. 여기에서 격자상의 절연재(13)의 두께는 반도체구성체(3)의 두께보다도 약간 얇아져 있다. 이때문에 격자상의 절연재(13)의 상면은 반도체구성체(3)의 상면보다도 약간 아래쪽에 배치되어 있다. 또 절연재(13)의 개구부(25)의 사이즈는 반도체구성체(3)의 사이즈보다도 약간 커져 있기 때문에 절연재(13)와 반도체구성체(3)의 사이에는 틈(23)이 형성되어 있다.

다음으로 도 31에 나타내는 바와 같이, 복수의 반도체구성체(3)의 상면에 섬유나 필러 등의 보강재를 포함하는 반경화의 열경화성 수지로 이루어지는 시트상의 제 1 상층절연막재료(예를 들면 프리프레그)(14B)를 단순히 재치한다. 여기에서 절연재(13)와 반도체구성체(3)의 사이의 틈(23)의 간격은 제 1 상층절연막재료(14B) 속의 섬유나 필러 등으로 이루어지는 보강재의 직경보다도 작아져 있다.

다음으로 한쌍의 가열가압판(35, 36)을 이용하여 가열가압한다. 그러면 제 1 상층절연막재료(14B) 속의 섬유나 필러 등으로 이루어지는 보강재의 직경은 절연재(13)와 반도체구성체(3)의 사이의 틈(23)의 간격보다도 커져 있기 때문에 도 32에 나타내는 바와 같이, 제 1 상층절연막재료(14B) 속의 열경화성 수지만이 절연재(13)와 반도체구성체(3)의 사이의 틈(23)에 밀어넣어져서 절연막(24)이 형성되는 동시에, 이 절연막(24), 절연재(13) 및 반도체구성체(3)의 상면에 보강재를 포함하는 열경화성 수지로 이루어지는 제 1 상층절연막재료(14)가 형성된다.

이 경우 반도체구성체(3)의 상면보다도 제 1 상층절연막재료(14) 속의 보강재의 직경만큼 높은 가상면을 가압제한면으로 하면 반도체구성체(3)상에 있어서의 제 1 상층절연막(14)의 두께는 그 속의 보강재의 직경과 같게 된다. 여기에서 절연재(13)의 상면을 반도체구성체(3)의 상면보다도 약간 아래쪽에 배치하는 것은 절연재(13)의 상면보다도 제 1 상층절연막재료(14) 속의 보강재의 직경만큼 높은 가상면이 가압제한면으로 되지 않도록 하기 위함이다. 또 제 1 상층절연막재료(14)의 상면은 상층의 가열가압판(36)의 하면에 의하여 팽 눌러지기 때문에 평탄면으로 된다. 따라서 제 1 상층절연막재료(14)의 상면을 평탄화하기 위한 연마공정은 불필요하다.

다음으로 도 33에 나타내는 바와 같이, 제 1 상층절연막재료(14)가 보강재를 포함하기 때문에 레이저가공에 의해 기둥상전극(11)의 상면중앙부에 대응하는 부분에 있어서의 제 1 상층절연막재료(14)에 개구부(15)를 형성한다. 이하 예를 들면 도 12~도 17에 각각 나타내는 제조공정을 거치면 도 29에 나타내는 반도체장치가 복수개 얻어진다.

(제 7 실시형태)

예를 들면 도 1에 나타내는 경우에는 반도체구성체(3)상에 있어서의 제 3 상층절연막(20)상에도 뿔납볼(22)을 배치하고 있는데, 이에 한정되는 것은 아니다. 예를 들면 도 34에 나타내는 본 발명의 제 7 실시형태와 같이, 절연재(13)상에 있어서의 제 3 상층절연막(20)상에만 뿔납볼(22)을 배치하고, 반도체구성체(3)상에 있어서의 제 3 상층절연막(20)상에, 실리콘기관(4)상의 집적회로에 빛이 입사하는 것을 방지하기 위한 차광성 금속으로 이루어지는 차광막(26)을 설치하도록 해도 좋다. 차광막(26)은 금속시트이어도 좋고, 스퍼터나 무전해도금 등에 의하여 형성해도 좋다.

(제 8 실시형태)

도 35는 본 발명의 제 8 실시형태로서의 반도체장치의 단면도를 나타낸 것이다. 이 반도체장치에서는 반도체구성체(3)로서 도 1에 나타내는 반도체구성체(3)와 비교하면 기둥상전극(11) 및 밀봉막(12)을 구비하고 있지 않은 것을 이용하고 있다. 이 경우 예를 들면 도 23 및 도 24에 각각 나타내는 바와 같은 제조공정을 거치면 반도체구성체(3)의 주위에 있어서의 접착층(2)의 상면에 사각형태두리상의 절연재(13)가 형성되는 동시에, 재배선(10)을 포함하는 보호막(8) 및 절연재(13)의

상면에 제 1 상층절연막(14)이 형성된다. 그리고 레이저가공에 의해 재배선(10)의 접속패드부에 대응하는 부분에 있어서의 제 1 상층절연막(14)에 개구부(15)를 형성하고, 이 개구부(15)를 통하여 재배선(10)의 접속패드부에 제 1 상층재배선(16)을 접속한다.

그런데 이 경우의 반도체구성체(3)는 기동상 전극(11) 및 밀봉막(12)을 구비하고 있지 않은데, 예를 들면 도 23을 참조하여 설명하면, 가열가압처리에 감광성 수지로 이루어지는 제 1 상층절연막재료(14A)를 통하여 가압되기 때문에 반도체구성체(3)에 걸리는 스트레스가 경감되어 특별히 지장은 없다.

(제 9 실시형태)

예를 들면 도 17에 나타내는 경우에는 서로 인접하는 반도체구성체(3)간에 있어서 절단했는데, 이에 한정되지 않고, 2개 또는 그 이상의 반도체구성체(3)를 1쌍으로 하여 절단하며, 예를 들면 도 36에 나타내는 본 발명의 제 9 실시형태와 같이, 3개의 반도체구성체(3)를 1쌍으로 하여 절단하고, 멀티칩모듈형의 반도체장치를 얻도록 해도 좋다. 이 경우 3개로 1쌍의 반도체구성체(3)는 동종, 이종의 어느 쪽이어도 좋다.

(그 밖의 실시형태)

상기 각 실시형태에서는 절연재(13)를, 보강재를 포함하는 열경화성 수지에 의하여 형성한 경우에 대해서 설명했는데, 이에 한정되지 않고, 열경화성 수지만에 의하여 형성하도록 해도 좋으며, 또 액정폴리머나 PEET(폴리에테르케톤) 등의 열가소성 수지만에 의하여 형성하도록 해도 좋다.

절연재(13)를 열가소성 수지만에 의하여 형성하는 경우에는 예를 들면 도 9에 있어서 부호 “13A”로 나타내는 바와 같이, 액상의 열가소성 수지를 스크린인쇄법에 의해 인쇄하도록 해도 좋다. 또 예를 들면 도 37에 있어서 부호 “13C”로 나타내는 바와 같이, 반도체구성체(3)를 덮도록 액상의 열가소성 수지를 도포법에 의해 도포하고, 반도체구성체(3)의 상면을 가압제한면으로 하여 가열가압해서 반도체구성체(3)간 등에 절연재(13)를 형성하도록 해도 좋다.

예를 들면 도 1에 나타내는 경우에는 반도체구성체(3) 및 절연재(13)의 상면에 설치된 제 1 상층절연막(14)의 상면에 제 1 상층재배선(16)을 설치하고 있는데, 이에 한정되지 않고, 제 1 상층절연막(14)을 설치하지 않고 반도체구성체(3) 및 절연재(13)의 상면에 상층재배선(16)을 설치하도록 해도 좋다.

발명의 효과

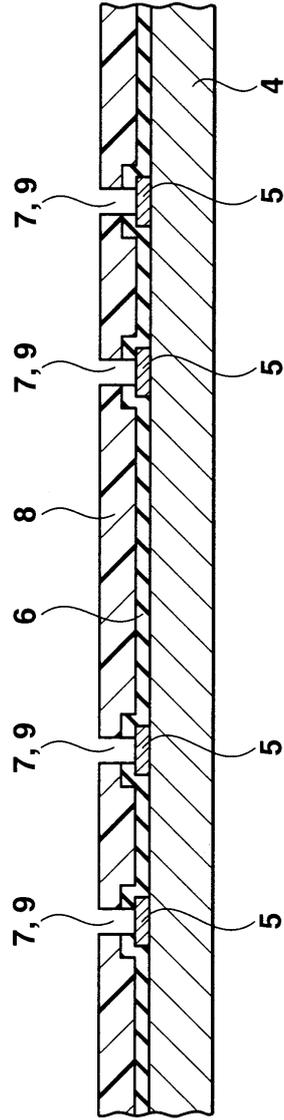
이상 설명한 바와 같이 본 발명에 따르면, 반도체구성체의 옆쪽에 설치된 절연재상에 최상층의 상층재배선의 적어도 일부의 접속패드를 배치하고 있기 때문에 최상층의 상층재배선의 접속패드부의 수가 증가해도 그 사이즈 및 피치를 필요한 크기로 하는 것이 가능하게 된다.

도면의 간단한 설명

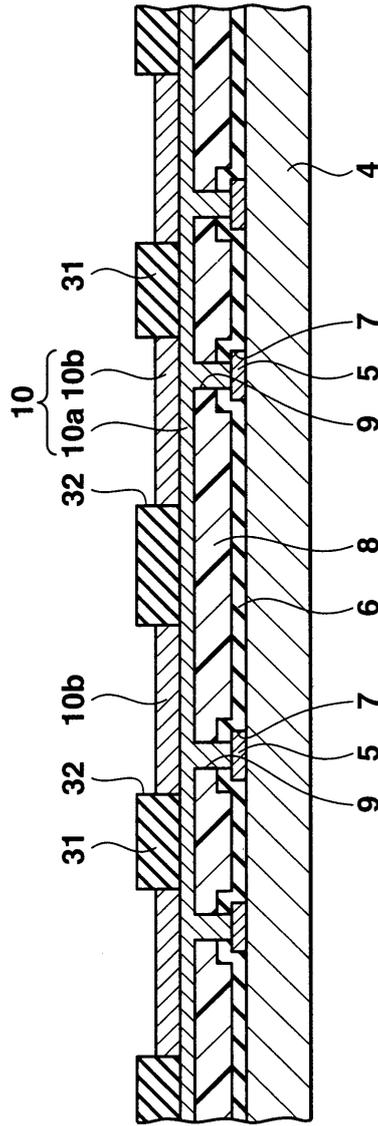
- 도 1은 본 발명의 제 1 실시형태로서의 반도체장치의 단면도.
- 도 2는 도 1에 나타내는 반도체장치의 제조방법의 한 예에 있어서, 당초 준비한 것의 장치단면도.
- 도 3은 도 2에 이어지는 제조공정에 있어서의 장치단면도.
- 도 4는 도 3에 이어지는 제조공정에 있어서의 장치단면도.
- 도 5는 도 4에 이어지는 제조공정에 있어서의 장치단면도.
- 도 6은 도 5에 이어지는 제조공정에 있어서의 장치단면도.
- 도 7은 도 6에 이어지는 제조공정에 있어서의 장치단면도.
- 도 8은 도 7에 이어지는 제조공정에 있어서의 장치단면도.

- 도 9는 도 8에 이어지는 제조공정에 있어서의 장치단면도.
- 도 10은 도 9에 이어지는 제조공정에 있어서의 장치단면도.
- 도 11은 도 10에 이어지는 제조공정에 있어서의 장치단면도.
- 도 12는 도 11에 이어지는 제조공정에 있어서의 장치단면도.
- 도 13은 도 12에 이어지는 제조공정에 있어서의 장치단면도.
- 도 14는 도 13에 이어지는 제조공정에 있어서의 장치단면도.
- 도 15는 도 14에 이어지는 제조공정에 있어서의 장치단면도.
- 도 16은 도 15에 이어지는 제조공정에 있어서의 장치단면도.
- 도 17은 도 16에 이어지는 제조공정에 있어서의 장치단면도.
- 도 18은 도 1에 나타내는 반도체장치의 제조방법의 변형예 1을 나타내고, 당초 준비한 베이스플레이트의 단면도.
- 도 19는 도 18에 나타내는 변형예 1에 관한 것으로, 주요부의 제조공정에 있어서의 장치단면도.
- 도 20은 도 1에 나타내는 반도체장치의 제조방법의 변형예 2를 나타내고, 주요부의 제조공정에 있어서의 장치단면도.
- 도 21은 도 20에 이어지는 제조공정의 단면도.
- 도 22는 도 1에 나타내는 반도체장치의 제조방법의 변형예 3을 나타내고, 주요부의 제조공정에 있어서의 장치단면도.
- 도 23은 도 1에 나타내는 반도체장치의 제조방법의 변형예 4를 나타내고, 주요부의 제조공정에 있어서의 장치단면도.
- 도 24는 도 23에 이어지는 제조공정의 단면도.
- 도 25는 본 발명의 제 2 실시형태로서의 반도체장치의 단면도.
- 도 26은 본 발명의 제 3 실시형태로서의 반도체장치의 단면도.
- 도 27은 본 발명의 제 4 실시형태로서의 반도체장치의 단면도.
- 도 28은 본 발명의 제 5 실시형태로서의 반도체장치의 단면도.
- 도 29는 본 발명의 제 6 실시형태로서의 반도체장치의 단면도.
- 도 30은 도 29에 나타내는 반도체장치의 제조방법을 나타내고, 주요부의 제조공정에 있어서의 장치단면도.
- 도 31은 도 30에 이어지는 제조공정의 단면도.
- 도 32는 도 31에 이어지는 제조공정의 단면도.
- 도 33은 도 32에 이어지는 제조공정의 단면도.
- 도 34는 본 발명의 제 7 실시형태로서의 반도체장치의 단면도.
- 도 35는 본 발명의 제 8 실시형태로서의 반도체장치의 단면도.

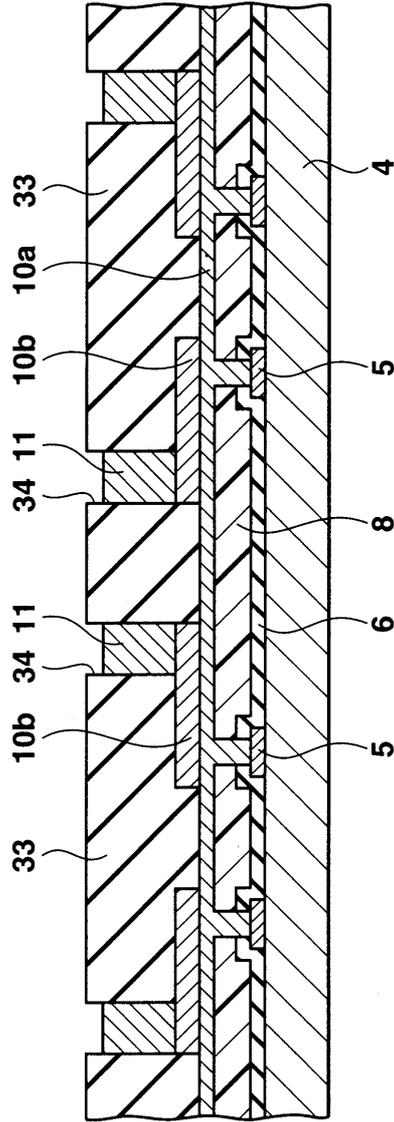
도면2



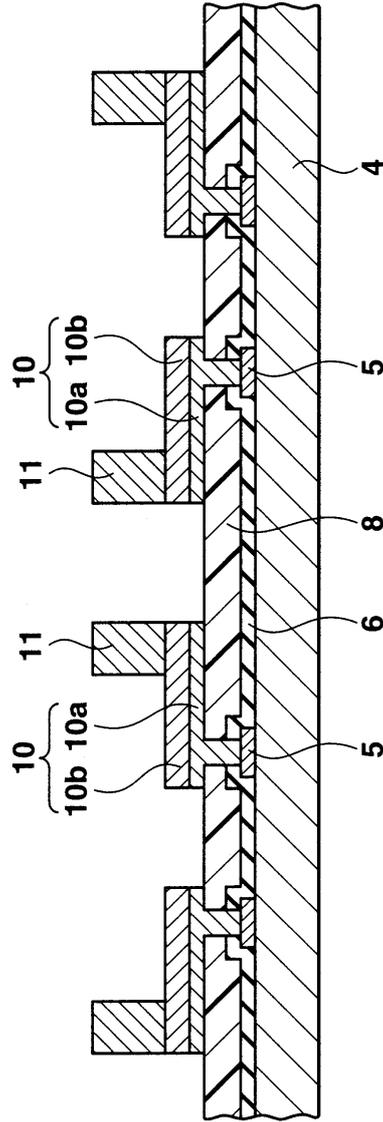
도면3



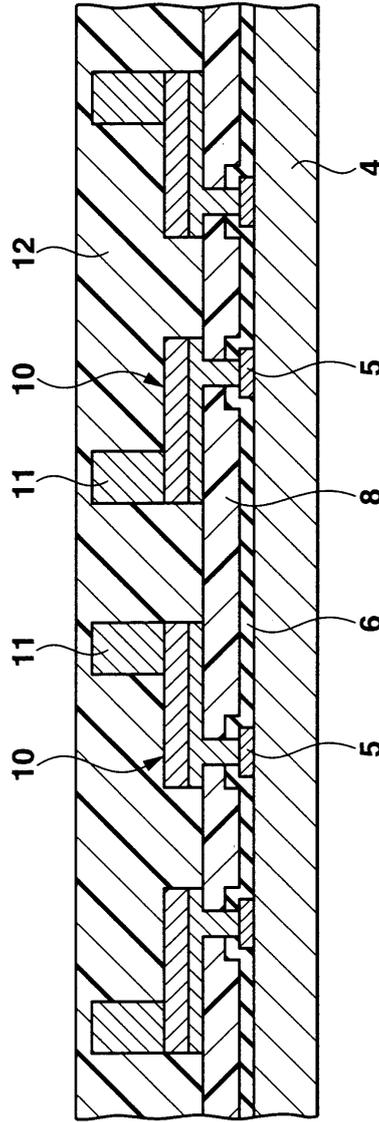
도면4



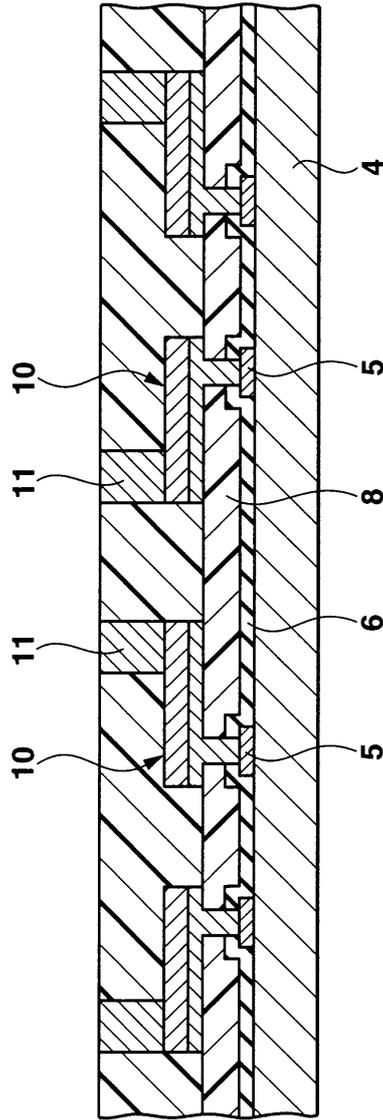
도면5



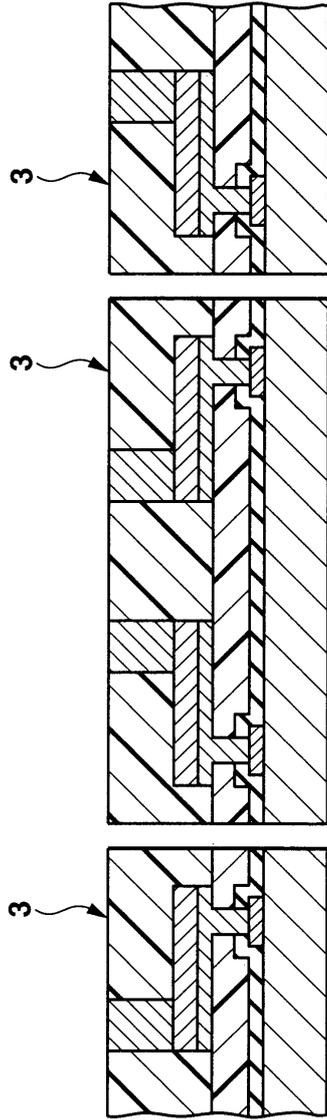
도면6



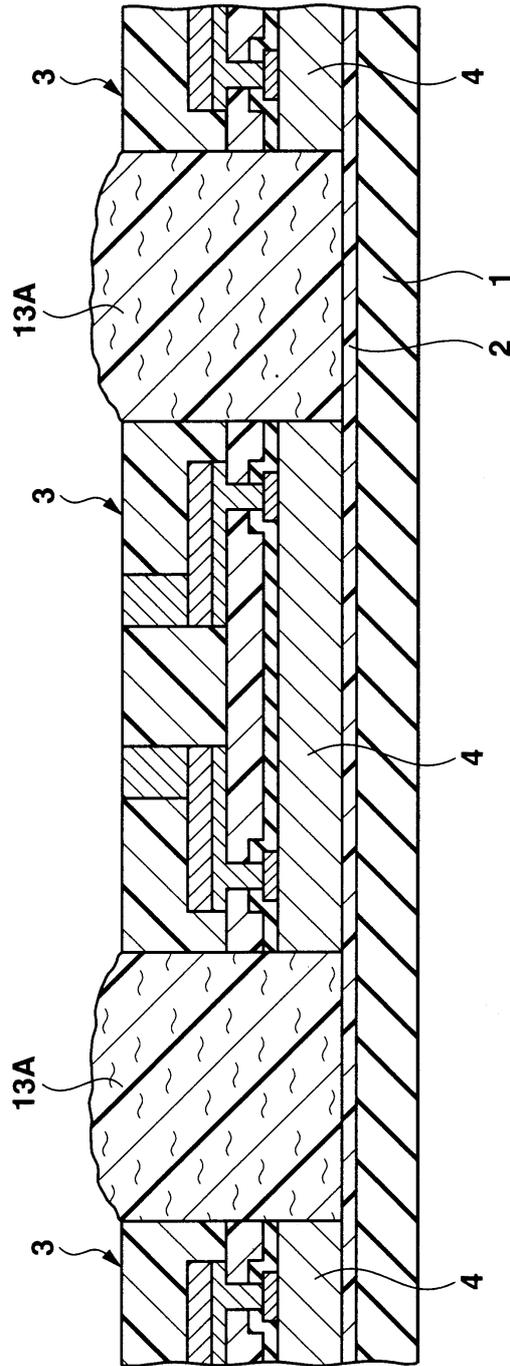
도면7



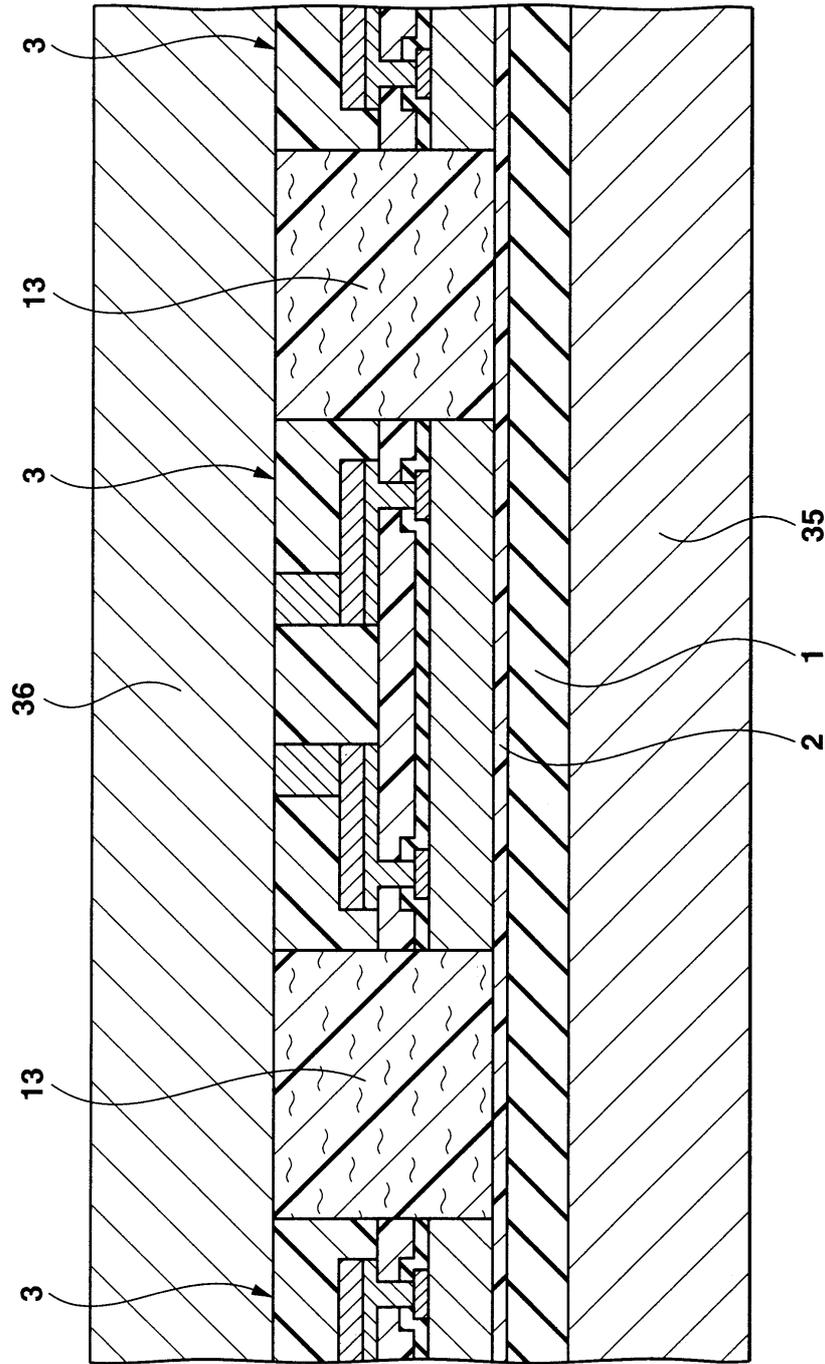
도면8



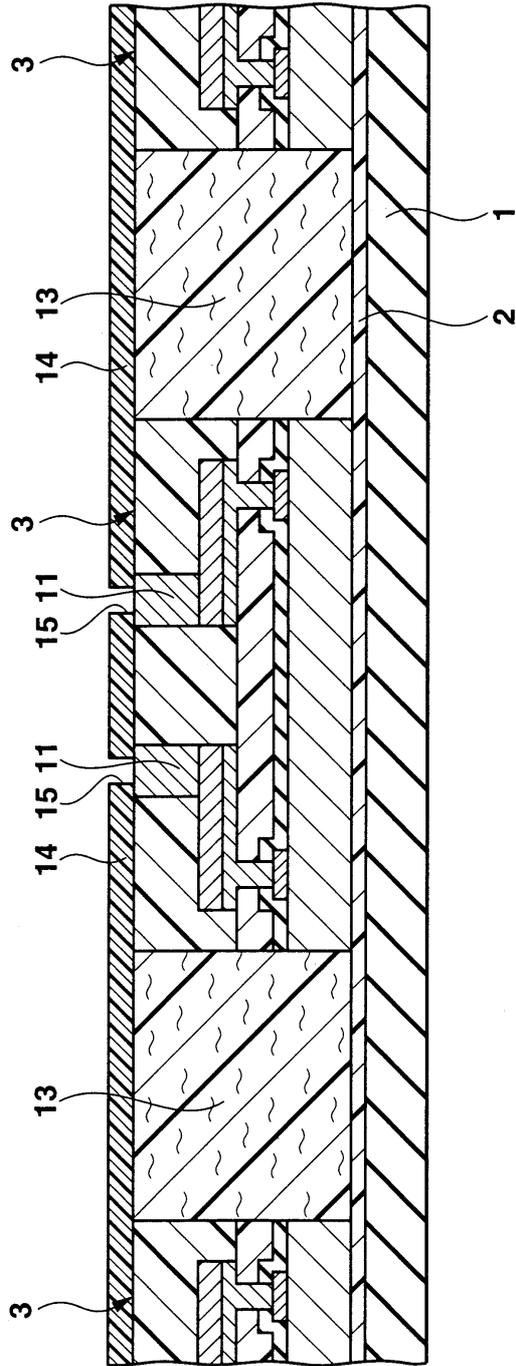
도면9



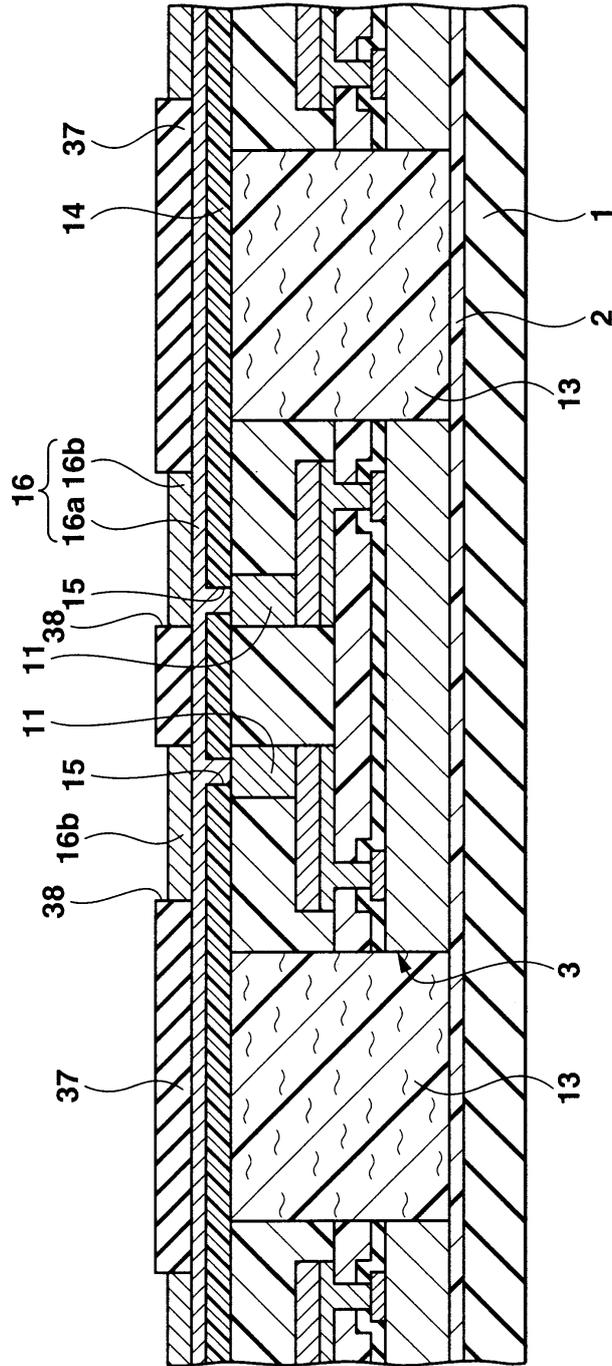
도면10



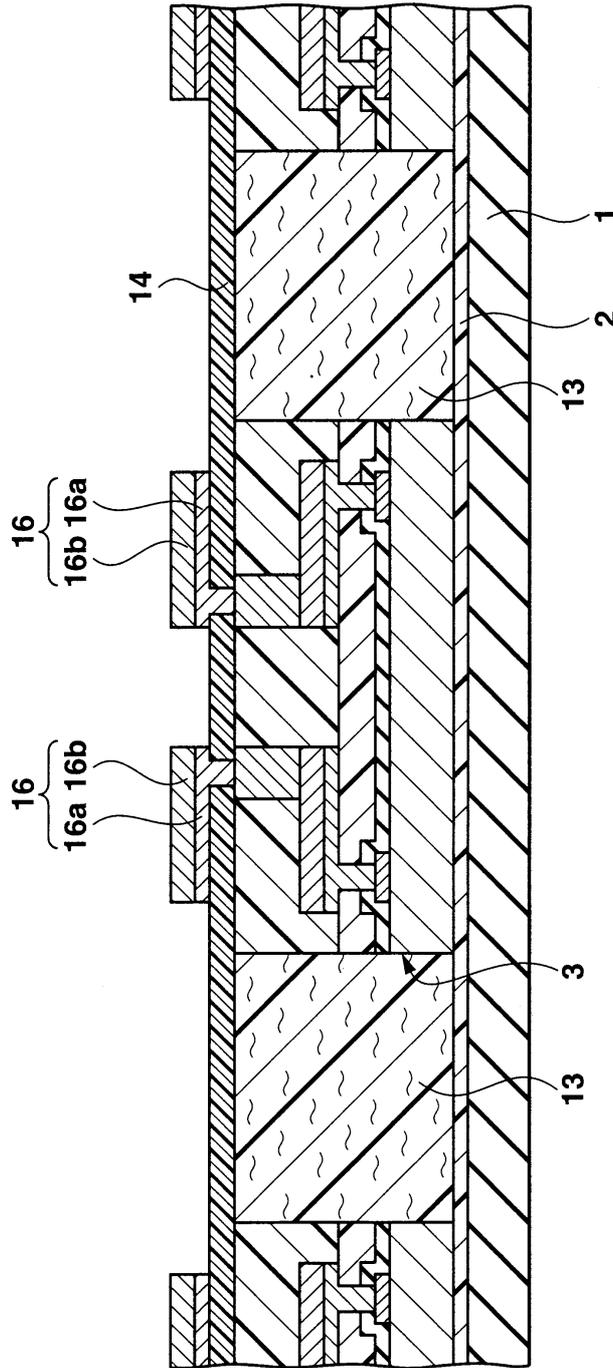
도면11



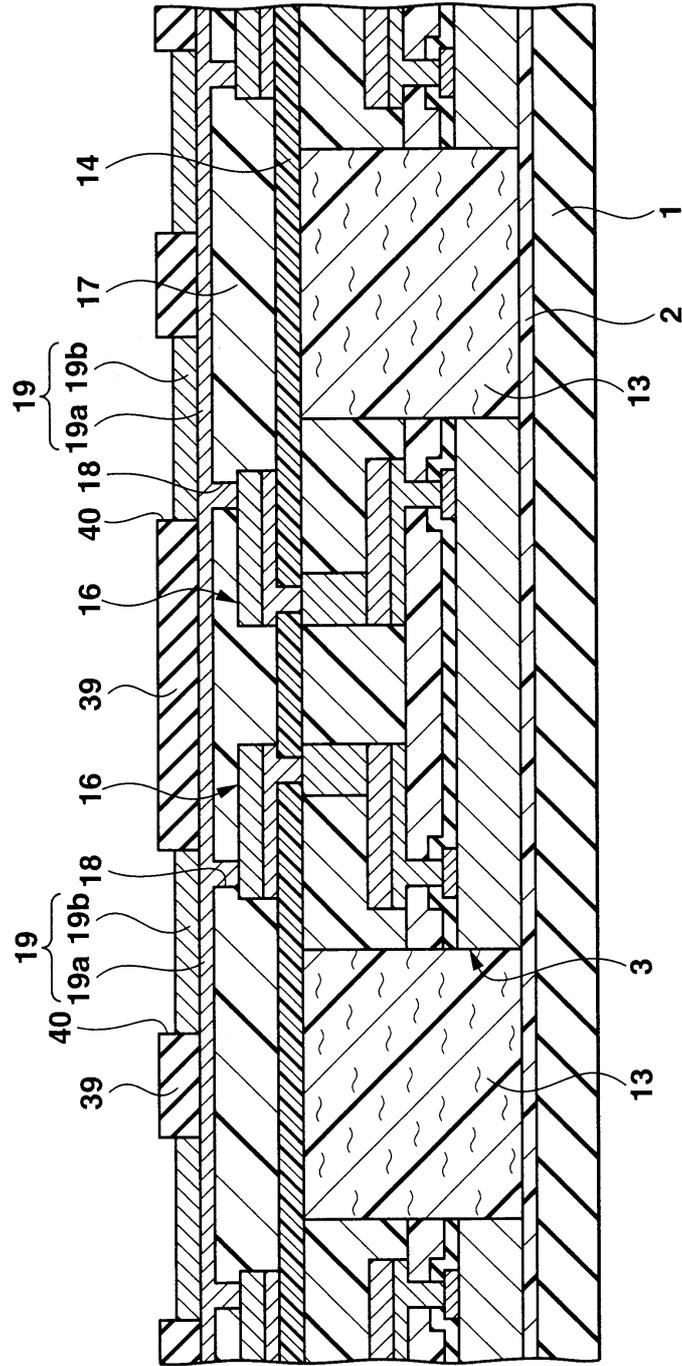
도면12



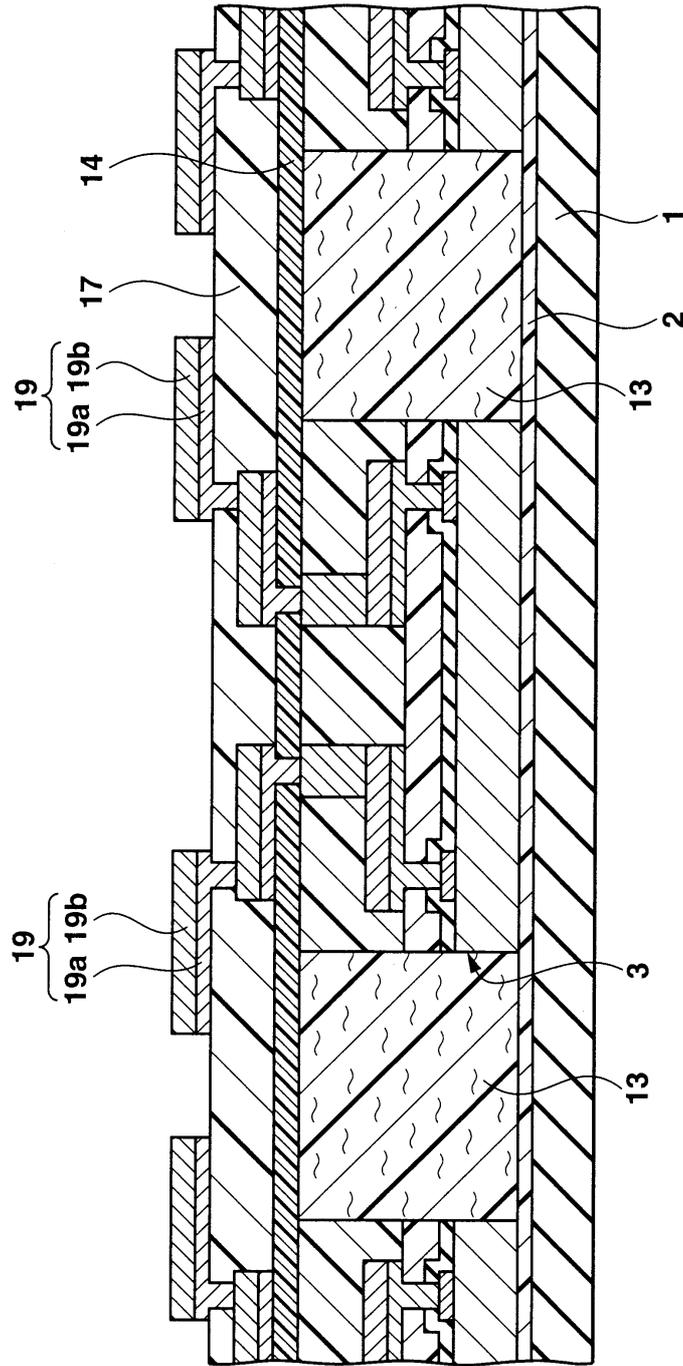
도면13



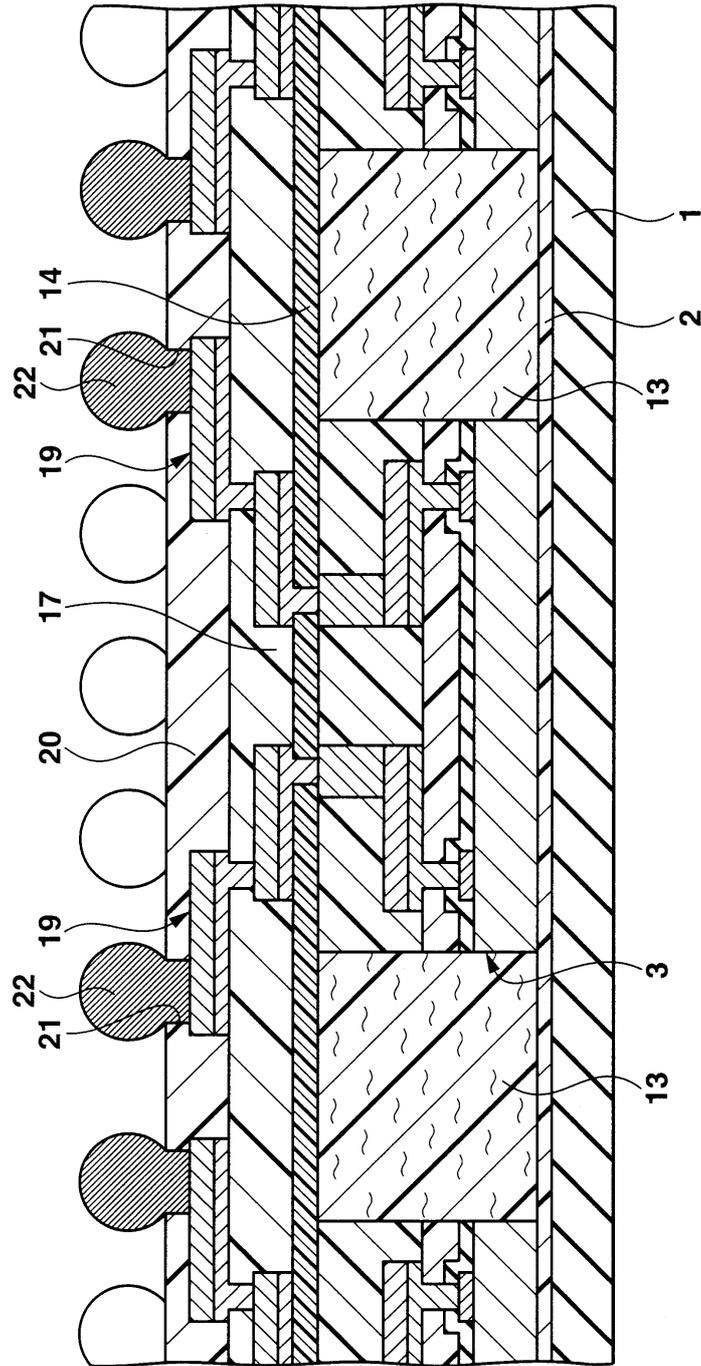
도면14



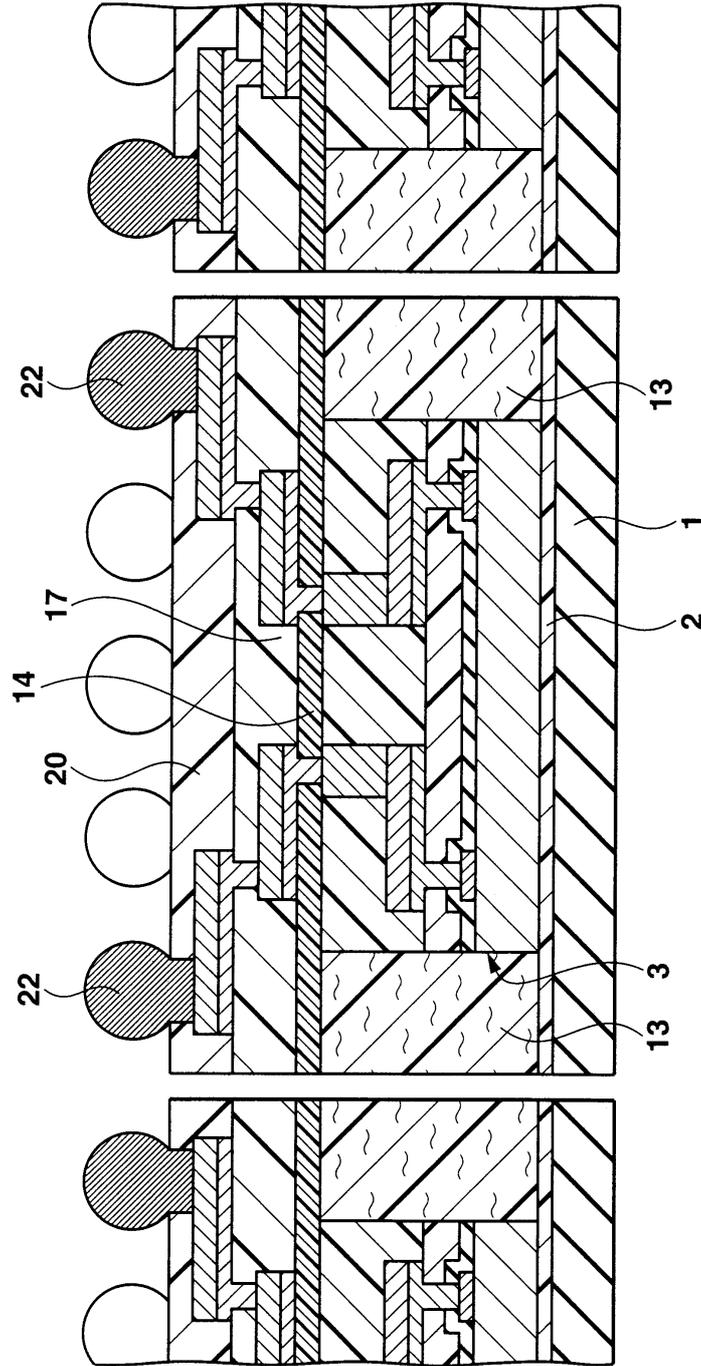
도면15



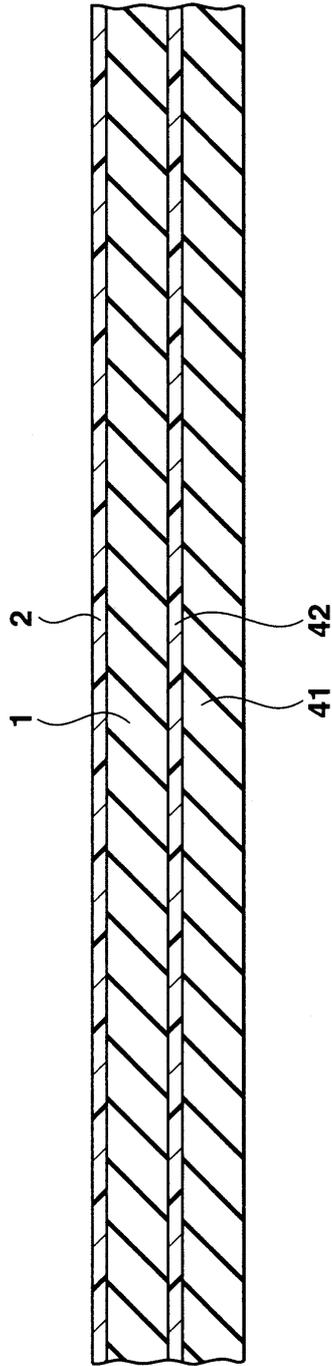
도면16



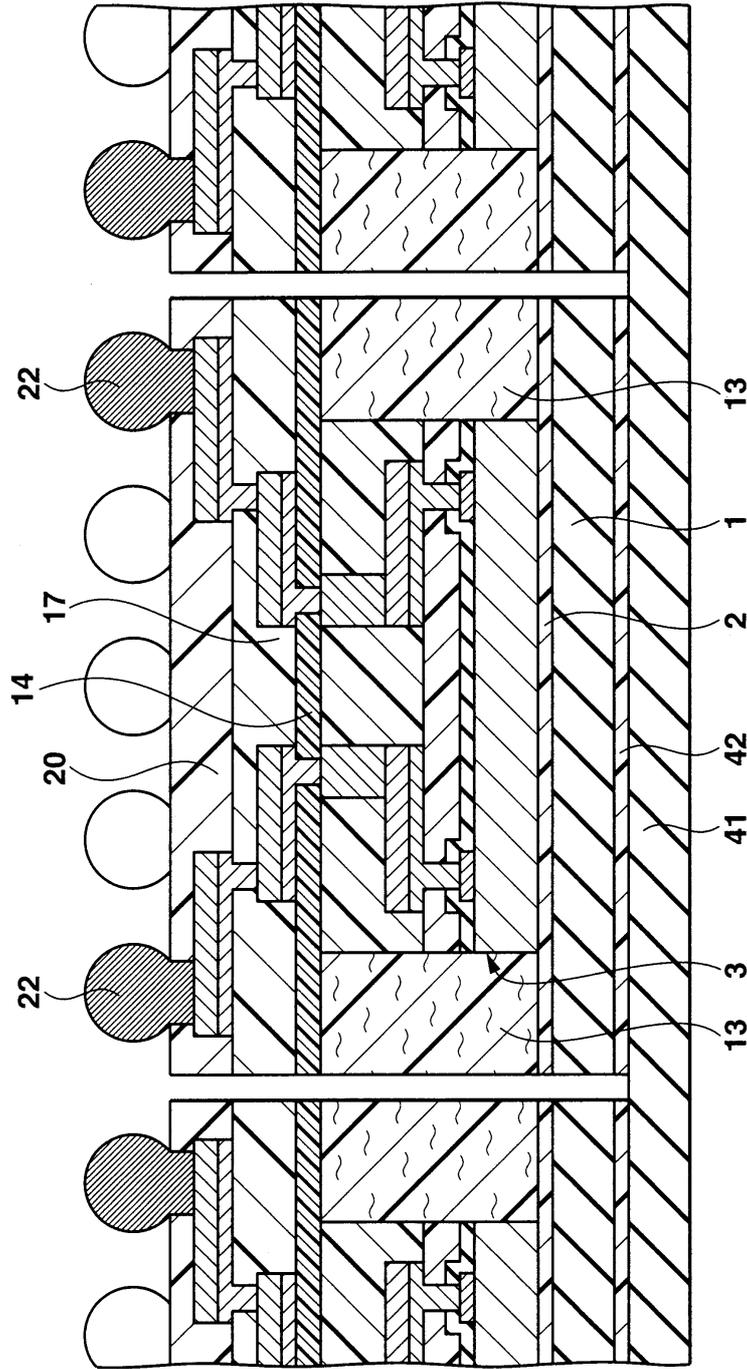
도면17



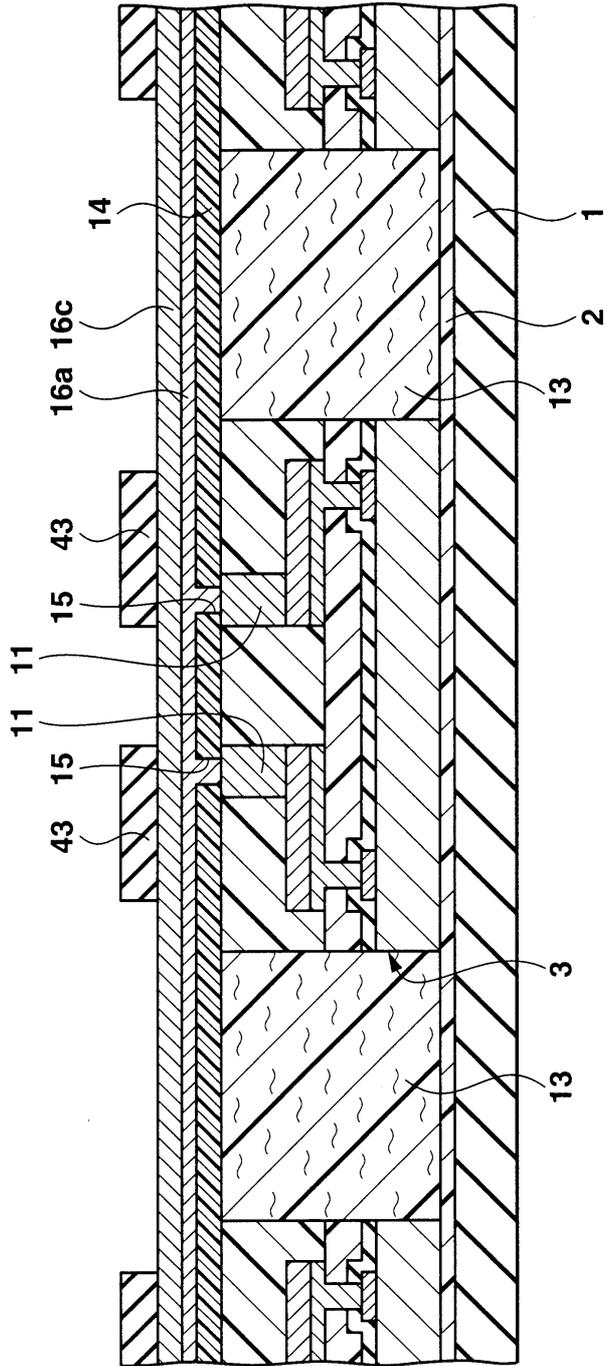
도면18



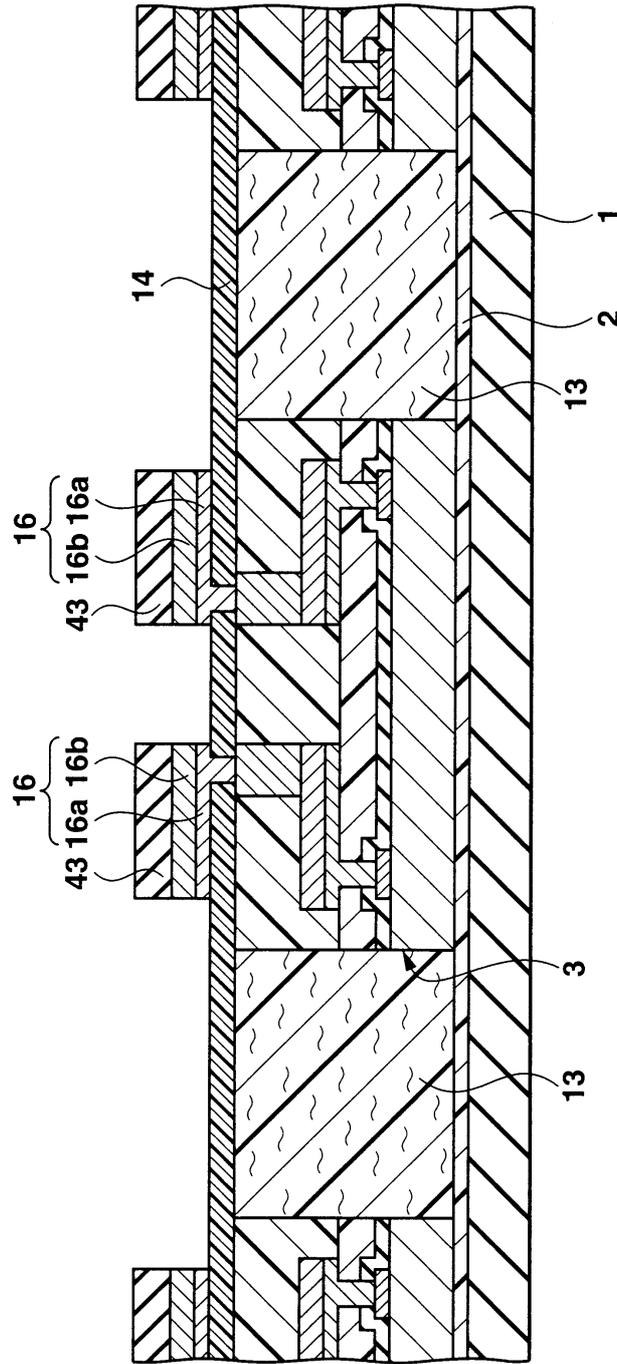
도면19



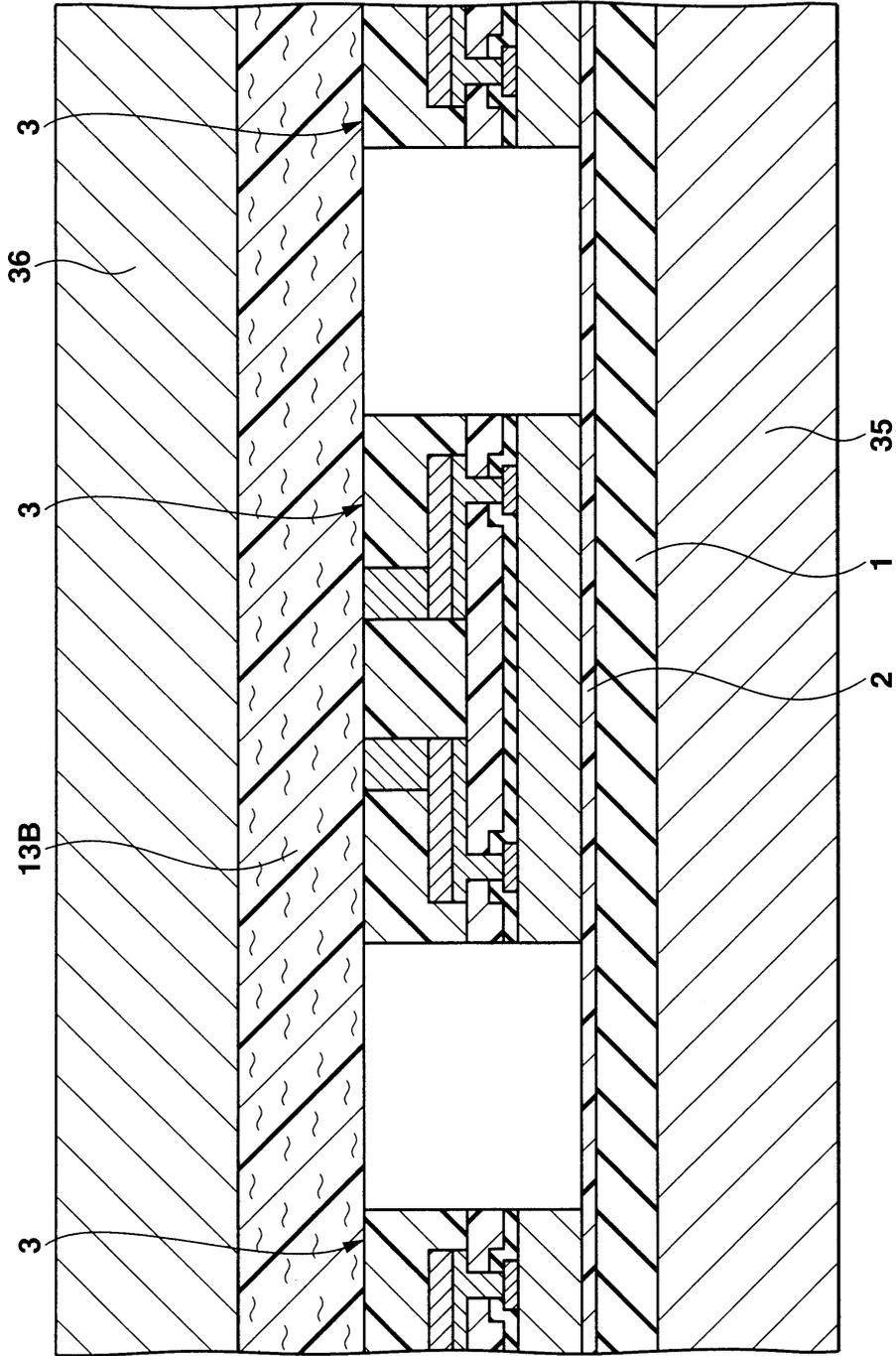
도면20



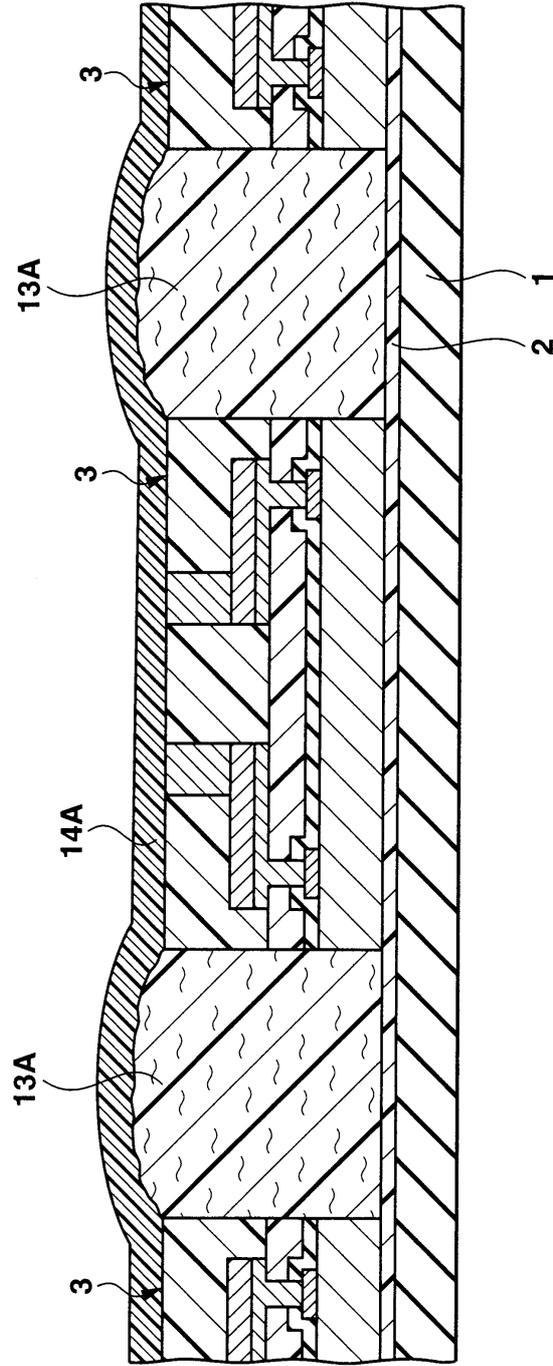
도면21



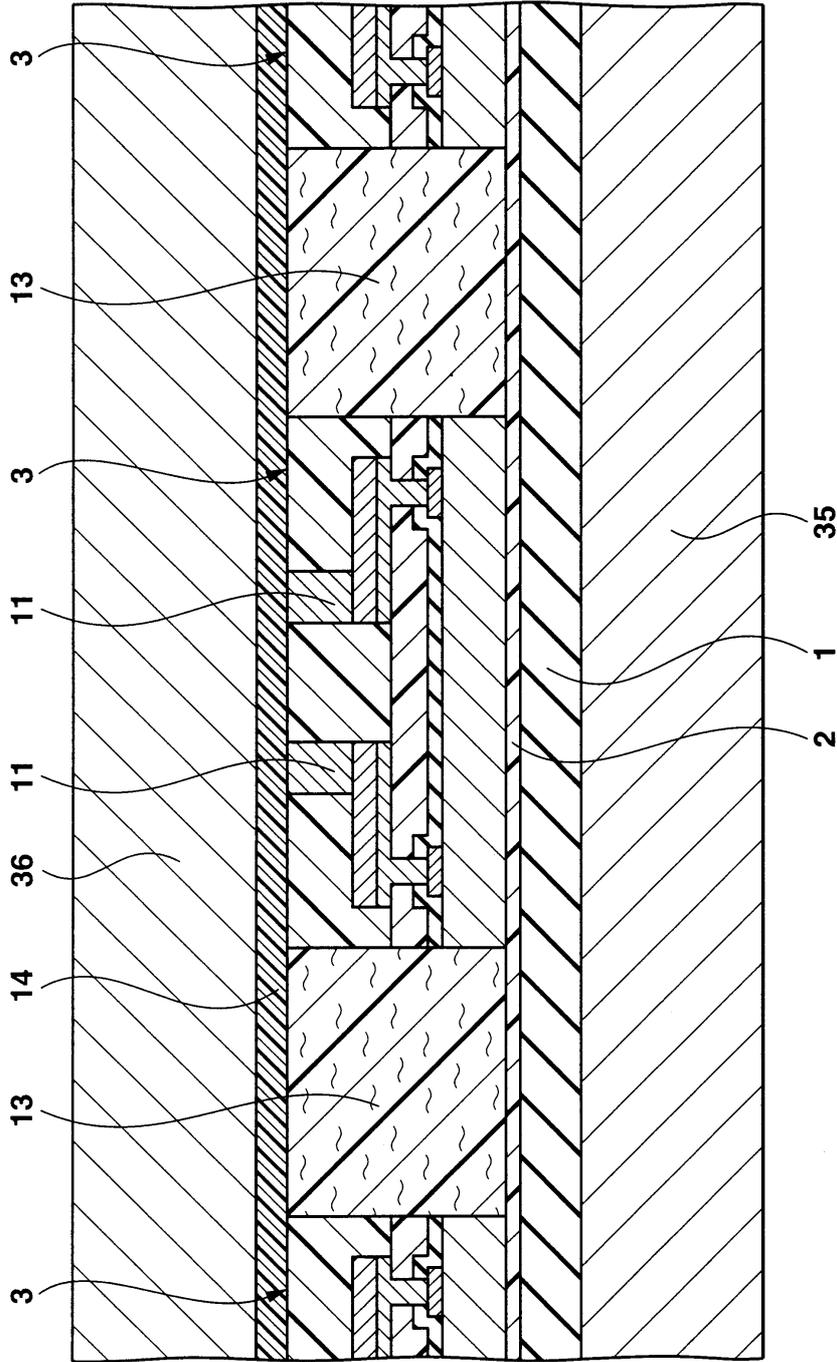
도면22



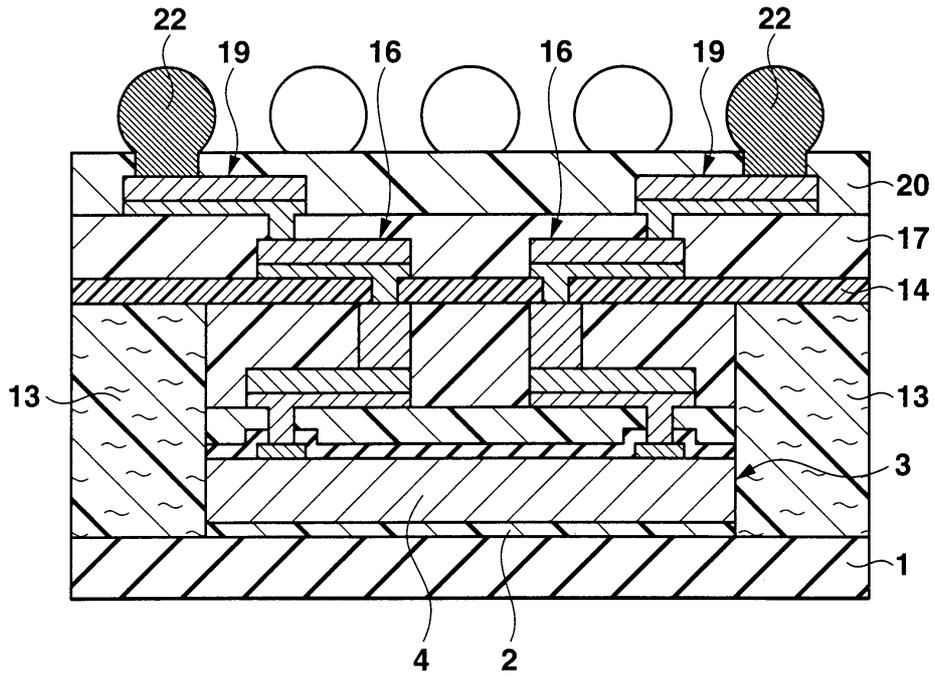
도면23



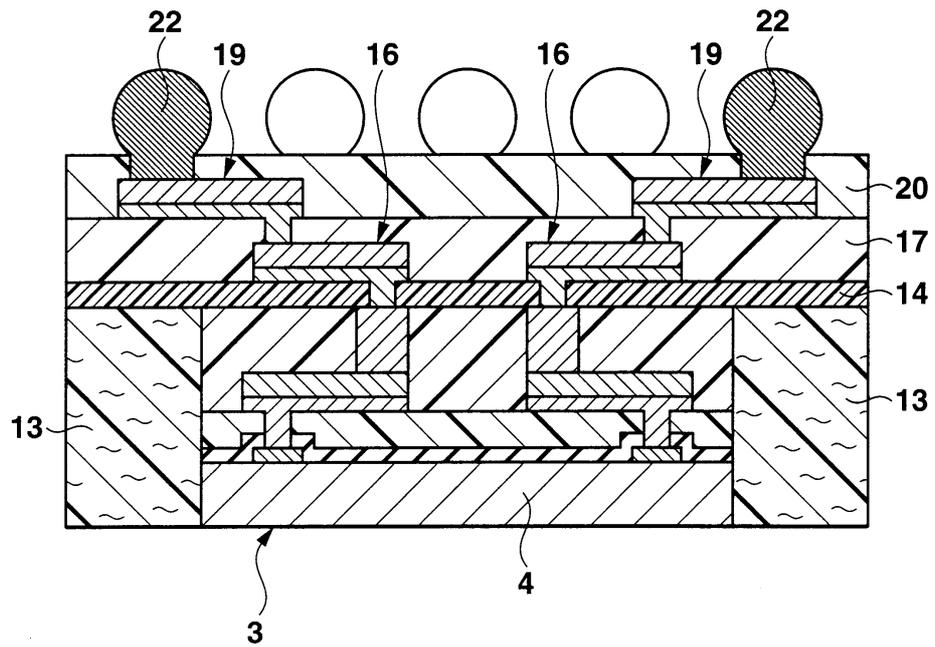
도면24



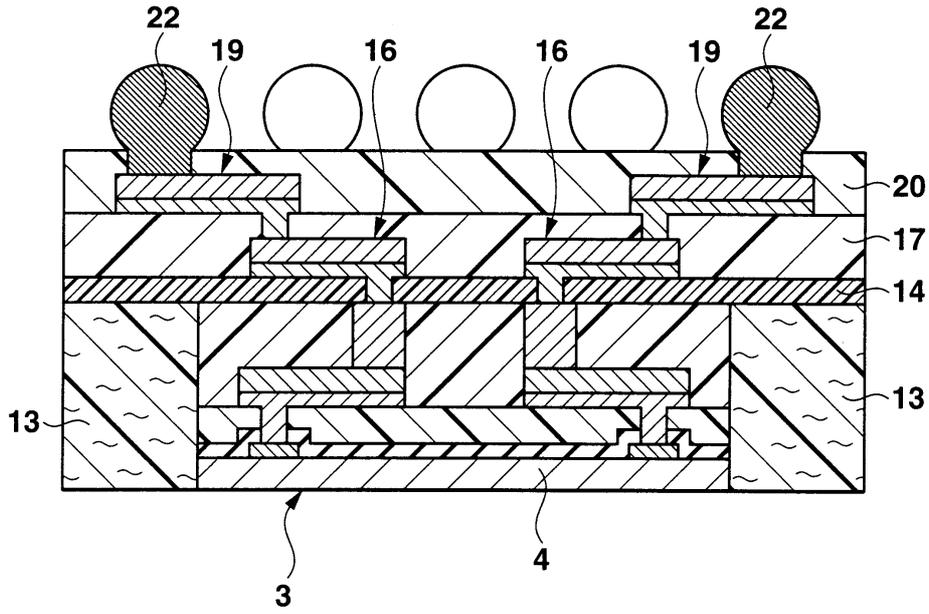
도면25



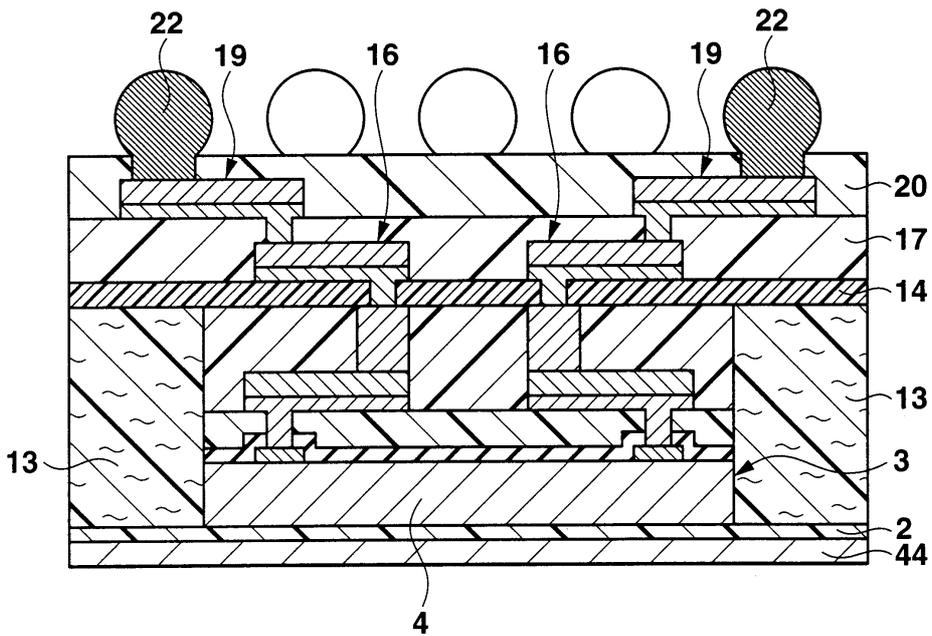
도면26



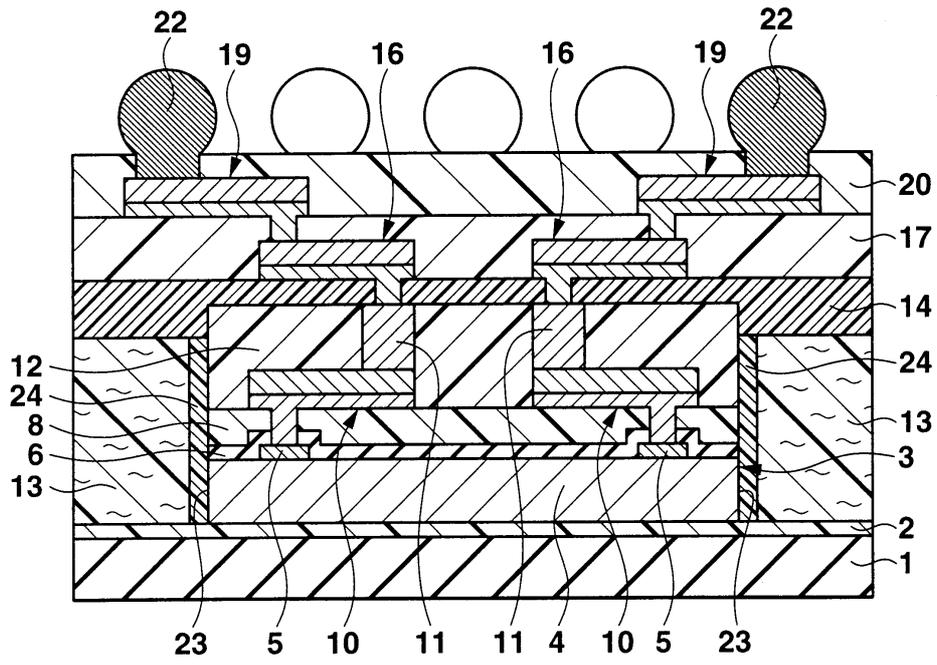
도면27



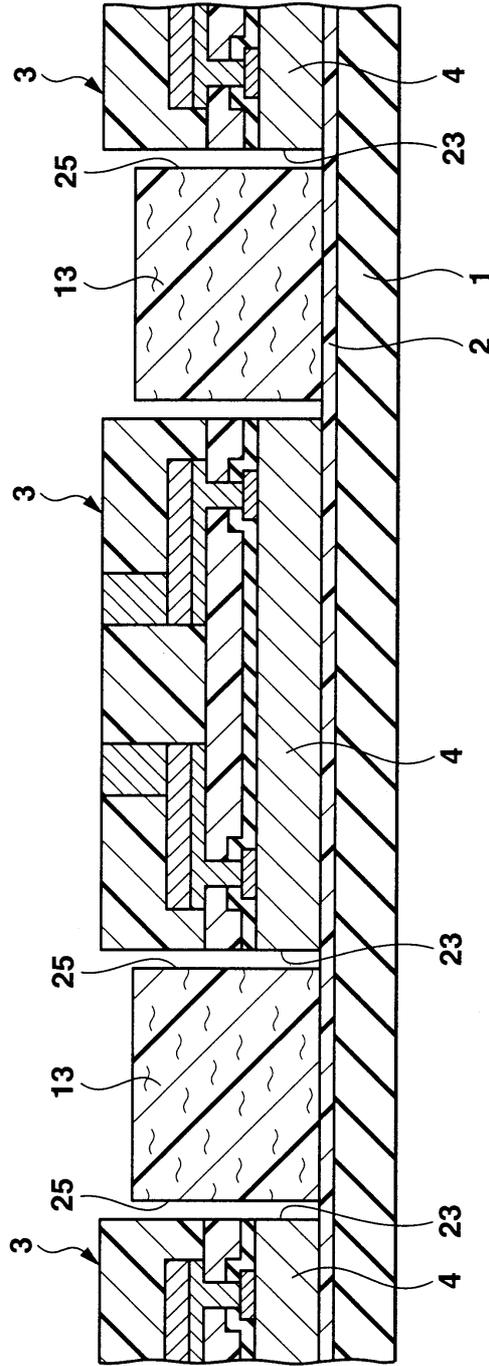
도면28



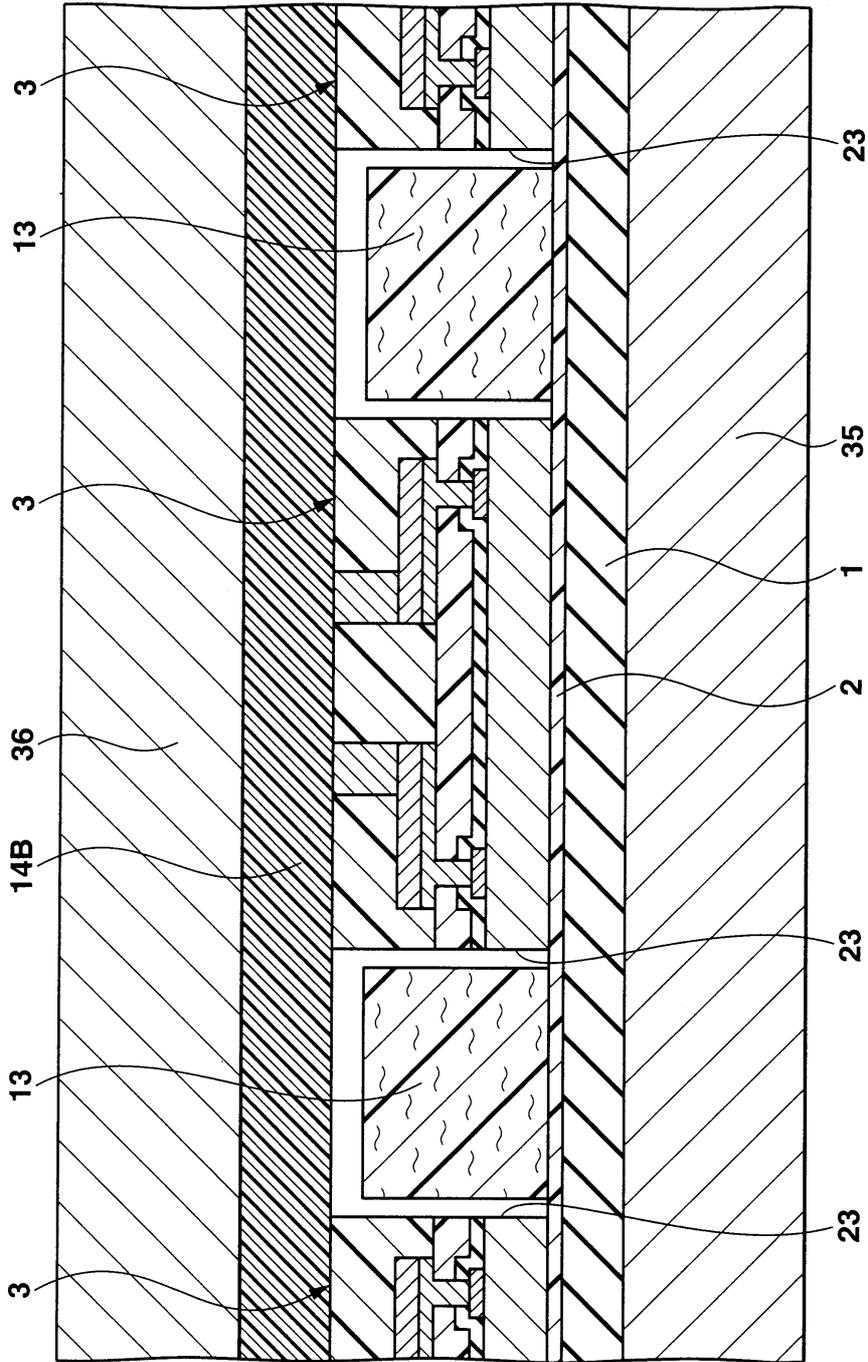
도면29



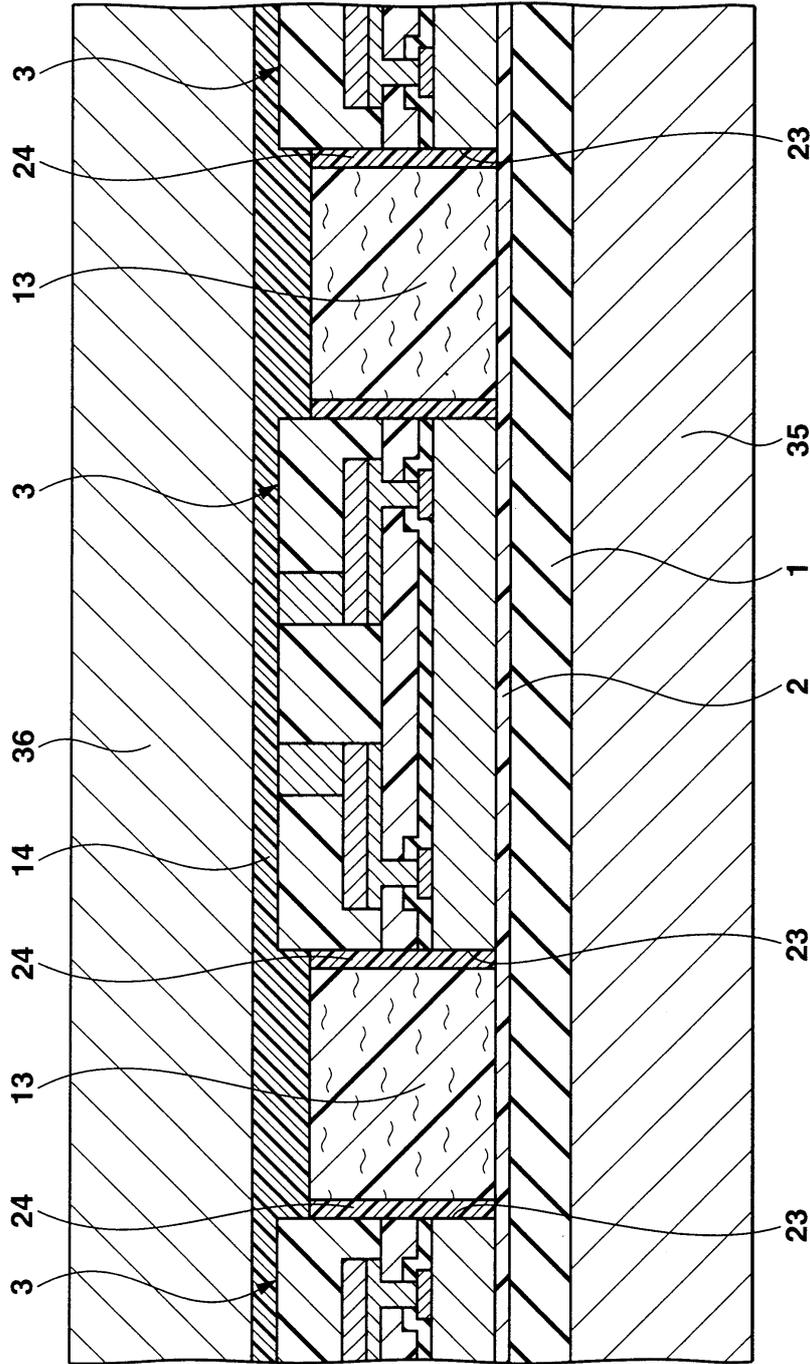
도면30



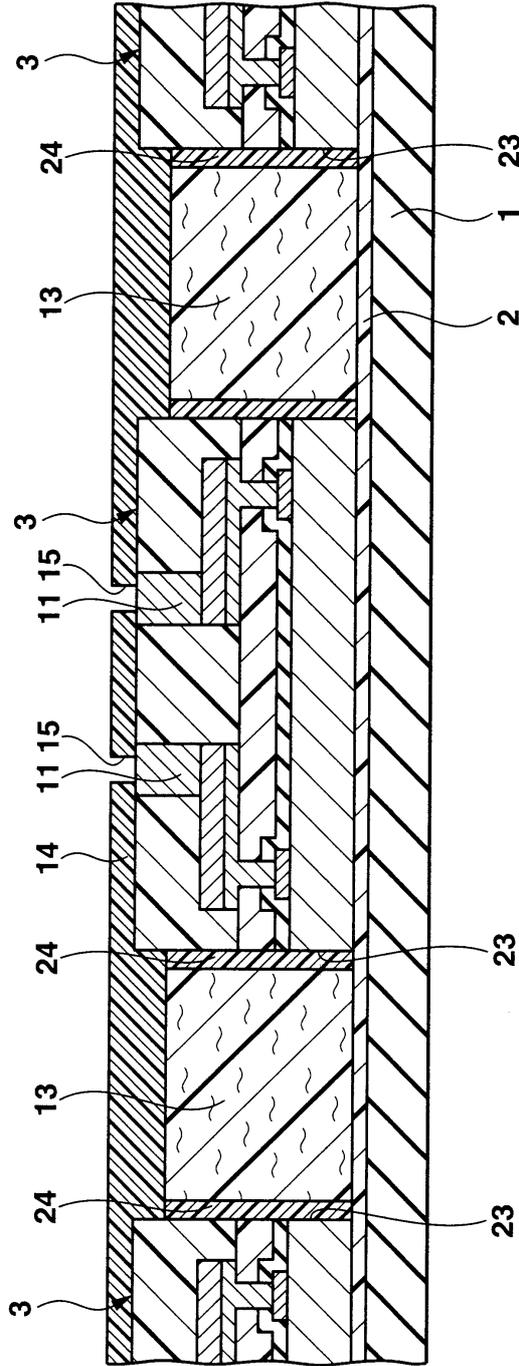
도면31



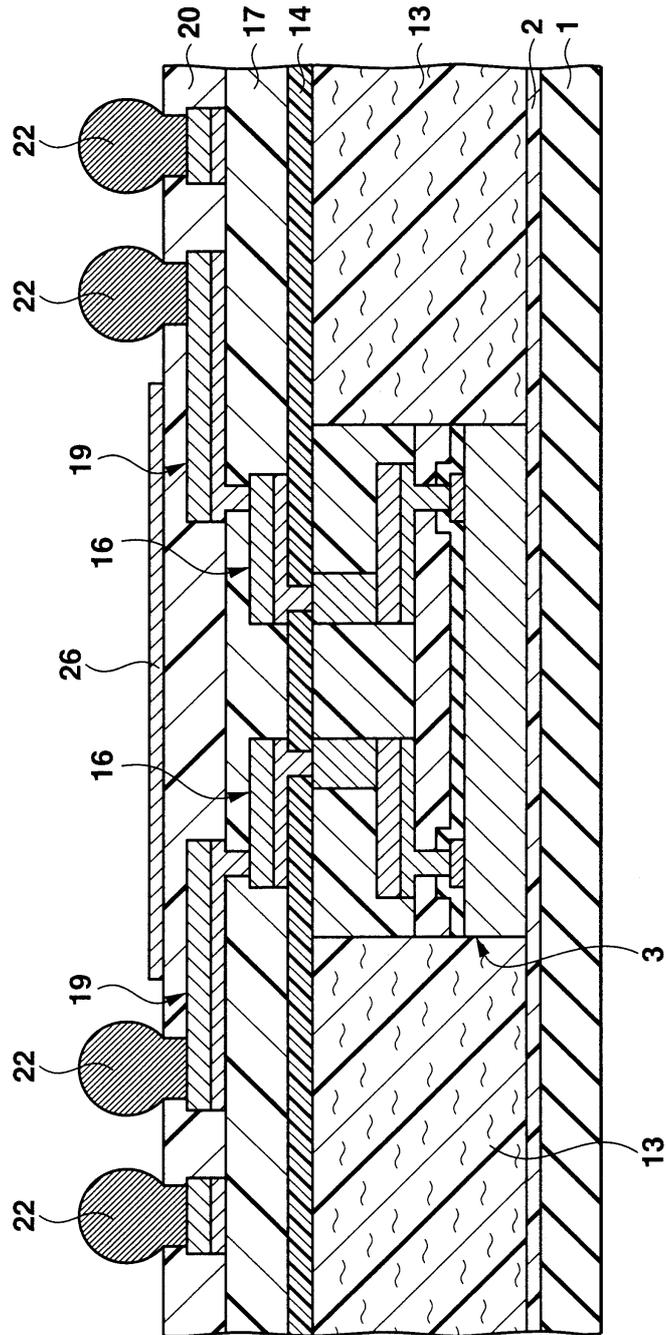
도면32



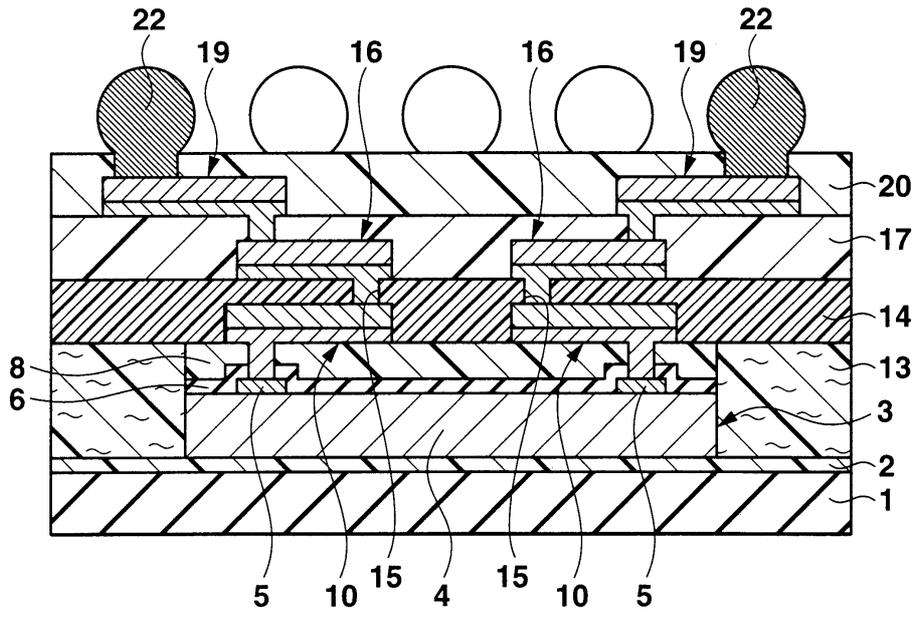
도면33



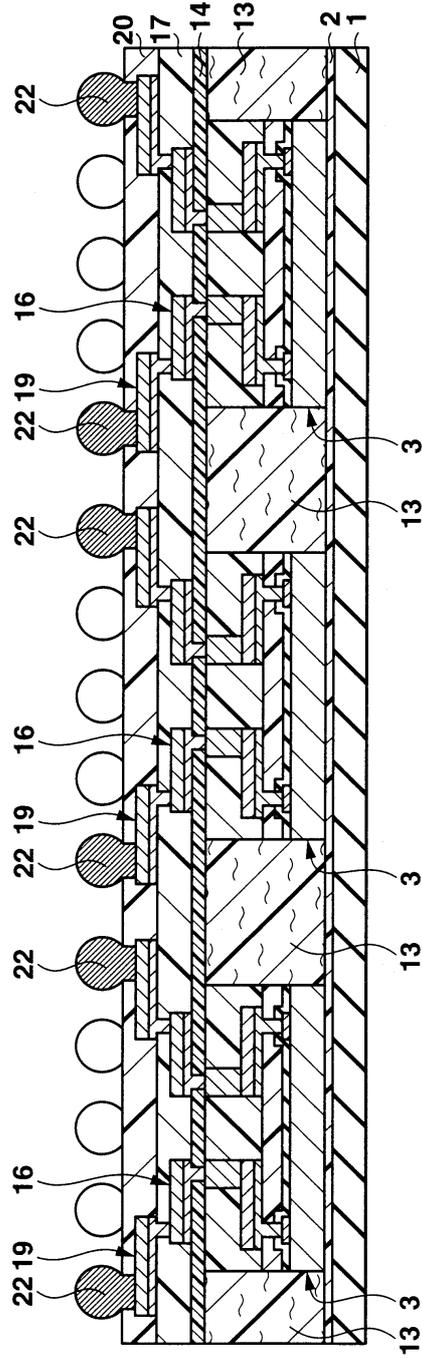
도면34



도면35



도면36



도면37

