

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4642344号
(P4642344)

(45) 発行日 平成23年3月2日(2011.3.2)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int. Cl.	F I	
HO 1 L 27/10 (2006.01)	HO 1 L 27/10	4 3 1
HO 1 L 21/3205 (2006.01)	HO 1 L 27/10	4 8 1
HO 1 L 23/52 (2006.01)	HO 1 L 21/88	S
HO 1 L 27/115 (2006.01)	HO 1 L 27/10	4 3 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78	3 7 1
請求項の数 12 (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2003-405966 (P2003-405966)	(73) 特許権者	390019839
(22) 出願日	平成15年12月4日(2003.12.4)		三星電子株式会社
(65) 公開番号	特開2004-193606 (P2004-193606A)		S A M S U N G E L E C T R O N I C S
(43) 公開日	平成16年7月8日(2004.7.8)		C O . , L T D .
審査請求日	平成18年6月23日(2006.6.23)		大韓民国京畿道水原市靈通區梅灘洞416
(31) 優先権主張番号	2002-077289		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年12月6日(2002.12.6)		Gyeonggi-do 442-742
(33) 優先権主張国	韓国(KR)		(KR)
		(74) 代理人	100072349
			弁理士 八田 幹雄
		(74) 代理人	100102912
			弁理士 野上 敦
		(74) 代理人	100110995
			弁理士 奈良 泰男
最終頁に続く			

(54) 【発明の名称】 一回のプログラミングが可能なROMを具備する半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

メモリセル領域及び周辺回路領域を含む半導体基板に形成されるOTP ROMを具備する半導体装置において、

浮遊ゲート電極と、不純物領域に接続されるビットラインと、を具備し、前記メモリセル領域に配置される複数のMOSトランジスタと、

下部電極と、当該下部電極上に積層される上部金属間絶縁膜と、当該上部金属間絶縁膜上に積層される上部電極とを具備し、前記MOSトランジスタの上部に配置されるOTP ROMキャパシタと、

前記浮遊ゲート電極及び前記下部電極を連結する浮遊ゲートプラグと、を含み、

前記浮遊ゲート電極、前記浮遊ゲートプラグ、及び前記下部電極からなる導電性構造体は、他の部分から電氣的に隔離され、

前記周辺回路領域には、順次に積層されたキャパシタ下部電極、誘電膜、及びキャパシタ上部電極で構成されるキャパシタが配置され、前記ビットライン、前記下部電極、及び前記キャパシタ下部電極は同じ種類の物質かつ同じ厚さで形成され、前記上部金属間絶縁膜及び前記誘電膜は同じ種類の物質かつ同じ厚さで形成され、前記上部電極及び前記キャパシタ上部電極は同じ種類の物質かつ同じ厚さで形成され、

前記ビットラインの下面、前記下部電極の下面、および前記キャパシタ下部電極の下面は、前記半導体基板の上面から同じ高さにあることを特徴とするOTP ROMを具備する半導体装置。

10

20

【請求項 2】

前記上部金属間絶縁膜はシリコン酸化膜、シリコン窒化膜及びシリコン酸化窒化膜よりなる群から選択された少なくとも一つの物質であることを特徴とする請求項 1 に記載の O T P ROM を具備する半導体装置。

【請求項 3】

前記上部金属間絶縁膜は前記半導体基板の全面に配置されることを特徴とする請求項 1 または 2 に記載の O T P ROM を具備する半導体装置。

【請求項 4】

前記半導体基板の所定の領域に接続し、前記浮遊ゲートプラグと同一の物質からなるコンタクトプラグをさらに具備することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の O T P ROM を具備する半導体装置。

10

【請求項 5】

メモリセル領域及び周辺回路領域を含む半導体基板に O T P ROM を具備する半導体装置を製造する方法において、

前記メモリセル領域の半導体基板上に複数の M O S トランジスタの浮遊ゲート電極を形成する段階と、

前記メモリセル領域で前記浮遊ゲート電極に電氣的に連結する下部電極を、ビットラインと、周辺回路領域に配置されるキャパシタ下部電極と同じ種類の物質かつ同じ厚さで同時に形成する段階と、

前記下部電極及び前記キャパシタ下部電極を含む半導体基板の全面に誘電膜を形成する段階と、

20

前記誘電膜上に、前記下部電極及び前記キャパシタ下部電極の上部に各々積層されるように上部電極及びキャパシタ上部電極を同時に形成する段階とを含み、

前記浮遊ゲート電極及び前記下部電極は、他の部分から電氣的に隔離されることを特徴とする O T P ROM を具備する半導体装置の製造方法。

【請求項 6】

前記浮遊ゲート電極を形成する前に、

前記半導体基板の所定の領域に活性領域を限定する素子分離膜を形成する段階と、

前記活性領域にゲート絶縁膜を形成する段階とをさらに含むことを特徴とする請求項 5 に記載の O T P ROM を具備する半導体装置の製造方法。

30

【請求項 7】

前記下部電極及び前記キャパシタ下部電極を形成する前に、

前記浮遊ゲート電極を含む半導体基板の全面に層間絶縁膜を形成する段階と、

前記層間絶縁膜をパターニングして、前記浮遊ゲート電極の上部面を露出させる浮遊ゲートコンタクトホールを形成する段階と、

前記浮遊ゲートコンタクトホールを満たす浮遊ゲートプラグを形成する段階とさらに含むことを特徴とする請求項 5 または 6 に記載の O T P ROM を具備する半導体装置の製造方法。

【請求項 8】

前記下部電極及び前記キャパシタ下部電極を形成する段階は、

40

前記浮遊ゲートプラグを含む半導体基板の全面に下部導電膜を形成する段階と、

前記下部電極が前記浮遊ゲートプラグに電氣的に連結されるように、前記下部導電膜をパターニングする段階とを含み、前記下部電極、前記浮遊ゲートプラグ及び前記浮遊ゲート電極は電氣的に隔離されるように形成することを特徴とする請求項 5 ~ 7 のいずれか 1 項に記載の O T P ROM を具備する半導体装置の製造方法。

【請求項 9】

前記誘電膜を形成する前に、

前記下部電極及び前記キャパシタ下部電極を含む半導体基板の全面に下部金属間絶縁膜を形成する段階と、

前記下部金属間絶縁膜をパターニングして、前記下部電極及び前記キャパシタ下部電極

50

の上部面を各々露出させるOTP ROM開口部及びキャパシタ開口部を形成する段階とをさらに含むことを特徴とする請求項5～8のいずれか1項に記載のOTP ROMを具備する半導体装置の製造方法。

【請求項10】

前記上部金属間絶縁膜はシリコン酸化膜、シリコン窒化膜及びシリコン酸化窒化膜よりなる群から選択された少なくとも一つの物質で形成することを特徴とする請求項5～9のいずれか1項に記載のOTP ROMを具備する半導体装置の製造方法。

【請求項11】

前記上部金属間絶縁膜は前記上部電極及び前記上部キャパシタ上部電極を形成する工程の間、エッチング停止膜として使用されることを特徴とする請求項5～10のいずれか1項に記載のOTP ROMを具備する半導体装置の製造方法。

10

【請求項12】

前記上部電極及び前記キャパシタ上部電極を形成する段階は、前記上部金属間絶縁膜が前記半導体基板の全面に残存するように実施することを特徴とする請求項5～11のいずれか1項に記載のOTP ROMを具備する半導体基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に関するものであり、特に、ワンタイムプログラマブルROMを具備する半導体装置及びその製造方法に関するものである。

20

【背景技術】

【0002】

プログラムが一回だけ可能なROMはワンタイムプログラマブルROM(OTP ROM(One-time programmable ROM)と記す)と称されている。

【0003】

このOTP ROMは、一回のプログラミング動作を実施した後は、追加的なプログラム動作または除去(erase)動作を実行できない。このように、OTP ROMは貯蔵された情報を変形することができないので、その自体のみでは製品として使用されることは少なく、多くは半導体製品の中で補助機能を実行する手段として使用されている。

【0004】

30

また、一般的に一つの半導体装置に内蔵されるOTP ROMの個数は少なく、半導体製品の全面積に前記OTP ROMが占める面積は大きくない。しかし、一般的なOTP ROMが不揮発の特性を有するためには、積層構造を有し、このような積層構造はOTP ROMを具備する半導体装置の製造費用を増加させる。

【0005】

図1は一般的なOTP ROMを説明するための工程断面図である。

【0006】

図1を参照すると、半導体基板10の所定の領域には活性領域を限定する素子分離膜20が配置される。前記活性領域の上部面にはゲート絶縁膜30が形成され、前記ゲート絶縁膜30上には前記活性領域及び前記素子分離膜20を横切るゲート電極40が配置される。前記ゲート電極40は順次に積層された浮遊ゲート電極42、ゲート層間絶縁膜44及び制御ゲート電極46で構成される。前記ゲート電極40は前記制御ゲート電極46の上部に配置されるキャッピングパターン48をさらに含むことができる。これによって、前記ゲート電極40はさらに高くなった積層構造になる。前記ゲート電極40の両側の活性領域には、ソース/ドレインとして使用される不純物領域50が配置される。

40

【0007】

一方、前記半導体基板10の他の領域(周辺回路領域)には通常の構造、すなわち、前記ゲート層間絶縁膜44を含まないゲート電極を具備するMOSトランジスタが配置される。このような通常の構造のMOSトランジスタは論理回路を構成する。上述のように、前記OTP ROMを使用する半導体製品で、主な機能は前記論理回路が担当し、前記O

50

OTP ROMは補助機能のみを実行する。

【0008】

このように、主な機能を担当する前記論理回路を形成することにおいて、前記ゲート層間絶縁膜44を具備する積層構造のOTP ROMは工程両立性(compatibility)で望ましくない。すなわち、前記OTP ROMで前記浮遊ゲート電極42は電氣的に完全に絶縁される。これによって、上述のOTP ROM形成工程に従う場合に、前記論理回路のゲート電極も電氣的に絶縁される。その結果、前記OTP ROMは動作しないようになる。

【0009】

このような問題を解決するために、前記ゲート層間絶縁膜44を除去する所定の工程がさらに実施されなければならない。このような追加的な工程は前記OTP ROMが形成される領域を遮断するエッチングマスクを形成する段階を含み、これは結局、工程費用の増加を招来する。

【0010】

また、上述のように、前記OTP ROMの個数は少なく、それが占める面積も小さいため、よく知られたように、このような場合に、フォトリソグラフィ工程、特に、前記制御ゲート電極46の形成のためのフォトリソグラフィ工程が不安定になるという問題がある。このため、これを解決するために、前記OTP ROMの周辺にはダミーパターンをさらに形成する必要がある。しかし、ダミーパターンは不要な面積を占めるので、高集積化のためには望ましくない。

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明の課題は、論理回路形成工程で工程両立性を有することができるOTP ROMを具備する半導体装置の製造方法を提供することにある

本発明の他の課題は、ダミーパターンを形成する必要がないOTP ROMを具備する半導体装置の製造方法を提供することにある。

【0012】

本発明のまた他の課題は、効果的なプログラムが可能なOTP ROMを具備する半導体装置を提供することにある。

【課題を解決するための手段】

【0013】

上述の課題を達成するために、本発明はキャパシタの下部電極と浮遊ゲート電極が連結された構造のOTP ROMを具備する半導体装置を提供する。メモリセル領域及び周辺回路領域を含む半導体基板に形成される。このOTP ROMを具備する半導体装置は浮遊ゲート電極と、不純物領域に接続されるビットラインと、を具備し、前記メモリセル領域に配置されるMOSトランジスタと順次に積層され、下部電極、当該下部電極上に積層される上部金属間絶縁膜、及び当該上部金属間絶縁膜上に積層される上部電極を具備し、前記MOSトランジスタの上部に配置されるOTP ROMキャパシタを含む。前記浮遊ゲート電極及び前記下部電極は浮遊ゲートプラグにより連結される。この時、前記浮遊ゲート電極、浮遊ゲートプラグ、及び下部電極からなる導電性構造体は、他の部分から電氣的に隔離され、前記周辺回路領域には、順次に積層されたキャパシタ下部電極、誘電膜、及びキャパシタ上部電極で構成されるキャパシタが配置され、前記下部電極、前記誘電膜、及び前記キャパシタ上部電極は、それぞれ前記OTP ROMキャパシタの下部電極、上部金属間絶縁膜、及び上部電極と同じ種類の物質かつ同じ厚さで形成され、前記ビットライン、前記下部電極、及び前記キャパシタ下部電極は同じ種類の物質かつ同じ厚さで形成され、前記上部金属間絶縁膜及び前記誘電膜は同じ種類の物質かつ同じ厚さで形成され、前記上部電極及び前記キャパシタ上部電極は同じ種類の物質かつ同じ厚さで形成され、前記ビットラインの下面、前記下部電極の下面、および前記キャパシタ下部電極の下面は、前記半導体基板の上面から同じ高さにあることを特徴とする。

10

20

30

40

50

【 0 0 1 4 】

前記導電性構造体は前記OTP ROMの電荷貯蔵所として使用される。一方、前記周辺回路領域には前記OTP ROMキャパシタと同一の構造、すなわち物質の種類及び厚さで同一のキャパシタが配置される。前記キャパシタは前記周辺回路領域に順次に積層されたキャパシタ下部電極、誘電膜及びキャパシタ上部電極で構成される。本発明の一実施の形態によると、前記上部金属間絶縁膜は前記誘電膜と区別することができない一体的に形成されている。

【 0 0 1 5 】

一方、前記上部金属間絶縁膜はシリコン酸化膜、シリコン窒化膜及びシリコン酸化窒化膜よりなる群から選択された少なくとも一つの物質であることが望ましく、前記半導体基板の全面に配置されることができる。また、前記半導体基板の所定の領域に接続し、前記浮遊ゲートプラグと同一の物質からなるコンタクトプラグがさらに配置されることもできる。

10

【 0 0 1 6 】

前記他の課題を達成するために、本発明はメモリセル領域及び周辺回路領域を含む半導体基板に、キャパシタ形成工程を利用してOTP ROMを製造する半導体装置の製造方法を提供する。この方法は、半導体基板上に複数のMOSトランジスタの浮遊ゲート電極を形成し、前記浮遊ゲート電極に電気的に連結する下部電極を、ビットラインと、周辺回路領域に配置されるキャパシタ下部電極と同じ種類の物質かつ同じ厚さで同時に形成し、前記下部電極を含む半導体基板の全面に上部金属間絶縁膜を形成した後に、前記上部金属間絶縁膜上で前記下部電極及び前記キャパシタ下部電極の上部に各々積層されるように上部電極及びキャパシタ上部電極を同時に形成する段階を含む。

20

【 0 0 1 7 】

本発明の一実施の形態によると、前記浮遊ゲート電極を形成する前に、前記半導体基板の所定の領域に活性領域を限定する素子分離膜を形成し、前記活性領域にゲート絶縁膜を形成する段階をさらに実施することができる。

【 0 0 1 8 】

また、本発明の一実施の形態によると、前記下部電極を形成する前に、前記浮遊ゲート電極を含む半導体基板の全面に層間絶縁膜を形成し、前記層間絶縁膜をパターンニングして、前記浮遊ゲート電極の上部面を露出させる浮遊ゲートコンタクトホールを形成した後に、前記浮遊ゲートコンタクトホールを満たす浮遊ゲートプラグを形成する段階をさらに実施することができる。以後、前記浮遊ゲートプラグを含む半導体基板の全面に下部導電膜を形成した後に、前記下部電極が前記浮遊ゲートプラグに電気的に連結されるように前記下部導電膜をパターンニングすることができる。

30

【 0 0 1 9 】

一方、前記浮遊ゲート電極及び前記下部電極からなる導電性構造物は電気的に隔離されるように形成される。

【 0 0 2 0 】

本発明の一実施の形態によると、前記上部金属間絶縁膜を形成する前に、前記下部電極を含む半導体基板の全面に下部金属間絶縁膜を形成した後に、前記下部金属間絶縁膜をパターンニングして前記下部電極の上部面を露出させるOTP ROM開口部を形成する段階をさらに実施することができる。

40

【 0 0 2 1 】

本発明の一実施の形態によると、前記上部金属間絶縁膜はシリコン酸化膜、シリコン窒化膜及びシリコン酸化窒化膜よりなる群から選択された少なくとも一つの物質で形成することができる。また、前記上部金属間絶縁膜は前記上部電極を形成する工程でエッチング阻止膜として使用されることができる。

【 0 0 2 2 】

本発明の一実施の形態によると、前記上部電極を形成する段階は、前記上部金属間絶縁膜が前記半導体基板の全面に残存するように実施される。

50

【 0 0 2 3 】

本発明の一実施の形態によると、前記周辺回路領域には前記下部電極を形成する時に、キャパシタ下部電極と共に形成される。また、前記キャパシタ下部電極の上部には前記上部電極を形成する時に、キャパシタ上部電極と共に形成される。これに加えて、前記OTP ROM開口部を形成する段階を利用して、前記下部金属間絶縁膜に前記キャパシタ下部電極を露出させるキャパシタ開口部を共に形成することもできる。このような実施の形態によると、前記周辺回路領域にキャパシタを形成する通常の工程を利用して、前記セルアレイ領域で前記OTP ROMに接続し、その上部に配置されるOTP ROMキャパシタを形成する。

【 発明の効果 】

10

【 0 0 2 4 】

本発明によると、周辺回路領域でキャパシタを形成する工程を利用して浮遊ゲート電極と下部電極が連結された構造を有するOTP ROMを製造する。これによって、ゲート層間絶縁膜を除去する工程、またはダミーパターンを形成する段階が不要であるので、製造費用を節減することができる。また、結果的に形成されたOTP ROMのゲートは積層構造ではなく、一般的なMOSトランジスタの構造を有するので、論理回路との工程両立性の面で有利である。これに加えて、キャパシタの誘電膜として使用される上部金属間絶縁膜は後続パターニング段階でエッチング阻止膜として使用することができる。その結果、半導体装置の製造費用は減少し、製造工程の安定性は高くなる。

【 発明を実施するための最良の形態 】

20

【 0 0 2 5 】

以下、添付の図面を参照して本発明の望ましい実施の形態を詳細に説明する。しかし、本発明はここで説明される実施の形態に限定されず、他の形態に具体化されることもできる。むしろ、ここで紹介される実施の形態は開示された内容が徹底し、完全になることができるように、そして当業者に本発明の思想が十分に伝達するために提供されるものである。図面において、層及び領域の厚さは明確性のために誇張されたものである。また層が他の層または基板上にあると言及される場合に、それは他の層、または基板上に直接形成されることができるもの、またはそれらの間に第3の層が介在されることもできるものである。

【 0 0 2 6 】

30

図2乃至図5は本発明の望ましい実施の形態によるOTP ROMを具備する半導体装置を製造する方法を説明するための工程断面図である。

【 0 0 2 7 】

図2を参照すると、メモリセル領域及び周辺回路領域を含む半導体基板100を準備する。前記メモリセル領域及び周辺回路領域は各々本発明によるOTP ROMが形成される領域及び論理回路が形成される領域である。

【 0 0 2 8 】

前記半導体基板100の所定の領域に活性領域を限定する素子分離膜110を形成する。前記素子分離膜110はトレンチ型またはLOCOS型素子分離膜であり得る。シリコン酸化膜及びシリコン窒化膜からなることができる。

40

【 0 0 2 9 】

前記活性領域の上部面にゲート絶縁膜120を形成する。前記ゲート絶縁膜120は前記活性領域の半導体基板100を熱酸化させる方法で形成したシリコン酸化膜であることが望ましい。

【 0 0 3 0 】

前記ゲート絶縁膜120を含む半導体基板上に浮遊ゲート電極130を形成する。前記浮遊ゲート電極130は前記活性領域を横切り、前記素子分離膜110の上部で断絶される島形態であることが望ましい。また、前記浮遊ゲート電極130は多結晶シリコン、タンゲステン、タンゲステン窒化膜、タンゲステンシリサイド及びコバルトシリサイドよりなる群から選択された少なくとも一つの物質で形成する。通常のフラッシュメモリの製造

50

方法によると、浮遊ゲート電極は2回のパターニングを通じて形成される。本発明による前記浮遊ゲート電極130は一回のパターニングを通じて形成することが望ましく、前記通常のフラッシュメモリの製造方法に従って2回のパターニングを通じて形成することもできる。

【0031】

前記浮遊ゲート電極130の両側の活性領域に、通常のイオン注入工程を使用して不純物領域140を形成する。前記不純物領域140はLDD構造で形成することができる。このためには、前記浮遊ゲート電極130の側壁にスペーサ(図示しない)を形成する追加的な工程がさらに実施される。前記不純物領域140はMOSトランジスタのソース/ドレインで使用される。

10

【0032】

図3を参照すると、前記不純物領域140が形成された半導体基板の全面に層間絶縁膜(interlayer dielectric ILD)150を積層する。これによって、前記層間絶縁膜150は前記周辺回路領域にも形成される。

【0033】

前記層間絶縁膜150はシリコン酸化膜で形成することが望ましく、シリコン窒化膜をさらに含むこともできる。本発明の一実施の形態によると、前記層間絶縁膜150は順次に積層された下部層間絶縁膜(lower ILD)152及び上部層間絶縁膜(upper ILD)154からなる。

【0034】

20

この実施の形態で、前記下部層間絶縁膜152及び上部層間絶縁膜154は各々シリコン窒化膜及びシリコン酸化膜である。前記下部層間絶縁膜152は前記浮遊ゲート電極130が形成された半導体基板の全面をコンフォーマルに覆う。前記上部層間絶縁膜154は前記下部層間絶縁膜152を含む半導体基板の全面に形成され、望ましくは、平坦な上部面を有する。このために、前記上部層間絶縁膜154を形成する段階は平坦化エッチングの段階をさらに含むことができる。

【0035】

前記層間絶縁膜150をパターニングして、前記浮遊ゲート電極130及び前記不純物領域140を各々露出させる浮遊ゲートコンタクトホール164及び不純物領域コンタクトホール162を形成する。

30

【0036】

以後、その結果物の全面にプラグ導電膜を形成した後に、前記プラグ導電膜をエッチングして前記上部層間絶縁膜154を露出させる。これによって、前記浮遊ゲートコンタクトホール164及び前記不純物領域コンタクトホール162を各々満たす浮遊ゲートプラグ174及びコンタクトプラグ172が形成される。これと共に、前記周辺回路領域でも論理回路を動作させるのに必要なプラグを形成することができる。このようなプラグは前記浮遊ゲートプラグ174及びコンタクトプラグ172を形成する段階を利用して形成することが望ましい。

【0037】

前記浮遊ゲートプラグ174及び前記コンタクトプラグ172を含む半導体基板の全面に下部導電膜を形成する。前記下部導電膜はキャッピング導電膜を有する多層構造であり得る。このために、前記下部導電膜はアルミニウム、銅、タングステン、チタン、多結晶シリコン、タングステン窒化膜及びチタン窒化膜よりなる群から選択された少なくとも一つの物質であることが望ましい。

40

【0038】

前記下部導電膜をパターニングして、前記浮遊ゲートプラグ174及び前記コンタクトプラグ172に各々接触する下部電極184及びビットライン182を形成する。前記下部電極184は前記浮遊ゲート電極130と同一に隣接したセルに延長されず、隔離された構造を有する。これに比べて、前記ビットライン182は隣接のセルの不純物領域140に電氣的に連結されることができる。

50

【0039】

前記下部電極184を形成する間、前記周辺回路領域に積層された下部導電膜を共にパターンニングしてキャパシタ下部電極186を形成する。前記キャパシタ下部電極186は論理回路で使用されるキャパシタを構成する。一般的に、半導体装置は前記論理回路のキャパシタを必須的に具備するので、前記キャパシタ下部電極186と共に形成される前記下部電極184及びビットライン182は工程費用の追加なしに形成されることができる。

【0040】

図4を参照すると、前記下部電極184、ビットライン182及びキャパシタ下部電極186を含む半導体基板の全面に下部金属間絶縁膜(lower intermetal dielectric、lower IMD)190を形成する。前記下部金属間絶縁膜190は化学気相蒸着技術を使用して形成されたシリコン酸化膜であることが望ましい。

10

【0041】

前記下部金属間絶縁膜190をパターンニングして、前記下部電極184及び前記キャパシタ下部電極186の各上部面を露出させるOTP ROM開口部194とキャパシタ開口部196を形成する。

【0042】

前記OTP ROM開口部194及び前記キャパシタ開口部196が形成された半導体基板の全面に上部金属間絶縁膜(upper intermetal dielectric upper IMD)200をコンフォーマルに形成する。前記上部金属間絶縁膜200及び前記下部金属間絶縁膜190は金属間絶縁膜(intermetal dielectric、IMD)205を構成する。

20

【0043】

前記上部金属間絶縁膜200は順次に積層されたシリコン酸化膜及びシリコン窒化膜であることが望ましい。この時に、前記シリコン酸化膜及び前記シリコン窒化膜は全部プラズマ強化化学気相蒸着を通じて形成されたプラズマ強化酸化膜(plasma enhanced oxide、PEOX)及びプラズマ強化窒化膜(plasma enhanced silicon nitride、PE-SiN)であることが望ましい。また、前記シリコン酸化膜及びシリコン窒化膜は、大略、300の厚さ及び少なくとも900の厚さであることが望ましい。

30

【0044】

一方、前記浮遊ゲート電極130、浮遊ゲートプラグ174及び下部電極184からなる導電性構造体は前記ゲート絶縁膜120、前記層間絶縁膜150、前記金属間絶縁膜205によって、他の部分から電氣的に完全に隔離される。

【0045】

図5を参照すると、前記上部金属間絶縁膜200を含む半導体基板の全面に第1上部導電膜を形成する。前記上部金属間絶縁膜200が露出されるまで前記第1上部導電膜をエッチングして、前記OTP ROM開口部194及び前記キャパシタ開口部196を各々満たす第1上部電極214及び第1キャパシタ上部電極216を形成する。前記エッチング工程は前記上部金属間絶縁膜200に対してエッチング選択性を有するエッチングレシピを使用して実施する。この時に、前記上部金属間絶縁膜200を構成するシリコン窒化膜はエッチング停止膜の役割を果たす。また、前記第1上部導電膜はタングステン、銅、チタン、アルミニウム、多結晶シリコン、タングステン窒化膜及びチタン窒化膜よりなる群から選択された少なくとも一つの物質であることが望ましい。

40

【0046】

前記第1上部電極214及び第1キャパシタ上部電極216を含む半導体基板の全面に、第2上部導電膜を形成する。前記第2上部導電膜をパターンニングして、前記第1上部電極214及び前記第1キャパシタ上部電極216に連結される第2上部電極224及び第2キャパシタ上部電極226を形成する。

50

【0047】

本発明の他の実施の形態（図6参照）によると、前記第1上部導電膜と前記第2上部導電膜を形成する段階は区分されないこともできる。この場合に、前記第1上部電極214と前記第2上部電極224、そして前記第1キャパシタ上部電極216と前記第2キャパシタ上部電極226は各々一体に形成する。

【0048】

また、本発明のまた他の実施の形態によると、図6に示したように、前記下部金属間絶縁膜190は前記下部電極184及び前記キャパシタ下部電極186と同一の高さであることもできる。この場合に、前記OTP ROM開口部194及びキャパシタ開口部196は形成されない。

10

【0049】

上述の本発明の製造方法による場合に、周辺回路領域にキャパシタを形成する工程を利用してOTP ROMを製造することができる。この方法によると、工程の新たな追加がないので、製造費用を節減することができる。また、結果的に形成されたOTP ROMのゲートは積層構造ではなく、一般的なMOSトランジスタのゲート構造であるので、論理回路との工程両立性の面で有利である。これに加えて、既存のゲート層間絶縁膜を除去する工程が不要になるので、工程を最小化させることもできる。また、制御ゲート電極の形成のためのパターニング工程にダミーパターンを形成する必要がなくなるので、チップ面積を最小化することができる。

【0050】

20

特に、本発明によると、前記上部金属間絶縁膜200はキャパシタの誘電膜として使用されるだけでなく、前記第1及び第2上部電極214、224の形成のためのパターニング工程でエッチング停止膜として使用されることができる。その結果、半導体装置の製造費用は減少し、製造工程の安定性は高くなる。

【0051】

図7及び図8は各々本発明の望ましい実施の形態によるOTP ROM及びキャパシタを示す斜視図である。

【0052】

図7及び図8を参照すると、メモリセル領域及び周辺回路領域を含む半導体基板100の所定の領域に素子分離膜110が配置されて活性領域を限定する。前記メモリセル領域及び周辺回路領域は各々本発明によるOTP ROMが形成される領域及び論理回路が形成される領域である。

30

【0053】

前記メモリセル領域にはゲート絶縁膜120、浮遊ゲート電極130及び不純物領域140を具備するMOSトランジスタが配置される。前記ゲート絶縁膜120はシリコン酸化膜であり、前記不純物領域140はN型の不純物を含むことが望ましい。前記不純物領域140は本発明によるOTP ROMのソース/ドレインとして使用される。前記浮遊ゲート電極130は前記素子分離膜110の上部で切断されて、隣接のセルに延長されない。

【0054】

40

図示しないが、前記周辺回路領域にもNMOSまたはPMOSトランジスタが前記MOSトランジスタと同一の高さに配置されることができる。前記MOSトランジスタを具備する半導体基板の全面に層間絶縁膜（ILD、150）が配置される。前記層間絶縁膜150の上部には、前記論理回路に使用されるキャパシタ300が配置される。前記キャパシタ300は周辺回路領域に配置され、順次に積層されたキャパシタ下部電極186、誘電膜200'及びキャパシタ上部電極235からなる。前記キャパシタ上部電極235は順次に積層された第1キャパシタ上部電極216及び第2キャパシタ上部電極226で構成される。

【0055】

一方、前記メモリセル領域の上部には前記キャパシタ300と同一の構造のOTP R

50

OMキャパシタが配置される。すなわち、前記浮遊ゲート電極130の上部には、下部電極184、上部金属間絶縁膜200及び上部電極230が順次に積層される。厚さ及び種類で、前記下部電極184、上部金属間絶縁膜200及び上部電極230は順次に前記キャパシタ下部電極186、誘電膜200'及びキャパシタ上部電極235と同一である。特に、前記誘電膜200'は前記メモリセル領域まで延長されて、前記上部金属間絶縁膜200を構成することもできる。すなわち、前記誘電膜200'と前記上部金属間絶縁膜200は区別することができる一つの対象、すなわち一体であり得る。

【0056】

前記下部電極184は前記層間絶縁膜150を貫通する浮遊ゲートプラグ174を通じて前記浮遊ゲート電極130に電氣的に連結される。この時に、前記浮遊ゲート電極130、前記浮遊ゲートプラグ174及び前記下部電極184は電氣的に完全に隔離され、電荷/情報貯蔵のための場所として使用される。これに比べて、前記キャパシタ下部電極186はキャパシタの一電極として使用され、前記下部電極184と異なり電氣的に隔離されず、外部電源に連結される。

10

【0057】

前記不純物領域には前記浮遊ゲートプラグ174と同一の物質からなり、前記層間絶縁膜150を貫通するコンタクトプラグ172が配置されることができ。これに加えて、前記層間絶縁膜150の上部には前記コンタクトプラグ172に接続するビットライン182が配置されることができ。

20

【0058】

上述のOTP ROMで、前記上部金属間絶縁膜200または誘電膜200'の厚さは自由に調節されることができ。これによって、プログラム動作の間、前記上部金属間絶縁膜200を通じて発生する漏洩電流を最小化することができる。また、前記上部電極230と下部電極184との間の内圧を十分に上げることができ。その結果、プログラム動作のために前記浮遊ゲート電極130に印加されなければならない所定の電圧は前記上部電極230の電圧を高めることによって、容易に得ることができ。

【図面の簡単な説明】

【0059】

【図1】一般的なOTP ROMを示す工程断面図である。

【図2】本発明の一実施の形態によるOTP ROMを具備する半導体装置の製造方法を説明するための工程断面図である。

30

【図3】本発明の一実施の形態によるOTP ROMを具備する半導体装置の製造方法を説明するための工程断面図である。

【図4】本発明の一実施の形態によるOTP ROMを具備する半導体装置の製造方法を説明するための工程断面図である。

【図5】本発明の一実施の形態によるOTP ROMを具備する半導体装置の製造方法を説明するための工程断面図である。

【図6】本発明の他の実施の形態によるOTP ROMを具備する半導体装置の製造方法を説明するための工程断面図である。

【図7】本発明の望ましい実施の形態によるOTP ROMを示す斜視図である。

40

【図8】本発明の望ましい実施の形態によるキャパシタを示す斜視図である。

【符号の説明】

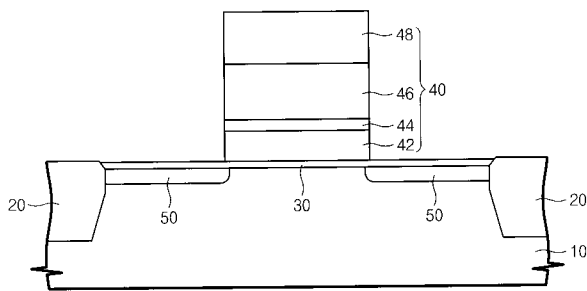
【0060】

- 100 半導体基板、
- 110 素子分離膜、
- 120 ゲート絶縁膜、
- 130 浮遊ゲート電極、
- 140 不純物領域、
- 150 層間絶縁膜、
- 152 下部層間絶縁膜、

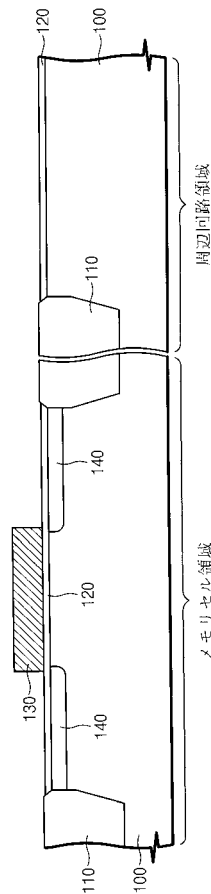
50

- 1 5 4 上部層間絶縁膜、
- 1 6 2 不純物領域コンタクトホール、
- 1 6 4 浮遊ゲートコンタクトホール、
- 1 7 2 コンタクトプラグ、
- 1 7 4 浮遊ゲートプラグ、
- 1 8 2 ビットライン、
- 1 8 4 下部電極、
- 1 8 6 キャパシタ下部電極、
- 1 9 0 下部金属間絶縁膜、
- 1 9 4 O T P R O M 開口部、
- 1 9 6 キャパシタ開口部、
- 2 0 0 上部金属間絶縁膜、
- 2 0 5 金属間絶縁膜、
- 2 1 4 第 1 上部電極、
- 2 1 6 第 1 キャパシタ上部電極、
- 2 2 4 第 2 上部電極、
- 2 2 6 第 2 キャパシタ上部電極。

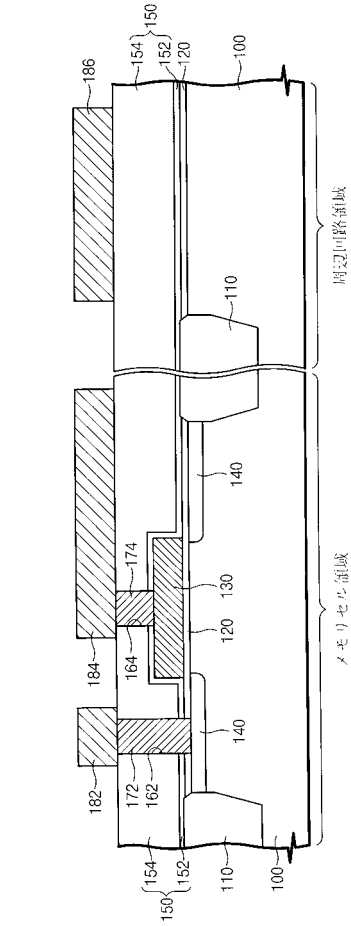
【 図 1 】



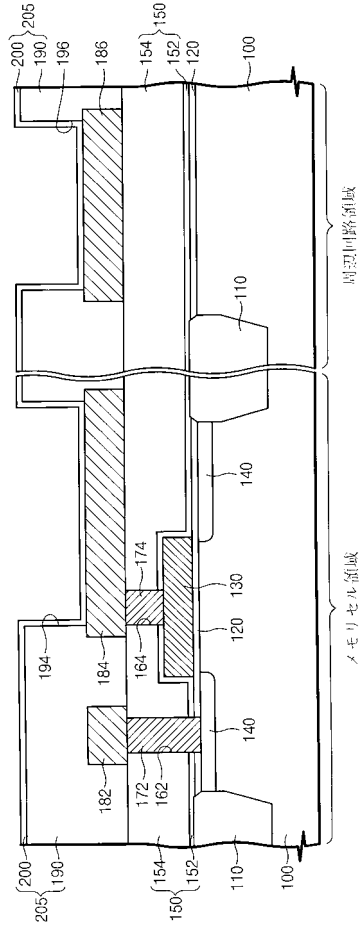
【 図 2 】



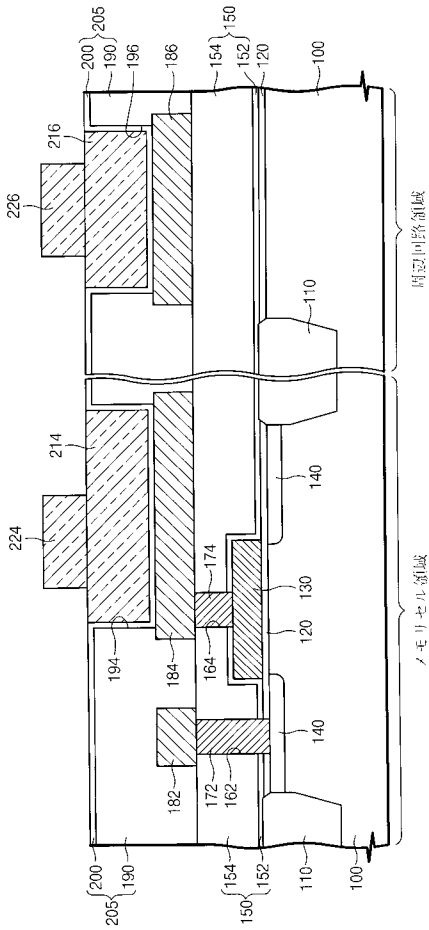
【図3】



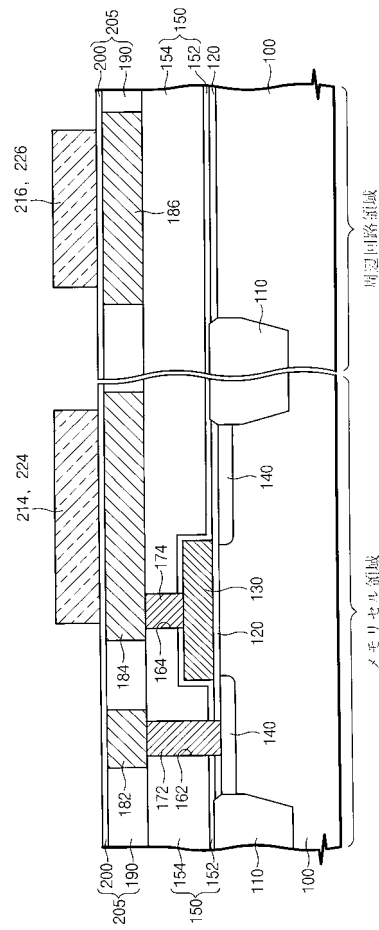
【図4】



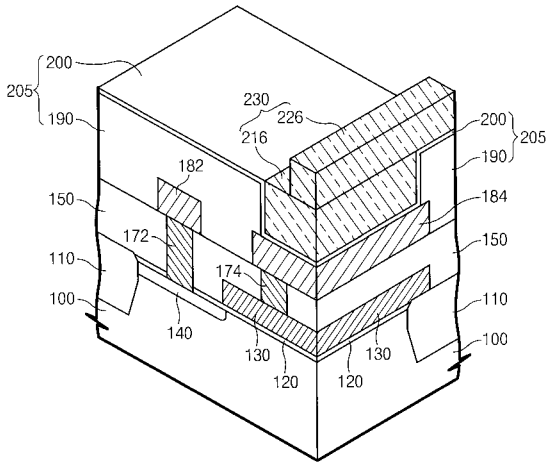
【図5】



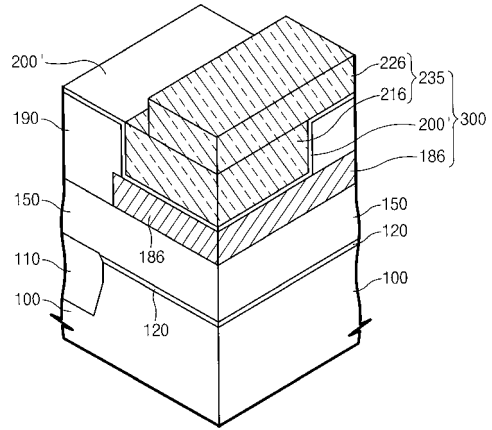
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

(74)代理人 100111464

弁理士 齋藤 悦子

(74)代理人 100114649

弁理士 宇谷 勝幸

(74)代理人 100124615

弁理士 藤井 敏史

(72)発明者 金 明 壽

大韓民国京畿道水原市八達区靈通洞1052番地2号 ワンゴルタウンサンヨンアパート249棟
1902号

審査官 吉田 安子

(56)参考文献 特開平10-289980(JP,A)

特開2001-044392(JP,A)

特開2002-141469(JP,A)

特開2000-150683(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 27/10

H 0 1 L 21/3205

H 0 1 L 23/52

H 0 1 L 21/8247

H 0 1 L 27/115

H 0 1 L 29/788

H 0 1 L 29/792