

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-235350

(P2008-235350A)

(43) 公開日 平成20年10月2日(2008.10.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 B	2H095
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5F038
HO 1 L 27/04 (2006.01)	GO 3 F 1/08 A	5F064
GO 3 F 1/08 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 17 頁)

(21) 出願番号 特願2007-68947 (P2007-68947)
 (22) 出願日 平成19年3月16日 (2007.3.16)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100077931
 弁理士 前田 弘
 (74) 代理人 100110939
 弁理士 竹内 宏
 (74) 代理人 100110940
 弁理士 嶋田 高久
 (74) 代理人 100113262
 弁理士 竹内 祐二
 (74) 代理人 100115059
 弁理士 今江 克実
 (74) 代理人 100115691
 弁理士 藤田 篤史

最終頁に続く

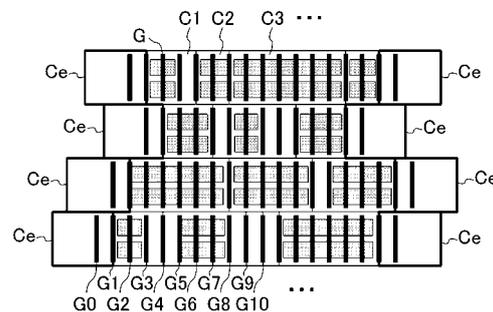
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】OPCによる補正処理時間の増大を招くことなく、光近接効果によるゲート長のばらつきを確実に抑制することができる半導体集積回路を提供する。

【解決手段】縦方向に延在するゲートGを含む標準セルC1, C2, C3, ...が、横方向に複数個配置されて、標準セル列を形成している。標準セル列が縦方向に複数列配置されて、標準セル群を構成している。各標準セル列の少なくとも一方の端に、ダミーゲート、または、非活性トランジスタを形成するゲートのいずれかである付加ゲートを2個以上含む、末端配置標準セルCeが配置されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の方向に延在するゲートが前記第 1 の方向と直交する第 2 の方向に複数個配置されてなるゲート列が、前記第 1 の方向に複数列配置された、ゲート群を備え、

前記各ゲート列の少なくとも一方の端に、ダミーゲート、または、非活性トランジスタを形成するゲートのいずれかである付加ゲートが、2 個以上、配置されていることを特徴とする半導体集積回路。

【請求項 2】

請求項 1 において、

前記各ゲート列の両端に、前記付加ゲートが、2 個以上、配置されていることを特徴とする半導体集積回路。

10

【請求項 3】

請求項 1 において、

前記各ゲート列の少なくとも一方の端に、前記付加ゲートが、4 個ずつ、配置されていることを特徴とする半導体集積回路。

【請求項 4】

請求項 1 において、

前記ゲート群は、標準セル領域に、配置されており、

前記 2 個以上の付加ゲートは、前記標準セル領域の周囲の辺のうち前記第 1 の方向の少なくとも 1 つの辺に沿って、並んでいることを特徴とする半導体集積回路。

20

【請求項 5】

請求項 4 において、

前記 2 個以上の付加ゲートは、前記標準セル領域の周囲の辺のうち、前記第 1 の方向の全ての辺に沿って、並んでいることを特徴とする半導体集積回路。

【請求項 6】

請求項 4 において、

前記 2 個以上の付加ゲートが並ぶ、前記標準セル領域の前記少なくとも 1 つの辺は、前記標準セル領域を含む内部回路領域の周囲の辺に、沿ったものであることを特徴とする半導体集積回路。

30

【請求項 7】

請求項 1 において、

前記各ゲート列において、前記 2 個以上の付加ゲートのうち内側の 2 個の前記第 1 の方向における長さは、当該 2 個以上の付加ゲートに隣り合う、活性トランジスタを形成するゲートの前記第 1 の方向における長さ以上であることを特徴とする半導体集積回路。

【請求項 8】

請求項 1 において、

前記各ゲート列において、前記 2 個以上の付加ゲート同士の間隔と、当該 2 個以上の付加ゲートのうち最も内側のものと、これに隣り合う、活性トランジスタを形成するゲートとの間隔とは、等しいことを特徴とする半導体集積回路。

40

【請求項 9】

請求項 1 において、

前記ゲート群の、前記付加ゲートを含む全てのゲートは、前記第 1 の方向における長さが等しいことを特徴とする半導体集積回路。

【請求項 10】

50

請求項 1 において、
前記ゲート群の、前記付加ゲートを含む全てのゲートは、前記第 2 の方向における長さが等しい
ことを特徴とする半導体集積回路。

【請求項 1 1】

請求項 1 において、
前記各ゲート列における前記 2 個以上の付加ゲートは、前記第 2 の方向における位置が、同じである
ことを特徴とする半導体集積回路。

【請求項 1 2】

請求項 1 において、
前記非活性トランジスタは、容量を構成するトランジスタ、電源電位固定機能を持つトランジスタ、またはオフトランジスタである
ことを特徴とする半導体集積回路。

【請求項 1 3】

第 1 の方向に延在する、1 つのまたは、前記第 1 の方向と直交する第 2 の方向に配置された複数のゲートを含む標準セルが、前記第 2 の方向に複数個配置されてなる標準セル列を備え、

前記標準セル列が、前記第 1 の方向に複数列配置されており、

前記各標準セル列の少なくとも一方の端に、ダミーゲート、または、非活性トランジスタを形成するゲートのいずれかである付加ゲートを、2 個以上含む末端配置標準セルが、配置されている
ことを特徴とする半導体集積回路。

【請求項 1 4】

請求項 1 3 において、
前記各標準セル列における前記末端配置標準セルは、前記第 2 の方向における位置が、同じである
ことを特徴とする半導体集積回路。

【請求項 1 5】

請求項 1 3 において、
前記各標準セル列の両端に、前記末端配置標準セルが、配置されている
ことを特徴とする半導体集積回路。

【請求項 1 6】

請求項 1 5 において、
前記末端配置標準セルは、それぞれ、
前記第 2 の方向における両端に設けられた第 1 および第 2 の付加ゲートと、
前記第 1 の付加ゲートに隣り合う第 3 の付加ゲートと、
前記第 2 の付加ゲートに隣り合う第 4 の付加ゲートとを備えたものである
ことを特徴とする半導体集積回路。

【請求項 1 7】

請求項 1 3 において、
前記末端配置標準セルのうち少なくとも 1 つは、
容量を構成するトランジスタ、電源電位固定機能を持つトランジスタ、オフトランジスタ、または、ダイオードを含む
ことを特徴とする半導体集積回路。

【請求項 1 8】

請求項 1 3 において、
前記末端配置標準セルのうち少なくとも 1 つは、
当該半導体集積回路に電源電位を与えるためのメタル配線、または、当該半導体集積回路に基板電位を与えるための拡散領域が、省かれている

10

20

30

40

50

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光近接効果の抑制に対して有効な半導体集積回路に関するものである。

【背景技術】

【0002】

まず、本明細書における言葉の定義を以下に記す。

【0003】

「活性トランジスタ」とは、トランジスタの動作特性を利用して回路の所望の機能に寄与するトランジスタを指す。「非活性トランジスタ」とは、逆に回路の所望の機能に寄与しないトランジスタを指す。非活性トランジスタのゲート形状のばらつきは、回路の所望の機能には影響しない。「トランジスタ」とは、活性トランジスタおよび非活性トランジスタの両方を指す。

10

【0004】

非活性トランジスタには、Pチャネルトランジスタのゲート電位を電源電位に固定したもの、もしくはNチャネルトランジスタのゲート電位を接地電位に固定したものであって、オフ状態に保たれているトランジスタ（以下、これを「オフトランジスタ」と呼ぶ）や、Pチャネルトランジスタのゲート電位を接地電位に固定し、さらにソース電位およびドレイン電位を電源電位に固定したもの、もしくはNチャネルトランジスタのゲート電位を電源電位に固定し、さらにソース電位およびドレイン電位を接地電位に固定したものであって、電源と接地間の容量として作用させるトランジスタ（以下、これを「容量トランジスタ」と呼ぶ）や、ソース電位とドレイン電位を同電位に固定することで電流が流れないようにしたトランジスタや、ドレイン電位を電源電位または接地電位に保つ役割を果たすトランジスタ（以下、これを「電位固定トランジスタ」と呼ぶ）を含む。

20

【0005】

「ゲート」とは、ポリシリコンなどで形成され、拡散領域とによってトランジスタを構成するトランジスタのゲートか、またはトランジスタを構成しない「ダミーゲート」を指す。

【0006】

以下、トランジスタ、トランジスタを用いた一般的な標準セル、およびその標準セルを用いた半導体集積回路について、順に図を用いて説明する。

30

【0007】

図15はトランジスタを示す図である。同図中、(a)に示すように、P型トランジスタ T_p はP型拡散領域 D_p 、ゲートGおよびN型ウェルNWから形成される。また、(b)に示すように、N型トランジスタ T_n はN型拡散領域 D_n 、ゲートGおよびP型ウェルPWから形成される。トランジスタのゲートGは、ポリシリコンなどを材料として形成され、拡散領域 D_p （または D_n ）に挟まれている。トランジスタのソースまたはドレインは拡散領域 D_p （または D_n ）によって形成される。図中、ゲートGのゲート幅をW、ゲート長をLとする。このゲート幅Wおよびゲート長Lを様々に設定することにより、多種多様なトランジスタ特性が自由に得られる。

40

【0008】

図16は図15のトランジスタを用いた標準セルを示す図である。同図に示すように、標準セルCは、P型トランジスタ T_{p1} 、 T_{p2} 、N型トランジスタ T_{n1} 、 T_{n2} 、P型トランジスタ T_{p1} 、 T_{p2} に基板電位を供給するための拡散領域 D_{bn} 、N型トランジスタ T_{n1} 、 T_{n2} に基板電位を供給するための拡散領域 D_{bp} 、P型トランジスタ T_{p1} 、 T_{p2} のソースに電源電位を供給するためのメタル配線 M_{vdd} 、N型トランジスタ T_{n1} 、 T_{n2} のソースに接地電位を供給するためのメタル配線 M_{vss} 、N型ウェルNWおよびP型ウェルPWを備えている。また、トランジスタのゲートの間隔をSとする。なお、トランジスタの拡散領域、ゲートG、ゲート幅W、ゲート長Lなどは、図15で

50

の説明と重複するため、図16中での符号は省略した。図16に示す標準セルCは標準セルの一例であり、他にも、様々な形状のトランジスタを自由に配置配線することによって、多種多様な標準セルを実現できる。

【0009】

図17は標準セルを複数配置した半導体集積回路を示す図である。同図に示すように、標準セルC1, C2, C3, ...をゲートが延在する方向(以下、縦方向)と直交する方向(以下、横方向)にそれぞれ隣接配置して標準セル列を形成し、さらにその標準セル列を縦方向に複数配置し、それらを配線することによって、所望の機能をもつLSIを実現する。このとき、各標準セルのN型ウェルNW、P型ウェルPW、拡散領域Dbn、拡散領域Dbp、メタル配線Mvdd、メタル配線Mvss(いずれも図示省略)などを標準セル間で共有または隣接するように標準セルを配置するため、これらは切れ目なく横方向に延在する形状となる。

【0010】

この半導体集積回路における、トランジスタのゲート寸法のばらつきに関する課題について、以下に述べる。

【0011】

半導体集積回路における伝搬遅延時間のばらつきの主な要因としては、動作電源電圧、温度、プロセス上のばらつきなどがある。半導体集積回路は、上記のばらつきの要因のすべてが最も悪い条件となった場合でもその動作が保証されるように、設計されていなければならない。特にトランジスタのゲート長はトランジスタの動作を規定する重要な要素であり、ゲート長のばらつきの影響は、プロセス上のばらつきの中で非常に大きな割合を占めている。さらに近年、トランジスタの微細化の進展に伴ってゲート長はますます小さくなり、ゲート長のばらつきの割合が増大する傾向にある。このため、伝搬遅延時間のばらつきの増大に伴い設計マージンを大きくする必要が生じており、高性能な半導体集積回路を提供することが困難になっている。

【0012】

また、一般に、半導体集積回路の製造プロセスでは、レジスト塗布、露光、現像を含むフォトリソグラフィ工程と、レジストマスクを用いて要素のパターニングを行うためのエッチング工程と、レジスト除去工程とを繰り返すことにより、半導体基板上に集積回路を形成する。トランジスタのゲートを形成する際にも、フォトリソグラフィ工程、エッチング工程、レジスト除去工程が行われる。このフォトリソグラフィ工程の露光の際に、パターン寸法が露光波長以下になると、回折光の影響による光近接効果によって、設計時のレイアウト寸法と半導体基板上のパターン寸法との誤差が大きくなる。

【0013】

このため、半導体集積回路の製造に際し、配線などのパターンを描画または露光するにあたって、光近接効果の発生に対処するために、パターンの寸法精度の向上のための補正が不可欠になっている。光近接効果を補正する技術として、OPC(Optical Proximity effect Correction)がある。OPCとは、ゲートとそれに近接する他のゲートパターンまでの距離から光近接効果によるゲート長変動量を予測し、その変動量を打ち消すようにゲートを形成するためのフォトレジストのマスク値を予め補正することによって、露光後のゲート長の仕上がり値を一定値に保つ技術である。

【0014】

一方、OPCによるゲートマスクの補正は、TAT(Turn Around Time)の遅延や処理量の増大を招くという問題がある。特に従来では、ゲートパターンは規格化されておらず、ゲート長やゲート間隔はチップ全体でまちまちであったため、OPCによる補正には多大な処理量を必要としていた。

【0015】

これを回避するために、ゲート長やゲート間隔を一種類かまたは数種類の値に限定してレイアウトを行うといった提案もなされている。この提案によれば、限定されたゲート長で回路設計を行ったり、ゲート間隔を統一するためにダミーゲートを挿入したりすること

10

20

30

40

50

により、OPCによるゲートマスクの修正を行わずとも、ゲート長の仕上がり値を一定値に保つことができる。したがって、光近接効果によるゲート長のばらつきを抑制することができる。

【0016】

図18はゲート長とゲート間隔をそれぞれ一種類に限定した場合に用いる標準セルの例を示す。図18の標準セルでは、トランジスタのゲートG1, G2, ..., G8が、一定のゲート長Lを有し、かつ、一定のゲート間隔Sで配置されている。すなわち、活性トランジスタのゲートG2, G3, G6, G7に対して光近接効果によるゲート長のばらつきを抑制するため、ゲート間隔およびゲート長が一定となるよう、ダミーゲートG1, G4, G5, G8が配置されている。

10

【0017】

図19は図18のような標準セルを用いて設計された従来の半導体集積回路を示す。図19に示すように、標準セル境界のダミーゲートを共有するように、標準セルC1, C2, C3, ...が横方向に配置される。このため、半導体集積回路内の全ての活性トランジスタのゲート長とゲート間隔が統一されるので、ゲート長の仕上がり値を一定値に保つことができ、光近接効果によるゲート長のばらつきを抑制することができる。

【0018】

なお、本願発明に関連する先行技術文献としては、例えば、特許文献1~3が知られている。

【特許文献1】特開平10-32253号公報

【特許文献2】米国特許第7137092号明細書

【特許文献3】特開2007-12855号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

上述したように、トランジスタの微細化の進展に伴い、ゲート長が短くなり、ゲートを露光する際における回折光による光近接効果の影響が大きくなっている。さらに、ゲートの周辺パターンの状況に応じて、光近接効果の影響が異なるという問題が生じる。

【0020】

例えば図19に示す半導体集積回路では、内部に配置された活性トランジスタのゲートは、その両隣にそれぞれ2個以上のゲートが配置されている。例えばゲートGaは、その左隣にゲートGa1, Ga2が配置されるとともに、その右隣にゲートGa3, Ga4が配置されている。一方、標準セル列の末端に配置された活性トランジスタのゲートは、その隣にゲートが1個しか配置されない場合が起こりうる。例えば、ゲートGbは、その左隣にはダミーゲートGb1しか配置されていない。

30

【0021】

ゲートGbのように、末端に配置され、隣にゲートが1個しか配置されていないゲートでは、ゲートGaのように、両隣にそれぞれ2個以上のゲートが配置されたゲートと比較すると、光近接効果の影響が大きく異なってくる。このため、ゲート寸法のばらつき量が大きく異なることになる。

40

【0022】

このため、OPCによる補正処理を半導体集積回路全体において同様に行った場合には、ゲート寸法のばらつきが必ずしも適切に補正されないゲートが存在することになり、回路誤動作を招く可能性がある。一方、末端に配置され、隣にゲートが1個しか配置されていないゲートについて、他のゲートと区別してOPCによる補正処理を行うことも考えられるが、この場合は、補正処理時間の増大を招くことになり、好ましくない。

【0023】

前記の問題に鑑み、本発明は、OPCによる補正処理時間の増大を招くことなく、光近接効果によるゲート長のばらつきを確実に抑制することができる半導体集積回路を提供することを目的とする。

50

【課題を解決するための手段】

【0024】

本発明は、半導体集積回路として、第1の方向に延在するゲートが前記第1の方向と直交する第2の方向に複数個配置されてなるゲート列が、前記第1の方向に複数列配置された、ゲート群を備え、前記各ゲート列の少なくとも一方の端に、ダミーゲート、または、非活性トランジスタを形成するゲートのいずれかである付加ゲートが、2個以上、配置されているものである。

【0025】

本発明によると、各ゲート列の少なくとも一方の端に、付加ゲートが2個以上配置されているので、活性トランジスタを形成するゲートのうちこの端に最も近いゲートについて、その隣に2個以上のゲートが確実に配置されることになる。このため、このゲートについて、光近接効果の影響によるゲート長のばらつきが、活性トランジスタを形成する他のゲートと同程度に抑えられる。したがって、例えばOPCによる補正処理を半導体集積回路全体において同様に行うことによって、半導体集積回路全体において、ゲート長のばらつきを適切に補正することができる。

10

【0026】

また、本発明は、半導体集積回路として、第1の方向に延在する1つのまたは、前記第1の方向と直交する第2の方向に配置された複数のゲートを含む標準セルが、前記第2の方向に複数個配置されてなる標準セル列が、前記第1の方向に複数列配置された、標準セル群を備え、前記各標準セル列の少なくとも一方の端に、ダミーゲート、または、非活性トランジスタを形成するゲートのいずれかである付加ゲートを、2個以上含む末端配置標準セルが、配置されているものである。

20

【0027】

本発明によると、各標準セル列の少なくとも一方の端に、付加ゲートを2個以上含む末端配置標準セルが配置されているので、活性トランジスタを形成するゲートのうちこの端に最も近いゲートについても、その隣に2個以上のゲートが確実に配置されることになる。このため、このゲートについて、光近接効果の影響によるゲート長のばらつきが、活性トランジスタを形成する他のゲートと同程度に抑えられる。したがって、例えばOPCによる補正処理を半導体集積回路全体において同様に行うことによって、半導体集積回路全体において、ゲート長のばらつきを適切に補正することができる。

30

【発明の効果】

【0028】

本発明によると、半導体集積回路において、OPC処理による補正対象となる全ての、活性トランジスタを形成するゲートについて、近接して配置される周辺ゲートパターンが限定されるので、ゲート長のばらつきを確実に抑えることができる。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0030】

(第1の実施形態)

40

図1は本発明の第1の実施形態に係る半導体集積回路のレイアウトパターンの簡略図、図2は図1の半導体集積回路に用いた末端配置標準セルのレイアウトパターンの簡略図である。

【0031】

図1の半導体集積回路では、標準セルC1, C2, C3, ...が横方向(第2の方向に相当)に並べて配置されることによって、標準セル列が構成されている。各標準セルはそれぞれ、縦方向(第1の方向)に延在する1つまたは、横方向に並んだ複数のゲートGを含む。隣り合う標準セルは、その境界のダミーゲートを共有するように配置されている。そしてこの標準セル列が複数列、縦方向に並べて配置されて、標準セル群を構成している。

【0032】

50

そして、各標準セル列の両端に、図2に示す末端配置標準セルCeがそれぞれ配置されている。図2に示すように、末端配置標準セルCeは、セル境界に付加ゲートとしてのダミーゲートG1を有し、その隣りに付加ゲートとしてのダミーゲートG0を有することを特徴とする。またその他に、P型トランジスタに基板電位を供給するための拡散領域Dbn、N型トランジスタに基板電位を供給するための拡散領域Dbp、P型トランジスタのソースに電源電位を供給するためのメタル配線Mvdd、トランジスタのソースに接地電位を供給するためのメタル配線Mvss、N型ウェルNW、P型ウェルPWなども含む。なお、図2は標準セル列の左端に配置するためのレイアウトになっており、右端に配置する場合はこれを左右反転すればよい。

【0033】

すなわち、図1の半導体集積回路は、縦方向に延在するゲートが横方向に複数個配置されてなるゲート列が、複数列配置されたゲート群を備えた構成になっている。そして、各ゲート列の両端に、付加ゲートとしてのダミーゲートが2個以上配置されている。G2, G6, G7は活性トランジスタを形成するゲート、G0, G1, G3, G4, G5, G8, G9はダミーゲートである。なお、図1の半導体集積回路では、各ゲートは等間隔で並んでいるが、必ずしも等間隔でなくてもよい。

【0034】

末端配置標準セルCeの配置によって、活性トランジスタを形成するゲートのうち標準セル列の最も端に位置するものについても、その両隣に必ず2個以上のゲートが配置されることになる。例えば図1の最下段の標準セル列では、活性トランジスタを形成するゲートのうち最も左端にあるゲートG2について、末端配置標準セルCe1が配置されたことによって、その左隣にダミーゲートG0, G1が配置されている。これにより、ゲートG2に対する光近接効果の影響が、例えば活性トランジスタを形成する他のゲートG6に対する光近接効果の影響の程度までに抑制される。したがって、半導体集積回路全体における活性トランジスタのゲート長のばらつきを抑制することができる。

【0035】

なお、図1の構成では、各標準セル列の両端に末端配置標準セルCeを配置しているが、いずれか一方の端に配置するようにしてもかまわない。

【0036】

また、本実施形態では、末端配置標準セルCeは2個のダミーゲートを有するものとしたが、3個以上のダミーゲートを有するものとしてもかまわない。本願発明者らは、ダミーゲートが2個だけであっても十分に光近接効果によるゲート長のばらつきを抑制できる効果があることを確認できた。ただし、ダミーゲートの配置領域に余裕がある場合は、ダミーゲートを3個以上配置することは、ばらつき抑制効果を高めるにはなおよい。

【0037】

また、ゲート列の末端に配置する付加ゲートとしては、ダミーゲートの他に、回路の動作機能に寄与しない非活性トランジスタを形成するゲートを用いてもかまわない。

【0038】

また、各ゲート列において、末端に配置された2個以上の付加ゲートのうちの内側の2個の縦方向の長さは、これに隣り合う、活性トランジスタを形成するゲートの縦方向の長さ以上であることが好ましい。これにより、各ゲート列において最も端に配置された、活性トランジスタを形成するゲートについて、縦方向の長さがそれ以上である2個以上のゲートが隣に配置される。このため、いかなるゲート幅をもつ活性トランジスタであっても、ゲート長のばらつきを抑制することができる。

【0039】

また、各ゲート列において、末端に配置された2個以上の付加ゲート同士の間隔と、最も内側の付加ゲートとこれに隣り合う、活性トランジスタを形成するゲートとの間隔とは、等しいことが好ましい。これにより、各ゲート列において最も端に配置された、活性トランジスタを形成するゲートとこれの隣に配置された付加ゲートについて、ゲート間隔を一定にすることができる。このため、ゲート長のばらつきをより抑制することができる。

10

20

30

40

50

【0040】

また、ゲート群の、付加ゲートを含む全てのゲートは、縦方向の長さが等しいことが好ましい。また、ゲート群の、付加ゲートを含む全てのゲートは、横方向の長さが等しいことが好ましい。これにより、付加ゲートを含む全てのゲートについて、ゲート形状がそろうため、ゲート長のばらつきをより抑制することができる。

【0041】

(第2の実施形態)

図3は本発明の第2の実施形態に係る末端配置標準セルのレイアウトパターンの簡略図である。図3の末端配置標準セルCeAを図1の半導体集積回路における末端配置標準セルCeの代わりに用いた場合も、第1の実施形態と同様の作用効果が得られ、半導体集積回路全体における活性トランジスタのゲート長のばらつきを抑制することができる。

10

【0042】

図3において、図2の末端配置標準セルCeとの違いは、メタル配線Mvdd, Mvssを有しない点である。これにより、ゲート長のばらつきを抑制しつつ、メタル配線リソースを確保することができ、より回路設計の自由度を向上させることができる。図3以外にも例えば、拡散領域Dbn, Dbpを有しない末端配置標準セルなども用いることができる。すなわち、ダミーゲートを2本以上備えている末端配置標準セルであれば、ゲート長のばらつきを抑制する効果を発揮することができる。

【0043】

(第3の実施形態)

図4は本発明の第3の実施形態に係る半導体集積回路のレイアウトパターンの簡略図、図5は図4の半導体集積回路に用いた末端配置標準セルのレイアウトパターンの簡略図である。

20

【0044】

図4では、図1における末端配置標準セルCeに代えて、図5に示す末端配置標準セルCeBが、各標準セル列の両端に配置されている。図5に示す末端配置標準セルCeBは、4個のダミーゲートG0a, G0b, G1a, G1bを有している。第1および第2の付加ゲートとしてのダミーゲートG1a, G1bは、末端配置標準セルCeBの横方向における両端に設けられている。第3の付加ゲートとしてのダミーゲートG0aはダミーゲートG1aに隣り合って設けられ、第4の付加ゲートとしてのダミーゲートG0bはダミーゲートG1bに隣り合って設けられている。ただし、図5では、拡散領域Dbn, Dbp、メタル配線Mvdd, Mvss、N型ウェルNW、P型ウェルPWの図示を省略している。あるいは、これらは実際に存在しなくてもよい。

30

【0045】

すなわち、図4の半導体集積回路は、各ゲート列の両端に、ダミーゲートが4個ずつ、配置されている。これにより、第1の実施形態と同様の作用効果が得られ、半導体集積回路全体における活性トランジスタのゲート長のばらつきを抑制することができる。

【0046】

また、図2および図3の末端配置標準セルを用いる場合、標準セル列の左端に配置する場合と右端に配置する場合とで、末端配置標準セルを左右反転しなければならない。これに対して、図5の末端配置標準セルCeBでは、左右両方のセル境界付近にそれぞれ2本ずつのダミーゲートが配置されている。このため、標準セル列の左端と右端とに、末端配置標準セルCeBをそのまま反転することなく配置すればよい。したがって、半導体集積回路のレイアウト設計をより簡略化できる。

40

【0047】

図6は本実施形態に係る末端配置標準セルの他の例のレイアウトパターンの簡略図、図7は図6の末端配置標準セルを用いた場合の半導体集積回路のレイアウトパターンの簡略図である。図6の末端配置標準セルCeCは、図5の末端配置標準セルCeBに比べて、さらにダミーゲートG0cが追加されており、計5個のダミーゲートを有している。この場合も、図5の末端配置標準セルCeBを用いた場合と同様の効果が得られる。

50

【0048】

(第4の実施形態)

図8は本発明の第4の実施形態に係る末端配置標準セルのレイアウトパターンの簡略図である。図8に示す末端配置標準セルC e Dは、3個のダミーゲートG 0 b, G 1 a, G 1 bに加えて、ゲートG 0 dを有している。そしてゲートG 0 dと拡散領域とによって、トランジスタT p 1, T n 1が形成されている。トランジスタT p 1, T n 1は容量を構成するトランジスタであり、非活性トランジスタである。ただし、図8では、拡散領域D b n, D b p、メタル配線M v d d, M v s s、N型ウェルN W、P型ウェルP Wの図示を省略している。あるいは、これらは実際に存在しなくてもよい。

【0049】

10

図8の末端配置標準セルC e Dを図1の半導体集積回路における末端配置標準セルC eの代わりに用いた場合でも、第1の実施形態と同様の作用効果が得られ、半導体集積回路全体における活性トランジスタのゲート長のばらつきを抑制することができる。また図8の末端配置標準セルC e Dは、容量を構成するトランジスタT p 1, T n 1を含むので、電源間のデカップリング容量標準セルとしての機能を兼ね備えることができる。

【0050】

ここで注意すべき点として、トランジスタT p 1, T n 1を形成するゲートG 0 dのゲート長L 0が隣のゲートG 1 aのゲート長L 1よりも大きいとき、この末端配置標準セルC e Dに隣接配置された標準セルに含まれた活性トランジスタのゲート長のばらつきに悪影響を及ぼすことが考えられる。

20

【0051】

例えば図9は、図8の末端配置標準セルC e Dを半導体集積回路内の標準セルC 1と隣接させたときのレイアウトパターンの簡略図を示している。図9において、例えば活性トランジスタのゲートG 3に注目すると、そのゲート長L 3と、隣の2個のゲートG 1 a, G 2のゲート長L 1, L 2とが等しく、またそれぞれのゲート間隔S 1, S 2が等しいため、ゲート長L 3のばらつきを十分に抑制することができる。ところが、活性トランジスタのゲートG 2に注目すると、その2本隣のゲートG 0 dは長いゲート長L 0をもつため、ゲート長L 2のばらつきを十分に抑制できない可能性がある。

【0052】

これを回避するための手段として、長いゲート長をもつゲートに対しては、その隣のゲートとの間隔を多少広く確保する。これにより、ゲート長が長いことに起因するばらつきの増大を防ぐことができる。例えば図9において、ゲート間隔S 0をゲート間隔S 1, S 2よりも大きくすることにより、ゲート長L 0が長いゲートG 0 aに起因する、ゲートG 2のゲート長ばらつきへの悪影響を防ぐことができる。このような手段をとることによって、容量トランジスタを含む末端配置標準セルを用いた場合でも、ゲート長のばらつき抑制効果を十分に発揮させることができる。

30

【0053】

なお、ここでは、他の機能を兼ね備えた末端配置標準セルとして、容量を構成するトランジスタを含むものを示したが、この他にも、例えば、電源電位固定機能を持つトランジスタを含むもの、ゲート絶縁膜破壊を回避するための電荷の逃避手段としてのダイオードを含むもの、あるいは、オフトランジスタを含むものなどを用いることが可能である。

40

【0054】

(第5の実施形態)

図10は本発明の第5の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。図10の半導体集積回路は、図4とほぼ同様であるが、末端配置標準セルC e Bが、標準セル列の両端以外の箇所にも配置されている点異なる。図10のように、末端配置標準セルC e Bを標準セル列の中に配置したとしても、これに隣接する標準セルに悪影響を及ぼすことはない。よって、半導体集積回路のレイアウト設計に末端配置標準セルを活用することが可能となる。

【0055】

50

なお、他の末端配置標準セル、例えば図2および図3に示す末端配置標準セルC e , C e A などについても、同様に、標準セル列の両端以外の箇所に配置してもかまわない。

【0056】

(第6の実施形態)

図11は本発明の第6の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。図11の半導体集積回路は、図1とほぼ同様であるが、第1列および第4列の標準セル列の左端に、図8に示す末端配置標準セルC e Dが配置されている点が異なる。すなわち、構成の異なる末端配置標準セルが混在している。このように、構成の異なる末端配置標準セルを混在させて配置した場合であっても、上述の各実施形態と同様に、ゲート長のばらつきを抑制することができる。

10

【0057】

(第7の実施形態)

図12は本発明の第7の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。図12の半導体集積回路は、図4とほぼ同様であるが、各標準セル列の両端に配置された末端配置標準セルC e Bが、縦方向に揃って配置されている点が異なる。すなわち、各末端配置標準セルC e Bは、横方向における位置が同じである。ゲート群として見た場合には、各ゲート列の両端のダミーゲートは、横方向における位置が同じであり、縦方向に揃って配置されている。

【0058】

このため、半導体集積回路のレイアウト領域を矩形にすることができる。したがって、他の半導体集積回路のレイアウト領域との整合性を高めることができ、さらに大規模な半導体集積回路がレイアウト設計しやすくなる、という利点がある。

20

【0059】

(第8の実施形態)

図13は本発明の第8の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。図13の半導体集積回路は、標準セル列とは異なるレイアウト仕様で設計されたマクロセルRを含んでいる。そして、マクロセルRと標準セル列との境界においても、標準セル側のゲート長のばらつきを抑制するために、末端配置標準セルC e Bが配置されている。

【0060】

図14は半導体集積回路のレイアウトの一例を示す図である。図14に示すように、半導体集積回路は通常、内部回路領域1と、I/O領域2とに分かれている。そして内部回路領域1は、標準セル領域3A, 3Bの他に、アナログ領域4やメモリ領域5を含んでいる。なお、標準セル領域とは、標準セルだけを用いて回路が構成されている領域であり、例えばメモリ領域やアナログ領域は、標準セルでは構成されていないため、標準セル領域には含まれない。

30

【0061】

そして、上述した各実施形態に係るゲート群は、標準セル領域3A, 3Bに含まれており、各ゲート列は横方向に並んでいるものとする。そして、例えば標準セル領域3Aの周囲の辺のうち、縦方向の辺Y1, Y2に沿って、ゲート列の端に配置された2個以上の付加ゲートが並んでいる。なお、縦方向の辺のうち少なくとも1つの辺に沿って並んでいれば、本発明に含まれる。もちろん、縦方向の全ての辺に沿って、2個以上の付加ゲートが並んでいてもよい。

40

【0062】

また、標準セル領域3Bの周囲の辺のうち、縦方向の辺Xに沿って、ゲート列の端に配置された2個以上の付加ゲートが並んでいる。この辺Xは、標準セル領域3Bを含む内部回路領域1の周囲の辺に沿ったものである。

【産業上の利用可能性】

【0063】

本発明は、各種電子機器に搭載される半導体集積回路等に利用することができる。

50

【図面の簡単な説明】

【0064】

【図1】本発明の第1の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。

【図2】図1の半導体集積回路に用いた末端配置標準セルのレイアウトパターンの簡略図である。

【図3】本発明の第2の実施形態に係る末端配置標準セルのレイアウトパターンの簡略図である。

【図4】本発明の第3の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。

【図5】図4の半導体集積回路に用いた末端配置標準セルのレイアウトパターンの簡略図である。

【図6】本発明の第3の実施形態に係る末端配置標準セルの他の例のレイアウトパターンの簡略図である。

【図7】図6の末端配置標準セルを用いた場合の半導体集積回路のレイアウトパターンの簡略図である。

【図8】本発明の第4の実施形態に係る末端配置標準セルのレイアウトパターンの簡略図である。

【図9】図8の末端配置標準セルを他の標準セルと隣接させたときのレイアウトパターンの簡略図である。

【図10】本発明の第5の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。

【図11】本発明の第6の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。

【図12】本発明の第7の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。

【図13】本発明の第8の実施形態に係る半導体集積回路のレイアウトパターンの簡略図である。

【図14】半導体集積回路のレイアウトの一例を示す図である。

【図15】トランジスタの一般的なレイアウトパターンの簡略図である。

【図16】標準セルのレイアウトパターンの簡略図である。

【図17】図16のような標準セルを用いた従来の半導体集積回路のレイアウトパターンの簡略図である。

【図18】ゲート長とゲート間隔を一定にした標準セルのレイアウトパターンの簡略図である。

【図19】図18のような標準セルを用いた従来の半導体集積回路のレイアウトパターンの簡略図である。

【符号の説明】

【0065】

Ce, CeA, CeB, CeC, CeD 末端配置標準セル

G0, G1 ダミーゲート(付加ゲート)

G1a ダミーゲート(第1の付加ゲート)

G1b ダミーゲート(第2の付加ゲート)

G0a ダミーゲート(第3の付加ゲート)

G0b ダミーゲート(第4の付加ゲート)

G0c ダミーゲート(付加ゲート)

G0d 非活性トランジスタを形成するゲート(付加ゲート)

C1, C2, C3 標準セル

G ゲート

Mvdd, Mvss メタル配線

10

20

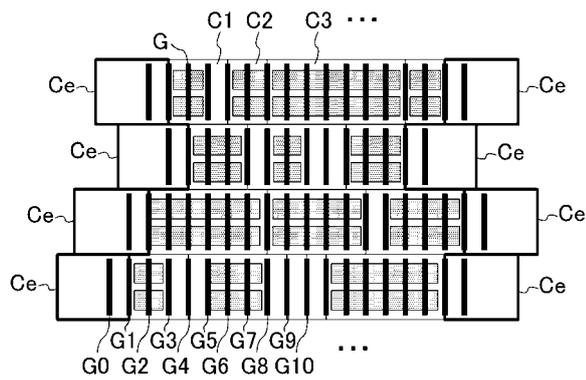
30

40

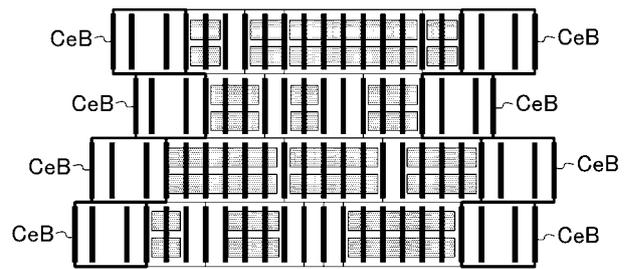
50

D b n , D b p 拡散領域
T p 1 , T n 1 トランジスタ
1 内部回路領域
3 A , 3 B 標準セル領域
Y 1 , Y 2 , X 標準セル領域の周囲の辺

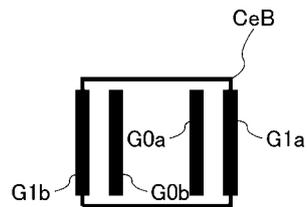
【 図 1 】



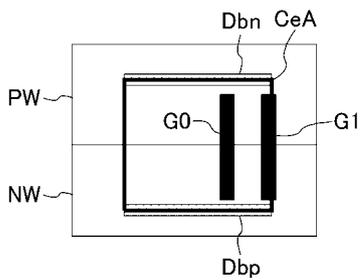
【 図 4 】



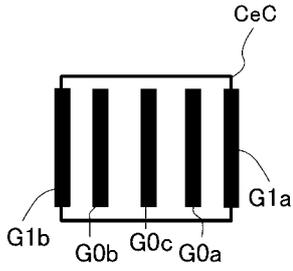
【 図 5 】



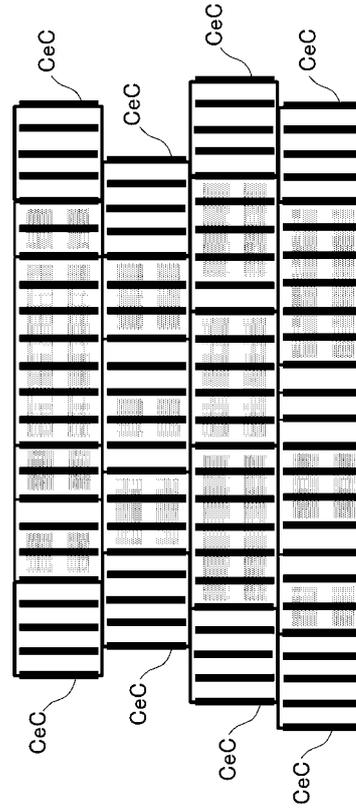
【 図 3 】



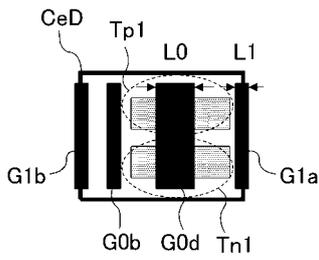
【 図 6 】



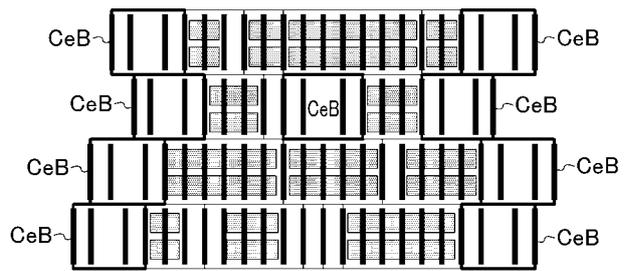
【 図 7 】



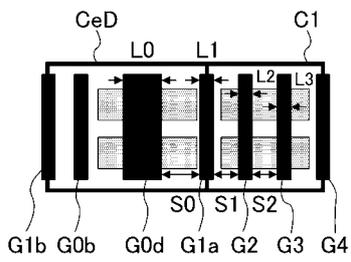
【 図 8 】



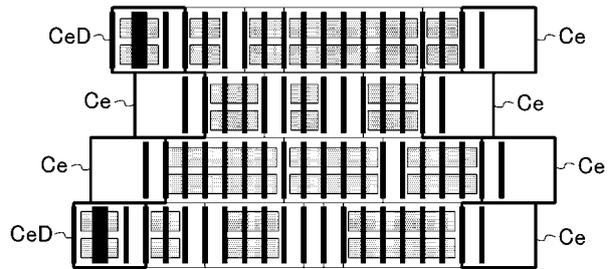
【 図 1 0 】



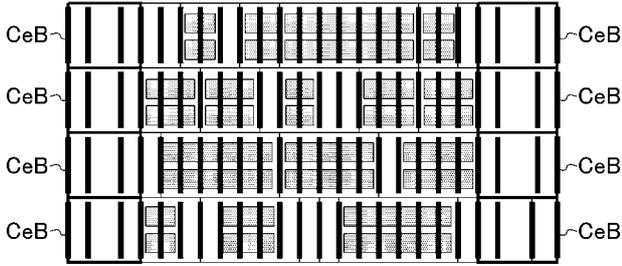
【 図 9 】



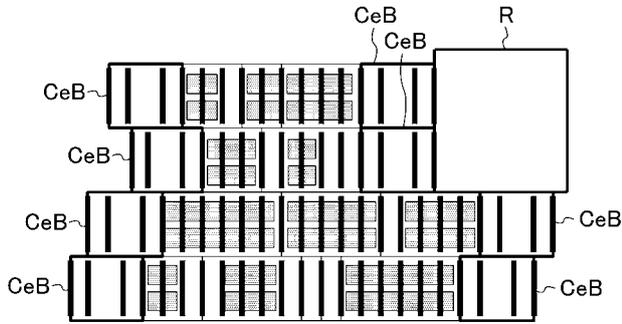
【 図 1 1 】



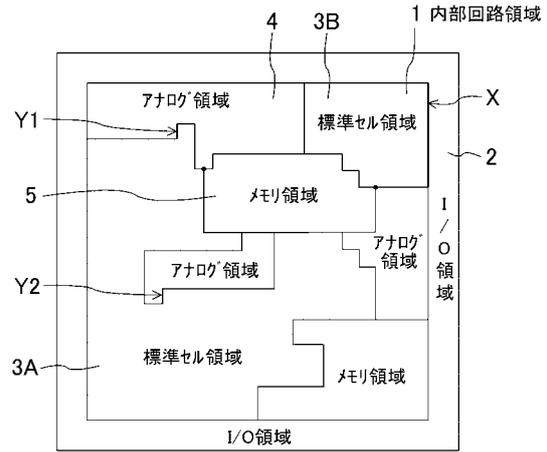
【図 1 2】



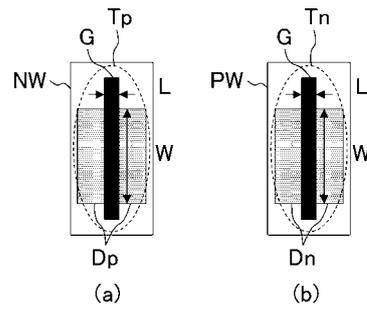
【図 1 3】



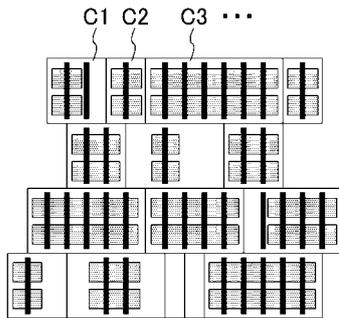
【図 1 4】



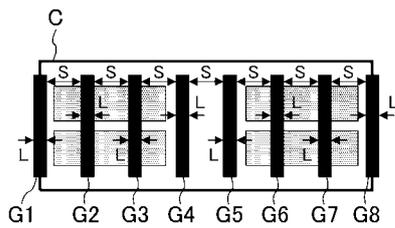
【図 1 5】



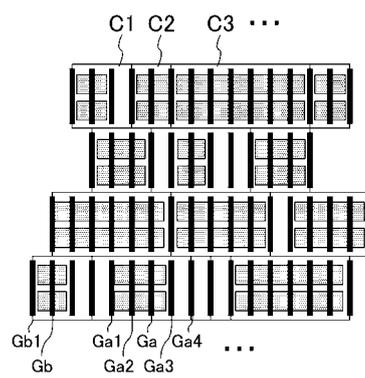
【図 1 7】



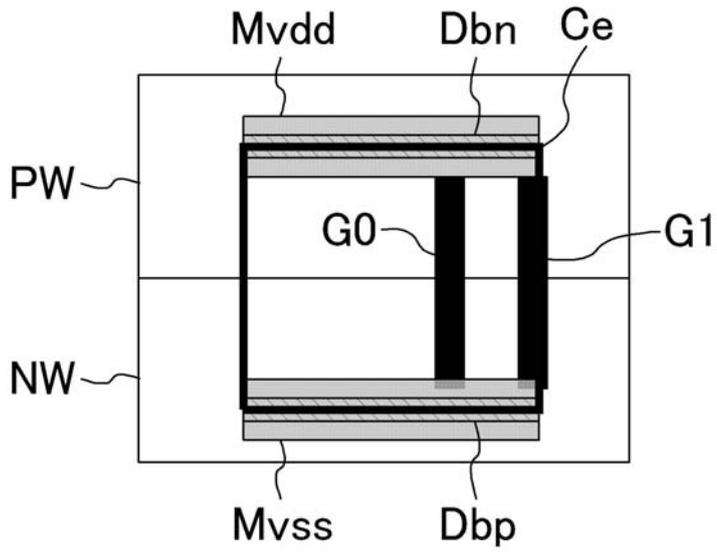
【図 1 8】



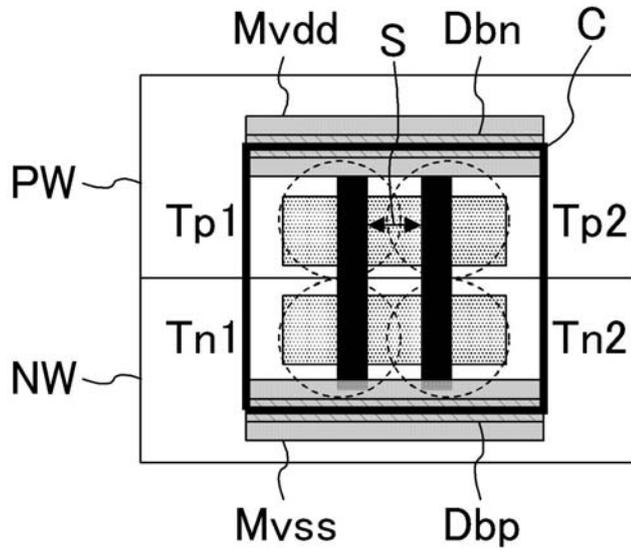
【図 1 9】



【 図 2 】



【 図 1 6 】



フロントページの続き

- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 中西 和幸
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 西村 英敏
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 池上 智朗
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

Fターム(参考) 2H095 BB02 BC09

5F038 BE08 BH04 BH13 CA03 CA06 CA18 CD02 CD14 DF05 DF12
EZ20
5F064 AA04 AA06 BB12 BB21 BB27 BB28 CC09 CC21 CC23 DD07
DD12 DD16 DD19 DD20 DD24 DD26 DD31 EE52