



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 49 692 B4** 2006.07.06

(12)

Patentschrift

(21) Aktenzeichen: **103 49 692.0**
 (22) Anmeldetag: **24.10.2003**
 (43) Offenlegungstag: **17.06.2004**
 (45) Veröffentlichungstag
 der Patenterteilung: **06.07.2006**

(51) Int Cl.⁸: **H01L 23/50** (2006.01)
H01L 21/60 (2006.01)
H01L 25/065 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
2002-347895 29.11.2002 JP

(73) Patentinhaber:
Rohm Co. Ltd., Kyoto, JP; Renesas Technology Corp., Tokio/Tokyo, JP; Kabushiki Kaisha Toshiba, Tokio/Tokyo, JP

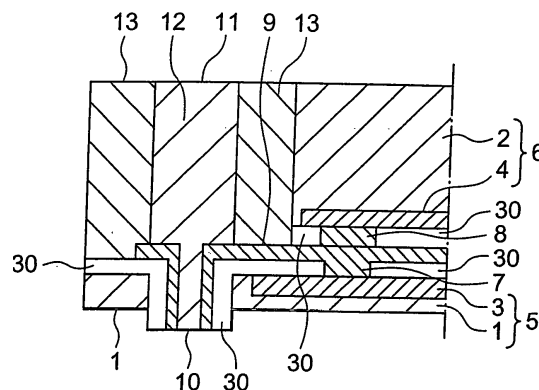
(74) Vertreter:
PRÜFER & PARTNER GbR, 81545 München

(72) Erfinder:
Nemoto, Yoshihiko, Tokio/Tokyo, JP; Tanida, Kazumasa, Kyoto, JP; Takahashi, Kenji, Kawasaki, JP

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US2001/00 54 770 A1
US 60 87 719 A
US 49 39 568
US 46 12 083
JP 11-3 07 937 A
JP 06-1 32 474 A1

(54) Bezeichnung: **Halbleitervorrichtung mit Durchgangselektrode und Verfahren zur Herstellung derselben**

(57) Hauptanspruch: Halbleitervorrichtung mit:
 ersten und zweiten Halbleitersubstraten (1, 2) mit jeweils einander gegenüber angeordneten Gegenoberflächen;
 einem ersten Halbleiterelement (5), das bei der Gegenoberfläche des ersten Halbleitersubstrats (1) gebildet ist und eine erste Halbleiterschaltung (3) und eine erste Elektrode (7) umfaßt;
 einem zweiten Halbleiterelement (6), das bei der Gegenoberfläche des zweiten Halbleitersubstrats (2) gebildet ist und eine zweite Halbleiterschaltung (4) und eine zweite Elektrode (8) umfaßt;
 einer ersten Verdrahtungsleiterschicht (9), die aus einem elektrisch leitfähigen Material gebildet ist und zwischen die ersten und zweiten Elektroden (7, 8) gelegt ist; und
 einer Durchgangselektrode (12), die sich durch das erste Halbleitersubstrat (1) hindurch erstreckt und mit den ersten und zweiten Elektroden (7, 8) über das Medium der ersten Verdrahtungsleiterschicht (9) verbunden ist;
 wobei das zweite Halbleitersubstrat (2) oberhalb des ersten Halbleitersubstrats (1) angeordnet ist und auf einer seitlichen Seite der Durchgangselektrode (12), im Abstand davon, angeordnet ist;...



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich im allgemeinen auf eine Elektrodenstruktur einer Halbleitervorrichtung. Spezieller betrifft die vorliegende Erfindung eine Halbleitervorrichtung mit einer darin inkorporierten Durchgangselektrode, sowie auf ein Verfahren zur Herstellung der die Durchgangselektrode inkorporierenden Halbleitervorrichtung.

Stand der Technik

[0002] In der bisher bekannten Halbleitervorrichtung wird die Durchgangselektrode, wie die oben bezeichnete, hergestellt, indem ein Resistfilm mit einer Öffnung auf einem Halbleitersubstrat abgeschieden wird, eine Säule eines elektrisch leitenden Materials durch einen Plattierprozeß gebildet wird, und die elektrisch leitende Säule durch Verwendung eines Harzes fixiert oder verdichtet bzw. verfestigt wird. Für weitere Besonderheiten wird Bezug genommen auf die japanische Patentanmeldungsveröffentlichung 11-307937 A (Seite 7, Fig. 1).

[0003] Bei der wie oben erwähnt hergestellten Halbleitervorrichtung mit der Durchgangselektrode wird die Elektrode, die sich durch das Halbleitersubstrat erstreckt, d.h. die Durchgangselektrode, gegenüber dem Halbleitersubstrat durch einen dazwischengelegten Isolierfilm elektrisch getrennt bzw. isoliert. Zur Herstellung der Halbleitervorrichtung dieser Art wird ein Feinloch einer größeren Tiefe mit einem großen Längen/Breiten-Verhältnis gebildet, worauf ein Isolierfilm mit einer hohen Beschichtungsqualität auf der Innenwand des Loches mittels einer chemischen Dampfabscheidungs(CVD)-Methode gebildet wird, während ein Metallfilm, der als eine Kathode in einem Elektroplattierprozeß dient, mit einer hohen Beschichtungsqualität durch eine chemische Dampfabscheidungs(CVD)-Methode abgeschieden wird.

[0004] Nachdem das Loch mit einem Metall mittels Elektroplattierung durch Anwenden des Metallfilms als einer Kathode gefüllt worden ist, werden überschüssiges Isoliermaterial, welches durch den CVD-Prozeß abgeschieden wurde, und überschüssiges Metall, das durch die Plattierung abgeschieden wurde, entfernt. Danach wird das Halbleitersubstrat von der Rückseite geschliffen, um das auf dem Bodenabschnitt des Loches abgeschiedene Metall freizulegen.

[0005] Aus dem obigen wird deutlich, daß es bei der Herstellung der herkömmlichen Halbleitervorrichtung erforderlich ist, das Loch mit einem großen Längen/Breiten-Verhältnis im Halbleitersubstrat zu bilden und dann den Isolierfilm zumindest auf der Seitenwand des Lochs mit einer hohen Beschichtungsqualität ohne irgendwelche möglichen Defekte zu bilden. Insbesondere ist es jedoch technisch sehr schwierig,

solche Erfordernisse zu erfüllen.

[0006] Ferner heftet sich das mittels Plattierung abgeschiedene Kathodenmaterial nicht nur auf dem Bodenabschnitt des Loches, sondern auch der Seitenwand an. Wenn das Metall im Loch durch den Elektroplattierprozeß eingebettet wird, tritt folglich ein Metallwachstum nicht nur von dem Lochboden, sondern auch von der Seitenwand des Loches aus auf. Da das Metall von dem Seitenwandabschnitt, der sich bei dem oberen Abschnitt des Loches befindet, aufgrund hoher Fluidität im allgemeinen bei einer höheren Geschwindigkeit wächst, kann eine solche unerwünschte Situation auftreten, daß der obere Abschnitt des Lochs zuerst durch das Metall im Verlauf der Plattierung blockiert wird, was dazu führt, daß der untere Abschnitt des Lochs nicht metallisiert verbleibt. Um eine solche unerwünschte Situation zu vermeiden, ist es notwendig, das Metallwachstum zu steuern, wobei eine solche Steuerung jedoch sehr schwierig ist.

[0007] Die JP 06-132474 A offenbart eine Flip-Chip-Montierung zweier Halbleiterelemente zu einer Halbleitervorrichtung mit vorragenden Kontaktelektroden ohne Isoliermaterialschicht.

[0008] Ferner betreffen die Druckschriften US 4,612,083, US 4,939,568, US 6,087,719 A und US 2001/0054770 A1 das Stapeln von Halbleitervorrichtungen aus Gruppen von zwei, relativ zu einander angeordneten Halbleitersubstraten, wobei Durchgangslöcher in den Halbleitersubstraten vorgesehen sind.

[0009] Aus den oben erwähnten Gründen ist man bisher bei der Herstellung der die Durchgangselektrode inkorporierenden Halbleitervorrichtung auf große Schwierigkeiten gestoßen, was ein großes Hindernis für eine weite Verbreitung einer solchen Halbleitervorrichtung darstellt. Im übrigen sind die Ausbeute und die Betriebszuverlässigkeit der hergestellten Halbleitervorrichtung sehr gering. Zusätzlich sind hohe Kosten bei der Herstellung der Halbleitervorrichtung involviert.

Aufgabenstellung

[0010] Im Licht des oben beschriebenen Standes der Technik ist es eine Aufgabe der vorliegenden Erfindung, das oben erwähnte Problem zufriedenstellend zu lösen, indem eine ein Durchgangsloch inkorporierende Halbleitervorrichtung bereitgestellt wird.

[0011] Um dieses Problem zu lösen, stellt die vorliegende Erfindung eine Halbleitervorrichtung gemäß Anspruch 1 bereit.

[0012] Bevorzugte Ausführungsformen sind in den Unteransprüchen festgelegt.

[0013] Angesichts der obigen und weiteren Aufgaben, die im Verlauf der weiteren Beschreibung deutlich werden, wird gemäß einem allgemeinen Gegenstand der vorliegenden Erfindung eine Halbleitervorrichtung bereitgestellt, die erste und zweite Halbleitersubstrate mit jeweils gegenüberliegenden Oberflächen, die einander gegenüberliegend angeordnet sind, ein erstes Halbleiterelement, das in der Gegenoberfläche des ersten Halbleitersubstrats gebildet ist und eine erste Halbleiterschaltung und eine erste Elektrode einschließt, ein zweites Halbleiterelement, das in der Gegenoberfläche des zweiten Halbleitersubstrats gebildet ist und eine zweite Halbleiterschaltung und eine zweite Elektrode einschließt, eine erste Verdrahtungsleiterschicht, die aus einem elektrisch leitfähigen Material gebildet ist und zwischen den ersten und zweiten Elektroden gelegt ist, und eine Durchgangselektrode, die sich durch das erste Halbleitersubstrat erstreckt und mit den ersten und zweiten Elektroden mittels der ersten Verdrahtungsleiterschicht verbunden ist, einschließt. In der oben beschriebenen Halbleitervorrichtung ist das zweite Halbleitersubstrat oberhalb des ersten Halbleitersubstrats angeordnet und an einer seitlichen Seite des Durchgangslochs, im Abstand davon, angeordnet. Die aus dem ersten Halbleitersubstrat herausragende, seitliche Oberfläche des Durchgangslochs und die seitliche Oberfläche des zweiten Halbleiterelements sind mit einer Isoliermaterialschicht beschichtet. Die Durchgangselektrode besitzt einen Endabschnitt, der aus einer Rückoberfläche des ersten Halbleitersubstrats heraus exponiert ist, um als ein erstes externes Terminal zu dienen. Das Durchgangsloch besitzt einen weiteren Endabschnitt, der bei einer gleichen Höhe wie einer Rückoberfläche des zweiten Halbleitersubstrats positioniert ist und aus der Isoliermaterialschicht heraus exponiert ist, um als ein zweites externes Terminal zu dienen.

[0014] Mittels der oben beschriebenen Struktur der Halbleitervorrichtung ist es möglich, eine große Anzahl von Halbleiterschaltungen im Vergleich zur herkömmlichen Halbleitervorrichtung mit einem im wesentlichen gleichen Volumen zu montieren bzw. zu inkorporieren bzw. zu packen.

[0015] Die vorliegende Erfindung stellt ebenso ein Verfahren zur Herstellung einer Halbleitervorrichtung gemäß Anspruch 15 sowie bevorzugte Ausführungsformen des Herstellungsverfahrens in den Unteransprüchen davon zur Verfügung.

[0016] Die obigen und weitere Aufgaben, Merkmale und dazugehörige Vorteile der vorliegenden Erfindung werden leichter verstanden durch die Lektüre der nachfolgenden Beschreibung der bevorzugten Ausführungsformen davon bei Betrachtung, jedoch nur beispielhaft, im Zusammenhang mit den beigefügten Zeichnungen.

[0017] Im Verlauf der nachfolgenden Beschreibung wird Bezug genommen auf die Zeichnungen, wobei:

[0018] [Fig. 1](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung zeigt;

[0019] [Fig. 2](#) ist eine Schnittansicht, die eine bisher bekannte Halbleitervorrichtung zeigt;

[0020] [Fig. 3](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung zeigt;

[0021] [Fig. 4](#) ist eine Ansicht zur Darstellung eines Schritts bei einem Verfahren zur Herstellung der bisher bekannten Halbleitervorrichtung;

[0022] [Fig. 5](#) ist eine Ansicht zur Darstellung eines Schritts bei einem Verfahren zur Herstellung der bisher bekannten Halbleitervorrichtung;

[0023] [Fig. 6](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung einer Schaltung bei einem Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer dritten Ausführungsform der vorliegenden Erfindung;

[0024] [Fig. 7](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung eines Lochs beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0025] [Fig. 8](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung eines Isolierfilms beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0026] [Fig. 9](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung einer Verdrahtungsleiterschicht beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0027] [Fig. 10](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung eines Resistmusters beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0028] [Fig. 11](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung einer Durchgangselektrode im Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0029] [Fig. 12](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Elementverknüpfung beim

Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0030] [Fig. 13](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Beschichtung eines Isoliermaterials beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0031] [Fig. 14](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Schleifen einer Isolierbeschichtung beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0032] [Fig. 15](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Schleifen einer Rückoberfläche beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0033] [Fig. 16](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Ätzen der Substratrückoberfläche beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0034] [Fig. 17](#) ist eine Ansicht zur Veranschaulichung eines Schritts des Ätzens eines Bodenabschnitts eines Durchgangslochs beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0035] [Fig. 18](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Entfernen eines Tragelements beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0036] [Fig. 19](#) ist eine Ansicht zur Veranschaulichung eines Verstärkungsschritts beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der vorliegenden Erfindung;

[0037] [Fig. 20](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer vierten Ausführungsform der vorliegenden Erfindung zeigt;

[0038] [Fig. 21](#) ist eine Schnittansicht, die eine Version der Halbleitervorrichtung gemäß der vierten Ausführungsform der vorliegenden Erfindung zeigt;

[0039] [Fig. 22](#) ist eine Ansicht zur Veranschaulichung eines Schritts der Bildung einer ersten Halbleiterschaltung in einem Halbleitervorrichtungsherstellungsverfahren gemäß einer fünften Ausführungsform der vorliegenden Erfindung;

[0040] [Fig. 23](#) ist eine Ansicht zur Veranschauli-

chung eines Schritts zur Abscheidung eines Isolierfilms/Resists beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünften Ausführungsform der vorliegenden Erfindung;

[0041] [Fig. 24](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung eines Lochs beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünften Ausführungsform der vorliegenden Erfindung;

[0042] [Fig. 25](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Abscheidung eines zweiten Isolierfilms beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünften Ausführungsform der vorliegenden Erfindung;

[0043] [Fig. 26](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Plattierung einer Metallschicht beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünften Ausführungsform der vorliegenden Erfindung;

[0044] [Fig. 27](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Polieren einer Metallschicht beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünften Ausführungsform der vorliegenden Erfindung;

[0045] [Fig. 28](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung eines Fotoresistmusters beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünften Ausführungsform der vorliegenden Erfindung;

[0046] [Fig. 29](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer sechsten Ausführungsform der vorliegenden Erfindung zeigt;

[0047] [Fig. 30](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Schleifen einer Substratrückoberfläche bei einem Verfahren zur Herstellung einer Halbleitervorrichtung gemäß einer siebten Ausführungsform der vorliegenden Erfindung;

[0048] [Fig. 31](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Elektroplattierung bei der Bildung eines Rückoberflächenisolierfilms beim Halbleitervorrichtungsherstellungsverfahren gemäß der siebten Ausführungsform der vorliegenden Erfindung;

[0049] [Fig. 32](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Freilegen eines Durchgangselektrodenbodens beim Halbleitervorrichtungsherstellungsverfahren gemäß der siebten Ausführungsform der vorliegenden Erfindung;

[0050] [Fig. 33](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer achten Ausführungs-

form der vorliegenden Erfindung zeigt;

[0051] [Fig. 34](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Freilegen einer Durchgangselektrode in einem Halbleitervorrichtungsherstellungsverfahren gemäß einer neunten Ausführungsform der vorliegenden Erfindung;

[0052] [Fig. 35](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung einer zweiten vorstehenden Elektrode mittels Plattieren im Halbleitervorrichtungsherstellungsverfahren gemäß der neunten Ausführungsform der vorliegenden Erfindung;

[0053] [Fig. 36](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Freilegung einer Verdrahtungsschicht eines Lochbodens im Halbleitervorrichtungsherstellungsverfahren gemäß der neunten Ausführungsform der vorliegenden Erfindung;

[0054] [Fig. 37](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Ätzen des ersten Halbleitersubstrats beim Halbleitervorrichtungsherstellungsverfahren gemäß der neunten Ausführungsform der vorliegenden Erfindung;

[0055] [Fig. 38](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Ätzen eines Durchgangselektrodenbodenabschnitts in einem Halbleitervorrichtungsherstellungsverfahren gemäß einer zehnten Ausführungsform der vorliegenden Erfindung;

[0056] [Fig. 39](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Bildung einer ersten vorstehenden Elektrode mittels Plattieren beim Halbleitervorrichtungsherstellungsverfahren gemäß der zehnten Ausführungsform der vorliegenden Erfindung;

[0057] [Fig. 40](#) ist eine Ansicht zur Veranschaulichung eines zu dem in [Fig. 38](#) gezeigten ähnlichen Schritts beim Halbleitervorrichtungsherstellungsverfahren gemäß einer Version der zehnten Ausführungsform der vorliegenden Erfindung;

[0058] [Fig. 41](#) ist eine Ansicht zur Veranschaulichung eines zum in [Fig. 39](#) gezeigten ähnlichen Schritts gemäß der Version der zehnten Ausführungsform der vorliegenden Erfindung;

[0059] [Fig. 42](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer elften Ausführungsform der vorliegenden Erfindung zeigt;

[0060] [Fig. 43](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer zwölften Ausführungsform der vorliegenden Erfindung zeigt;

[0061] [Fig. 44](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer dreizehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0062] [Fig. 45](#) ist eine Schnittansicht, die eine Modifikation der Halbleitervorrichtung gemäß der dreizehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0063] [Fig. 46](#) ist eine Schnittansicht, die in einer Halbleitervorrichtung gemäß einer vierzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0064] [Fig. 47](#) ist eine Schnittansicht, die eine Modifikation der Halbleitervorrichtung gemäß der vierzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0065] [Fig. 48](#) ist eine Schnittansicht, die eine andere Modifikation der Halbleitervorrichtung gemäß der vierzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0066] [Fig. 49](#) ist eine Schnittansicht, die eine noch andere Modifikation der Halbleitervorrichtung gemäß der vierzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0067] [Fig. 50](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0068] [Fig. 51](#) ist eine Schnittansicht, die eine Modifikation der Halbleitervorrichtung gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0069] [Fig. 52](#) ist eine Schnittansicht, die eine andere Modifikation der Halbleitervorrichtung gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0070] [Fig. 53](#) ist eine Schnittansicht, die eine noch andere Modifikation der Halbleitervorrichtung gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0071] [Fig. 54](#) ist eine Schnittansicht, die eine noch andere Modifikation der Halbleitervorrichtung gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0072] [Fig. 55](#) ist eine Schnittansicht, die eine weitere Modifikation der Halbleitervorrichtung gemäß der fünfzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0073] [Fig. 56](#) ist eine Ansicht zur Veranschaulichung eines Schritts zur Abscheidung eines Resistmusters bei einem Halbleitervorrichtungsherstellungsverfahren;

lungsverfahren gemäß einer sechzehnten Ausführungsform der vorliegenden Erfindung;

[0074] [Fig. 57](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Bilden einer Durchgangselektrode im Halbleitervorrichtungsherstellungsverfahren gemäß der sechzehnten Ausführungsform der vorliegenden Erfindung;

[0075] [Fig. 58](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Verbinden oder Montieren eines zweiten Halbleiterelements im Halbleitervorrichtungsherstellungsverfahren gemäß der sechzehnten Ausführungsform der vorliegenden Erfindung;

[0076] [Fig. 59](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Beschichten und Schleifen eines Isoliermaterials im Halbleitervorrichtungsherstellungsverfahren gemäß der sechzehnten Ausführungsform der vorliegenden Erfindung;

[0077] [Fig. 60](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Montieren eines zweiten Halbleiterelements in einem Halbleitervorrichtungsherstellungsverfahren gemäß einer siebzehnten Ausführungsform der vorliegenden Erfindung;

[0078] [Fig. 61](#) ist eine Ansicht zur Veranschaulichung eines Schritts zum Beschichten eines Isoliermaterials im Halbleitervorrichtungsherstellungsverfahren gemäß der siebzehnten Ausführungsform der vorliegenden Erfindung;

[0079] [Fig. 62](#) ist eine Ansicht zum Veranschaulichen eines Schritts zum Bilden einer Durchgangselektrode durch Elektroplattieren im Halbleitervorrichtungsherstellungsverfahren gemäß der siebzehnten Ausführungsform der vorliegenden Erfindung;

[0080] [Fig. 63](#) ist eine Ansicht zum Veranschaulichen eines Schritts zum Bilden einer Anschlußelektrode im Halbleitervorrichtungsherstellungsverfahren gemäß der siebzehnten Ausführungsform der vorliegenden Erfindung;

[0081] [Fig. 64](#) ist eine Ansicht zum Veranschaulichen eines Schritts zum Exponieren eines oberen Abschnitts einer Durchgangselektrode in einem Halbleitervorrichtungsherstellungsverfahren gemäß einer achtzehnten Ausführungsform der vorliegenden Erfindung;

[0082] [Fig. 65](#) ist eine Ansicht zum Veranschaulichen eines Schritts zum Bilden eines Isolierfilms im Halbleitervorrichtungsherstellungsverfahren gemäß der achtzehnten Ausführungsform der vorliegenden Erfindung;

[0083] [Fig. 66](#) ist eine Ansicht zum Veranschauli-

chen eines Schritts zum teilweisen Entfernen des Isolierfilms beim oberen Abschnitt des Durchgangslochs im Halbleitervorrichtungsherstellungsverfahren gemäß der achtzehnten Ausführungsform der vorliegenden Erfindung;

[0084] [Fig. 67](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer neunzehnten Ausführungsform der vorliegenden Erfindung zeigt;

[0085] [Fig. 68](#) ist eine Schnittansicht, die ein SOI(Silizium-auf-Isolator/silicon on insulator)-Substrat zeigt, das in einem Halbleitervorrichtungsherstellungsverfahren gemäß der neunzehnten Ausführungsform der vorliegenden Erfindung angewandt wird;

[0086] [Fig. 69](#) ist eine Ansicht zum Veranschaulichen eines Schritts der Bildung einer Isolierschicht, eines Lochs und einer Verdrahtungsleiterschicht im Halbleitervorrichtungsherstellungsverfahren gemäß der neunzehnten Ausführungsform der vorliegenden Erfindung;

[0087] [Fig. 70](#) ist eine Ansicht zum Veranschaulichen eines Schritts zum Bilden einer Durchgangselektrode im Halbleitervorrichtungsherstellungsverfahren gemäß der neunzehnten Ausführungsform der vorliegenden Erfindung;

[0088] [Fig. 71](#) ist eine Ansicht zum Veranschaulichen eines Schritts zum Bilden einer Anschlußelektrode im Halbleitervorrichtungsherstellungsverfahren gemäß der neunzehnten Ausführungsform der vorliegenden Erfindung;

[0089] [Fig. 72](#) ist eine Ansicht zum Veranschaulichen eines Halbleitersubstratmatrix-Ätzprozesses im Halbleitervorrichtungsherstellungsverfahren gemäß der neunzehnten Ausführungsform der vorliegenden Erfindung;

[0090] [Fig. 73](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer zwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0091] [Fig. 74](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer einundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0092] [Fig. 75](#) ist eine Schnittansicht, die eine Modifikation der Halbleitervorrichtung gemäß der einundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0093] [Fig. 76](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0094] [Fig. 77](#) ist eine Schnittansicht, die eine Modi-

fikation der Halbleitervorrichtung gemäß der zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0095] [Fig. 78](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer dreiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0096] [Fig. 79](#) ist eine Schnittansicht, die eine Modifikation der Halbleitervorrichtung gemäß der dreiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0097] [Fig. 80](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer vierundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0098] [Fig. 81](#) ist eine Schnittansicht, die eine Modifikation der Halbleitervorrichtung gemäß der vierundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0099] [Fig. 82](#) ist eine Ansicht zur Veranschaulichung eines Schritts der in einem Halbleitervorrichtungsherstellungsverfahren gemäß einer vierundzwanzigsten Ausführungsform der vorliegenden Erfindung eingeschlossen ist;

[0100] [Fig. 83](#) ist eine Ansicht zur Veranschaulichung eines anderen Schritts, der im Halbleitervorrichtungsherstellungsverfahren gemäß der fünfundzwanzigsten Ausführungsform der vorliegenden Erfindung eingeschlossen ist;

[0101] [Fig. 84](#) ist eine Ansicht zur Veranschaulichung eines noch anderen Schritts, der im Halbleitervorrichtungsherstellungsverfahren gemäß der fünfundzwanzigsten Ausführungsform der vorliegenden Erfindung eingeschlossen ist;

[0102] [Fig. 85](#) ist eine Ansicht zum Veranschaulichen eines noch anderen Schritts, der im Halbleitervorrichtungsherstellungsverfahren gemäß der fünfundzwanzigsten Ausführungsform der vorliegenden Erfindung eingeschlossen ist;

[0103] [Fig. 86](#) ist eine Ansicht zum Veranschaulichen eines weiteren Schritts, der im Halbleitervorrichtungsherstellungsverfahren gemäß der fünfundzwanzigsten Ausführungsform der vorliegenden Erfindung eingeschlossen ist;

[0104] [Fig. 87](#) ist eine Schnittansicht, die eine Stapel-Halbleitervorrichtung gemäß einer sechsundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0105] [Fig. 88](#) ist eine Schnittansicht, die eine Planararray-Halbleitervorrichtung gemäß einer siebenundzwanzigsten Ausführungsform der vorliegenden

Erfindung zeigt;

[0106] [Fig. 89](#) ist eine Schnittansicht, die eine andere Planar-Halbleitervorrichtung gemäß der siebenundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0107] [Fig. 90](#) ist eine Schnittansicht, die eine Komposit-Halbleitervorrichtung gemäß einer achtundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0108] [Fig. 91](#) ist eine Schnittansicht, die eine Komposit-Halbleitervorrichtung gemäß einer neunundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0109] [Fig. 92](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer dreißigsten Ausführungsform der vorliegenden Erfindung zeigt;

[0110] [Fig. 93](#) ist eine Ansicht zum Veranschaulichen eines Plattierschritts, die beim Halbleitervorrichtungsherstellungsverfahren gemäß der achtzehnten Ausführungsform der vorliegenden Erfindung angewandt werden kann; und

[0111] [Fig. 94](#) ist eine Ansicht zum Veranschaulichen eines Plattierschritts, der beim Halbleitervorrichtungsherstellungsverfahren gemäß der achtzehnten Ausführungsform der vorliegenden Erfindung angewandt werden kann.

Ausführungsbeispiel

[0112] Die vorliegende Erfindung wird im Detail in Verbindung mit dem, was gegenwärtig als bevorzugte oder typische Ausführungsformen davon angesehen wird, unter Bezugnahme auf die Zeichnungen beschrieben. In der folgenden Beschreibung sollte klar sein, daß Ausdrücke wie "oben", "unten" bzw. "Boden" "Rück-", "senkrecht" und dergleichen Wörter zum Verständnis sind und nicht als einschränkende Ausdrücke zu verstehen sind.

Ausführungsform 1

[0113] [Fig. 1](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer ersten Ausführungsform der vorliegenden Erfindung zeigt, und [Fig. 2](#) ist eine Schnittansicht, die eine bisher bekannte Halbleitervorrichtung zeigt.

[0114] Bei [Fig. 1](#) ist eine erste Halbleiterschaltung **3** in einem ersten Halbleitersubstrat **1** gebildet. Ferner ist eine erste Elektrode (oder eine Gruppe von Elektroden) **7** an einer Stelle innerhalb der ersten Halbleiterschaltung **3** oder in einem peripheren Bereich davon gebildet.

[0115] In einem zweiten Halbleitersubstrat **2** ist eine zweite Halbleiterschaltung **4** gebildet, und in der zweiten Halbleiterschaltung **4** ist bei einer vorbestimmten Position davon eine zweite Elektrode (oder eine Gruppe von Elektroden) **8** gebildet.

[0116] Ein erstes Halbleiterelement **5** einerseits, welches die im ersten Halbleitersubstrat **1** gebildete, erste Halbleiterschaltung **3** einschließt, und ein zweites Halbleiterelement **6** andererseits, welches die im zweiten Halbleitersubstrat **6** gebildete, zweite Halbleiterschaltung **4** einschließt, sind derart angeordnet, daß die Oberflächen, in welchen die erste Halbleiterschaltung **3** und die zweite Halbleiterschaltung **4** jeweils gebildet sind, einander gegenüber liegen, wobei das erste Halbleiterelement **5** und das zweite Halbleiterelement **6** über das Medium bzw. mittels der ersten Elektrode **7** und der zweiten Elektrode **8** verbunden sind.

[0117] Ferner ist eine säulenartige Durchgangselektrode **12** gebildet, die aus einer Oberfläche (Rückoberfläche) des ersten Halbleiterelements **5**, wobei diese Oberfläche gegenüber der Oberfläche lokalisiert ist, in welcher die erste Halbleiterschaltung **3** gebildet ist, exponiert ist und sich senkrecht zum zweiten Halbleitersubstrat hin erstreckt zum Erreichen einer Oberfläche, die bei der Seite lokalisiert ist, die der Oberfläche entgegengesetzt ist, in welcher die zweite Halbleiterschaltung **4** des zweiten Halbleiterelements **6** gebildet ist.

[0118] Die Durchgangselektrode **12** besitzt einen Endabschnitt, der aus dem ersten Halbleitersubstrat **1** heraus exponiert ist, um als einem ersten externen Terminal **10** zu dienen, das zur Verbindung zu einer externen Vorrichtung oder einem externen Gerät verwendet wird, wohingegen der andere Endabschnitt der Durchgangselektrode **12** aus der Oberfläche heraus exponiert ist, die in einer Ebene liegt, die mit der Oberfläche des im zweiten Halbleitersubstrat **2** gebildeten, zweiten Halbleiterelements **6** im wesentlichen eben ist und welche gegenüber der Oberfläche lokalisiert ist, in welcher die zweite Halbleiterschaltung **4** gebildet ist, um als einem zweiten externen Terminal **11** zum Verbinden zu einer externen Vorrichtung oder einem externen Gerät zu dienen.

[0119] Eine Verdrahtungselektrode **9** für das erste externe Terminal **10** ist auf der Hauptoberfläche des ersten Halbleitersubstrats **1** gebildet und besitzt einen Endabschnitt, der mit der Durchgangselektrode **12** verbunden ist, wobei der andere Endabschnitt davon mit einem der ersten und zweiten Elektroden **7** und **8** auf dem ersten Halbleitersubstrat **1** verbunden ist.

[0120] Ferner ist die Oberfläche, die ausschließlich aus den Rückoberflächen der ersten und zweiten Halbleitersubstrate **1** und **2**, die den Oberflächen ge-

genüberliegen, in welchen jeweils die Halbleiterschaltungen **3** und **4** gebildet sind, der oberen Oberfläche (des zweiten externen Terminals **11**) der Durchgangselektrode **12**, die in einer Ebene liegt, die sich im wesentlichen eben mit der Oberfläche des zweiten Halbleitersubstrats **2** erstreckt, und der seitlichen Oberfläche des ersten Halbleitersubstrats **1** besteht, mit einem Isoliermaterial **13** beschichtet.

[0121] Im übrigen bezeichnet in [Fig. 1](#) die Bezugsziffer **30** einen Isolierfilm.

[0122] Auf [Fig. 2](#) bezug nehmend, die die bisher bekannte, herkömmliche Halbleitervorrichtung zeigt, ist eine Halbleiterschaltung **22** in dem Halbleitersubstrat **21** gebildet, wobei die oberen und unteren Oberflächen des Halbleitersubstrats **21** jeweils mit Isolierfilmen **23** beschichtet sind. Eine Durchgangselektrode **12** erstreckt sich durch das Halbleitersubstrat **21** und weist zwei exponierte Endabschnitte auf, die aus dem Halbleitersubstrat **21** herausragen, um jeweils Elektroden **24** zu bilden. Im übrigen bezeichnet in [Fig. 2](#) die Bezugsziffer **9** eine Verdrahtungselektrode.

[0123] Aus der obigen Beschreibung wird deutlich, daß bei der Halbleitervorrichtung gemäß dieser Ausführungsform der vorliegenden Erfindung etwa doppelt soviel Halbleiterschaltungen mit einem im wesentlichen gleichen Volumen wie bei der herkömmlichen Halbleiterschaltung mit der ähnlichen Durchgangselektrode verwirklicht werden können.

Ausführungsform 2

[0124] [Fig. 3](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer zweiten Ausführungsform der vorliegenden Erfindung zeigt. In dieser Figur sind die Bestandteile oder Komponenten, die ähnlich zu den zuvor in Verbindung mit der ersten Ausführungsform der Erfindung durch Bezugnahme auf [Fig. 1](#) beschrieben wurden, durch gleiche Bezugsymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0125] Im Fall der Halbleitervorrichtung gemäß der ersten Ausführungsform der vorliegenden Erfindung sind das erste Halbleiterelement **5** und das zweite Halbleiterelement **6** über die erste Elektrode **7** und die zweite Elektrode **8**, die direkt miteinander kontaktiert sind, verbunden. Im Gegensatz dazu sind bei der Halbleitervorrichtung gemäß dieser Ausführungsform der Erfindung das erste Halbleiterelement **5** und das zweite Halbleiterelement **6** miteinander durch eine Anschlußelektrode **20** verbunden, die zwischen der ersten Elektrode **7** und der zweiten Elektrode **8** gebildet ist, wie deutlich in [Fig. 3](#) gesehen werden kann.

[0126] Durch Anwenden der oben beschriebenen

Verbindungsstruktur kann eine Verbindung des ersten Halbleiterelements **5** und des zweiten Halbleiterelements **6** mit Leichtigkeit realisiert werden.

[0127] Ferner können bei der nun betrachteten Halbleitervorrichtung das erste Halbleiterelement **5** und die Anschlußelektrode **20** verbunden werden durch Gebrauchmachen eines Abschnitts der mit der Durchgangselektrode **12** verbundenen Verdrahtungsschicht **9**.

[0128] In diesem Zusammenhang ist zu ergänzen, daß die Anschlußelektrode **20** auf der Seite des ersten Halbleitersubstrats **1** oder auf der Seite des zweiten Halbleitersubstrats **2** gebildet werden kann. Alternativ kann die Anschlußelektrode **20** sowohl auf dem ersten Halbleitersubstrat **1** als auch dem zweiten Halbleitersubstrat **2** gebildet sein.

Ausführungsform 3

[0129] Eine dritte Ausführungsform der vorliegenden Erfindung bezieht sich auf ein Verfahren zur Herstellung der Halbleitervorrichtungen gemäß den ersten und zweiten Ausführungsformen der Erfindung. [Fig. 4](#) und [Fig. 5](#) sind Ansichten zum Veranschaulichen von Prozessen oder Schritten, die bei der Herstellung der bisher bekannten, herkömmlichen Halbleitervorrichtung eingeschlossen sind. [Fig. 6](#) bis [Fig. 19](#) sind Ansichten zum Veranschaulichen von Schritten oder Prozessen, die beim Halbleitervorrichtungsherstellungsverfahren gemäß der dritten Ausführungsform der Erfindung eingeschlossen sind. In [Fig. 4](#) bis [Fig. 19](#) sind die Bestandteile oder Komponenten, die zu den zuvor durch Bezugnahme auf [Fig. 1](#) bis [Fig. 3](#) beschrieben wurden, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte, wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0130] Wenn die Durchgangselektrode bei der wie in [Fig. 2](#) gezeigten, herkömmlichen Halbleitervorrichtung gebildet wird, wird ein tiefes Loch **25** mit einem großen Längen/Breiten-Verhältnis in einem Halbleitersubstrat **21** gebildet, und auf der Innenoberfläche des Lochs **25** wird ein Isolierfilm **26** gebildet, worauf dann ein Schritt folgt, bei dem der Isolierfilm **26** mit einer Matrixmetallschicht **27** zur Plattierung beschichtet wird, wie in [Fig. 4](#) gezeigt.

[0131] Anschließend wird das Loch **25** mit einem Metall durch einen Plattierprozeß gefüllt, um dadurch die zuvor durch Bezugnahme auf [Fig. 2](#) erwähnte Durchgangselektrode **12** zu bilden, wie in [Fig. 5](#) gezeigt.

[0132] Nun wendet sich die Beschreibung einem Verfahren zur Herstellung der Halbleitervorrichtung mit der Durchgangselektrode **12** gemäß der Erfindung zu.

[0133] Zuerst wird in einem in [Fig. 6](#) gezeigten Schritt die erste Halbleiterschaltung **3**, die einen Verbindungsterminalabschnitt einschließt, in dem ersten Halbleitersubstrat **1** vom p- oder n-Typ mit einem vorbestimmten, spezifischen elektrischen Widerstand gebildet.

[0134] Im Anschluß wird, in einem in [Fig. 7](#) gezeigten Schritt, ein Loch einer vorbestimmten Tiefe im ersten Halbleitersubstrat **1** bei einer Stelle neben dem peripheren Abschnitt der ersten Halbleiterschaltung **3** gebildet.

[0135] In diesem Zusammenhang wird die Tiefe des im ersten Halbleitersubstrat **1** gebildeten Lochs so ausgewählt, daß sie größer ist als die Dicke, die einen Betrieb des Halbleiterelements wirksam sicherstellen kann, und daß eine mechanische Schädigung, die das erste Halbleitersubstrat während eines Prozesses oder eines Schritts der Bearbeitung des ersten Halbleitersubstrats (später beschrieben) erleiden kann, die Betriebsschicht (d.h. die wirksame Schicht) praktisch nicht beeinträchtigt. Um ein Beispiel zu geben, kann die Tiefe des Lochs in der Größenordnung von 10 µm oder mehr ausgewählt werden.

[0136] Wenn die Tiefe des Lochs so ausgewählt wird, daß sie bei der Bildung des Lochs im ersten Halbleitersubstrat **1** übermäßig groß ist, ist mit unterschiedlichen Schwierigkeiten zu rechnen. Um solche Schwierigkeiten zu beseitigen, sollte das zu bildende Loch so flach wie möglich sein, mit einem Längen/Breiten-Verhältnis, das in einem Bereich von etwa 1 (eins) bis 2 ausgewählt wird. Um ein Beispiel zu geben: wenn der Lochdurchmesser vom praktischen Standpunkt her in der Größenordnung von 10 µm ausgewählt wird, dann sollte anders ausgedrückt durch Beachtung des oben erwähnten Längen/Breiten-Verhältnisses die Tiefe des Lochs oder die Dicke der ersten Halbleitervorrichtung vorzugsweise so gewählt werden, daß sie im Bereich von etwa 10 bis 20 µm, d.h. nicht größer als 20 µm liegt.

[0137] Anschließend wird in einem in [Fig. 8](#) gezeigten Schritt ein Isolierfilm (z.B. SiO₂) **30** auf dem ersten Halbleitersubstrat abgeschieden. Nachfolgend werden die Abschnitte des Isolierfilms **30**, die auf dem Boden des im in [Fig. 7](#) gezeigten Schritt gebildeten Lochs und dem Verbindungsterminalabschnitt, der bei einer vorbestimmten Position in der ersten Halbleiterschaltung gebildet ist, abgeschieden sind, mittels Ätzen entfernt.

[0138] Als nächstes wird in einem in [Fig. 9](#) gezeigten Schritt ein Metallfilm **9** auf eine in der Figur veranschaulichte Weise abgeschieden. Dieser Metallfilm **9** dient als Matrix für den Plattierprozeß, der nachfolgend beschrieben werden wird. Darauf folgend wird der Metallfilm **9** prozessiert, um dadurch das Ver-

drahtungsleiternmuster zu bilden (welches auch als Verbindungsleiter und Verdrahtungsleiterschicht bezeichnet werden kann). Der Metallfilm **9** wird auch auf dem Boden des Lochs, von dem der Isolierfilm **30** entfernt worden war, sowie auf der seitlichen Wand des Lochs gebildet.

[0139] In einem in [Fig. 10](#) gezeigten nächsten Schritt wird eine Fotoresistschicht **31** appliziert, worauf ein Fotoresistmuster (auch als Resistmuster **31** bezeichnet) einer vorbestimmten Dicke, in welchem der obere Abschnitt des im [Fig. 7](#) gezeigten Schritt gebildeten Lochs geöffnet ist, durch einen Fotogravurprozess gebildet wird.

[0140] In dem Fall sollte die Dicke des Fotoresistmusters **31** so gewählt werden, daß sie leicht größer ist als die Höhe der säulenartigen Durchgangselektrode **12**, die anschließend durch Plattieren zu bilden ist. Um ein Beispiel zu nennen kann die Dicke des Fotoresistmusters **31** im Bereich von etwa 50 µm bis 100 µm liegen.

[0141] Anschließend wird in einem in [Fig. 11](#) gezeigten Schritt ein Metall wie Cu innerhalb der Öffnung des Resistmusters **31** durch einen Plattierprozess eingebettet, wobei das erste Halbleitersubstrat **1** als eine Kathode durch Ausnutzung der elektrischen Leitfähigkeit des Substrats **1** verwendet wird.

[0142] In dem Fall wird ein metallisches Material wie Cu, welches als Matrix für die Metallplattierung geeignet ist, mindestens auf der äußersten Oberfläche der im in [Fig. 9](#) gezeigten Schritt gebildeten, verbindenden Leiterschicht **9** abgeschieden.

[0143] Im übrigen wird zuvor das zweite Halbleiterelement, welches die im zweiten Halbleitersubstrat **2** gebildete, zweite Halbleiterschaltung **4** sowie die Anschlußelektrode **20** einschließt, als diskretes Element hergestellt, wie in [Fig. 12](#) gezeigt.

[0144] Der im in [Fig. 10](#) gezeigten Schritt gebildete Fotoresist **31** wird entfernt, worauf einerseits das erste Halbleiterelement **5**, das die im ersten Halbleitersubstrat **1** gebildete, erste Halbleiterschaltung **3** einschließt, und andererseits das zweite Halbleiterelement **6**, das die im zweiten Halbleitersubstrat **2** gebildete, zweite Halbleiterschaltung **4** einschließt, in ihrer Position zueinander ausgerichtet werden, so daß die Oberflächen, in denen die jeweiligen Schaltungen **3** und **4** gebildet sind, gegenüberliegend aufeinander zeigen. Anschließend werden das erste Halbleiterelement **5** und das zweite Halbleiterelement **6** über die dazwischengelegte Anschlußelektrode **20** miteinander verbunden.

[0145] In diesem Fall wird das zweite Halbleiterelement **6** auf der Innenseite der durch Plattieren gebildeten Säule angeordnet, um als Durchgangselektro-

de **12** zu dienen. Die Dicke des zweiten Halbleiterelements **6** kann größer sein als die Höhe (Dicke) der durch Plattieren gebildeten Säule **12**. Um ein Beispiel zu nennen kann die Dicke des zweiten Halbleiterelements **6** im Bereich von 500 µm bis 700 µm liegen, was im wesentlichen zehn mal so groß ist wie die Höhe der durch Plattieren gebildeten Säule **12**.

[0146] Anschließend werden in einem in [Fig. 13](#) gezeigten Schritt das zweite Halbleiterelement **6** und die Säule, die mittels Plattieren auf dem ersten Halbleitersubstrat **1** zum Bilden der Durchgangselektrode **12** gebildet wurde, mit einem Isoliermaterial **13** wie einem Epoxyharz beschichtet, welches anfangs eine hohe Fluidität zeigt und welches nach dem Härten leicht gehärtet werden kann, so daß das zweite Halbleiterelement **6** und die Durchgangselektrode **12** vollkommen in einer Masse des Isoliermaterials **13** eingebettet sind.

[0147] In einem in [Fig. 14](#) gezeigten Schritt wird das Isoliermaterial (das Harz) **13** mittels Schleifen von der Oberfläche, in der das zweite Halbleiterelement **6** gebildet ist, entfernt, bis der obere Abschnitt der Durchgangselektrode (oberer Abschnitt der durch Metallplattierung gebildeten Säule) **12** freigelegt ist.

[0148] Da das zweite Halbleiterelement **6** eine größere Dicke als die Höhe der Säule **12** aufweist, wird in diesem Fall die Rückoberfläche des zweiten Halbleiterelements **6** ebenfalls freigelegt.

[0149] In einem in [Fig. 15](#) gezeigten Schritt wird ein Trageelement **32** an die geschliffene und exponierte Oberfläche des zweiten Halbleiterelements **6** mit einer dazwischengelegten Klebeschicht **33** gebunden. Darauf folgend wird die Rückoberfläche des ersten Halbleitersubstrats (d.h. die Oberfläche, die der Oberfläche gegenüberliegt, in der die erste Halbleiterschaltung **3** gebildet ist) geschliffen, bis die Rückoberfläche der Leiterschicht **9**, die auf dem Boden der Durchgangselektrode bzw. des Lochs dafür abgeschieden ist, freigelegt ist.

[0150] In einem in [Fig. 16](#) gezeigten Schritt wird das Halbleitersubstratmaterial des ersten Halbleitersubstrats **1** selbst, wenn es der Fall erfordert, teilweise um eine vorbestimmte Menge, weggeätzt, um jene Abschnitte der Rückoberfläche des ersten Halbleitersubstrats **1** zu beseitigen, die durch das maschinelle Schleifen verletzt wurden.

[0151] Zusätzlich wird je nach Fall die Metallschicht **9**, die beim Boden der Durchgangselektrode oder dem untersten Abschnitt der Durchgangselektrode selbst abgeschieden ist, teilweise um eine vorbestimmte Menge weggeätzt zum Zweck der Beseitigung von Verletzungen, die beim maschinellen Schleifen auftraten.

[0152] In diesem Zusammenhang sollte jedoch erwähnt werden, daß entweder auf das Ätzen des ersten Halbleitersubstrats **1** oder dasjenige des unteren Abschnitts der Durchgangselektrode oder auf beides verzichtet werden kann. Natürlich kann die Reihenfolge der oben erwähnten Ätzprozesse umgekehrt werden. Der Boden des Durchgangslochs kann als Terminal zur externen Verbindung verwendet werden.

[0153] Schließlich werden in einem in [Fig. 18](#) gezeigten Schritt die Klebeschicht **33** und das Trageelement **32** abgezogen. Somit kann die Struktur der Halbleitervorrichtung mit der Durchgangselektrode wie zuvor unter Bezugnahme auf [Fig. 3](#) beschrieben verwirklicht werden.

[0154] An dieser Stelle ist hinzuzufügen, daß die Höhe der Durchgangselektrode **12**, gemessen vom ersten Halbleitersubstrat **1** aus, vorzugsweise so bestimmt sein sollte, daß das Längen/Breitenverhältnis klein gewählt wird. Wenn das Längen/Breitenverhältnis jedoch übermäßig gering ist, verringert sich die Gesamtdicke der Halbleitersubstrate (Kombination des ersten Halbleitersubstrats **1** und des zweiten Halbleitersubstrats **2**), was dazu führen wird, daß die Biegefestigkeit bzw. die Steifigkeit des Komposit-Halbleitersubstrats erniedrigt werden wird. Unter diesen Umständen sollte die Gesamtdicke der Halbleitersubstrate vorzugsweise in der Größenordnung von 100 µm oder weniger liegen, mit der Bedingung, daß die Maximaldicke der Schicht des plattierten Metalls, das in dem Loch bzw. der Öffnung, welches bzw. welche in der Fotoresistschicht **31** eingebettet ist, die auf eine vom praktischen Gesichtspunkt aus geeignete Dicke abgeschieden wurde, in einem Bereich von 50 µm bis 100 µm liegt.

[0155] [Fig. 19](#) ist eine Ansicht, die eine Modifikation des oben beschriebenen Prozesses veranschaulicht. Speziell werden vor dem in Verbindung mit dem in [Fig. 13](#) gezeigten Schritt beschriebenen Beschichten mit dem Isoliermaterial **13** das erste Halbleitersubstrat **1**, das zweite Halbleitersubstrat **2** und die Durchgangselektrode **12** mit einer nicht-leitenden Paste (NCP) **32** vorbeschichtet, und diese werden anschließend mit dem Isoliermaterial **13** wie einem Harz nach einem Flip-Chip-Bondieren (FCB) beschichtet im Hinblick auf eine Verstärkung der Festigkeit und Zuverlässigkeit durch Anwenden der nichtleitenden Paste (NCP).

[0156] In dem Fall kann ein nicht-leitender Film (NCF), eine anisotrop-leitende Paste (ACP) oder ein anisotrop-leitender Film (ACF) anstelle der nicht-leitenden Paste (NCP) mit im wesentlichen dem gleichen Effekt angewandt werden.

[0157] Beim herkömmlichen Halbleitervorrichtungsherstellungsverfahren mußte mit der Schwierigkeit

beim Bilden der Durchgangselektrode in bezug auf das Ätzen des Lochs **25** mit einer großen Tiefe und einem großen Längen/Breitenverhältnis, dem Abscheiden des Isolierfilms **26** auf dem Loch **25** mit einer akzeptablen Beschichtungsqualität und dem Abscheiden des Matrixmetalls **27** für das Plattieren gekämpft werden.

[0158] Wenn das Loch **25** tief ist, ist es im übrigen schwierig, einen Locheinbettungsplattierprozeß zu verwirklichen, der nicht mit der Bildung von Hohlräumen begleitet ist. Speziell wird ein Hohlraum leicht bei einer Stelle erzeugt wie einem oberen Abschnitt des Lochs, wo die Fluidität der Plattierlösung hoch ist und wo die Elektrolyse leicht konzentrierend auftritt, da das Metallwachstum auch an der seitlichen Wand des Lochs auftreten wird. Aus diesem Grund ist es schwierig gewesen, das Loch durch Plattieren einzubetten, während die Bildung eines Hohlräume oder von Hohlräumen unterdrückt wird.

[0159] Im Gegensatz dazu gibt es beim Herstellen der Halbleitervorrichtung mit der Durchgangselektrode gemäß dem Verfahren der Erfindung, das die oben beschriebenen Prozesse bzw. Schritte einschließt, keine Notwendigkeit, Maßnahmen zu ergreifen für die Techniken zum Bilden des tiefen Lochs zur Bildung der Durchgangselektrode, zum Bilden des Isolierfilms hoher Beschichtungsfähigkeit über der seitlichen Wand des Lochs sowie zum Unterdrücken des Auftretens von Hohlräumen bei oder um den mittleren Abschnitt des Lochs aufgrund einer hohen Plattiergeschwindigkeit auf der Lochwand beim oberen Abschnitt davon.

[0160] Gemäß den Lehren der vorliegenden Erfindung, die bei dieser Ausführungsform verkörpert werden, wird spezieller ein Loch mit einem niedrigen Längen/Breitenverhältnis gebildet, während die Durchgangselektrode nur durch Elektroplattierung vom Boden des Lochs aus gebildet wird. Danach wird die umgebende Oberfläche des Durchgangslochs mit dem Isoliermaterial beschichtet. Somit ist es unnötig, den Isolierfilm auf dem Hauptabschnitt der seitlichen Wand der Elektrode, wo die Beschichtung schwierig ist, abzuscheiden. Ferner ist es nicht erforderlich, auf der seitlichen Wand des Lochs den Metallfilm abzuscheiden, der dazu bestimmt ist, als Kathode für die Elektroplattierung zu dienen. Dank dieser Merkmale kann die Durchgangselektrode mit Leichtigkeit gebildet werden, ohne von irgendeiner Hohlräumbildung begleitet zu sein.

[0161] Es sollte ferner ergänzt werden, daß gemäß den Lehren der in dieser Ausführungsform verkörpert Erfindung die Halbleitervorrichtung leicht hergestellt werden kann mit einer erhöhten Integrationsdichte von ungefähr zwei mal so groß wie derjenigen der bisher bekannten Halbleitervorrichtung.

Ausführungsform 4

[0162] [Fig. 20](#) und [Fig. 21](#) sind Schnittansichten, die Halbleitervorrichtungen gemäß einer vierten Ausführungsform der vorliegenden Erfindung zeigen. In diesen Figuren sind die Bestandteile oder Komponenten, die zu den in Verbindung mit den ersten bis dritten Ausführungsformen der Erfindung unter Bezugnahme **1** bis **19** beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung davon wird weggelassen.

[0163] Bei [Fig. 20](#) und [Fig. 21](#) ist bei der Halbleitervorrichtung gemäß dieser Ausführungsform der Erfindung ein erstes zusätzliches externes Terminal **44** zusätzlich in einem Bereich des ersten Halbleitersubstrats **1**, gegenüber dem zweiten Halbleiterelement **6** gelegen, vorgesehen, um sich durch das erste Halbleitersubstrat **1** zu erstrecken.

[0164] In der in [Fig. 20](#) gezeigten Halbleitervorrichtung ist das erste zusätzliche externe Terminal **44** über das Medium bzw. die Vermittlung der Anschlußelektrode **20** mit dem zweiten Halbleiterelement **6** verbunden. In der in [Fig. 21](#) gezeigten Halbleitervorrichtung ist das erste zusätzliche externe Terminal **44** mittels des verbindenden Leiters **9** mit der ersten Halbleiterschaltung **3** des ersten Halbleiterelements **5** verbunden.

[0165] Wie leicht erkannt werden kann, können bei den Halbleitervorrichtungen gemäß dieser Ausführungsform der Erfindung die ersten und zweiten Halbleiterschaltungen **3** und **4** in unterschiedlichen Formen über das Medium bzw. der Vermittlung des ersten externen Terminals **10** und des ersten zusätzlichen externen Terminals verbunden sein, wodurch der Freiheitsgrad bei der Gestaltung der Halbleitervorrichtung beträchtlich verbessert werden kann.

Ausführungsform 5

[0166] Eine fünfte Ausführungsform der vorliegenden Erfindung bezieht sich auf ein Verfahren zur Herstellung der Halbleitervorrichtungen gemäß der vierten Ausführungsform der Erfindung. [Fig. 22](#) bis [Fig. 28](#) sind Ansichten zum Veranschaulichen der Schritte bzw. Prozesse, die beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünften Ausführungsform der Erfindung eingeschlossen sind. In [Fig. 22](#) bis [Fig. 28](#) sind die Bestandteile oder Komponenten, die zu den in Verbindung mit den ersten bis vierten Ausführungsformen der Erfindung (bezüglich [Fig. 1](#) bis [Fig. 21](#)) zuvor beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0167] In einem in [Fig. 22](#) gezeigten Schritt werden

erste Halbleiterschaltungen **3** im p- oder n-Substrat mit einem vorbestimmten Widerstand gebildet. In diesem Zusammenhang ist zu erwähnen, daß die Bereiche, in denen die ersten Halbleiterschaltungen **3** gebildet werden sollen, zuvor mit Isolierfilmen **30** mit Ausnahmen von Stellen, wo die Löcher und die Verbindungsabschnitte (Elektroden) gebildet werden sollen, bedeckt werden.

[0168] In einem in [Fig. 23](#) gezeigten Schritt werden erste Isolierfilme **40** zusätzlich über den oberen Oberflächen der Isolierfilme **30** abgeschieden, worauf ein Fotoresistfilm **31** auf den ersten Isolierfilmen **40** auf eine vorbestimmte Dicke gebildet wird. Anschließend werden Abschnitte zum Bilden von Löchern entfernt.

[0169] In einem in [Fig. 24](#) gezeigten Schritt werden Löcher einer vorbestimmten Dicke im ersten Halbleitersubstrat **1** an jeweils zwei Stellen gebildet, indem der erste Isolierfilm **40** als Maske verwendet wird.

[0170] In einem in [Fig. 25](#) gezeigten Schritt wird im wesentlichen ein zweiter Isolierfilm **41** auf der oberen Oberfläche des ersten Isolierfilms **40** abgeschieden. Ferner werden alle Isolierfilme, die auf dem Boden der Löcher und den bei den vorbestimmten Stellen der ersten Halbleiterschaltungen gebildeten Verbindungsabschnitten (Elektroden) gebildet sind, und zusätzlich der zweite Isolierfilm **41** auf dem Abschnitt, wo der verbindende Leiter **9** gebildet werden soll, insgesamt entfernt.

[0171] In einem in [Fig. 26](#) gezeigten Schritt wird der Metallfilm **9**, der als Matrix für die Plattierung dienen soll, auf der oberen Oberfläche des ersten Halbleitersubstrats **1** abgeschieden. Zusätzlich wird die obere Oberfläche des ersten Halbleitersubstrats **1** einschließlich des Lochs, des Verbindungsabschnitts und der Verdrahtungsleiterschicht **9**, elektroplattiert, um eine plattierte Metallschicht **42** zu bilden, indem vom Metallfilm oder dem ersten Halbleitersubstrat **1** als Kathode Gebrauch gemacht wird.

[0172] Als nächstes wird in einem in [Fig. 27](#) gezeigten Schritt die auf der gesamten Oberfläche gebildete, plattierte Metallschicht **42** durch ein chemisch/mechanisches Polieren (CMP) geschliffen, bis der zweite Isolierfilm **41** freigelegt ist.

[0173] In dem Fall bleiben die aufgrund des zweiten Isolierfilms **41** konkav gebildeten Metallschichten, die auf dem Loch, dem Verbindungsabschnitt und der Verdrahtungsleiterschicht **9** abgeschieden sind, unentfernt zurück.

[0174] In einem in [Fig. 28](#) gezeigten Schritt wird ein Resistmuster **31**, in dem ein Durchgangselektrodenbildungsabschnitt geöffnet ist, auf der geschliffenen oder polierten Oberfläche gebildet, worauf ein Metall

in den Öffnungsabschnitt des Resistmusters **31** durch einen Elektrolattierprozeß eingebettet wird, wobei das erste Halbleitersubstrat **1** als Kathode verwendet wird.

[0175] Anschließend werden das erste Halbleitersubstrat **1** und das zweite Halbleiterelement **6** miteinander verbunden, um die Halbleitervorrichtung(en) mit der Durchgangselektrode **12** wie in den [Fig. 20](#) und [Fig. 21](#) gezeigt über Prozesse zu bilden, die ähnlich zu den zuvor durch Bezugnahme auf [Fig. 12](#) bis [Fig. 18](#) beschriebenen sind.

[0176] Auf diese Weise kann die Durchgangselektrode gebildet werden, ohne Maßnahmen ergreifen zu müssen zu der Technik bzw. dem Prozeß, die bzw. der schwierig durchzuführen ist, wie im Fall des Stands der Technik. Ferner kann die Halbleitervorrichtung mit einer Vielzahl von externen Terminals leicht hergestellt werden mit ungefähr zwei mal so großer Integrationsdichte wie die herkömmliche Halbleitervorrichtung.

[0177] Obgleich die vorangehende Beschreibung so erfolgt ist, daß die vorliegende Erfindung auf eine so genannte Zweifachmaschine angewandt wird, sollte im übrigen klar sein, daß die Halbleitervorrichtung einer ähnlichen Struktur hergestellt werden kann durch Anwenden der Metallfilmmusterbildung auf der Basis des Fotoätzens und des Locheinbettungselektrolattierens.

Ausführungsform 6

[0178] [Fig. 29](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer sechsten Ausführungsform der vorliegenden Erfindung zeigt. In dieser Figur sind die Bestandteile und Komponenten, die zu den zuvor im Zusammenhang mit den ersten bis fünften Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 28](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0179] Bei [Fig. 29](#) ist bei der Halbleitervorrichtung gemäß dieser Ausführungsform der Erfindung ein Isolierfilm (Rückoberflächenisolierfilm) **60** auf der Oberfläche des ersten Halbleitersubstrats **1** abgetrennt, in dem das erste externe Terminal **10** gebildet ist. Dank dieser Struktur kann die elektrische/chemische Stabilität der Halbleitervorrichtung verbessert werden, wodurch die Zuverlässigkeit derselben verstärkt werden kann.

Ausführungsform 7

[0180] Eine siebte Ausführungsform der vorliegenden Erfindung bezieht sich auf ein Verfahren zum Bilden des Rückoberflächenisolierfilms **60** bei der Halb-

leitervorrichtung gemäß der sechsten Ausführungsform der vorliegenden Erfindung. [Fig. 30](#) bis [Fig. 32](#) sind Ansichten zum Veranschaulichen der Schritte bzw. Prozesse, die im Verfahren zum Bilden des Rückoberflächenisolierfilms **60** gemäß der siebten Ausführungsform der Erfindung eingeschlossen sind. In [Fig. 30](#) bis [Fig. 32](#) sind die Bestandteile oder Komponenten, die zu den im Zusammenhang mit den ersten bis sechsten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 29](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0181] In einem in [Fig. 30](#) gezeigten Schritt wird das Halbleitersubstratmaterial selbst um eine vorbestimmte Menge weggeätzt, um jene Abschnitte der Rückoberfläche des ersten Halbleitersubstrats **1** zu beseitigen, die durch maschinelles Schleifen verletzt wurden, wie zuvor in Verbindung mit dem in [Fig. 16](#) gezeigten Schritt beschrieben.

[0182] Anschließend wird in einem in [Fig. 31](#) gezeigten Schritt eine Elektrode einer Leistungszufuhr **72** mit dem ersten Halbleitersubstrat **1** der Halbleitervorrichtung elektrisch verbunden, die in eine Lösung **71** eingetaucht wird, während die andere Elektrode der Leistungszufuhr **72** mit einem Elektrodenarray (Gegenelektrodenarray) **70** verbunden wird, der gegenüber der Oberfläche des ersten Halbleitersubstrats **1**, in welcher das erste externe Terminal **10** freigelegt ist, angeordnet ist, um dadurch einen elektrischen Strom zum Durchströmen durch das erste Halbleitersubstrat **1** zu veranlassen. Dann unterliegt nur der exponierte Abschnitt des ersten Halbleitersubstrats **1** selbst einer Anodenoxidation, wodurch der Rückoberflächenisolierfilm **60** gebildet wird.

[0183] Obgleich beschrieben worden ist, daß der Elektrodenarray **70** gegenüber der Oberfläche des ersten Halbleitersubstrats **1** angeordnet wird, in welcher das erste externe Terminal **10** freigelegt ist, ist die Erfindung nicht notwendigerweise auf eine solche Anordnung beschränkt.

[0184] In einem in [Fig. 32](#) gezeigten Schritt wird der Abschnitt der verbindenden Leiterschicht **9**, die um das erste externe Terminal **10** herum gebildet ist, entfernt, um dadurch den Bodenabschnitt der Durchgangselektrode **12** freizulegen.

[0185] Auf diese Weise kann der Rückoberflächenisolierfilm **60** relativ einfach und selektiv gebildet werden, d.h. nur über dem exponierten Abschnitt des ersten Halbleitersubstrats **1** mit Ausnahme des Bodenabschnitts der Durchgangselektrode **12**.

[0186] Als einer Variation kann ein isolierender organischer Film selektiv über der exponierten Oberfläche des ersten Halbleitersubstrats **1** auch über einen

Elektroabscheidungsbeschichtungsprozeß selektiv gebildet werden.

[0187] Ferner versteht sich von selbst, daß genauso gut ein Prozeß angewandt werden kann, der die Abscheidung des Isolierfilms und die Beseitigung der Elektrode mittels Ätzen einschließt, wie im allgemeinen in diesem Stand der Technik bekannt.

Ausführungsform 8

[0188] [Fig. 33](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer achten Ausführungsform der vorliegenden Erfindung zeigt. In dieser Figur sind die Komponenten, die zu den zuvor in Verbindung mit den ersten bis siebten Ausführungsformen der Erfindung durch Bezugnahme auf [Fig. 1](#) bis [Fig. 32](#) beschrieben wurden, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0189] Bei [Fig. 33](#) ist bei der Halbleitervorrichtung gemäß dieser Ausführungsform der Erfindung mindestens einer der ersten und zweiten externen Terminals **10** und **11** mit einer ersten vorstehenden Elektrode **80** oder einer zweiten vorstehenden Elektrode **81** angesichts der Erleichterung der elektrischen Verbindung mit dem externen Terminal versehen.

Ausführungsform 9

[0190] Eine neunte Ausführungsform der vorliegenden Erfindung bezieht sich auf ein Verfahren zum Bilden der zweiten vorstehenden Elektrode **81** bei der Halbleitervorrichtung gemäß der achten Ausführungsform der Erfindung. [Fig. 34](#) bis [Fig. 37](#) sind Ansichten zum Veranschaulichen der Schritte bzw. Prozesse, die im Verfahren zum Bilden der zweiten vorstehenden Elektrode **81** gemäß der neunten Ausführungsform der Erfindung eingeschlossen sind. In diesen Figuren sind die Bestandteile oder Komponenten, die zu den zuvor in Verbindung mit den ersten bis achten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 33](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0191] In einem in [Fig. 34](#) gezeigten Schritt wird das Isoliermaterial **13** mittels Schleifen der Halbleitervorrichtung von der Seite, auf der das zweite Halbleiterelement **6** montiert ist, entfernt, bis die Durchgangselektrode **12** exponiert ist, wie zuvor in Verbindung mit dem in [Fig. 14](#) gezeigten Schritt beschrieben.

[0192] Anschließend wird in einem in [Fig. 35](#) gezeigten Schritt die Halbleitervorrichtung in eine Elektroplattierlösung **90** getaucht, worauf ein Terminal der Leistungszufuhr **72** mit dem ersten Halbleitersubstrat

1 elektrisch verbunden ist, während das andere Terminal der Leistungszufuhr **72** mit einem Elektrodenarray **70** verbunden wird, welches gegenüber der Oberfläche der Halbleitervorrichtung angeordnet ist, in der die Durchgangselektrode **12** exponiert ist, worauf die Elektroplattierung ausgeführt wird gegenüber dem exponierten oberen Abschnitt der Durchgangselektrode **12** durch Verwendung des Elektrodenarrays **70** als Anode, während das erste Halbleitersubstrat **1** als Kathode verwendet wird, um dadurch eine zweite vorstehende Elektrode **81** zu bilden.

[0193] Obgleich oben beschrieben worden ist, daß das Elektrodenarray **70** gegenüber der Oberfläche der Halbleitervorrichtung angeordnet ist, in der die Durchgangselektrode **12** exponiert ist, ist die Erfindung nicht notwendigerweise auf eine solche Anordnung beschränkt.

[0194] Als nächstes wird in einem in [Fig. 36](#) gezeigten Schritt ein Trageelement **32** an die Halbleitervorrichtung auf der Seite gebunden, bei der sich das zweite Halbleiterelement **6** befindet, indem eine dazwischenliegende Klebeschicht **33** verwendet wird, worauf der Schleifprozeß durchgeführt wird zum Entfernen des Substratmaterials von der Rückoberfläche des ersten Halbleitersubstrats **1**, bis die Rückoberfläche der Verdrahtungsleiterschicht **9**, die am Boden des Lochs oder dem Boden der Durchgangselektrode **12** abgeschieden ist, freigelegt ist, wie zuvor in Verbindung mit dem in [Fig. 15](#) gezeigten Schritt beschrieben.

[0195] Anschließend wird in einem in [Fig. 37](#) gezeigten Schritt das Substratmaterial vom ersten Halbleitersubstrat **1** um eine vorbestimmte Menge mittels Ätzen entfernt.

[0196] In dem in [Fig. 35](#) gezeigten Zustand sind das erste Halbleitersubstrat und die Durchgangselektrode **12** elektrisch kurzgeschlossen. Folglich kann durch Gebrauchmachen des oben beschriebenen Elektroplattierschritts die vorstehende Elektrode **81** ohne weiteres nur auf dem zweiten externen Terminal **11** gebildet werden.

Ausführungsform 10

[0197] Eine zehnte Ausführungsform der vorliegenden Erfindung bezieht sich auf ein Verfahren zum Bilden der ersten vorstehenden Elektrode **80** bei der Halbleitervorrichtung gemäß der elften Ausführungsform der vorliegenden Erfindung. [Fig. 38](#) bis [Fig. 41](#) sind Ansichten zum Veranschaulichen von Schritten und Prozessen, die im Verfahren zum Bilden der ersten vorstehenden Elektrode **80** gemäß der achten Ausführungsform der Erfindung eingeschlossen sind. In [Fig. 38](#) bis [Fig. 41](#) sind die Bestandteile oder Komponenten, die zu dem in Verbindung mit den ersten bis neunten Ausführungsformen der Erfindung unter

Bezugnahme auf [Fig. 1](#) bis [Fig. 37](#) zu vorbeschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0198] In einem in [Fig. 38](#) gezeigten Schritt wird die den Bodenabschnitt der Durchgangselektrode **12** bildende Matrixmetallschicht entfernt, worauf dann ein in [Fig. 39](#) gezeigter Schritt folgt, bei dem die erste vorstehende Elektrode **80** nur auf der auf dem Bodenabschnitt der Durchgangselektrode **12** exponierten Metallmatrix mittels einer stromlosen Plattierung in dem Zustand gebildet wird, bei dem die Halbleitervorrichtung in einer stromlosen Plattierlösung **91** eingetaucht ist, ähnlich zu dem zuvor unter Bezugnahme auf [Fig. 15](#) oder [Fig. 16](#) beschriebenen Schritt.

[0199] Nach dem zuvor unter Bezugnahme auf [Fig. 37](#) beschriebenen Prozeß wird anschließend die Matrixmetallschicht auf dem Bodenabschnitt der Durchgangselektrode **12** entfernt, worauf die erste vorstehende Elektrode **80** auf dem exponierten Bodenabschnitt der Durchgangselektrode **12** über den stromlosen Plattierprozeß in einem in [Fig. 41](#) gezeigten Schritt, ähnlich zu dem zuvor unter Bezugnahme auf [Fig. 39](#) beschriebenen Schritt, gebildet wird.

[0200] Wenn, um ein Beispiel zu nennen, die Durchgangselektrode **12** aus Cu gebildet wird, kann die vorstehende Elektrode leicht über einen Prozeß der stromlosen Nickel(Ni)-Plattierung oder dergleichen gebildet werden, indem die Eigenschaft ausgenutzt wird, daß der stromlos plattierte Film (z.B. Ni) selektiv nur auf der Metall(Cu)-Matrix, die auf dem Bodenabschnitt der Durchgangselektrode exponiert ist, wächst.

Ausführungsform 11

[0201] [Fig. 42](#) ist eine Schnittansicht, die eine Halbleitervorrichtung eines Stapeltyps gemäß einer elften Ausführungsform der vorliegenden Erfindung zeigt.

[0202] Im übrigen werden in [Fig. 42](#) die Teile oder Komponenten, die zu den zuvor unter Bezugnahme auf [Fig. 1](#) bis [Fig. 41](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung davon wird weggelassen.

[0203] Die in [Fig. 42](#) gezeigte Halbleitervorrichtung wird in einer Stapelstruktur ausgeführt, bei der eine Vielzahl von zuvor beschriebenen Halbleitervorrichtungen übereinander gestapelt sind.

[0204] Spezieller sind bei der in [Fig. 42](#) gezeigten Halbleitervorrichtung der Stapelstruktur zwei Halbleitervorrichtungen übereinander in der senkrechten Richtung übereinander gestapelt, wobei die erste vorstehende Elektrode **80** und die zweite vorstehen-

de Elektrode **81** miteinander in Kontakt stehen.

[0205] Wie aus der Figur gesehen werden kann, ist eine Schicht **110** eines Harzes zwischen einerseits der Oberfläche der oberseitigen Halbleitervorrichtung, auf der die erste vorstehende Elektrode **80** vorgesehen ist, und andererseits der Oberfläche der unterseitigen Halbleitervorrichtung, auf der die zweite vorstehende Elektrode **81** lokalisiert ist, gebildet, wobei die ersten und zweiten vorstehenden Elektroden **80** und **81** der ober- und unterseitigen Halbleitervorrichtungen im Kontakt miteinander positioniert sind.

[0206] Durch Stapeln einer Vielzahl von Halbleitervorrichtungen in einer sogenannten laminierten Struktur, wie sie zuvor beschrieben wurde, kann nicht nur die Integrationsdichte, sondern auch die Betriebsgeschwindigkeit erhöht werden, da die Signalübertragungswege verkürzt werden können.

[0207] An diesem Punkt sollte ergänzt werden, daß die einzelnen Halbleiterelemente voneinander verschieden sein können, solange die Positionen der Durchgangselektroden **12** die gleichen sind.

[0208] Ferner sind im Fall der in [Fig. 42](#) gezeigten Halbleitervorrichtungsstapelung die Anschlußelektroden (erste und zweite vorstehende Elektroden **80** und **81**) sowohl an den oberen als auch den unteren Seiten der Halbleitervorrichtung gebildet. Die Anschlußelektrode kann jedoch nur auf einer Seite gebildet sein, ohne irgendwelche nachteiligen Einflüsse auf den Betrieb.

Ausführungsform 12

[0209] [Fig. 43](#) ist eine Schnittansicht, die eine Halbleitervorrichtung eines Stapeltyps (auch als integrierte Halbleitervorrichtungsstapelung bezeichnet) gemäß einer zwölften Ausführungsform der vorliegenden Erfindung zeigt.

[0210] Im übrigen sind in [Fig. 43](#) die Teile oder Komponenten, die zu den zuvor unter Bezugnahme auf [Fig. 1](#) bis [Fig. 42](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung davon wird weggelassen.

[0211] Bei der in [Fig. 43](#) gezeigten Halbleitervorrichtungsstapelung sind zwei zuvor beschriebene Halbleitervorrichtungen in der senkrechten Richtung gestapelt, wobei die jeweiligen ersten vorstehenden Elektroden **80** in Kontakt miteinander positioniert sind.

[0212] Wie aus der Figur gesehen werden kann, ist eine Harzschicht **110** zwischen den jeweiligen Oberflächen der oben- und unterseitigen Halbleitervorrichtungen, auf denen die vorstehenden Elektroden **80**

vorgesehen sind, gebildet, wobei die ersten vorstehenden Elektroden **80** der beiden Halbleitervorrichtungen in Kontakt miteinander sind.

[0213] In jeder der Halbleitervorrichtungen der in [Fig. 43](#) gezeigten, integrierten Halbleitervorrichtungsstapelung ist der Abstand zwischen der Rückoberfläche des ersten Halbleitersubstrats **1** und der ersten Halbleiterschaltung (der aktivierten Schicht) **3** kurz. Aus diesem Grund ist in dem Fall, bei dem die Halbleitervorrichtung getrennt verwendet wird, gegenüber dem Einfluß einer externen Störung empfindlich. Im übrigen ist vom mechanischen Standpunkt aus gesehen die Halbleitervorrichtung ziemlich schwach. Folglich kann durch Gegeneinanderstapeln der Halbleitervorrichtungen wie in [Fig. 43](#) gezeigt auch eine Funktion des Schutzes der einzelnen Halbleitervorrichtungen verwirklicht werden.

[0214] In diesem Fall kann der auf den Rückoberflächen der ersten Halbleitersubstrate in der Halbleitervorrichtungsstapelung gebildete Isolierfilm weggelassen werden, ohne dank der oben erwähnten Schutzfunktion eine Verschlechterung der Betriebszuverlässigkeit hervorzurufen.

Ausführungsform 13

[0215] [Fig. 44](#) und [Fig. 45](#) sind Schnittansichten, die eine Stapel-Halbleitervorrichtung gemäß einer dreizehnten Ausführungsform der vorliegenden Erfindung zeigen.

[0216] Im übrigen sind in [Fig. 44](#) und [Fig. 45](#) die Teile oder Komponenten, die zu den zuvor unter Bezugnahme auf [Fig. 1](#) bis [Fig. 43](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung davon wird weggelassen.

[0217] Bei der in [Fig. 44](#) gezeigten, integrierten Halbleitervorrichtungsstapelung sind die Halbleitervorrichtungen, die jeweils wie zuvor in Verbindung mit der vierten Ausführungsform der Erfindung beschrieben mit dem ersten zusätzlichen externen Terminal **44** ausgerüstet sind, aufeinander gestapelt, wobei die ersten vorstehenden Elektroden, die sowohl auf den ersten externen Terminals als auch den ersten zusätzlichen externen Terminals gebildet sind, jeweils miteinander verbunden sind, wohingegen bei der in [Fig. 45](#) gezeigten, integrierten Halbleitervorrichtungsstapelung die Halbleitervorrichtungen so übereinander gestapelt sind, daß die jeweiligen vorstehenden Elektroden **80** miteinander in Kontakt sind.

[0218] Bei der in [Fig. 44](#) gezeigten, integrierten Halbleitervorrichtungsstapelung, bei der die ersten Halbleiterelemente **5** wie in [Fig. 44](#) gezeigt so gestapelt sind, daß die Rückoberflächen davon einander

gegenüber angeordnet sind, kann die Anzahl der Terminals erhöht werden, während die Signalübertragungswege verkürzt werden können. Somit kann die Halbleitervorrichtungsstapelung effektiv in einer solchen Anwendung angewandt werden, wo eine Hochgeschwindigkeitssignalprozessierung in großem Maßstab im Innern der Halbleitervorrichtungsstapelung auszuführen ist.

[0219] Bei der in [Fig. 45](#) gezeigten Halbleitervorrichtungsstapelung, bei der zwei Halbleitervorrichtungen so übereinander gestapelt sind, daß jeweils zweite Halbleiterelemente **6** einander gegenüber angeordnet sind, stehen andererseits im Vergleich zur in [Fig. 44](#) gezeigten Struktur eine größere Anzahl von Terminals zur externen Verwendung zur Verfügung. Somit kann die in [Fig. 45](#) gezeigte, integrierte Halbleitervorrichtungsstapelung vorteilhaft bei der Anwendung angewandt werden, wo die Signalprozessierungen auf der Grundlage eines großen Maßstabs mit externen Vorrichtungen oder Geräten auszuführen ist.

Ausführungsform 14

[0220] [Fig. 46](#), [Fig. 47](#), [Fig. 48](#) und [Fig. 49](#) sind Schnittansichten, die Halbleitervorrichtungen gemäß einer vierzehnten Ausführungsform der vorliegenden Erfindung zeigen.

[0221] Im übrigen sind in [Fig. 46](#) bis [Fig. 49](#) die Bestandteile oder Komponenten, die zu den zuvor unter Bezugnahme auf [Fig. 1](#) bis [Fig. 45](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung davon wird weggelassen.

[0222] Bei [Fig. 46](#) und [Fig. 47](#) ist die Rückoberfläche des zweiten Halbleiterelements **6** (Rückoberfläche des zweiten Halbleitersubstrats **2**) mit einem Isoliermaterial **13** bedeckt. Bei der in [Fig. 46](#) gezeigten Halbleitervorrichtung ist die Rückoberfläche des zweiten Halbleiterelements **6** mit dem Isoliermaterial **13** beschichtet, welches gleichzeitig die seitlichen Oberflächen jeweils der Durchgangselektrode **12** und des zweiten Halbleiterelementes **6** bedeckt. Andererseits werden bei der in [Fig. 47](#) gezeigten Halbleitervorrichtung der Schritt des Bedeckens der seitlichen Oberflächen der Durchgangselektrode **12** und des zweiten Halbleiterelements **6** mit dem Isoliermaterial **13** und der Schritt der Beschichtung der Rückoberfläche des zweiten Halbleiterelements **6** mit dem Isolierfilm **140** getrennt voneinander durchgeführt werden.

[0223] Durch das Bedecken der Rückoberfläche des zweiten Halbleiterelements **6** mit dem Isoliermaterial (Isolierfilm) kann nicht nur die elektrische Stabilität verbessert werden, sondern auch die chemische mechanische Widerstandsfähigkeit verstärkt werden, weil das Isoliermaterial **13** im allgemeinen auch als

Schutzfunktion dient, wodurch eine hohe Zuverlässigkeit hergestellt wird.

[0224] Im übrigen kann in dem Fall, bei dem die Beschichtung mit dem Isoliermaterial separat durchgeführt wird, wie in einem Fall der in [Fig. 47](#) gezeigten Halbleitervorrichtungsstapelung, je nach Wunsch die gleichen oder verschiedene Arten von Isoliermaterialien angewandt werden.

[0225] Ferner kann, wie in [Fig. 48](#) und [Fig. 49](#) gezeigt, die Anschlußelektrode (erste und zweite vorstehende Elektroden) entweder auf einer oder auf beiden Oberflächen bei den in [Fig. 46](#) und [Fig. 47](#) gezeigten Halbleitervorrichtungen gebildet werden.

Ausführungsform 15

[0226] [Fig. 50](#), [Fig. 51](#), [Fig. 52](#), [Fig. 53](#), [Fig. 54](#) und [Fig. 55](#) sind Schnittansichten, die jeweils Halbleitervorrichtungen gemäß einer fünfzehnten Ausführungsform der vorliegenden Erfindung zeigen.

[0227] Im übrigen sind in diesen Figuren die Teile oder Komponenten, die zu den zuvor unter Bezugnahme auf [Fig. 1](#) bis [Fig. 49](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung davon wird weggelassen.

[0228] Bei der Halbleitervorrichtung einer in [Fig. 50](#) gezeigten Struktur ist eine Verdrahtungselektrodenlage **150** auf dem Bereich der Rückoberfläche des zweiten Halbleiterelements **6**, das mit dem Isoliermaterial **13** beschichtet ist, bei der Halbleitervorrichtung gemäß der zuvor beschriebenen vierzehnten Ausführungsform der vorliegenden Erfindung gebildet. Obgleich in [Fig. 50](#) eine Verdrahtungselektrodenlage **150** gezeigt ist, ist die Erfindung überhaupt nicht darauf beschränkt. Zwei oder mehr Verdrahtungselektrodenlagen können mit einem dazwischengelegten Zwischenschichtisolierfilm gebildet werden. Ein Schutzfilm **151** ist auf der oberen Oberfläche der Verdrahtungselektrodenlage **150** gebildet mit Ausnahme des Abschnitts, wo die Elektrode gebildet werden soll, wie unten erwähnt. Dieser Schutzfilm **151** kann weggelassen werden, obgleich es von den Eigenschaften des Materials der exponierten Verdrahtungselektrodenlage **150** abhängt.

[0229] Auf der oberen Oberfläche der Verdrahtungselektrodenlage **150** ist an einer vorbestimmten Stelle eine Elektrode (Kontaktfleck) **152** gebildet.

[0230] Bei der in [Fig. 51](#) gezeigten Halbleitervorrichtung werden eine Vielzahl von Abschnitten der Verdrahtungselektrodenlage **150** als externe Terminals verwendet, in dem ein Isolierfilmmuster **151** ausgegüßt wird, indem eine Vielzahl von Stellen zur Anbringung von Elektroden gebildet ist.

[0231] Bei [Fig. 52](#) bis [Fig. 54](#) wird die Verdrahtungselektrodenlage **150** auf der exponierten Oberfläche des Isoliermaterials **13** gebildet, welches auf der Seite des zweiten Halbleiterelements **6** beschichtet ist ([Fig. 52](#)). Anschließend wird der Schutzfilm **151** auf der oberen Oberfläche der Verdrahtungselektrodenlage **150** mit Ausnahme der Stelle, wo die Elektrode gebildet werden soll, gebildet ([Fig. 53](#)). Die Elektrode **152** wird bei der Elektrodenbildungsstelle gebildet, worauf die Rückoberfläche des ersten Halbleiter-Substrats **1** geschliffen und geätzt wird, worauf dann die Bildung einer Anschlußelektrode (erste vorstehende Elektrode **80**) mittels stromlosem Plattierprozeß folgt ([Fig. 54](#)). Zusätzlich wird auf der Elektrode **152** eine Lötugel **160** gebildet, wie in [Fig. 55](#) gezeigt.

[0232] Wie aus dem Obigen ersichtlich kann die Rückoberfläche des zweiten Halbleiterelements **6** (d.h. die exponierte Oberfläche des Isoliermaterials **13**) effektiv zum Bilden der Elektrode(n) (externe Terminal(s)) genutzt werden. Dank dieses Merkmals kann eine große Elektrode (z.B. **152**) angeheftet werden, ohne auf die Größe des exponierten oberen Abschnitts der Durchgangselektrode **12** begrenzt zu sein.

[0233] Ferner kann der Freiheitsgrad beim Auswählen der Anordnung der Elektrode(n) erhöht werden. Im übrigen kann auch die Anzahl der Elektroden (die Anzahl der externen Terminals) erhöht werden.

[0234] Darüber hinaus vermag nicht nur die Integrationsdichte erhöht werden, sondern es kann auch der Freiheitsgrad bei der Gestaltung verbessert werden.

[0235] Es sollte ferner hinzugefügt werden, daß, obgleich diese Ausführungsform der Erfindung von der Halbleitervorrichtung gemäß der vierzehnten Ausführungsform der Erfindung (siehe [Fig. 46](#)) ausgeht, die Lehren der in dieser Ausführungsform verkörperten Erfindung gleichfalls auf die in [Fig. 47](#) gezeigte Halbleitervorrichtung mit den im wesentlichen gleichen vorteilhaften Wirkungen angewandt werden kann.

Ausführungsform 16

[0236] Eine sechzehnte Ausführungsform der vorliegenden Erfindung bezieht sich auf ein Verfahren zur Herstellung der in [Fig. 46](#) gezeigten Halbleitervorrichtung gemäß der vierzehnten Ausführungsform der Erfindung. [Fig. 56](#), [Fig. 57](#), [Fig. 58](#) und [Fig. 59](#) sind Ansichten zum Veranschaulichen von Schritten und Prozessen, die beim Halbleitervorrichtungsherstellungsverfahren gemäß der sechzehnten Ausführungsform der Erfindung eingeschlossen sind. In [Fig. 56](#) bis [Fig. 59](#) sind die Bestandteile oder Komponenten, die zu den zuvor in Verbindung mit den ersten bis fünfzehnten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 55](#) be-

schriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponente wird weggelassen. Ferner werden bei dem nun in Betracht gezogenen Herstellungsverfahren die gleichen wie die zuvor unter Bezugnahme auf [Fig. 6](#) bis [Fig. 9](#) und [Fig. 15](#) bis [Fig. 18](#) beschriebenen Schritte bei der nachfolgenden Beschreibung weggelassen. Somit richtet sich die folgende Beschreibung auf die Schritte, die den zuvor unter Bezugnahme auf [Fig. 10](#) bis [Fig. 14](#) beschriebenen entsprechen.

[0237] In einem in [Fig. 56](#) gezeigten Schritt wird ein Fotoresist **31** mit einer größeren Dicke als derjenigen des später montierten, zweiten Halbleiterelements **6** mit einer Öffnung bzw. einem Loch gebildet.

[0238] In einem in [Fig. 57](#) gezeigten Schritt wird ein Elektrodenmaterial in dem im Resistmuster **31** gebildeten Loch durch Elektroplattierung eingebettet, wobei das erste Halbleitersubstrat **1** als Kathode verwendet wird, um dadurch die Durchgangselektrode **12** zu bilden.

[0239] In dem Fall wird das Elektrodenmaterial bis auf eine Höhe eingebettet, die höher liegt als das nachfolgend zu montierende, zweite Halbleiterelement **6**, und niedriger als die Dicke des Resists **31**.

[0240] In einem in [Fig. 58](#) gezeigten Schritt wird das zweite Halbleiterelement **6** mit dem ersten Halbleiterelement **5** mit der dazwischengelegten Anschlußelektrode **20** verbunden. Das zweite Halbleiterelement **6** wird zuvor dünn geformt, so daß die Höhe der durch Plattierung gebildeten Durchgangselektrode **12** die Rückoberfläche des zweiten Halbleiterelements **6** übersteigt.

[0241] In einem in [Fig. 59](#) gezeigten Schritt wird ein Isoliermaterial **13** wie ein Harz, ein Glas oder dergleichen aufgeschichtet und gehärtet. Anschließend wird ein Schleifprozeß durchgeführt, bis der obere Abschnitt der gerade gebildeten Durchgangselektrode **12** exponiert ist.

[0242] Da das zweite Halbleiterelement **6** dünner gebildet ist als die Höhe der durch Plattierung gebildeten Durchgangselektrode **12**, wird das Isoliermaterial **13** nicht nur auf der seitlichen Oberfläche der Durchgangselektrode **12**, sondern ebenfalls über der Rückoberfläche des zweiten Halbleiterelements **6** abgeschieden.

[0243] Auf diese Weise kann die Rückoberfläche des zweiten Halbleiterelements **6** durch passende Verwendung der zuvor in Verbindung mit der dritten Ausführungsform der Erfindung beschriebenen Schritte leicht beschichtet werden, indem einfach die Dicke dieses Ergebnisses, die Plattierhöhe der Durchgangselektrode und die Dicke des zu montie-

renden Halbleiterelements verändert werden.

Ausführungsform 17

[0244] Eine siebzehnte Ausführungsform der vorliegenden Erfindung bezieht sich auf ein Verfahren zur Herstellung der in [Fig. 46](#) und [Fig. 48](#) gezeigten Halbleitervorrichtungen gemäß der vierzehnten Ausführungsform der Erfindung. [Fig. 60](#), [Fig. 61](#), [Fig. 62](#) und [Fig. 63](#) sind Ansichten zum Veranschaulichen der Schritte und Prozesse, die beim Halbleitervorrichtungsherstellungsverfahren gemäß der siebzehnten Ausführungsform der Erfindung eingeschlossen sind. In diesen Figuren sind die Bestandteile oder Komponenten, die ähnlich zu den zuvor in Verbindung mit den ersten bis siebzehnten Ausführungsformen der Erfindung durch Bezugnahme auf [Fig. 1](#) bis [Fig. 59](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen. Ferner werden bei dem nun in Betracht gezogenen Herstellungsverfahren die Schritte, die gleich den zuvor unter Bezugnahme auf [Fig. 6](#) bis [Fig. 9](#) und [Fig. 15](#) bis [Fig. 18](#) beschriebenen sind, aus der folgenden Beschreibung weggelassen. Somit bezieht sich die folgende Beschreibung auf die Schritte, die den zuvor unter Bezugnahme auf [Fig. 10](#) bis [Fig. 14](#) beschriebenen entsprechen.

[0245] In einem in [Fig. 60](#) gezeigten Schritt wird das auf eine vorbestimmte Dicke geschliffene, zweite Halbleiterelement **6** bei einer vorbestimmten Stelle unter Zwischenlegung der Anschlußelektrode **20** und der vorbestimmten Elektrode (zweite Elektrode **8**) montiert.

[0246] Anschließend wird in einem in [Fig. 61](#) gezeigten Schritt ein den Isolierfilm **13** bildendes Material in einer Dicke appliziert, die größer ist als diejenige des zweiten Halbleiterelements **6**. Als Material zum Bilden des Isolierfilms **13** sollte vorzugsweise ein solches Material wie ein fotoempfindliches Polyimid, welches anfangs eine hohe Fließfähigkeit besitzt und eine Fotoempfindlichkeit nach der Applikation zeigt und welches zum Bilden einer guten Isolierschicht gehärtet werden kann, verwendet werden, so daß ein erwünschtes Muster durch Bestrahlung durch eine Maske gebildet werden kann.

[0247] Nachdem das zweite Halbleiterelement **6** vollständig mit dem Isolierfilm **13** bedeckt worden ist, wird ein Loch durch einen Bestrahlungs/Entwicklungs-Prozeß geöffnet, worauf ein Härtingsprozeß folgt.

[0248] In einem in [Fig. 62](#) gezeigten Schritt wird ein leitfähiges Material in den geöffneten Abschnitt durch einen Elektroplattierprozeß mittels Verwendung des ersten Halbleitersubstrats **1** als Kathode eingebettet, um dadurch eine Säule (Durchgangselektrode) **170**

eines elektrisch leitfähigen Materials auf der durch den Metallfilm **9** aufgebauten Matrix in einer größeren Höhe als der Dicke des zweiten Halbleiterelements **6** zu bilden.

[0249] In diesem Zusammenhang sollte erwähnt werden, daß die elektrisch leitfähige Säule (Durchgangselektrode) **170** wie in [Fig. 63](#) gezeigt durch den Elektroplattierprozeß als eine Anschlußelektrode gebildet werden kann, die über der Oberfläche des fotoempfindlichen Polyimidfilms **13** hinaus vorstehen kann. In diesem Fall kann auf den Schritt des zusätzlichen Bildens der Anschlußelektrode verzichtet werden.

[0250] Anschließend kann der obere Abschnitt der Säule **170**, die aus dem elektrisch leitfähigen Material gebildet ist und als Durchgangselektrode dient, mittels Schleifen der fotoempfindlichen Polyimidschicht **13** von der Rückseite des zweiten Halbleiterelements **6** exponiert werden, so daß der obere Abschnitt der Durchgangselektrode **170** in einer mit der Oberfläche der fotoempfindlichen Polyimidschicht **13** abschließenden Ebene liegt. In dem Fall verbleibt der Polyimidfilm als Isoliermaterial **13** auf der Rückoberfläche des zweiten Halbleiterelements **6**, da das zweite Halbleiterelement **6** dünner ist als die plattierte Säule (Durchgangselektrode) **170**.

[0251] Wie aus dem Obigen klar wird, kann die plattierte Säule bzw. Durchgangselektrode **170** von der größeren Höhe als der Dicke des zweiten Halbleiterelements **6** gebildet werden, nachdem das zweite Halbleiterelement **6** montiert worden ist. Dank dieses Merkmals können das Montieren des zweiten Halbleiterelements **6** und die Positionsausrichtung sehr vereinfacht werden.

Ausführungsform 18

[0252] [Fig. 64](#), [Fig. 65](#) und [Fig. 66](#) sind Ansichten zum Veranschaulichen von Schritten oder Prozessen, die beim Halbleitervorrichtungsherstellungsverfahren gemäß einer achtzehnten Ausführungsform der vorliegenden Erfindung eingeschlossen sind. In diesen Figuren sind die Bestandteile oder Komponenten, die zu den zuvor im Zusammenhang mit den ersten bis siebzehnten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 63](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser zur Komponenten wird weggelassen. Ferner wird die Beschreibung der Schritte, die den zuvor unter Bezugnahme auf [Fig. 6](#) bis [Fig. 18](#) beschriebenen gleich sind, weggelassen. Die unten beschriebenen Schritte werden zwischen dem in [Fig. 14](#) gezeigten Schritt und dem in [Fig. 15](#) gezeigten hinzugefügt.

[0253] In einem in [Fig. 64](#) gezeigten Schritt wird ein

Isoliermaterial **13** geschliffen, um dadurch den oberen Abschnitt der Durchgangselektrode **12** wie zuvor unter Bezugnahme auf [Fig. 14](#) beschrieben zu exponieren.

[0254] Anschließend wird in einem in [Fig. 65](#) gezeigten Schritt ein Material **180** über der Oberfläche der Rückseite des zweiten Halbleiterelements **6** in einer gleichförmigen Dicke appliziert. Als dem Material **180** kann ein solches Material wie fotoempfindliches Polyimid verwendet werden, welches anfangs ein hohes Fließvermögen aufweist und nach der Applikation eine Fotoempfindlichkeit zeigt, so daß ein gewünschtes Muster durch Bestrahlung durch eine Maske gebildet werden kann, und welches zum Bilden einer guten Isolierschicht gehärtet werden kann.

[0255] In einem in [Fig. 66](#) gezeigten Schritt wird, wenn das applizierte Material **180** das Isoliermaterial mit Fotoempfindlichkeit ist, der obere Abschnitt der Durchgangselektrode **12** mittels eines Bestrahlungs/Entwicklungsprozesses exponiert, um dadurch den Isolierfilm mittels Wärmehärtung zu bilden. Andererseits wird, wenn das Material **180** keine Fotoempfindlichkeit aufweist, ein Fotoresistmuster zusätzlich appliziert zur Durchführung des Ätzprozesses, um den oberen Abschnitt der Durchgangselektrode **12** zu exponieren.

[0256] Auf diese Weise kann der Isolierfilm mit hoher Qualität und hoher Zuverlässigkeit gebildet werden.

[0257] In der vorangehenden Beschreibung dieser Ausführungsform wurde angenommen, daß das fotoempfindliche Polyimid als dem Isolierfilm **180** angewandt wurde. Es sollte jedoch klar sein, daß eine feinere Musterung mit hoher Zuverlässigkeit realisiert werden kann, indem von einem Abscheidungsprozeß wie einer chemischen Dampfabscheidung (CVD) und einem Musterungsprozeß auf der Basis eines Ätzens durch eine Fotoresistmaske – was im Stand der Technik gut bekannt ist – Gebrauch gemacht wird.

[0258] Ferner kann ohne Schwierigkeit gleichfalls ein Siebdruck angewandt werden, welcher technisch im Hinblick auf die Feinprozessierfähigkeit ziemlich schwach ist. Der Siebdruckprozeß ist ebenfalls eine im Stand der Technik gut bekannte Technik. Im übrigen können durch Anwenden der oben erwähnten Prozesse auf die Bildung der (Metall-)Verdrahtungselektroden, des Zwischenschichtisolierfilms und des Schutzfilms zusätzliche Verdrahtungselektroden(s) und zusätzliche externe Terminal(s) auf der Rückoberfläche des zweiten Halbleiterelements **6** gebildet werden.

[0259] [Fig. 93](#) und [Fig. 94](#) sind Ansichten zum Veranschaulichen von Schritten bei einem Halbleitervorrichtungsherstellungsverfahren gemäß der achtzehn-

ten Ausführungsform der vorliegenden Erfindung.

[0260] Wie aus [Fig. 93](#) und [Fig. 94](#) gesehen werden kann, ist es, da das erste Halbleitersubstrat **1** mit dem zweiten Halbleiterelement **6** über die Durchgangselektrode **12** und die Anschlußelektrode **20** zumindest über das gemeinsame geerdete Potential elektrisch gekoppelt ist, möglich, selektiv einen Isolierfilm **182** eines Materials z.B. aus der Polyimidreihe auf der Rücküberfläche des zweiten Halbleiterelements **6** durch ein zur Elektroabscheidungsbeschichtung ähnliches Verfahren zu bilden.

[0261] Ferner kann der Isolierfilm **182** gleichfalls auch über einen anodischen Oxidationsprozeß gebildet werden.

[0262] Zusätzlich kann der oben erwähnte Prozeß gleichzeitig mit dem Prozeß zur Bildung des Isolierfilms **60** auf der Rückoberfläche des ersten Halbleiterelements **5** nach dem Schleifen des ersten Halbleitersubstrats **1** und dem Abstreifen des Tragelements, wie es zuvor im Zusammenhang mit der siebten Ausführungsform der Erfindung beschrieben wurde, durchgeführt werden.

[0263] Im übrigen bezeichnet in [Fig. 93](#) und [Fig. 94](#) die Bezugsziffer **70** einen Elektrodenarray, die Bezugsziffer **181** bezeichnet eine Lösung, und die Bezugsziffer **72** bezeichnet eine Leistungszufuhr.

Ausführungsform 19

[0264] [Fig. 67](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer neunzehnten Ausführungsform der vorliegenden Erfindung zeigt. [Fig. 68](#), [Fig. 69](#), [Fig. 70](#), [Fig. 71](#) und [Fig. 72](#) sind Ansichten zum Veranschaulichen von Schritten oder Prozessen, die beim Verfahren zur Herstellung der Halbleitervorrichtung gemäß der neunzehnten Ausführungsform eingeschlossen sind. In diesen Figuren werden Bestandteile oder Komponenten, die zu den zuvor in Verbindung mit den ersten bis achtzehnten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 66](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0265] Bei der in [Fig. 67](#) gezeigten Halbleitervorrichtung wird ein Kompositsubstrat, welches als Silizium-auf-Isolator(SOI)-Substrat (nachfolgend als SOI-Substrat bezeichnet) bekannt ist, als erstem Halbleitersubstrat **1** angewandt.

[0266] Das SOI-Substrat setzt sich zusammen aus einer Halbleitersubstratmatrix (Halbleiter) **190**, einem Isolierfilm (eingebetteter Isolierfilm) **191**, der auf der Halbleitersubstratmatrix **190** abgeschieden ist, und einem extrem dünnen Halbleiterfilm (aktivierte

Schicht), der auf dem Isolierfilm **191** abgeschieden ist.

[0267] Das Verfahren zur Herstellung der Halbleitervorrichtung, bei dem das SOI-Substrat **1** als dem ersten Halbleitersubstrat **1** angewandt wird, ist im wesentlichen das gleiche wie das zuvor im Zusammenhang mit der dritten Ausführungsform der Erfindung beschriebene Verfahren.

[0268] Nun erfolgt eine Beschreibung bezüglich des Verfahrens zur Herstellung der Halbleitervorrichtung, bei dem das SOI-Substrat **1** angewandt wird.

[0269] In einem in [Fig. 68](#) gezeigten Schritt wird das SOI-Substrat als dem ersten Halbleitersubstrat **1** angewandt, und ein Loch wird gebildet, welches, sich durch den auf dem SOI-Substrat abgeschiedenen, extrem dünnen Halbleiterfilm **3** und dem eingebetteten Isolierfilm **191** erstreckend, die Halbleitersubstratmatrix **190** erreicht.

[0270] Anschließend wird in einem in [Fig. 69](#) gezeigten Schritt ein Isolierfilm **30** auf der oberen Oberfläche des SOI-Substrats abgeschieden, woraufhin der Isolierfilm **30** vom Bodenabschnitt des Lochs und von dem Abschnitt, wo die Elektrode gebildet werden soll, mittels Ätzen entfernt wird, worauf dann die Bildung der Verbindungsleiterschicht **9** ähnlich zu den in [Fig. 8](#) und [Fig. 9](#) gezeigten Schritten folgt.

[0271] In einem in [Fig. 70](#) gezeigten Schritt wird das Material zum Bilden der Durchgangselektrode **12** in der in der Resistschicht **31** gebildeten Öffnung über die ähnliche, zuvor unter Bezugnahme auf [Fig. 10](#) und [Fig. 11](#) beschriebenen Prozesse eingebettet. Da der Bodenabschnitt des Lochs die Schicht der Halbleitersubstratmatrix **190** erreicht, kann in diesem Fall eine Plattierung durchgeführt werden, indem von der Halbleitersubstratmatrix **190** als Elektrode Gebrauch gemacht wird.

[0272] Anschließend wird in einem in [Fig. 71](#) gezeigten Schritt das zweite Halbleiterelement **6** montiert, worauf das Isoliermaterial **13** abgeschieden wird, worauf dann der Schritt folgt, bei dem der obere Abschnitt der Durchgangselektrode **12** mittels Schleifen exponiert wird, ähnlich zu den zuvor unter Bezugnahme auf [Fig. 12](#) bis [Fig. 14](#) beschriebenen Prozessen. Bei diesem Punkt sollte auch hinzugefügt werden, daß in dem in [Fig. 71](#) gezeigten Schritt die Anschlußelektrode (zweite vorstehende Elektrode) **81** mittels Plattieren gebildet wird, wobei die SOI-Substratschicht **190** als Elektrode verwendet wird.

[0273] In einem in [Fig. 72](#) gezeigten Schritt wird das Tragelement **32** unter Zwischenlegung der Klebeschicht **33** mit der Oberfläche verbunden, die mit der Rückoberfläche des zweiten Halbleitersubstrats **2**

des zweiten Halbleiterelements **6** eben ist. Danach wird nur die Halbleitersubstratmatrix **190**, die auf der Rückoberfläche des SOI-Substrats **1 (191)** verbleibt, mittels Ätzen entfernt, bis der Bodenabschnitt der Durchgangselektrode **12** auf der Rückoberfläche des ersten Halbleitersubstrats **1 (191)** exponiert ist.

[0274] Zu diesem Zeitpunkt wird der extrem dünne Halbleiterfilm auf dem eingebetteten Isolierfilm **191** gebildet, als die Halbleitersubstratmatrix **190** schließlich entfernt worden war. Durch passende Gestaltung der Halbleiterschaltung und Durchführung des Verfahrens zur Herstellung der Halbleiterschaltung kann somit auf den Prozeß der Abscheidung des Isolierfilms **30** und den Prozeß des Entfernens des Bodenabschnitts des Lochs **12** vor dem Bilden des Verbindungsleiters **9** verzichtet werden, während die Bildung eines Kurzschlusses zwischen dem Halbleitersubstrat **1 (191)** und dem Durchgangselektrode **12** verhindert wird.

[0275] Ferner ist bei der Bildung des Durchgangslochs **12** mittels Elektroplattierung kein spezieller Schritt erforderlich, da die Halbleitersubstratmatrix **190**, die zu diesem Zeitpunkt noch nicht entfernt worden ist, als Plattierelektrode verwendet werden kann.

[0276] Beim Entfernen der Halbleitersubstratmatrix mittels Ätzen, nachdem die Halbleitersubstratmatrix geschliffen worden ist, erübrigt sich ferner die Steuerung der Ätzrate, da das Entfernen beim eingebetteten Oxidfilm (Isolierfilm) **191** automatisch gestoppt wird.

[0277] Wie aus dem Vorangehenden deutlich wird, ist es nicht notwendig, den Isolierfilm zu bilden, da das SOI-Substrat den zuvor gebildeten, eingebetteten Isolierfilm **191** aufweist. Somit kann eine Halbleitervorrichtung verwirklicht werden, die eine verstärkte elektrische Stabilität und Zuverlässigkeit genießt.

[0278] Im übrigen erfolgte die vorangehende Beschreibung auf der Annahme, daß das erste Halbleitersubstrat **1**, das bei den zuvor im Zusammenhang mit den ersten bis dreizehnten Ausführungsformen beschriebenen Halbleitervorrichtungen angewandt wurde, durch das SOI-Substrat ersetzt wurde. Es sollte jedoch klar sein, daß bei den Halbleitervorrichtungen gemäß den vierzehnten bis achtzehnten Ausführungsformen der Erfindung ein ähnlicher Austausch möglich ist.

[0279] Obgleich beschrieben worden ist, daß das sogenannte eingebettete SOI-Substrat vom Oxidtyp, d.h. ein Halbleitersubstrat mit dem darin eingebetteten bzw. eingegrabenen, eingebetteten Oxidfilm **191** angewandt wird, kann ein sogenanntes SOI-Substrat vom Bondiertyp, d.h. ein Kompositsubstrat, welches durch Bondieren eines Halbleitersubstrats auf die Oberfläche eines zuvor mit einem Oxidfilm gebilde-

ten, anderen Halbleitersubstrats bei einer hohen Temperatur gebildet wurde, worauf eines der Halbleitersubstrate auf eine vorbestimmte Dicke geschliffen wird, angewandt werden.

[0280] Obgleich das SOI-Substrat als dem ersten Halbleitersubstrat angewandt wurde, sollte im übrigen klar sein, daß die Halbleitervorrichtung derselben Struktur, die zur Bereitstellung derselben Funktion in der Lage ist, realisiert werden kann, indem eine elektrisch leitfähige Schicht auf einer Rückoberfläche eines sogenannten Dünnschichttransistor(TFT)-Substrats, bei dem ein Dünnschichttransistor (TFT) auf einem Isoliersubstrat gebildet ist, gebildet wird, ein Loch, welches die elektrisch leitfähige Schicht erreicht, gebildet wird, und dann eine Durchgangselektrode mittels Plattierung unter Verwendung der elektrisch leitfähigen Schicht als Elektrode gebildet wird und schließlich die elektrisch leitfähige Schicht beseitigt wird.

Ausführungsform 20

[0281] [Fig. 73](#) ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer zwanzigsten Ausführungsform der vorliegenden Erfindung zeigt. In dieser Figur sind die Bestandteile oder Komponenten, die zu den zuvor im Zusammenhang mit den ersten bis neunzehnten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 72](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0282] Bei [Fig. 73](#) wird eine Verdrahtungsschicht **150A** auf der Oberfläche des eingebetteten Isolierfilms **191** gebildet, der in der Rückoberfläche des im ersten Halbleitersubstrat gebildeten, ersten Halbleiterelements **5** exponiert ist.

[0283] Die oben erwähnte Verdrahtungsschicht **150A** wird zum erneuten Verdrahten verwendet, indem von einem in der Halbleiterprozeßtechnologie gut bekannten Verfahren Gebrauch gemacht wird. Die erneute Verdrahtung kann leicht realisiert werden, indem von dem Isolierfilm **191** Gebrauch gemacht wird.

[0284] Beim Schleifen der Rückoberfläche der Halbleitersubstratmatrix **190** des SOI-Substrats wird ferner das Schleifen durchgeführt, bis die Rückoberfläche des eingebetteten Isolierfilms **191** (Rückoberfläche des Isolierfilms **191**) exponiert ist, wobei die Halbleitersubstratmatrix **190** vollständig beseitigt wird, ohne das Schleifen zum Zeitpunkt zu unterbrechen, wenn der Bodenabschnitt der Durchgangselektroden exponiert ist. Dann kann eine Oberfläche des eingebetteten Isolierfilms **191** ohne Versatzabschnitte erhalten werden, wodurch die Verdrahtungsschicht **150A** mit größerer Leichtigkeit gebildet wer-

den kann.

[0285] In der Verdrahtungsleiterschicht **150A** kann eine vorstehende Elektrode **80** gebildet werden.

Ausführungsform 21

[0286] [Fig. 74](#) und [Fig. 75](#) sind Schnittansichten, die eine Halbleitervorrichtung gemäß einer einundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt. In diesen Figuren sind die Bestandteile oder Komponenten, die zu den zuvor im Zusammenhang mit den ersten bis zwölften Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 73](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0287] In [Fig. 74](#) ist eine Halbleitervorrichtung gezeigt, die einer Kombination der Halbleitervorrichtungen gemäß der vierten und neunzehnten Ausführungsform der Erfindung entspricht.

[0288] Andererseits zeigt die [Fig. 75](#) eine Halbleitervorrichtung, die einer Kombination der Halbleitervorrichtungen gemäß der vierten und zwanzigsten Ausführungsformen der Erfindung entspricht.

[0289] Bei der in [Fig. 74](#) gezeigten Halbleitervorrichtung kann von der Rückoberfläche des eingebetteten Oxidfilms (Isolierfilm) **191** des SOI-Substrats **1** Gebrauch gemacht werden als dem ersten externen Terminal, ohne den Verdrahtungsleiter bereitzustellen, wobei die Anzahl der Terminals mit kürzesten Übertragungswegen erhöht werden kann.

[0290] Durch Anwenden des SOI-Substrats **1** ist ferner die Gesamtdicke der in der ersten Halbleiterschaltung **3** gebildeten extrem dünnen Halbleiterschicht und des eingebetteten Oxidfilms **191** noch beträchtlich gering. Somit ist die Ätztiefe zum Bilden der Löcher extrem gering. Dank dieses Merkmals kann das leitfähige Material für das Loch beim Bilden des Verbindungsleiters **9** ohne Anwendung des Plattierprozesses eingebettet werden. Auf diese Weise kann eine große Anzahl kleiner Terminals durch ein stark vereinfachtes Verfahren gebildet werden.

[0291] Im übrigen können vorstehende Elektroden **80** durch Bilden der Verdrahtungsleiterschichten **150A** auf der Rückoberfläche des SOI-Substrats **1**, wie in [Fig. 75](#) gezeigt, bereitgestellt werden.

Ausführungsform 22

[0292] [Fig. 76](#) und [Fig. 77](#) sind Schnittansichten, die Halbleitervorrichtungen gemäß einer zweiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigen. In diesen Figuren sind Bestandteile

oder Komponenten, die zu den zuvor in Verbindung mit den ersten bis einundzwanzigsten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 75](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0293] Bei der in [Fig. 76](#) gezeigten Halbleitervorrichtung wird ein SOI-Substrat oder ein Isoliersubstrat mit darauf gebildetem Dünnschichttransistor (TFT) als dem zweiten Halbleitersubstrat **2** des zweiten Halbleiterelements **6** angewandt.

[0294] Bei der in [Fig. 77](#) gezeigten Halbleitervorrichtung wird das SOI-Substrat als dem zweiten Halbleitersubstrat **2** des in [Fig. 74](#) gezeigten Halbleiterelements **6** angewandt.

[0295] Somit ist es bei den Halbleitervorrichtungen gemäß den ersten bis dreizehnten Ausführungsformen der Erfindung und den Halbleitervorrichtungen, bei denen das SOI-Substrat als dem ersten Halbleitersubstrat **1** angewandt wird, möglich, die elektrische Stabilität und die chemische/mechanische Widerstandsfähigkeit zu verbessern, um dadurch mit Leichtigkeit die Zuverlässigkeit zu verstärken, ähnlich zu der Halbleitervorrichtung gemäß der vierzehnten Ausführungsform, bei der die Rückoberfläche des zweiten Halbleiterelements **6** mit dem Isoliermaterial (Isolierfilm) beschichtet ist, ohne Notwendigkeit des Bildens des Isolierfilms auf der Rückoberfläche des zweiten Halbleiterelements **6**, indem ein Substrat mit der zuvor darauf abgeschiedenen Isolierschicht verwendet wird.

[0296] Beim Verfahren zum Herstellen der oben beschriebenen Halbleitervorrichtungen wird das SOI-Substrat oder alternativ das Isoliersubstrat mit dem darauf gebildeten Dünnschichttransistor (TFT) als dem zweiten Halbleiterelement **6** in dem zuvor in im Zusammenhang mit der dritten Ausführungsform unter Bezugnahme auf [Fig. 12](#) beschriebenen Schritt angewandt.

[0297] Ferner wird in dem in [Fig. 14](#) gezeigten Schritt das Schleifen ausgeführt, bis die Rückoberfläche des zweiten Halbleiterelements **6** exponiert ist.

Ausführungsform 23

[0298] [Fig. 78](#) und [Fig. 79](#) sind Schnittansichten, die Halbleitervorrichtungen gemäß einer dreiundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigen. In diesen Figuren sind die Bestandteile oder Komponenten, die zu den zuvor im Zusammenhang mit den ersten bis zweiundzwanzigsten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 77](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und

eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0299] In der in [Fig. 78](#) gezeigten Halbleitervorrichtung wird eine Verdrahtungsleiterschicht **150** auf der Oberfläche gebildet, die mit der Rückoberfläche des zweiten Halbleiterelements **6** bei der in [Fig. 76](#) gezeigten Halbleitervorrichtung eben ist, wobei von der Rückoberfläche der Verdrahtungsleiterschicht **150** Gebrauch gemacht wird für Bereiche zum Einrichten von externen Terminals.

[0300] Eine Anschlußelektrode (zweite vorstehende Elektrode **81**) kann auf der oberen Oberfläche der Verdrahtungsleiterschicht **150** wie im Fall der in [Fig. 78](#) gezeigten Halbleitervorrichtung gebildet sein.

[0301] Bei den Halbleitervorrichtungen gemäß dieser Ausführungsform der Erfindung kann somit die Integrationsdichte verbessert werden, wobei die Anzahl der verbindenden Terminals erhöht ist, ohne Erfordernis für einen zusätzlichen Schritt des Bildens des Isolierfilms.

[0302] Auf ähnliche Weise kann die Verdrahtungsleiterschicht **150A** zusätzlich auf der Oberfläche gebildet sein, die sich eben mit der Rückoberfläche des ersten Halbleiterelements **5** bei der in [Fig. 77](#) gezeigten Halbleitervorrichtung erstreckt, wie in

[0303] [Fig. 79](#) gesehen werden kann.

Ausführungsform 24

[0304] [Fig. 80](#) und [Fig. 81](#) sind Schnittansichten, die Halbleitervorrichtungen vom Stapeltyp gemäß einer vierundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigen. In diesen Figuren sind Komponenten, die zu den zuvor in Verbindung mit den ersten bis dreiundzwanzigsten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 79](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0305] Bei der in [Fig. 80](#) gezeigten Halbleitervorrichtung wird ein allgemein durch **240** bezeichnetes, drittes Halbleiterelement mit der Zwischenlegung des zusätzlichen Verdrahtungsleiters (Verdrahtungsleiterschicht **150A**), der auf der Rückoberfläche des zweiten Halbleiterelements **6** der in [Fig. 46](#) gezeigten Halbleitervorrichtung gebildet ist, übereinander gestapelt. Das dritte Halbleiterelement **240** wird mit derselben Struktur wie das zweite Halbleiterelement **6** ausgeführt. Im übrigen bezeichnet die Bezugssziffer **241** eine Halbleiterschaltung, und **242** bezeichnet eine Elektrode.

[0306] Im Fall der in [Fig. 81](#) gezeigten Halbleitervor-

richtung sind ein drittes Halbleiterelement **240** und ein viertes Halbleiterelement **244**, die jeweils in einem SOI-Substrat oder einem Dünnschichttransistor (TFT)-Substrat gebildet sind, aufeinander folgend mit der Zwischenlegung des zusätzlichen Verdrahtungsleiters (Verdrahtungsleiterschicht **150A**), der auf der Rückoberfläche des zweiten Halbleiterelements **6** der in [Fig. 76](#) gezeigten Halbleitervorrichtung gebildet ist, übereinander gestapelt. Die dritten und vierten Halbleiterelemente **240** und **244** sind jeweils mit derselben Struktur wie das zweite Halbleiterelement **6** verwirklicht. Im übrigen bezeichnen in [Fig. 81](#) die Bezugssziffern **245** und **241** jeweils Halbleiterschaltungen, und die Ziffern **246** und **242** bezeichnen jeweils Elektroden. Bei der in [Fig. 81](#) gezeigten Halbleitervorrichtung sind Anschlußelektroden (vorstehende Elektroden **80**, **81**) jeweils auf den oberen und Rückoberflächen gebildet.

[0307] Auf diese Weise können eine Vielzahl von Halbleiterelementen gestapelt oder laminiert werden durch Wiederholung derselben Struktur, wodurch die Integrationsdichte verstärkt werden kann.

Ausführungsform 25

[0308] [Fig. 82](#) bis [Fig. 86](#) sind Ansichten zum Veranschaulichen von Prozessen, die beim Halbleitervorrichtungsherstellungsverfahren gemäß der fünfundzwanzigsten Ausführungsform der vorliegenden Erfindung eingeschlossen sind. In [Fig. 82](#) bis [Fig. 86](#) sind die Komponenten, die zu den zuvor in Verbindung mit den ersten bis vierundzwanzigsten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 81](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0309] In [Fig. 82](#) bis [Fig. 86](#) wird ein Verfahren zum Herstellen der Halbleitervorrichtung gemäß der vierundzwanzigsten Ausführungsform der Erfindung veranschaulicht. Spezieller werden beim zuvor in Verbindung mit den siebzehnten bis achtzehnten Ausführungsformen oder vierundzwanzigsten oder dreiundzwanzigsten Ausführungsformen beschriebenen, zusätzlichen Verdrahtungsleiterbildungsprozeß Terminals an den Stellen gebildet, wo die Anschlußelektrode auf dem dritten Halbleiterelement **240** gebildet und mit den Anschlußelektroden verbunden werden sollen. Anschließend wird das in Verbindung mit den siebzehnten bis achtzehnten Ausführungsformen beschriebene Verfahren wiederholt durchgeführt, um dadurch die Durchgangselektrode **12** nach oben auszu dehnen.

[0310] In dem in [Fig. 82](#) gezeigten Schritt werden das erste Halbleiterelement **5** und das zweite Halbleiterelement **6** jeweils durch Verwendung des SOI-Substrats gebildet.

[0311] In dem in [Fig. 83](#) gezeigten Schritt wird die Isolierschicht auf der Rückoberfläche des zweiten Halbleitersubstrats und dem oberen Endabschnitt des oberen Bereichs der Durchgangselektrode mittels Schleifen exponiert.

[0312] In dem in [Fig. 84](#) gezeigten Schritt wird der zusätzliche Verdrahtungsleiter **150** auf dem zweiten Halbleitersubstrat **2** abgeschieden, worauf die Fotoresistschicht **31** gebildet wird, die eine Öffnung aufweist, in der die Durchgangselektrode gebildet werden soll. Anschließend wird die Durchgangselektrode **12** mittels Elektroplattierung gebildet. In diesem Fall wird das erste Halbleitersubstrat **1** als Kathode verwendet.

[0313] In dem in [Fig. 85](#) gezeigten Schritt wird die Fotoresistschicht **31** entfernt, und dann wird das SOI-Substrat einschließende, dritte Halbleiterelement **240** angebracht, um anschließend mit dem Isoliermaterial **13** bedeckt zu werden.

[0314] In dem in [Fig. 86](#) gezeigten Schritt werden der obere Endabschnitt der verlängerten Durchgangselektrode **12** und die Isolierschicht des zweiten Halbleitersubstrats durch den Schleifprozeß, ähnlich zu den zuvor unter Bezugnahme auf [Fig. 86](#) beschriebenen Schritte, exponiert.

[0315] Ferner können ein viertes Halbleiterelement etc. durch wiederholtes Ausführen des in [Fig. 82](#) bis [Fig. 86](#) gezeigten Prozesses gestapelt werden.

[0316] Schließlich wird die Rückoberfläche des ersten Halbleitersubstrats geschliffen, um den Bodenabschnitt der Durchgangselektrode **12** zu exponieren. Bei dieser Stufe können die Anschlußelektroden (vorstehenden Elektroden) auf der Rückoberfläche gebildet werden.

[0317] Die Verlängerung der Durchgangselektrode **12** kann auf ähnliche Weise durch die zuvor in Verbindung mit den siebzehnten und achtzehnten Ausführungsformen der Erfindung beschriebenen Prozesse verwirklicht werden.

[0318] Durch das oben beschriebene Verfahren kann die Halbleitervorrichtung mit einer verbesserten Integrationsdichte hergestellt werden.

Ausführungsform 26

[0319] [Fig. 87](#) ist eine Schnittansicht, die eine integrierte Halbleitervorrichtungsstapelung gemäß einer sechszwanzigsten Ausführungsform der vorliegenden Erfindung zeigt. In dieser Figur sind Bestandteile oder Komponenten, die zu den zuvor in Verbindung mit den ersten bis fünfzwanzigsten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 86](#) beschriebenen ähnlich sind, durch

gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0320] [Fig. 87](#) zeigt eine integrierte Halbleitervorrichtung vom Stapeltyp einer Kompositstruktur, die verwirklicht wird, indem die zuvor in Verbindung mit den ersten bis fünfzwanzigsten Ausführungsformen beschriebenen Halbleiterstrukturen in Kombination gestapelt werden. Spezieller wird die nun betreffende Halbleitervorrichtung hergestellt durch Stapeln der in [Fig. 33](#) gezeigten Halbleitervorrichtungen **260** gemäß der achten Ausführungsform der vorliegenden Erfindung und der in [Fig. 55](#) gezeigten Halbleitervorrichtung **261** gemäß der fünfzehnten Ausführungsform.

[0321] Bei der in [Fig. 87](#) gezeigten Halbleitervorrichtungsstapelung werden zwei in [Fig. 33](#) gezeigte Halbleitervorrichtungen **260** und eine in [Fig. 55](#) gezeigte Halbleitervorrichtung **261** angewandt. Es versteht sich von selbst, daß eine gegebene Anzahl irgendwelcher, zuvor in Verbindung mit den ersten bis fünfzwanzigsten Ausführungsformen beschriebenen Halbleitervorrichtungen mit einer gegebenen Reihenfolge gestapelt werden können. Somit kann eine Halbleitervorrichtungsstapelstruktur einer extrem großen Größenordnung verwirklicht werden.

Ausführungsform 27

[0322] [Fig. 88](#) und [Fig. 89](#) sind Schnittansichten, die eine Halbleitervorrichtung vom Array-Typ (die auch als Halbleitervorrichtungs-Array bezeichnet werden kann) gemäß einer siebenundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigen. In diesen Figuren sind Bestandteile oder Komponenten, die zu den zuvor in Verbindung mit den ersten bis sechszwanzigsten Ausführungsformen der Erfindung unter Bezugnahme auf [Fig. 1](#) bis [Fig. 87](#) beschriebenen ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0323] [Fig. 88](#) zeigt einen Halbleitervorrichtungs-Array, der in der Form eines Halbleitermoduls ausgeführt ist, bei dem eine Vielzahl von zweiten Halbleiterelementen **6** auf einem einzelnen ersten Halbleitersubstrat in einer planaren Array-Anordnung montiert sind.

[0324] Andererseits sind bei dem in [Fig. 89](#) gezeigten Halbleitervorrichtungs-Array eine Gruppe von ersten Halbleiterschaltungen auf einem einzelnen Halbleitersubstrat unabhängig voneinander gebildet, und zweite Halbleiterelemente sind jeweils auf den ersten Halbleiterschaltungen angeordnet. Somit können die in [Fig. 1](#), [Fig. 3](#) und weiterhin gezeigten Halbleitervorrichtungen erhalten werden durch Teilen der in [Fig. 89](#) gezeigten Struktur bei den jeweils

durch "A" angegebenen Stellen.

[0325] Die Halbleitervorrichtung dieses Typs kann gemäß dem zuvor in Verbindung mit der dritten Ausführungsform der Erfindung beschriebenen Verfahren hergestellt werden. Somit kann eine Integration einer großen Größenordnung verwirklicht werden.

Ausführungsform 28

[0326] Fig. 90 ist eine Schnittansicht, die eine Komposit-Halbleitervorrichtungsstruktur gemäß einer achtundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt.

[0327] Bei der in Fig. 90 gezeigten Komposit-Halbleitervorrichtungsstruktur sind eine Gruppe von im allgemeinen durch die Ziffer 291 bezeichneten, dritten Halbleiterelementen auf dem zuvor in Verbindung mit der siebenundzwanzigsten Ausführungsform beschriebenen Halbleitermodul 290 gestapelt durch Anwenden der zuvor in Verbindung mit der fünfundzwanzigsten Ausführungsform beschriebenen Stapelstruktur. Somit kann ein Komposit-Halbleitermodul einer größeren Größenordnung realisiert werden durch Kombinieren des planaren Arrays von Halbleiterelementen mit einem gestapelten Array davon.

Ausführungsform 29

[0328] Fig. 91 ist eine Schnittansicht, die eine Komposit-Halbleitervorrichtungsstruktur gemäß einer neunundzwanzigsten Ausführungsform der vorliegenden Erfindung zeigt.

[0329] Bei der in Fig. 91 gezeigten Struktur ist das erste Halbleitersubstrat 1 des Halbleitermoduls mit den auf der Rückoberfläche exponierten Verbindungsterminals, wie sie zuvor in Verbindung mit der siebenundzwanzigsten und achtundzwanzigsten Ausführungsform beschrieben wurden, mit den Halbleitervorrichtungsstapelungen (die in Fig. 42 bis Fig. 45 und Fig. 87 gezeigten Komposit-Stapelstrukturen) verbunden, die die zuvor in Verbindung mit den ersten bis zehnten Ausführungsformen beschriebenen Halbleitervorrichtungen oder den Halbleitervorrichtungen gemäß der elften bis dreizehnten Ausführungsform und der Halbleitervorrichtung gemäß der sechsundzwanzigsten Ausführungsform einschließen. Mit dieser Struktur kann ein Komposit-Halbleitermodul einer extrem großen Größenordnung realisiert werden.

Ausführungsform 30

[0330] Fig. 92 ist eine Schnittansicht, die eine Halbleitervorrichtung gemäß einer dreißigsten Ausführungsform der vorliegenden Erfindung zeigt. In dieser Figur sind die Bestandteile oder Komponenten, die zu den zuvor in Verbindung mit den ersten bis neun-

undzwanzigsten Ausführungsformen der Erfindung unter Bezugnahme auf Fig. 1 bis Fig. 91 beschrieben ähnlich sind, durch gleiche Bezugssymbole bezeichnet, und eine detaillierte wiederholte Beschreibung dieser Komponenten wird weggelassen.

[0331] Bei der in Fig. 92 gezeigten Struktur wird die erste Halbleiterschaltung 3 nicht auf dem ersten Halbleitersubstrat 1 gebildet. Somit ist mit dieser Struktur die realisierte Integrationsdichte geringer als diejenige der bisher beschriebenen Halbleitervorrichtung. Da die Struktur einfach ist und weil das Herstellungsverfahren nicht zeitraubend und einfach ist, kann jedoch eine sehr kostengünstige Halbleitervorrichtung mit hoher Ausbeute realisiert werden.

[0332] An diesem Punkt sollte ergänzt werden, daß eine ähnliche Struktur realisiert werden kann selbst in dem Fall, wo eine Metallplatte anstelle des ersten Halbleitersubstrats 1 angewandt wird.

[0333] Durch Anwenden des Ätzprozesses in Kombination mit dem Rückoberflächenschleifen können ferner die Halbleitersubstratmatrix und die Metallplatte des ersten Halbleitersubstrats allesamt entfernt werden.

[0334] Viele Modifikationen und Variationen der vorliegenden Erfindung sind im Lichte der obigen Techniken möglich. Es sollte daher klar sein, daß innerhalb des Umfangs der beigefügten Ansprüche die Erfindung anders als speziell beschrieben in die Praxis umgesetzt werden kann. Ferner können die Merkmale der im Zusammenhang mit verschiedenen Ausführungsformen beschriebenen Halbleitervorrichtungen gemäß der Erfindung miteinander kombiniert werden.

Patentansprüche

1. Halbleitervorrichtung mit:
 ersten und zweiten Halbleitersubstraten (1, 2) mit jeweils einander gegenüber angeordneten Gegenoberflächen;
 einem ersten Halbleiterelement (5), das bei der Gegenoberfläche des ersten Halbleitersubstrats (1) gebildet ist und eine erste Halbleiterschaltung (3) und eine erste Elektrode (7) umfaßt;
 einem zweiten Halbleiterelement (6), das bei der Gegenoberfläche des zweiten Halbleitersubstrats (2) gebildet ist und eine zweite Halbleiterschaltung (4) und eine zweite Elektrode (8) umfaßt;
 einer ersten Verdrahtungsleiterschicht (9), die aus einem elektrisch leitfähigen Material gebildet ist und zwischen die ersten und zweiten Elektroden (7, 8) gelegt ist; und
 einer Durchgangselektrode (12), die sich durch das erste Halbleitersubstrat (1) hindurch erstreckt und mit den ersten und zweiten Elektroden (7, 8) über das Medium der ersten Verdrahtungsleiterschicht (9) ver-

bunden ist;

wobei das zweite Halbleitersubstrat (2) oberhalb des ersten Halbleitersubstrats (1) angeordnet ist und auf einer seitlichen Seite der Durchgangselektrode (12), im Abstand davon, angeordnet ist;

wobei die seitliche Oberfläche der Durchgangselektrode (12), die aus dem ersten Halbleitersubstrat (1) herausragt, und die seitliche Oberfläche des zweiten Halbleiterelements (6) mit einer Isoliermaterialschicht (13) beschichtet sind;

wobei die Durchgangselektrode (12) einen Endabschnitt aufweist, der aus einer Rückoberfläche des ersten Halbleitersubstrats (1) heraus exponiert ist, um als ein erstes externes Terminal (10) zu dienen; und

wobei die Durchgangselektrode (12) einen anderen Endabschnitt aufweist, der auf einer gleichen Höhe wie eine Rückoberfläche des zweiten Halbleitersubstrats (2) oder der Isoliermaterialschicht (13) positioniert ist und aus der Isoliermaterialschicht (13) heraus exponiert ist, um als ein zweites externes Terminal (11) zu dienen.

2. Halbleitervorrichtung gemäß Anspruch 1, wobei die Halbleitervorrichtung ferner ein erstes zusätzliches externes Terminal (44) einschließt, welches aus der Rückoberfläche des ersten Halbleitersubstrats (1) heraus in einem Bereich, bei dem das zweite Halbleitersubstrat (2) montiert ist, exponiert ist.

3. Halbleitervorrichtung gemäß Anspruch 1 oder 2, wobei die Rückoberfläche des zweiten Halbleitersubstrats (2) mit einem Isoliermaterial (140; 180) beschichtet ist.

4. Halbleitervorrichtung gemäß irgendeinem der Ansprüche 1 bis 3, wobei die Halbleitervorrichtung eine zweite Verdrahtungselektrode (150) eines elektrisch leitfähigen Materials einschließt, welches auf einer Oberfläche des Isoliermaterials (13) der ersten und zweiten Halbleitersubstrate (1, 2) und einer exponierten Oberfläche des zweiten externen Terminals (11) abgeschieden ist, und wobei die zweite Verdrahtungselektrode (150) mit der Durchgangselektrode (12) bei einer Stelle davon verbunden ist, die als zweitem externen Terminal (11) exponiert ist.

5. Halbleitervorrichtung gemäß irgendeinem der Ansprüche 1 bis 4, wobei eine vorstehende Elementverknüpfungselektrode (20) zwischen der ersten Elektrode (7) und der zweiten Elektrode (8) bereitgestellt ist, und wobei das erste Halbleiterelement (5) und das zweite Halbleiterelement (6) durch das Medium dieser vorstehenden Elementverknüpfungselektrode (20) miteinander verbunden sind.

6. Vorrichtung gemäß irgendeinem der Ansprü-

che 1 bis 5,

wobei eine vorstehende Vorrichtungsverbindungselektrode (80; 81), die aus der exponierten Oberfläche der Durchgangselektrode (12) herausragt, in Verbindung mit mindestens einem Terminal des ersten externen Terminals (10) und des zweiten externen Terminals (11) vorgesehen ist, und

wobei die vorstehende Vorrichtungsverbindungselektrode (80; 81) als ein externes Terminal verwendet wird.

7. Halbleitervorrichtung gemäß irgendeinem der Ansprüche 1 bis 6, wobei ein SOI(Silizium-auf-Isolator)-Substrat zum Bilden des ersten Halbleitersubstrats (1) verwendet ist, und wobei ein SOI-Isolierfilm (191) als Rückoberfläche des ersten Halbleitersubstrats (1) exponiert ist.

8. Halbleitervorrichtung gemäß Anspruch 7, wobei eine dritte Verdrahtungselektrode (150A) auf dem SOI-Isolierfilm (191) des ersten Halbleitersubstrats (1) abgeschieden ist, wobei die dritte Verdrahtungselektrode (150) mit dem ersten externen Terminal (11) verbunden ist.

9. Halbleitervorrichtung gemäß irgendeinem der Ansprüche 1 bis 8, wobei ein SOI(Silizium-auf-Isolator)-Substrat als dem zweiten Halbleitersubstrat (2) verwendet ist, und wobei das SOI-Substrat einen exponierten SOI-Isolierfilm einschließt, der in der Rückoberfläche des zweiten Halbleitersubstrats (2) gebildet ist.

10. Halbleitervorrichtung gemäß irgendeinem der Ansprüche 1 bis 9, wobei eine Vielzahl der in irgendeinem der Ansprüche 1 bis 9 angegebenen Halbleitervorrichtungen über das Medium des ersten externen Terminals (10) und/oder des zweiten externen Terminals (11) miteinander verbunden sind.

11. Halbleitervorrichtung gemäß Anspruch 10, wobei die Halbleitervorrichtung ferner umfaßt: ein drittes Halbleitersubstrat (240), das auf dem zweiten Halbleitersubstrat (2) montiert ist; und ein drittes Halbleiterelement (241, 242), das in dem dritten Halbleitersubstrat (240) gebildet ist und eine dritte Halbleiterschaltung (241) und eine dritte Elektrode (242) umfaßt, wobei die dritte Elektrode (242) mit dem zweiten externen Terminal (152, 160; 20) verbunden ist, und wobei die seitliche Oberfläche des dritten Halbleiterelements (241, 242) und eine Oberfläche des dritten Halbleitersubstrats (240), in der die dritte Halbleiterschaltung (241) gebildet ist, mit einem Isoliermaterial (13) beschichtet ist.

12. Halbleitervorrichtung gemäß irgendeinem der Ansprüche 1 bis 10, wobei Durchgangselektroden (12) und erste Halblei-

terschaltungen (3) jeweils paarweise im ersten Halbleitersubstrat (1) gebildet sind, wobei zweite Halbleiterelemente (6) angeordnet sind unter Verbindung von jeweils zweiten Elektroden (8) mit den ersten Elektroden (7) einer Vielzahl von ersten Halbleiterschaltungen (3); und wobei die Oberflächen des ersten und zweiten Halbleitersubstrats (1; 2), in denen jeweils die ersten und zweiten Halbleiterschaltungen (3; 4) gebildet sind, seitliche Oberflächen der zweiten Halbleitersubstrate (2) und seitliche Oberflächen der Durchgangselektroden (12) jeweils mit einem Isoliermaterial (13) beschichtet sind, um dadurch eine integrale planare Array-Struktur auf einer durch das erste Halbleitersubstrat (1) aufgebauten, einzelnen Platte auszugestalten.

13. Halbleitervorrichtung gemäß Anspruch 12, wobei eine Vielzahl von Halbleiterelementen (5, 6) in mindestens einer der Halbleitervorrichtungen, verbunden mit den ersten Elektroden (7) der Vielzahl der ersten Halbleiterschaltungen (3), gestapelt sind.

14. Halbleitervorrichtung gemäß irgendeinem der Ansprüche 1 bis 13, wobei die Dicke des ersten Halbleitersubstrats (1) 20 µm nicht übersteigt.

15. Verfahren zum Herstellen einer Halbleitervorrichtung, umfassend:

ein Schaltungsbildungsschritt zum Bilden einer ersten Halbleiterschaltung (3), die einen Verbindungsterminalabschnitt auf einem ersten Halbleitersubstrat (1) einschließt;

einen Lochbildungsschritt zum Bilden eines ersten Lochs einer vorbestimmten Tiefe, die eine Halbleitersubstratmatrix des ersten Halbleitersubstrats (1) bei einer Position erreicht, die außerhalb eines Bereichs liegt, in dem ein zweites Halbleiterelement (6) anzuordnen ist, welches zuvor, in einem zweiten Halbleitersubstrat (2) gebildet, eine zweite Halbleiterschaltung (4) und eine zweite Elektrode (8) einschließt; einen Isolierfilmabscheidungsschritt zum Abscheiden eines Isolierfilms (30) auf einer Seitenwand und einem Boden des ersten Lochs und einer Oberfläche des ersten Halbleitersubstrats (1), in der die erste Halbleiterschaltung (3) gebildet ist;

einen Isolierfilmbeseitigungsschritt zum Beseitigen des Isolierfilms (30), der auf dem Boden des ersten Lochs und dem Verbindungsterminalabschnitt gebildet ist;

einen Verdrahtungsleiterverbindungsschritt zum Bilden einer Verdrahtungsleiterschicht (9) eines elektrisch leitenden Materials derart, daß ein Endabschnitt der Verdrahtungsleiterschicht (9) mit der den Boden des ersten Lochs bildenden Halbleitersubstratmatrix verbunden wird, wobei der andere Endabschnitt davon als eine erste Elektrode (7) dient; einen Resistmusterbildungsschritt zum Applizieren eines Resists auf der Seite des Halbleitersubstrats (1), bei der die erste Halbleiterschaltung (3) gebildet

ist, um dadurch ein Resistmuster (31) einer vorbestimmten Dicke zu bilden, wobei das Resistmuster (31) eine Öffnung zum Bilden des ersten Lochs aufweist;

einen Elektrodenbildungsschritt zum Bilden einer Durchgangselektrode (12) auf dem elektrisch leitfähigen Material durch die in dem Resistmuster (31) gebildeten Öffnung mittels Elektroplattierung, wobei die erste Halbleitersubstratmatrix als eine Kathode verwendet wird;

einen Resistentfernungsschritt zum Entfernen des Resists (31);

einen Elementverbindungsschritt zum Verbinden eines ersten Halbleiterelements (5), welches die erste Halbleiterschaltung (3) und die erste Elektrode (7) in bzw. bei dem ersten Halbleitersubstrat (1) gebildet einschließt, mit dem zweiten Halbleiterelement (6) durch das Medium der ersten Elektrode (7) und der zweiten Elektrode (8);

einen Durchgangselektroden-Isolierbeschichtungsschritt zum Beschichten des zweiten Halbleitersubstrats (2) und der Durchgangselektrode (12) mit einem Isoliermaterial (13) auf der Oberfläche des ersten Halbleitersubstrats (1), in der die erste Halbleiterschaltung (3) gebildet ist;

einen Oberflächenschleifschritt zum Schleifen des Isoliermaterials (13), das in dem Durchgangselektroden-Isolierbeschichtungsschritt aufgeschichtet wurde, von einer Seite des ersten Halbleitersubstrats (1), auf der das zweite Halbleitersubstrat (2) montiert ist, bis die Durchgangselektrode (12) exponiert ist; und einen Rückoberflächenschleifschritt zum Schleifen einer Rückoberfläche des ersten Halbleitersubstrats (1) um eine vorbestimmte Dicke.

16. Halbleitervorrichtungsherstellungsverfahren gemäß Anspruch 15, ferner mit:

einem Vorsprungselektroden-Bildungsschritt zum Bilden einer vorstehenden Elektrode (81) auf einem oberen Abschnitt der Durchgangselektrode (12), der auf der Seite des zweiten Halbleitersubstrats (2) exponiert ist, durch einen Elektroplattierungsprozess unter Verwendung des ersten Halbleitersubstrats (1) als einer Kathode, nachdem der Oberflächenschleifschritt durchgeführt worden war.

17. Halbleitervorrichtungsherstellungsverfahren gemäß Anspruch 15 oder 16, ferner mit:

einem Rückoberflächenätzschritt zum Beseitigen, mittels Ätzen, der Halbleitersubstratmatrix, die auf der Rückoberfläche des ersten Halbleitersubstrats (1) exponiert ist, bis die Durchgangselektrode (12) aus dem ersten Halbleitersubstrat (1) herausragt, im Anschluß an den Rückoberflächenätzschritt.

18. Halbleitervorrichtungsherstellungsverfahren gemäß irgendeinem der Ansprüche 15 bis 17, wobei in dem Lochbildungsschritt ein zweites Loch bei einer Position gebildet wird, die bei einem vorbestimmten Abstand von dem ersten Loch entfernt liegt,

mit einer vorbestimmten Tiefe, die die Halbleitersubstratmatrix erreicht;
wobei in dem Isolierfilmabscheidungsschritt ein Isolierfilm auf einer seitlichen Oberfläche und einem Boden des zweiten Lochs abgeschieden wird,
wobei in dem Isolierfilmbeseitigungsschritt der Isolierfilm, der auf dem Boden des zweiten Lochs gebildet wurde, entfernt wird,
wobei in dem Verdrahtungsleiterverbindungsschritt ein Verdrahtungsleiter gebildet wird unter Verbindung eines Endabschnitts mit dem Verbindungsterminal,
wobei in dem Resistmusterbildungsschritt ein Resistmuster einer vorbestimmten Dicke gebildet wird, in dem eine Öffnung bei einer Stelle gebildet wird, wo das zweite Loch gebildet werden soll, und
wobei in dem Elektrodenbildungsschritt ein elektrisch leitfähiges Material in dem zweiten Loch eingebettet wird.

19. Halbleitervorrichtungsherstellungsverfahren gemäß irgendeinem der Ansprüche 15 bis 18, wobei in dem Resistmusterbildungsschritt das Resistmuster auf eine Höhe gebildet wird, die höher ist als die Rückoberfläche des zweiten Halbleitersubstrats, die gegenüber der Oberfläche lokalisiert ist, in der die zweite Halbleiterschaltungs-Bildungsoberfläche gebildet ist, wobei in dem Elektrodenbildungsschritt die Durchgangselektrode (**12**) auf eine Höhe gebildet wird, die höher ist als die Rückoberfläche des zweiten Halbleitersubstrats (**2**), die gegenüber der Oberfläche lokalisiert ist, in der die zweite Halbleiterschaltung gebildet wird, und wobei in dem Oberflächenschleifschritt nur die Durchgangselektrode exponiert wird.

20. Halbleitervorrichtungsherstellungsverfahren gemäß irgendeinem der Ansprüche 15 bis 18, ferner mit einem Oberflächenleiterabschnitts-Hildungsschritt, bei dem die durch den Oberflächenschleifschritt geschliffene Oberfläche mit einem Isolierfilmmuster beschichtet wird, das eine Position bei einem oberen Abschnitt der Durchgangselektrode (**12**) einnehmen kann, um dadurch einen elektrisch leitfähigen Abschnitt zu bilden, der mit dem oberen Abschnitt verbunden ist und der eine Dicke aufweist, die nicht geringer ist als eine Höhe der Oberfläche des Isolierfilmmusters, durch einen Elektroplattierprozeß, in dem von der Halbleitersubstratmatrix des ersten Halbleitersubstrats (**1**) als Kathode Gebrauch gemacht wird.

Es folgen 56 Blatt Zeichnungen

FIG. 1

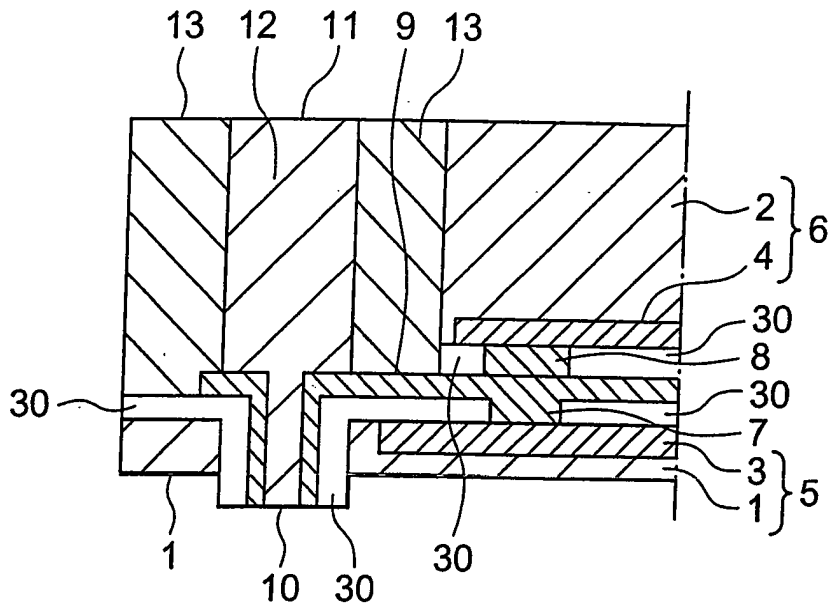


FIG. 2

STAND DER TECHNIK

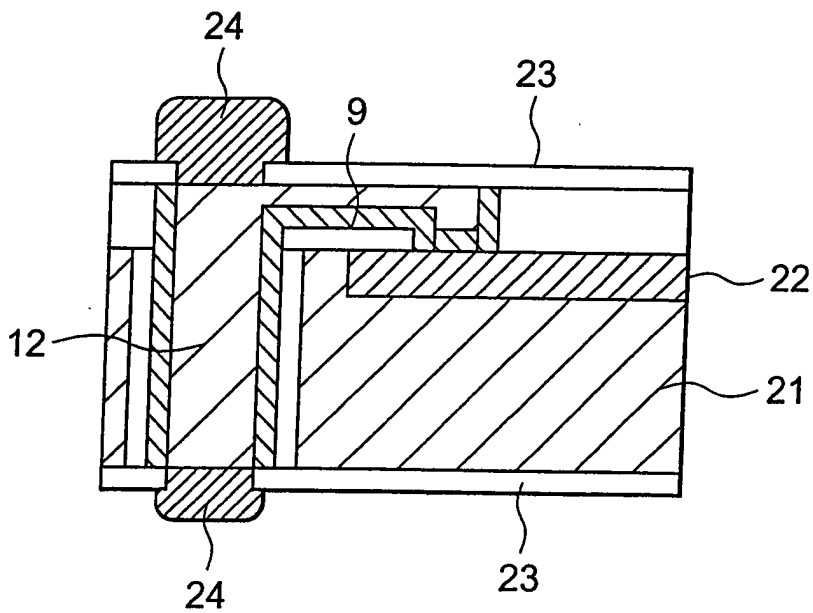


FIG. 3

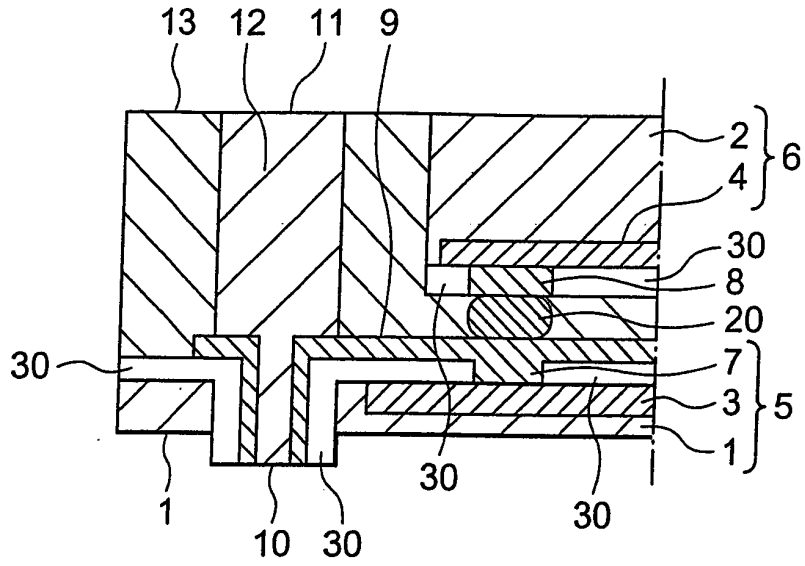


FIG. 4

STAND DER TECHNIK

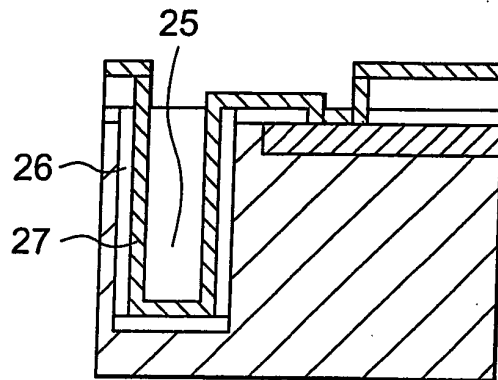


FIG. 5

STAND DER TECHNIK

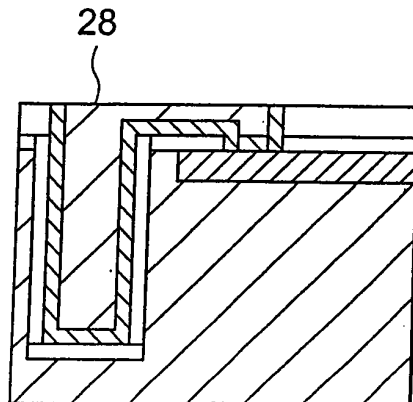


FIG. 6

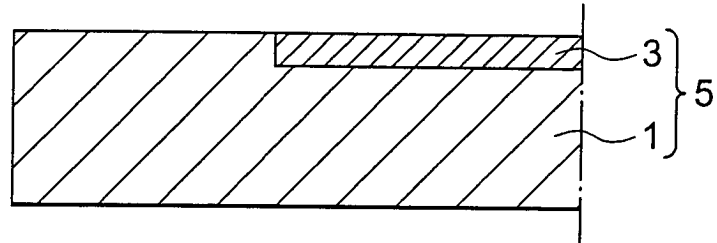


FIG. 7

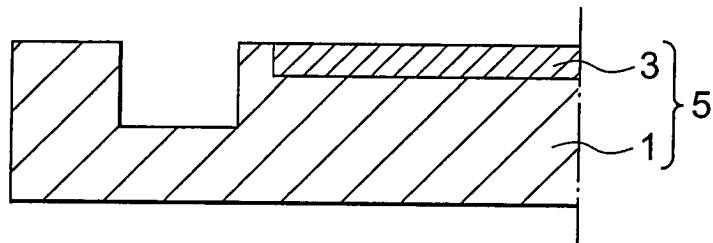


FIG. 8

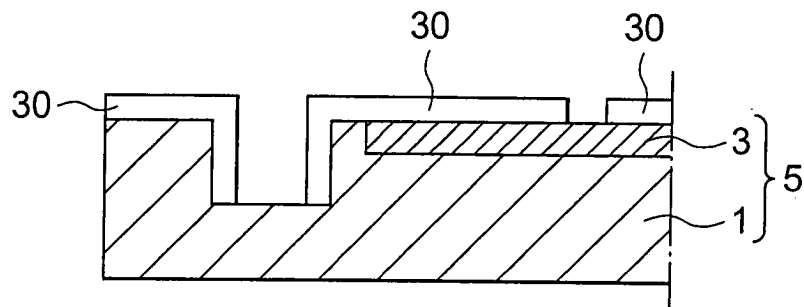


FIG. 9

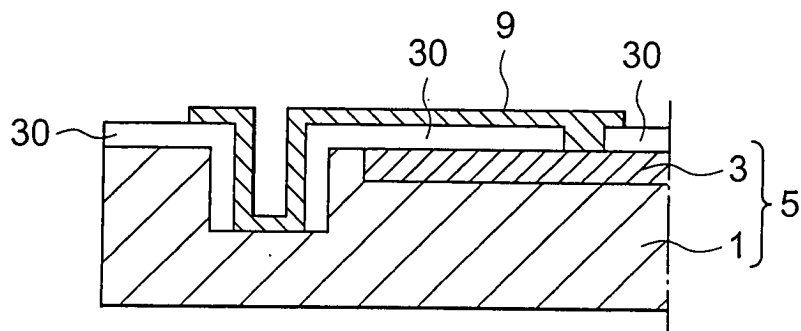


FIG. 10

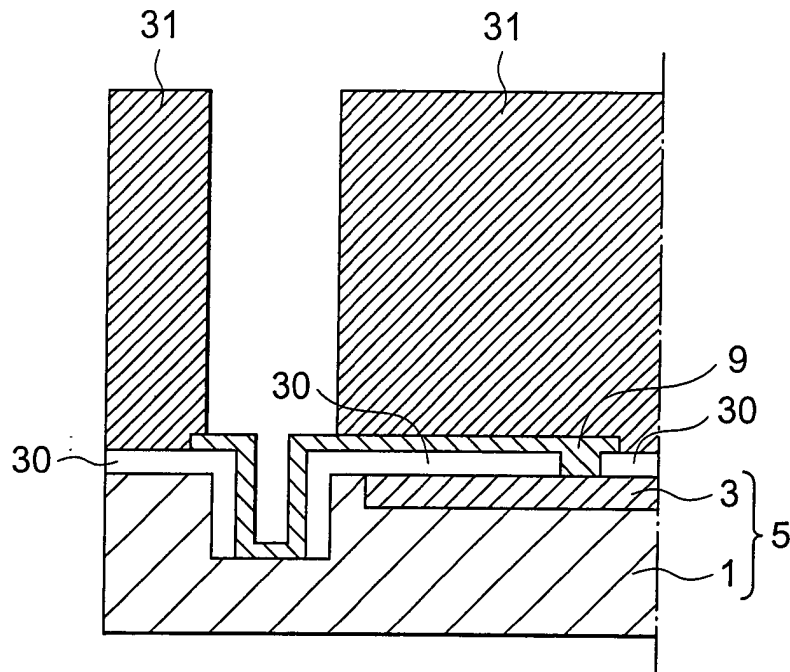


FIG. 11

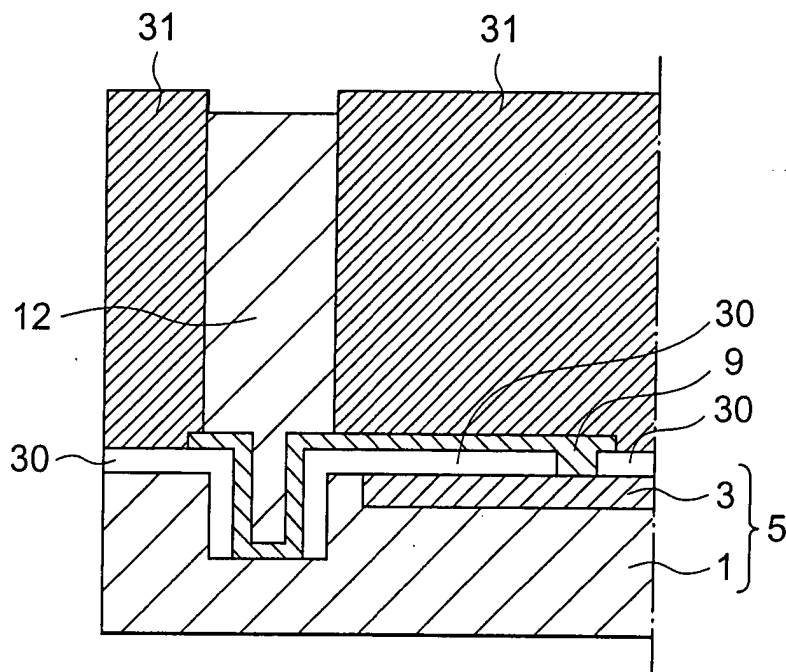


FIG. 12

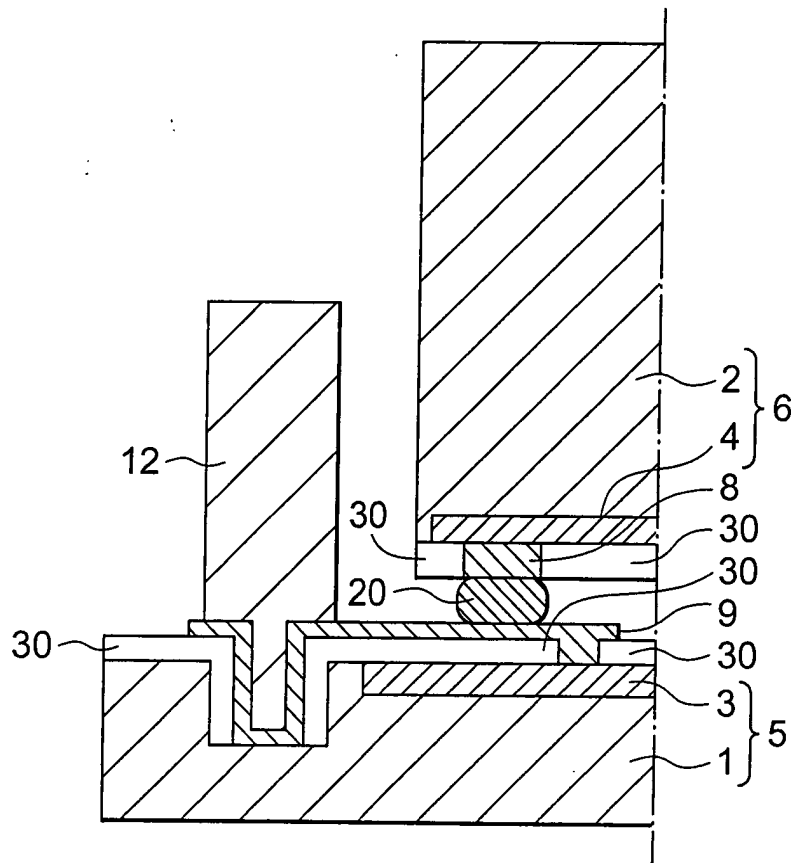


FIG. 13

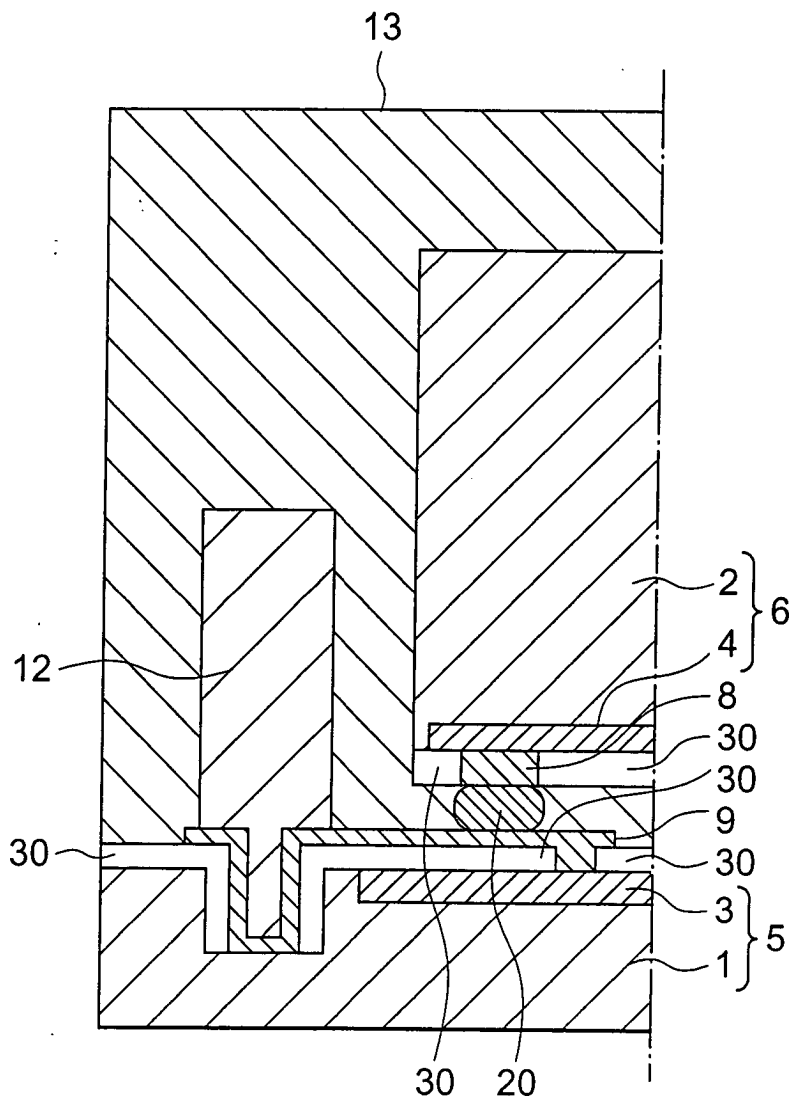


FIG. 14

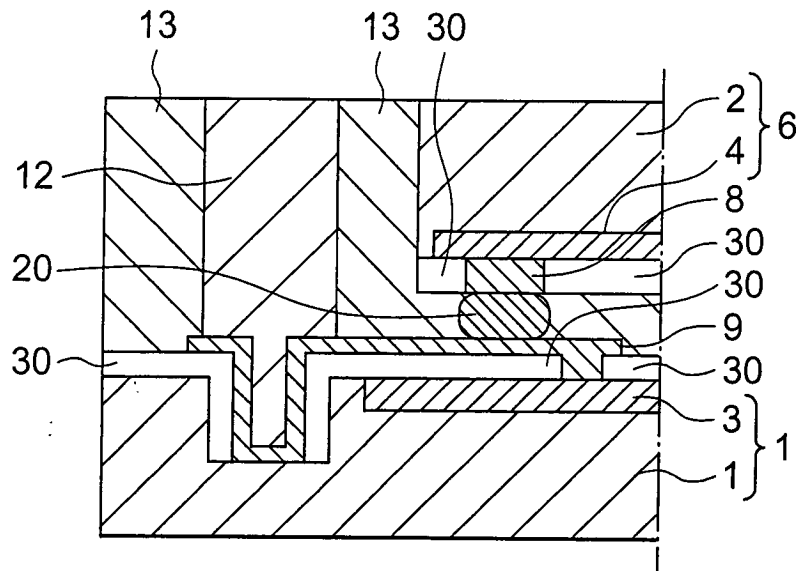


FIG. 15

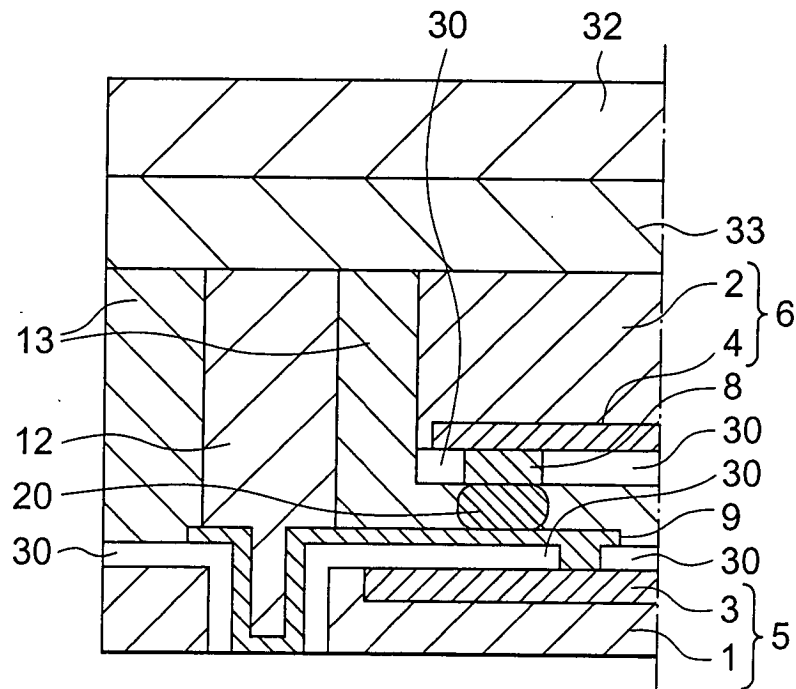


FIG. 16

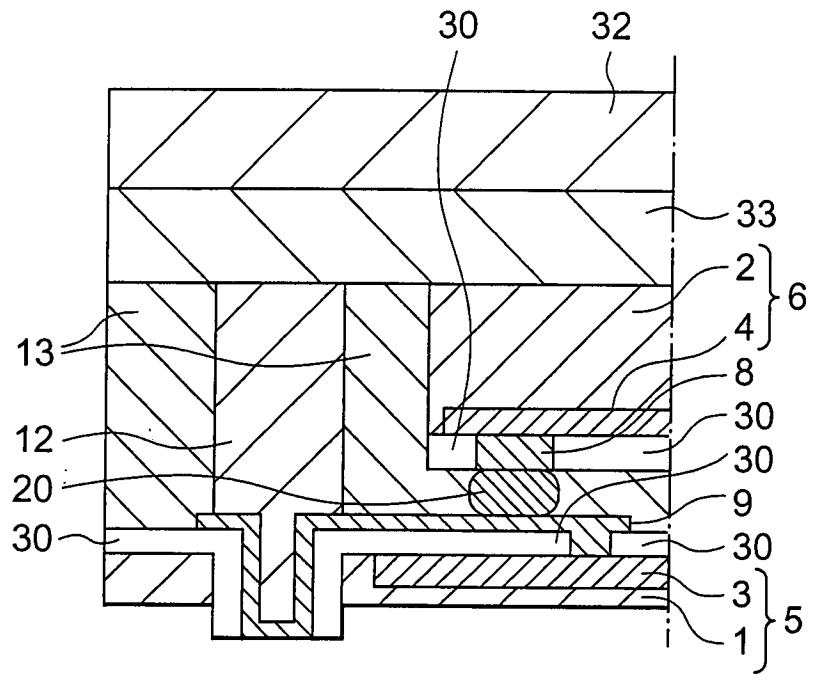


FIG. 17

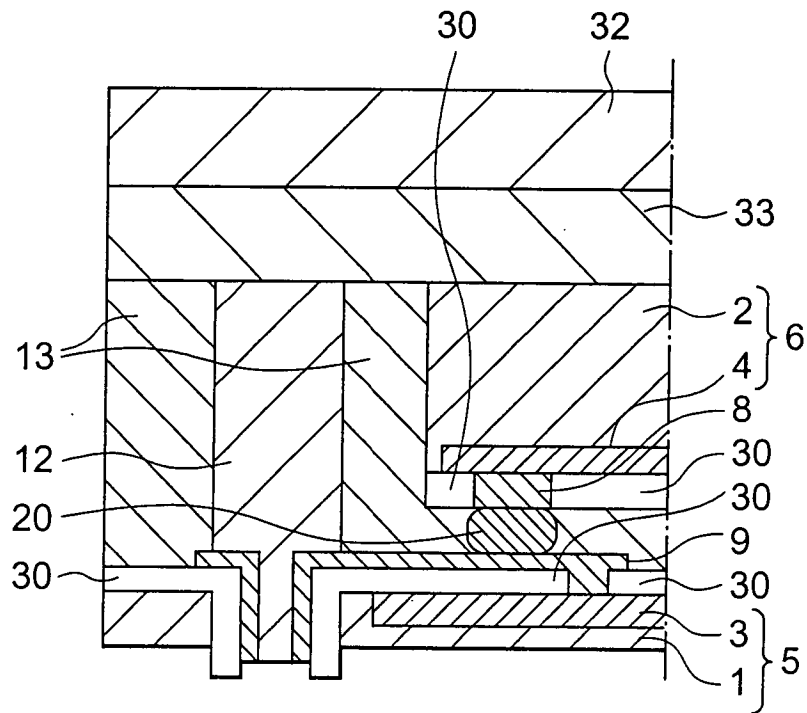


FIG. 18

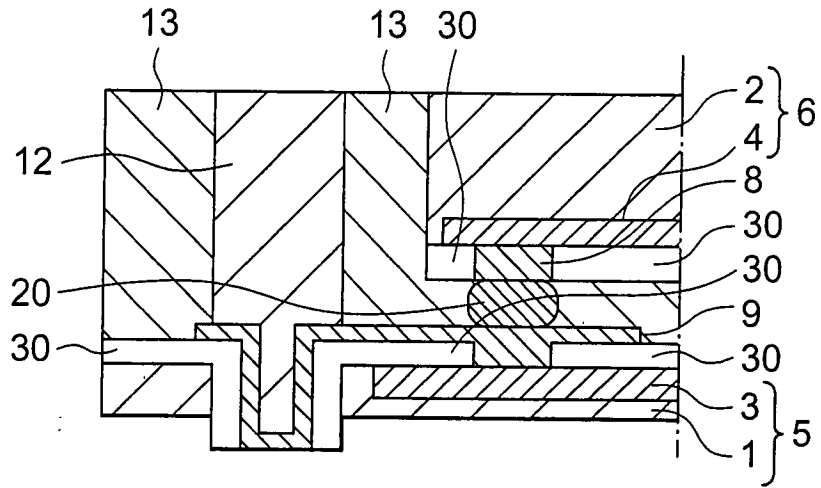


FIG. 19

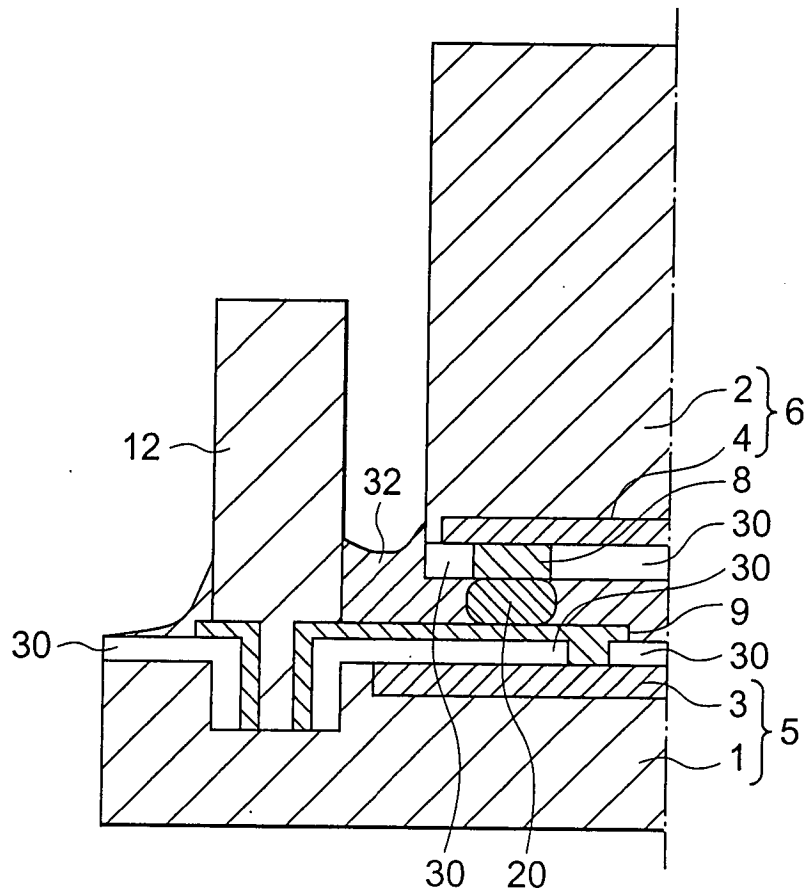


FIG. 20

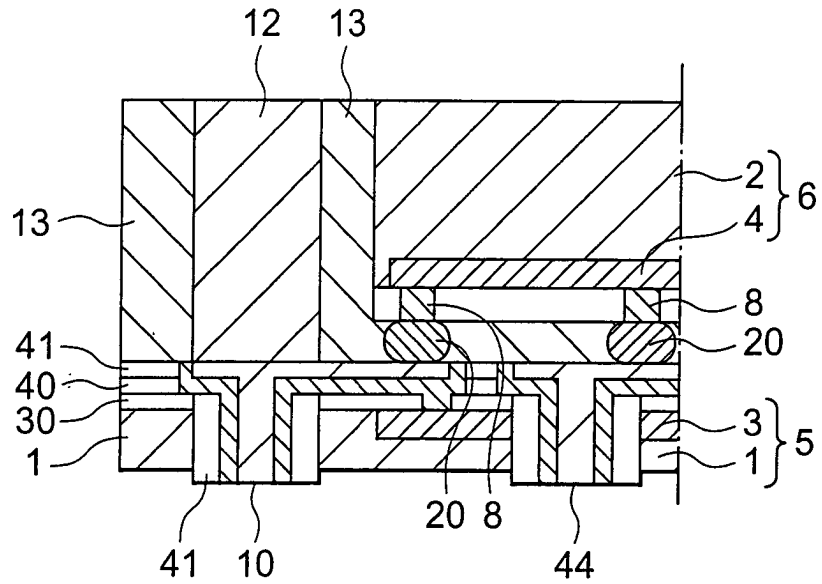


FIG. 21

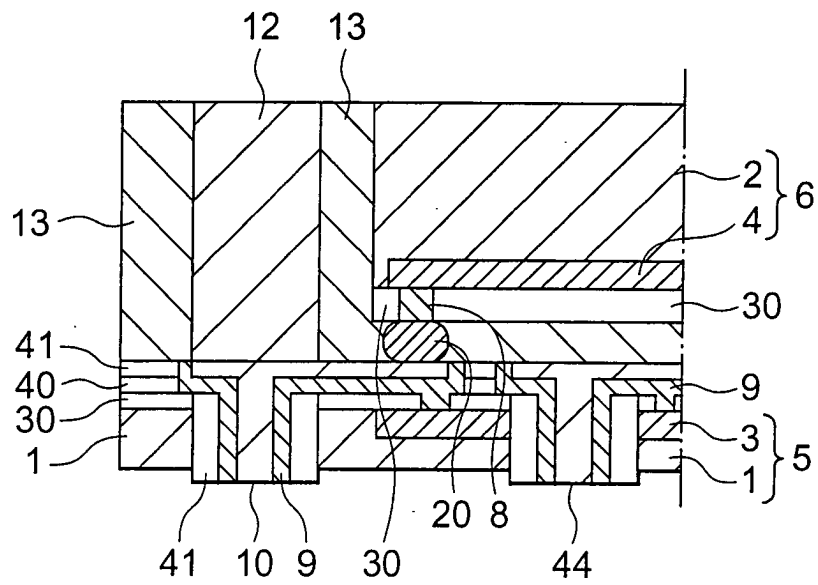


FIG. 22

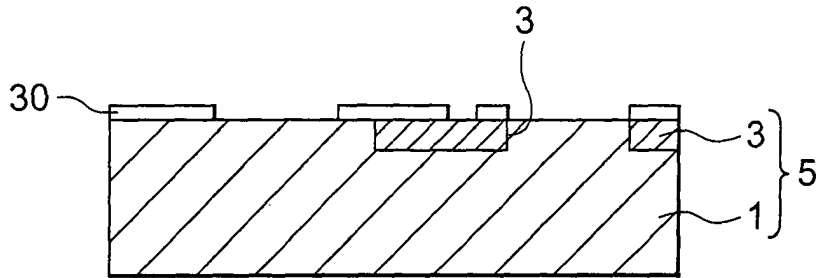


FIG. 23

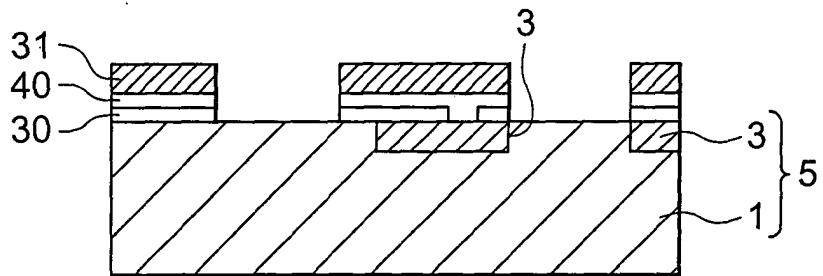


FIG. 24

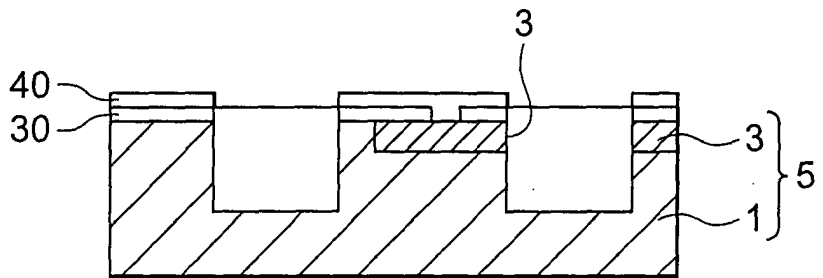


FIG. 25

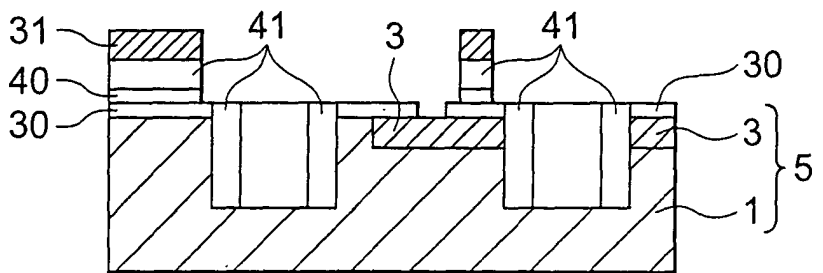


FIG. 26

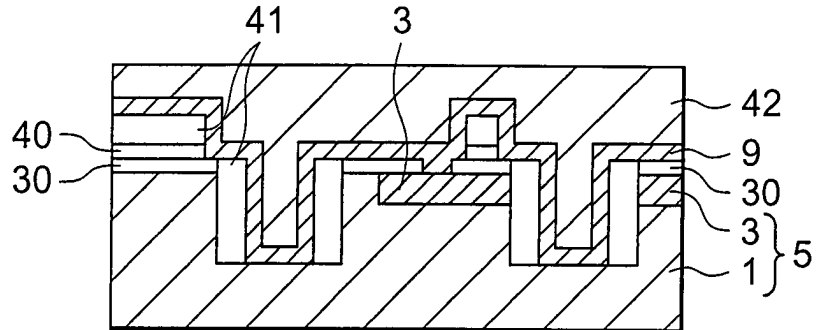


FIG. 27

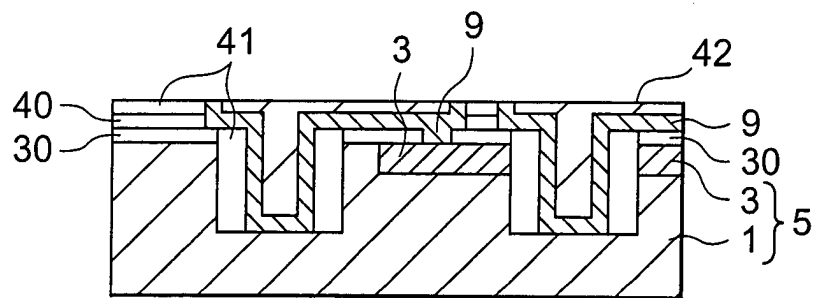


FIG. 28

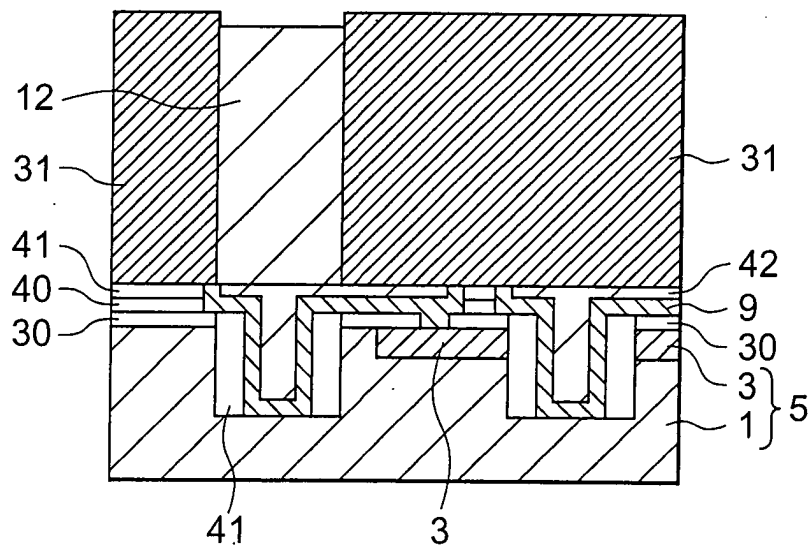


FIG. 29

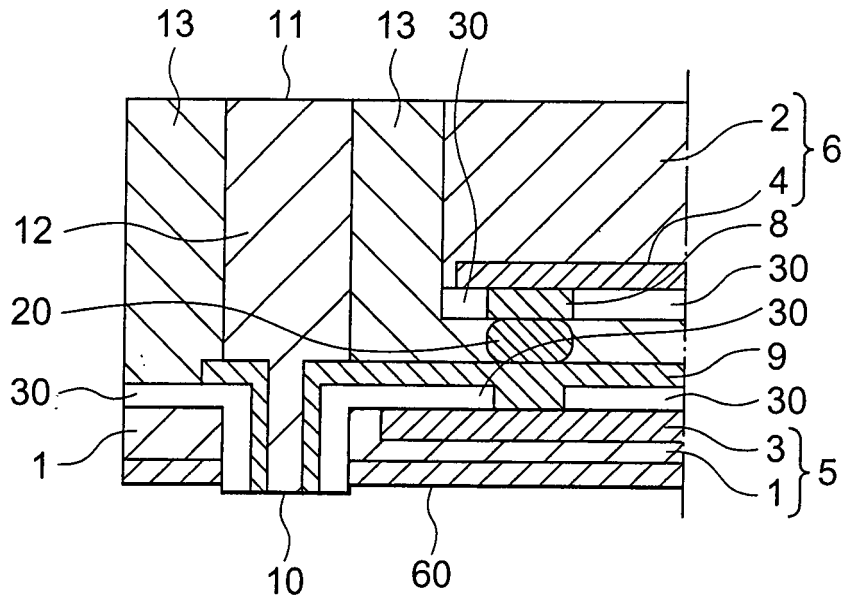


FIG. 30

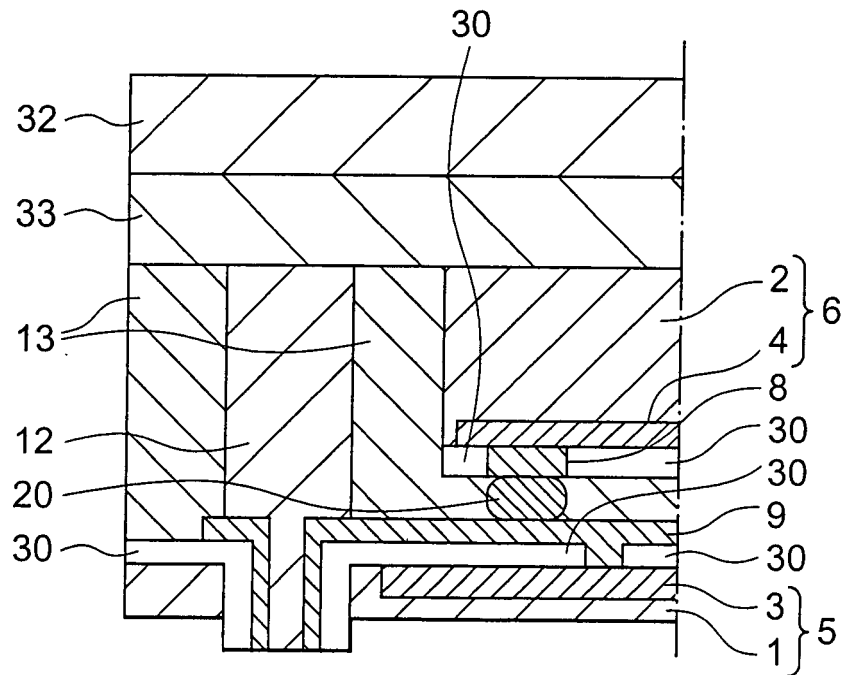


FIG. 31

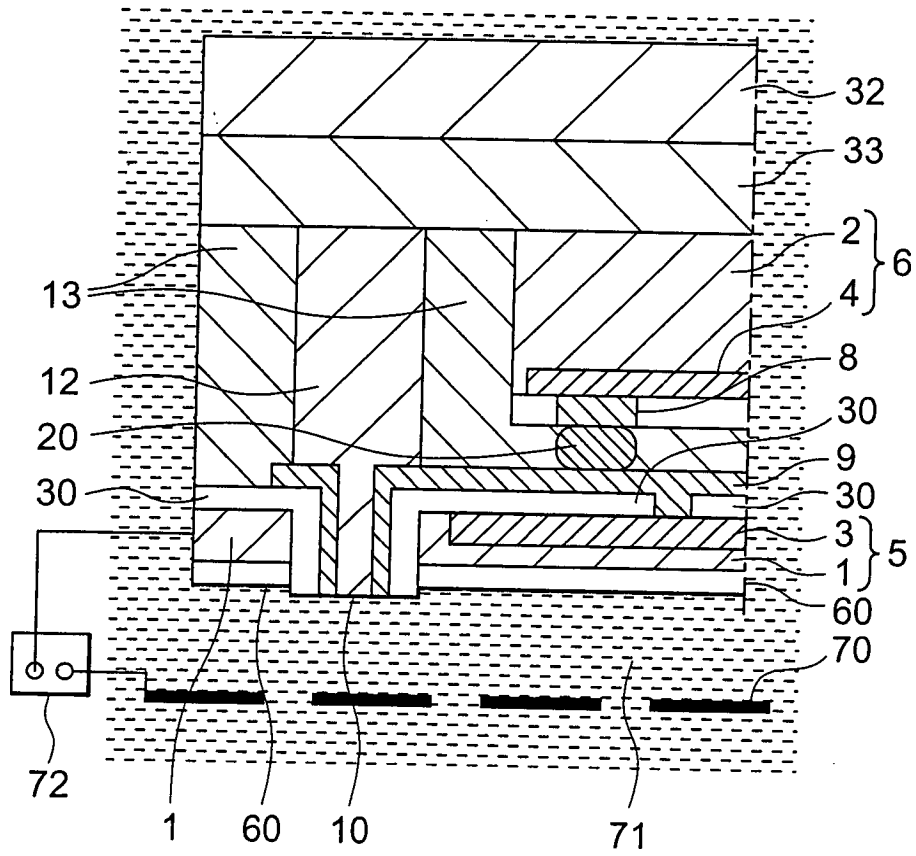


FIG. 32

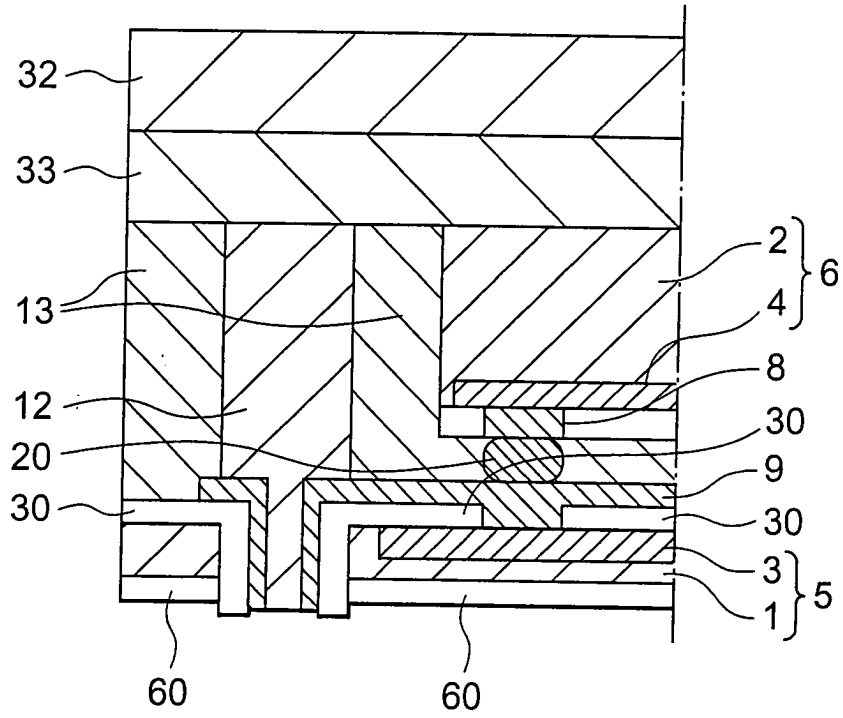


FIG. 33

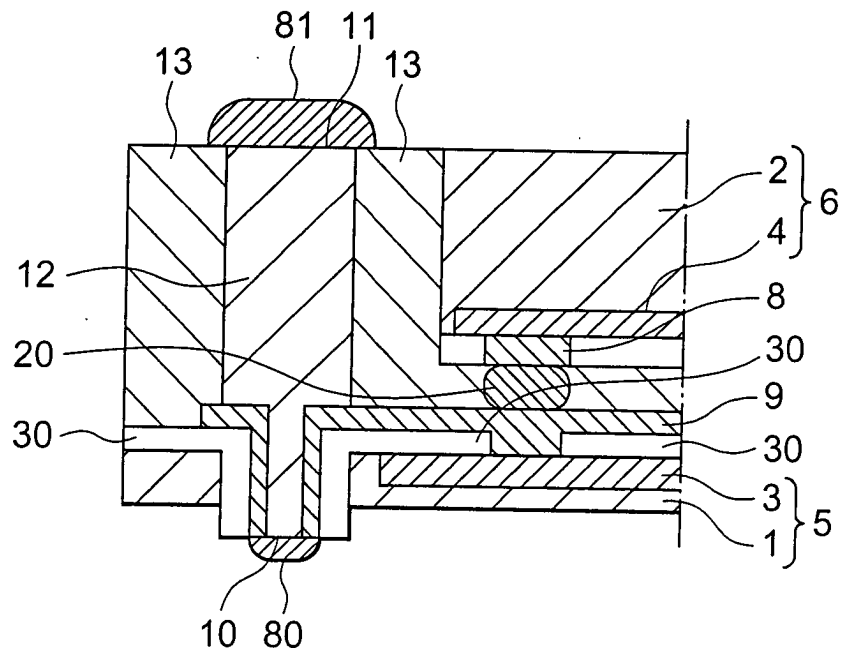


FIG. 34

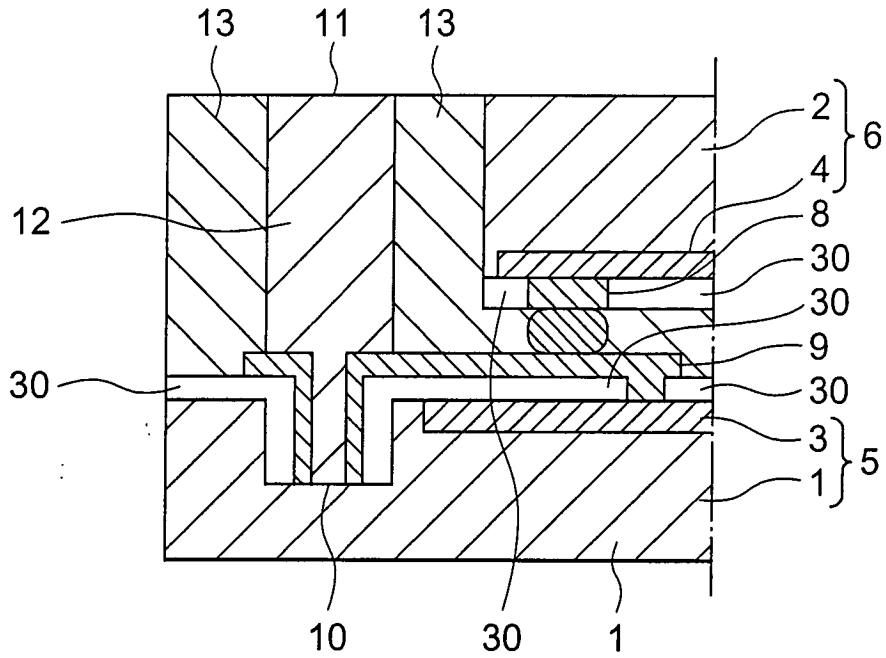


FIG. 35

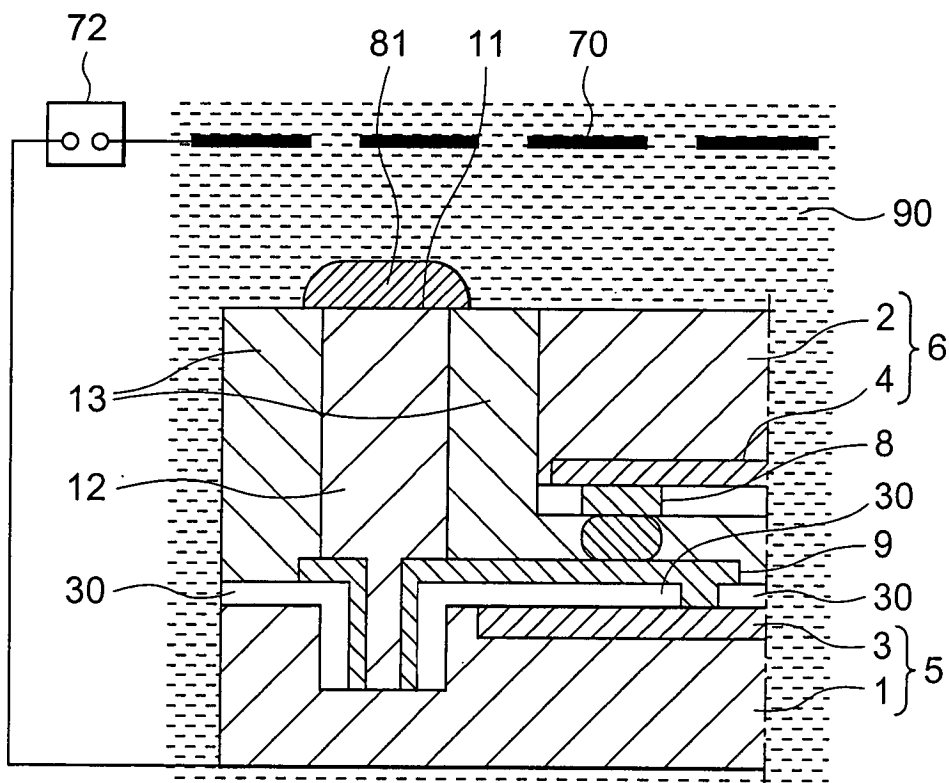


FIG. 36

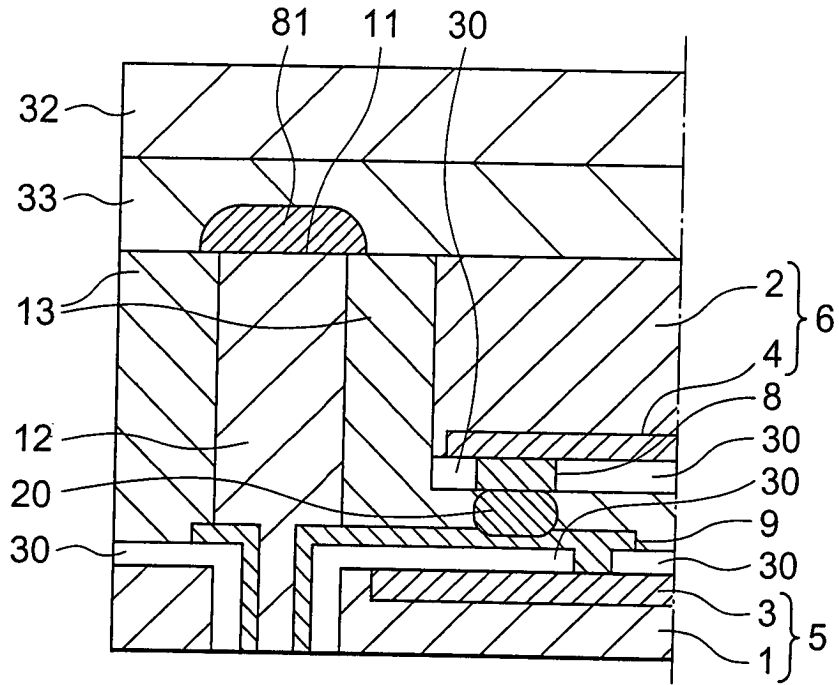


FIG. 37

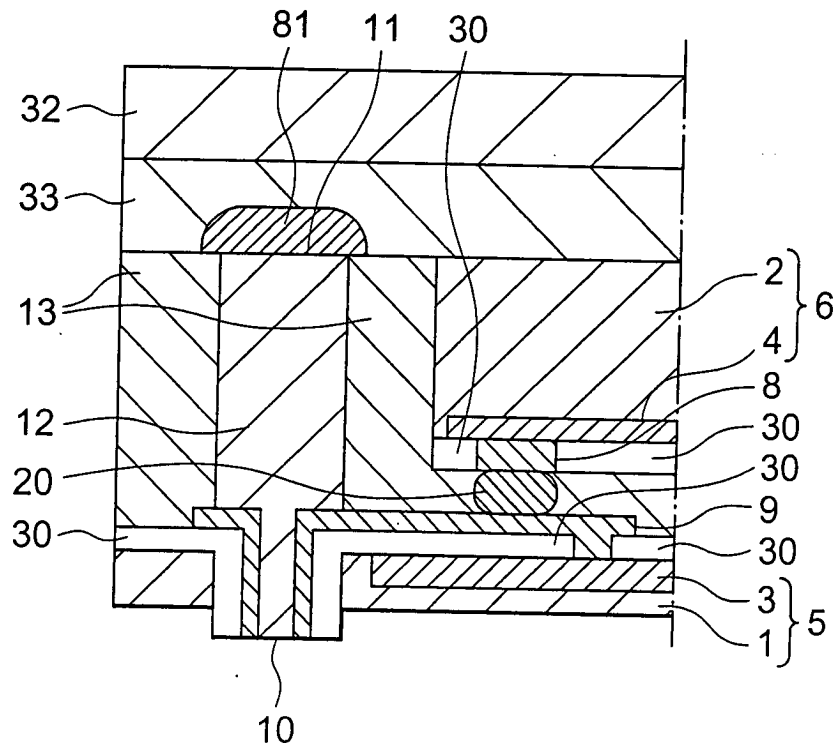


FIG. 38

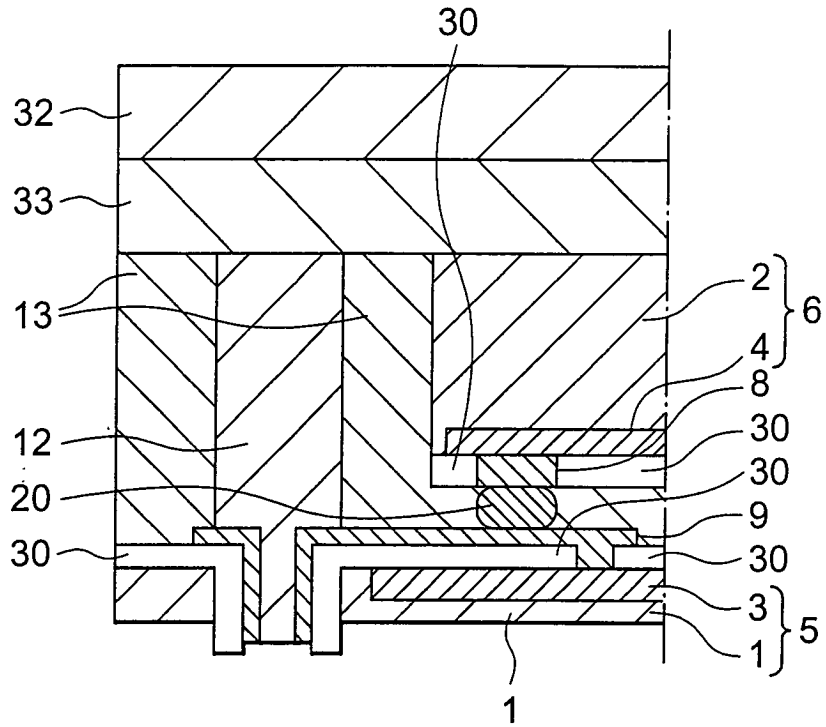


FIG. 39

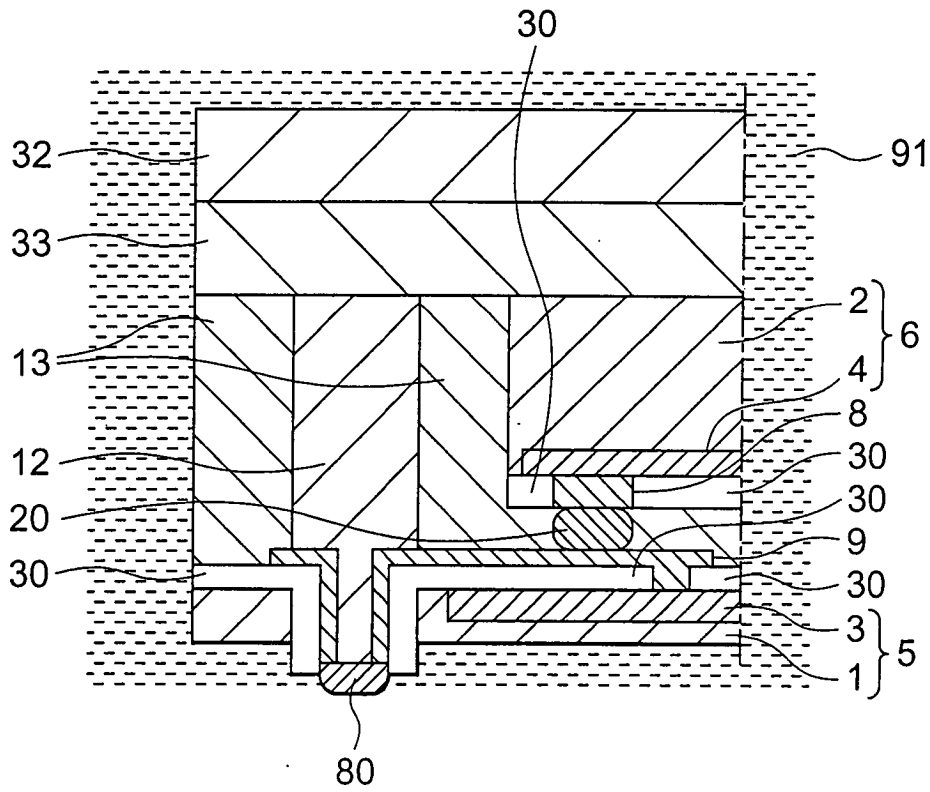


FIG. 40

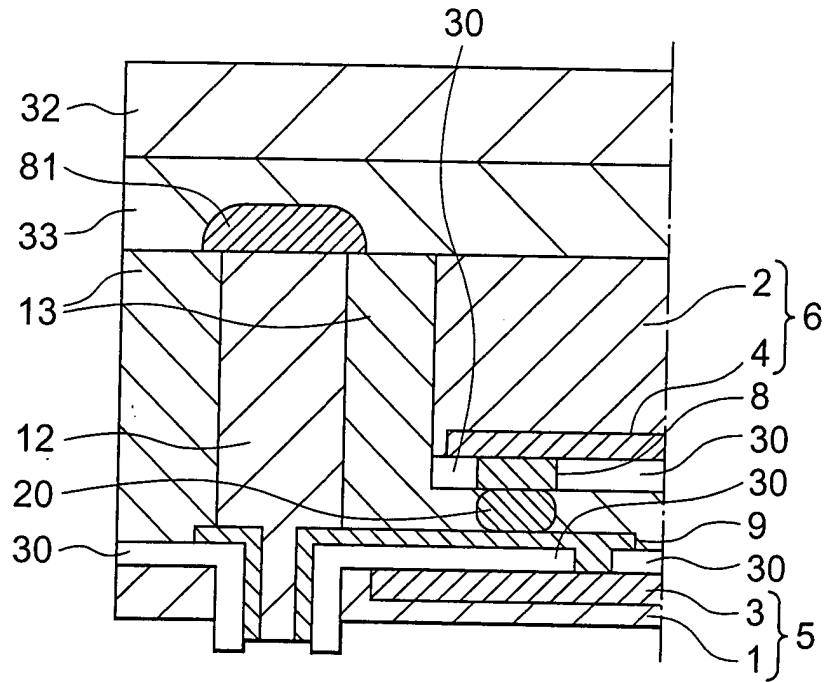


FIG. 41

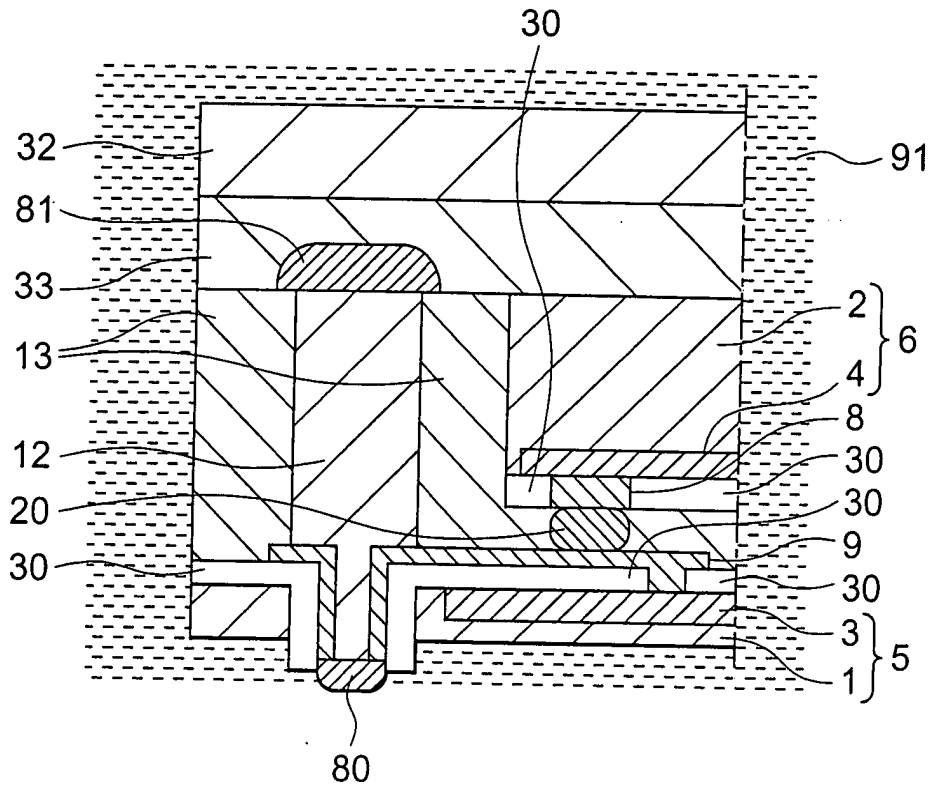


FIG. 42

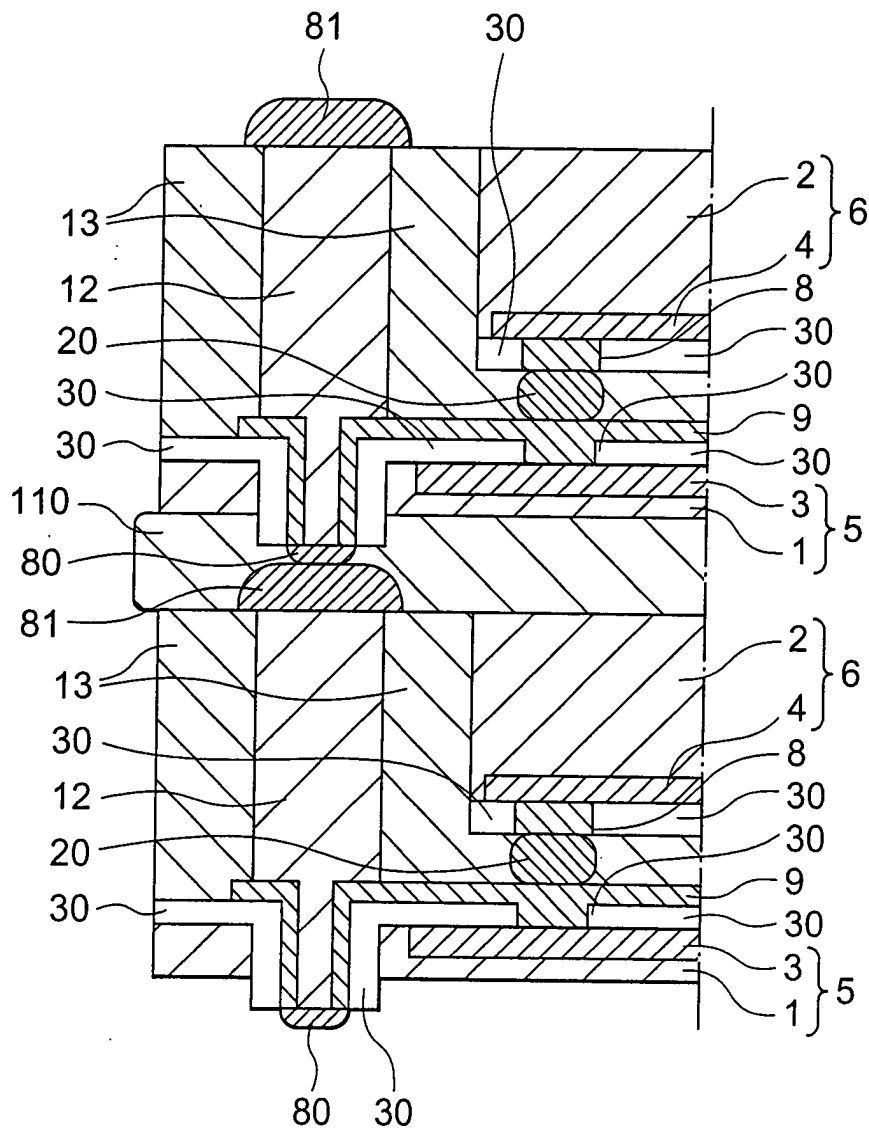


FIG. 43

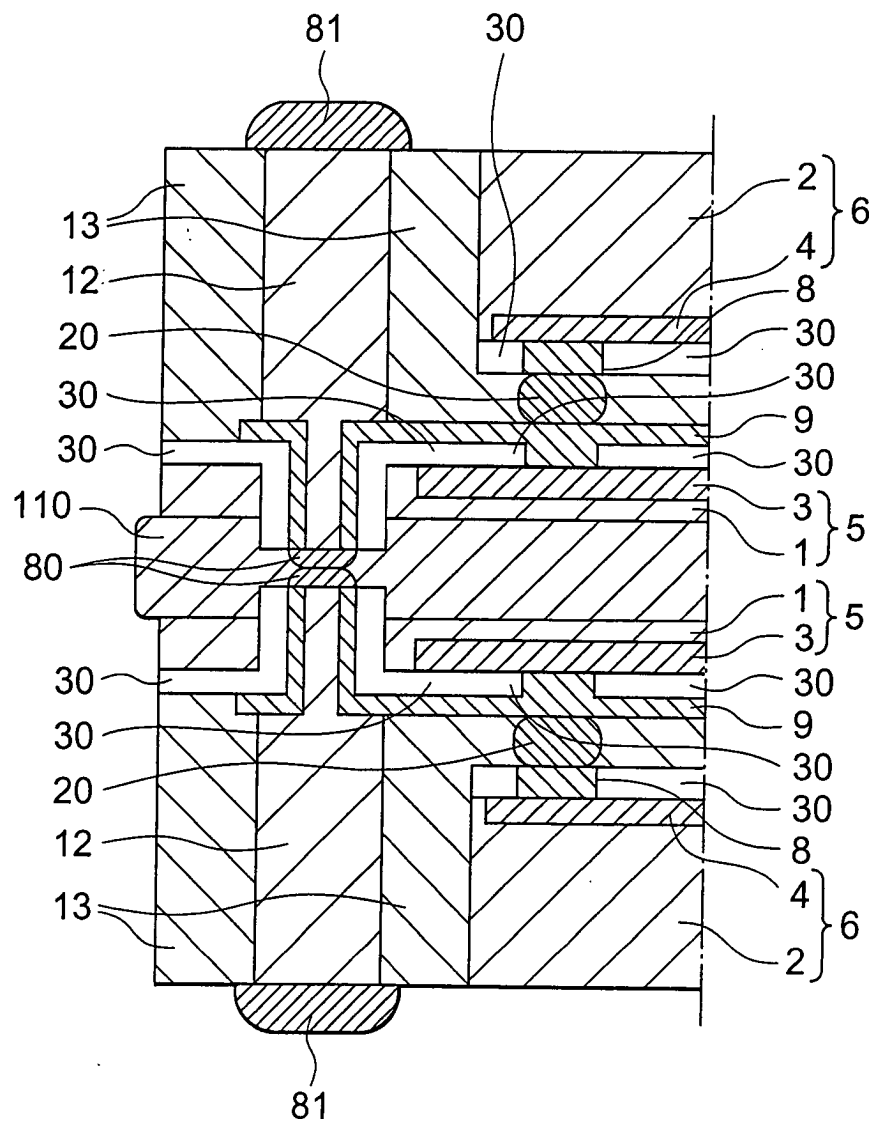


FIG. 44

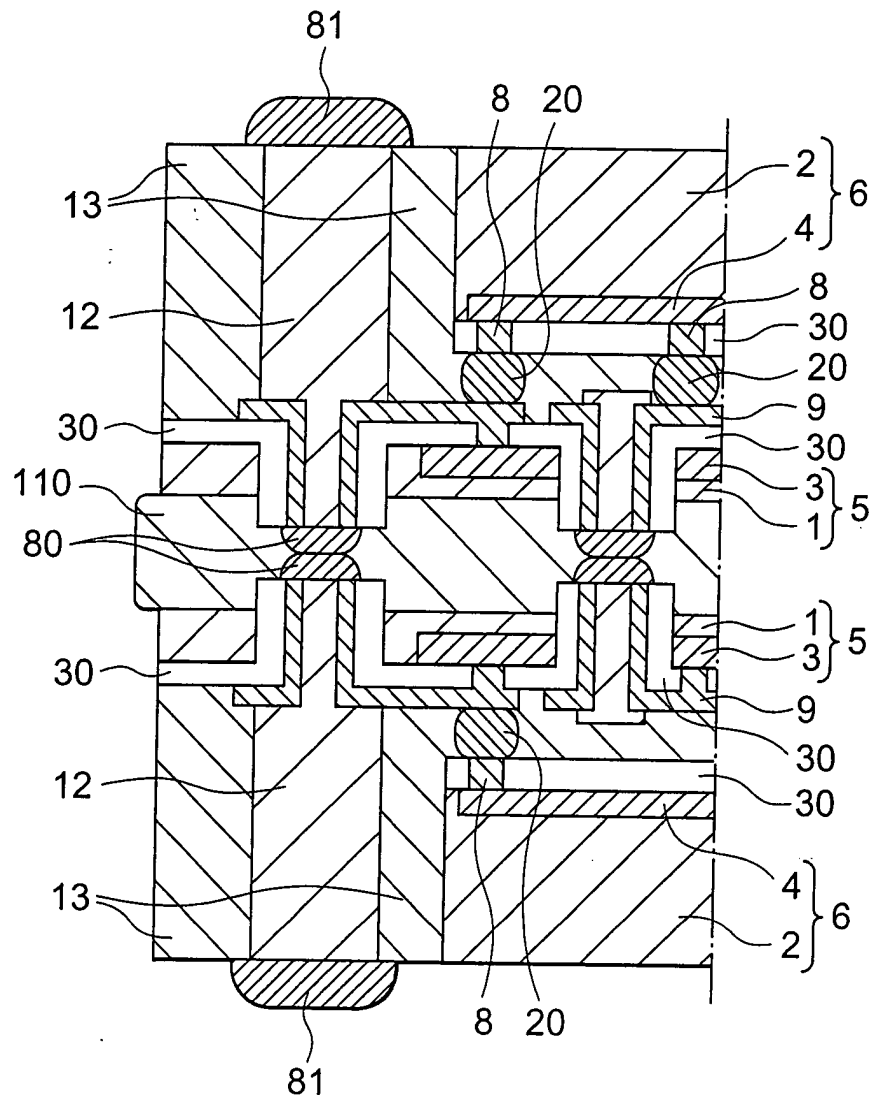


FIG. 45

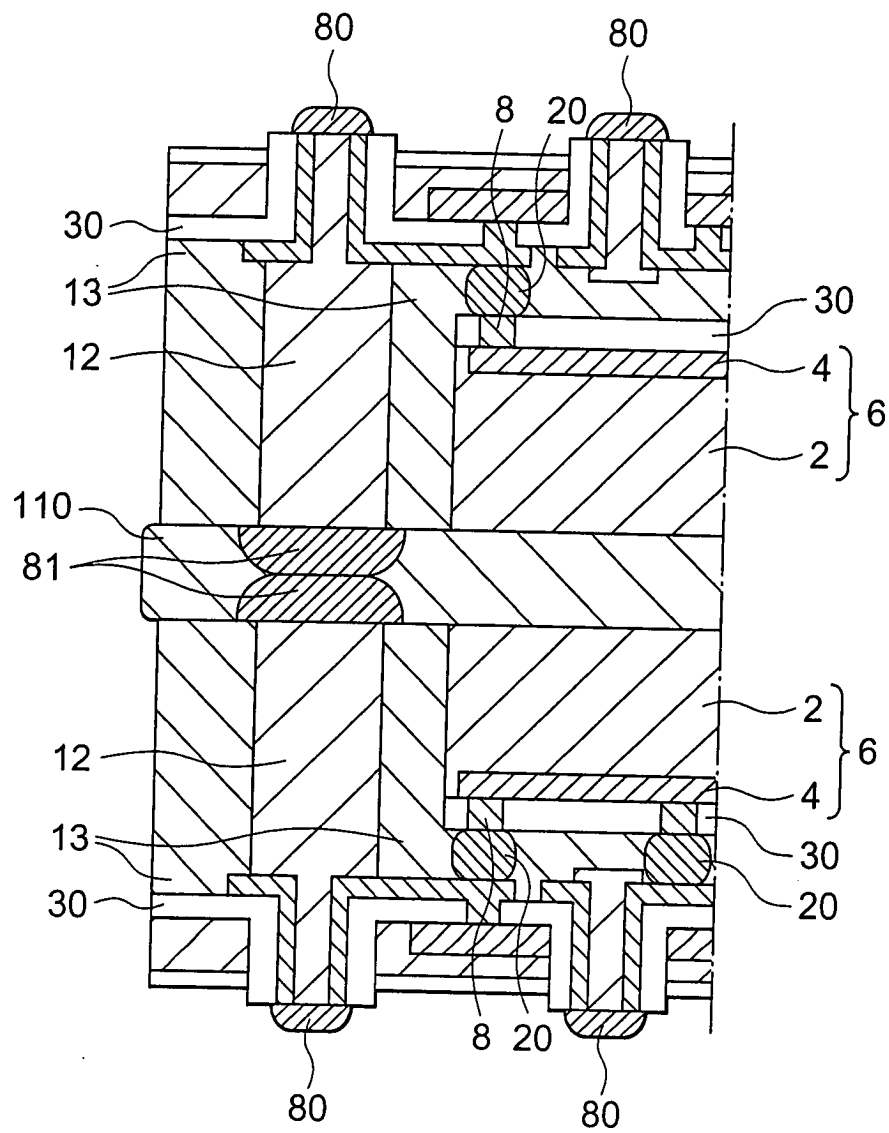


FIG. 46

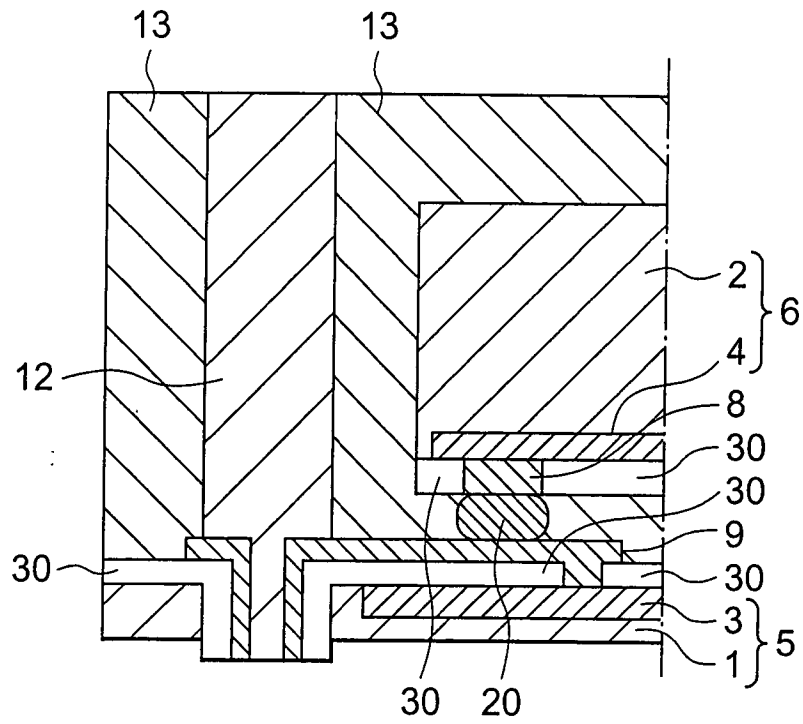


FIG. 47

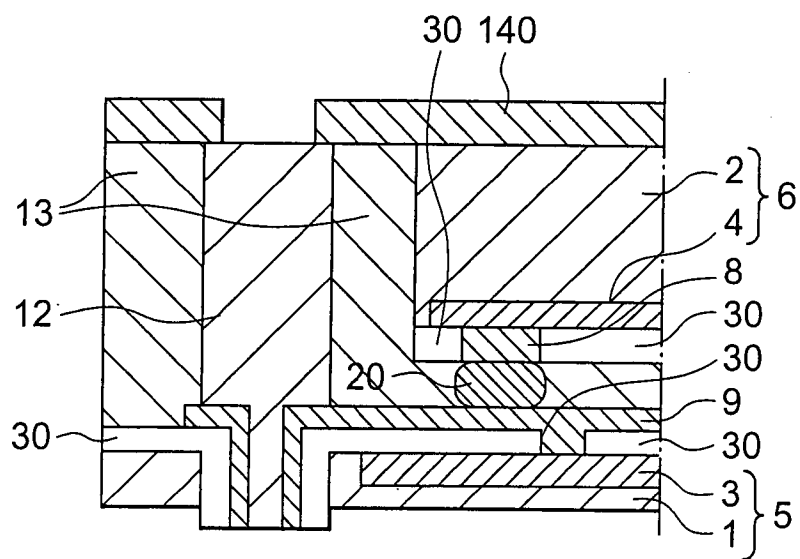


FIG. 48

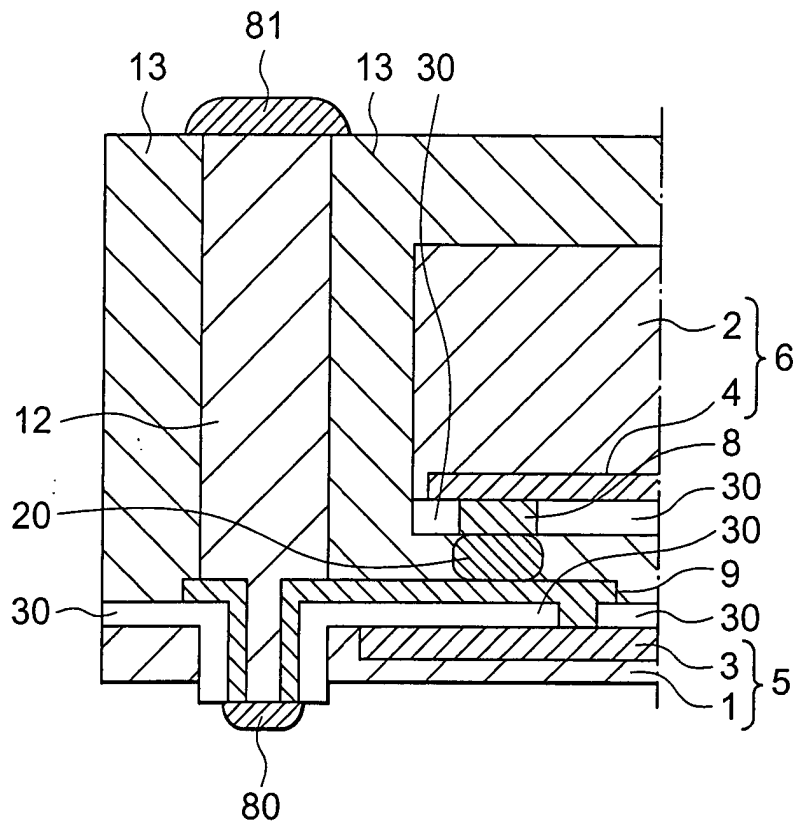


FIG. 49

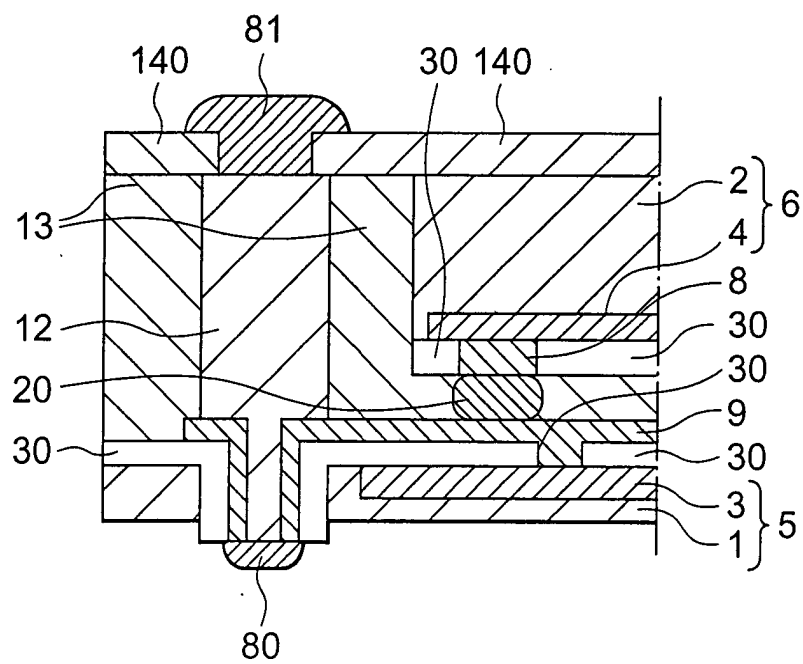


FIG. 50

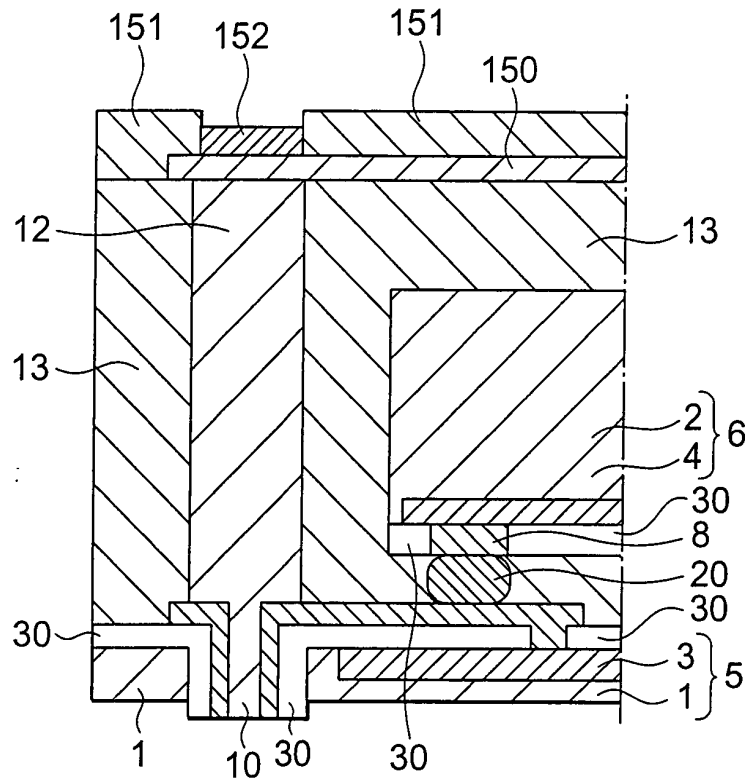


FIG. 51

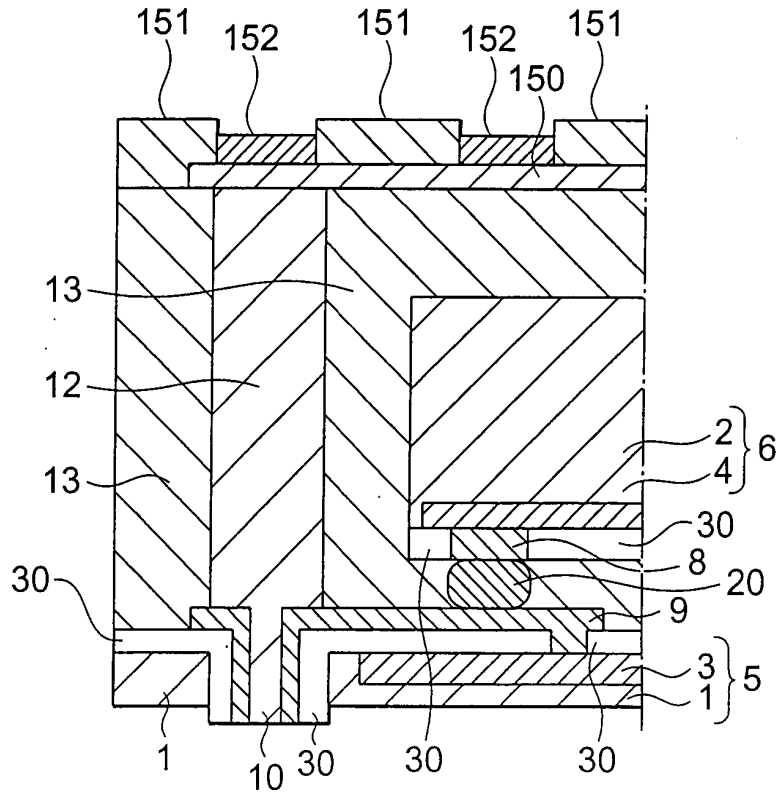


FIG. 52

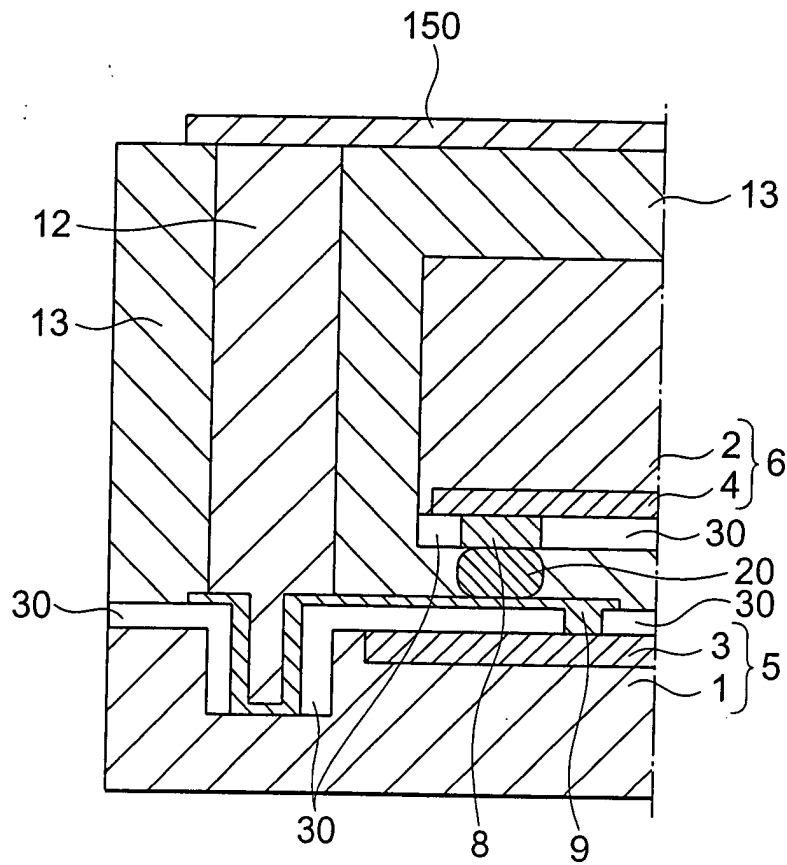


FIG. 53

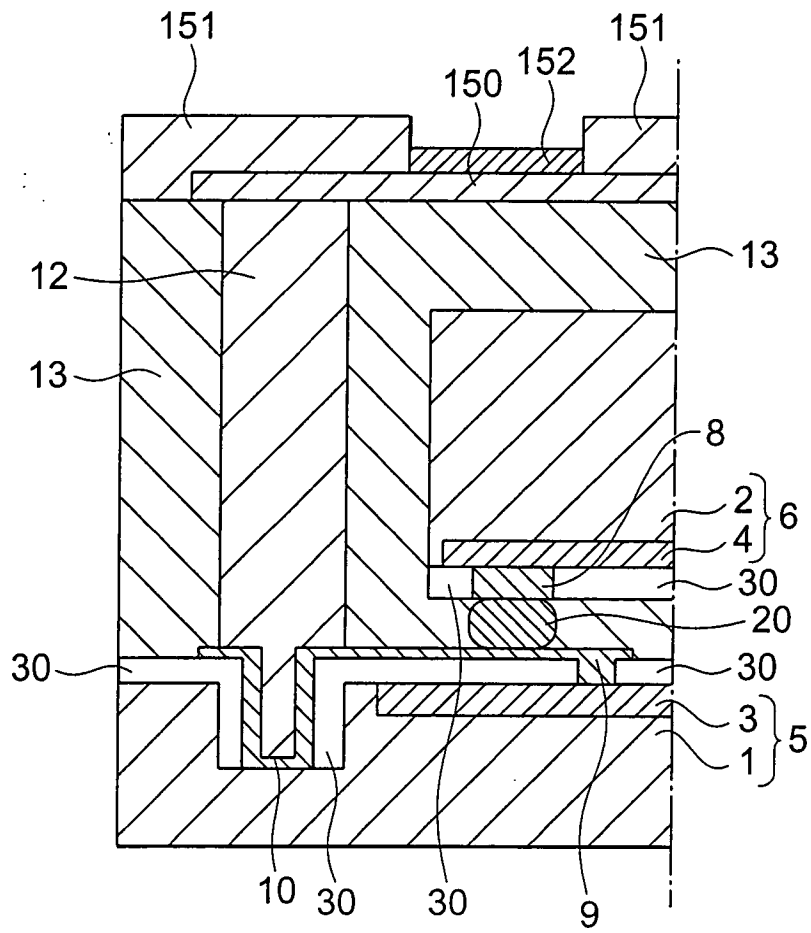


FIG. 54

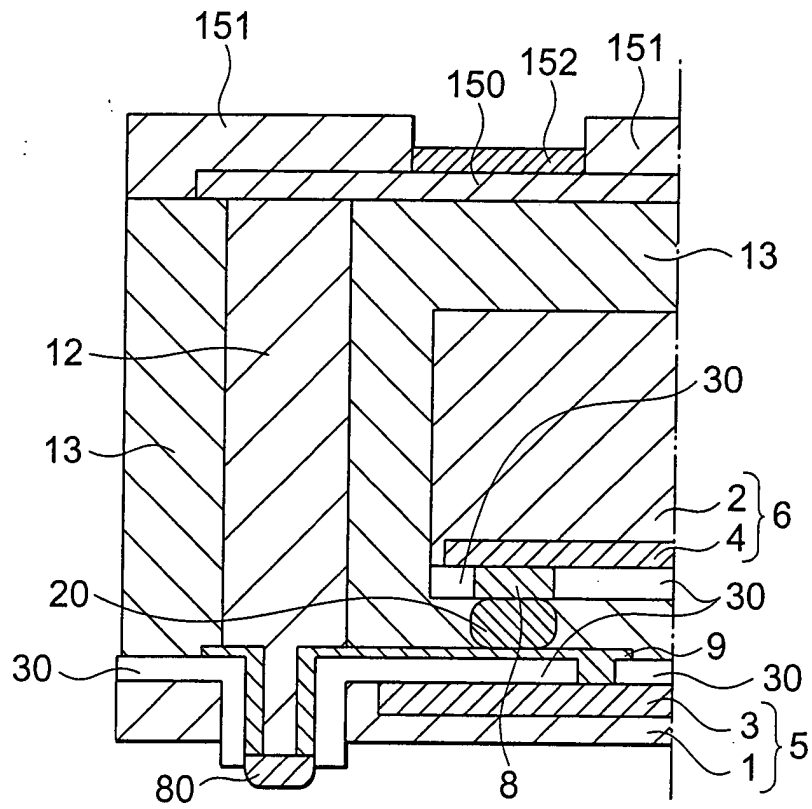


FIG. 55

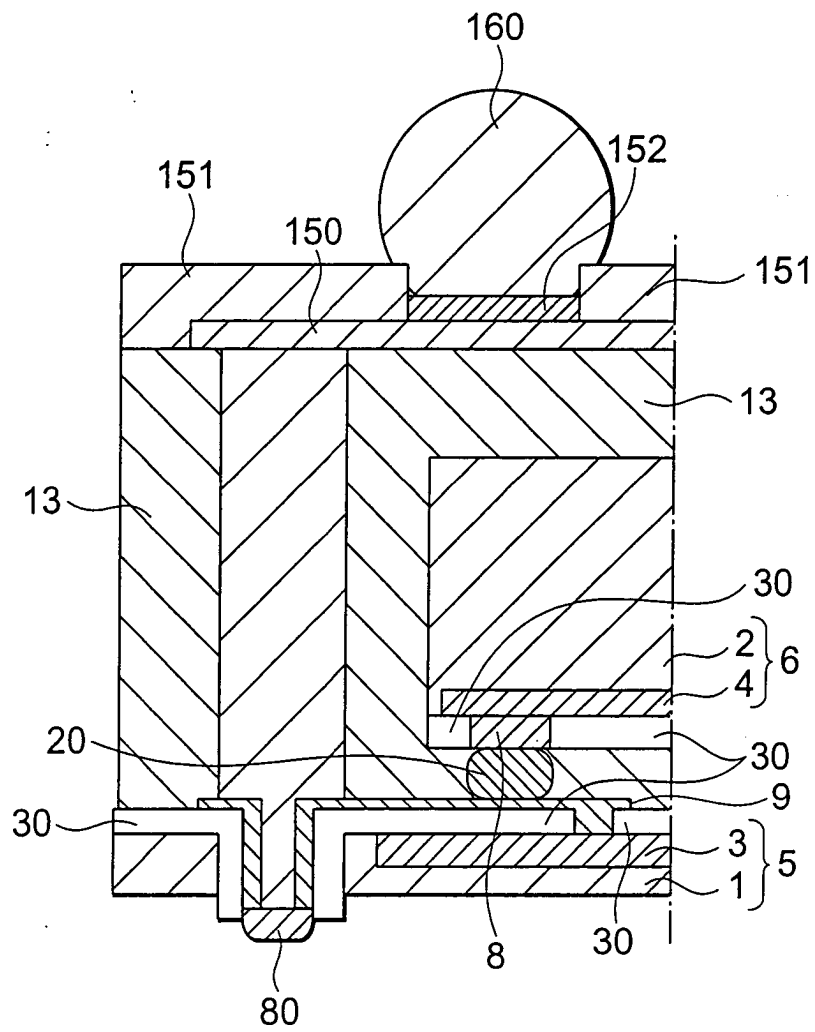


FIG. 56

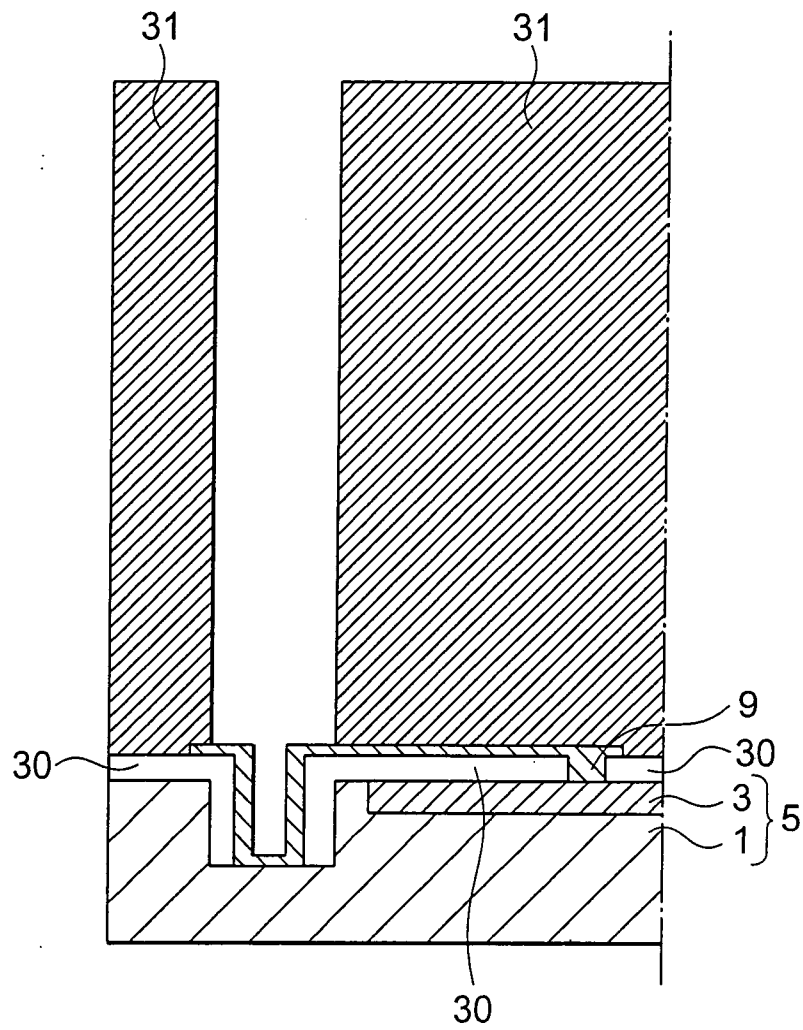


FIG. 57

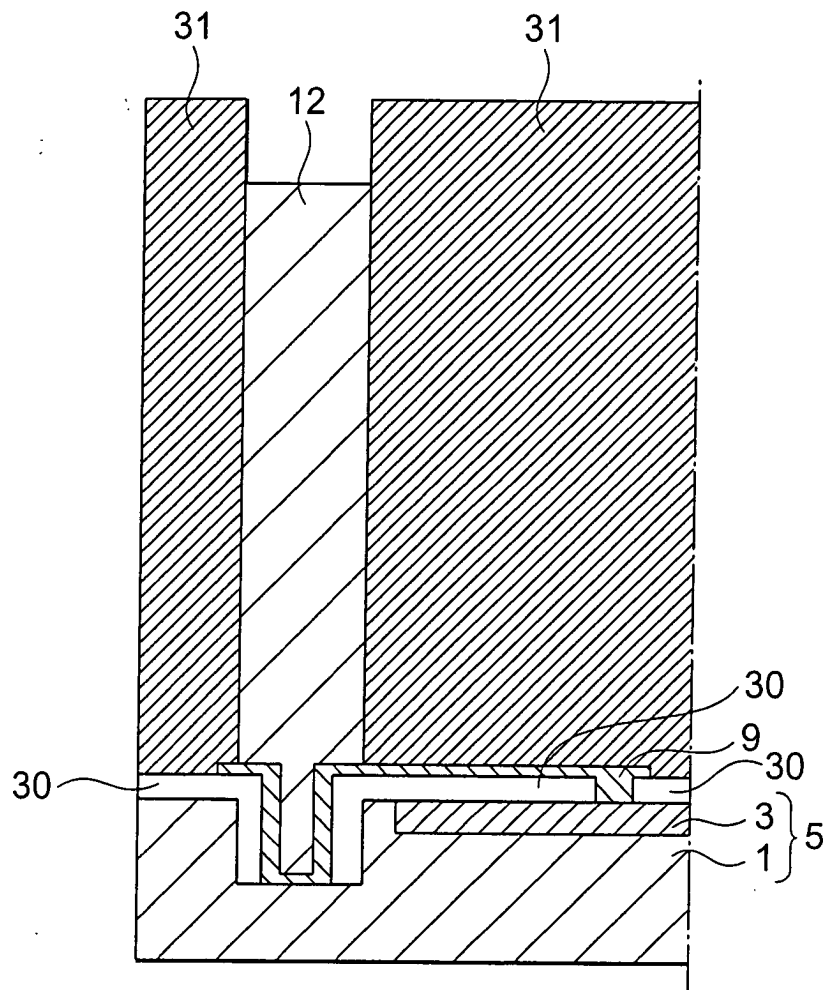


FIG. 58

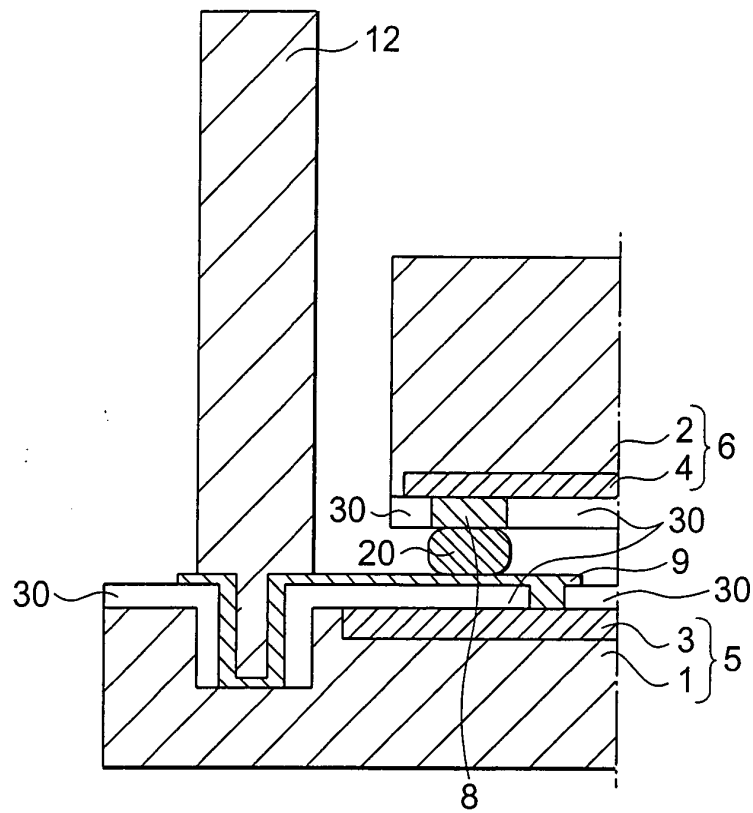


FIG. 59

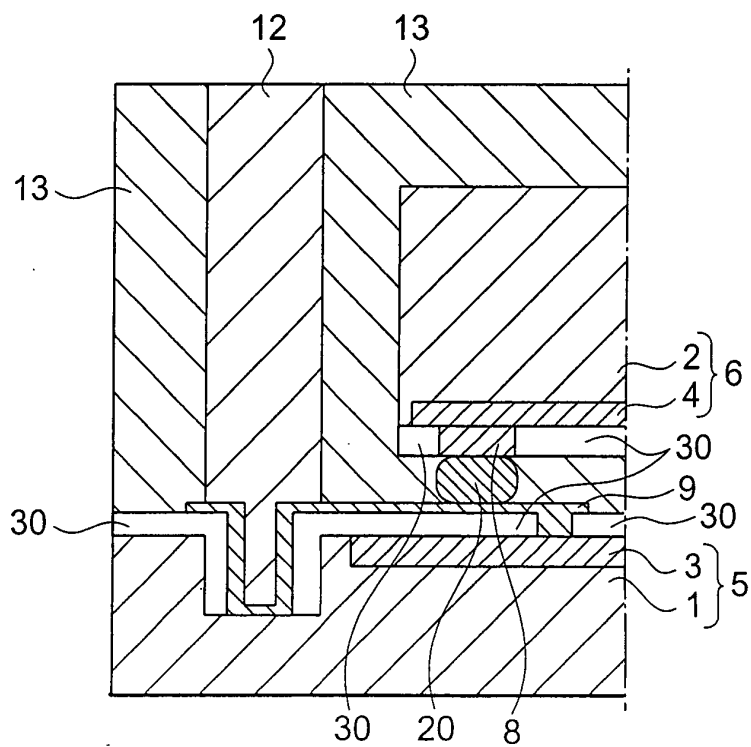


FIG. 60

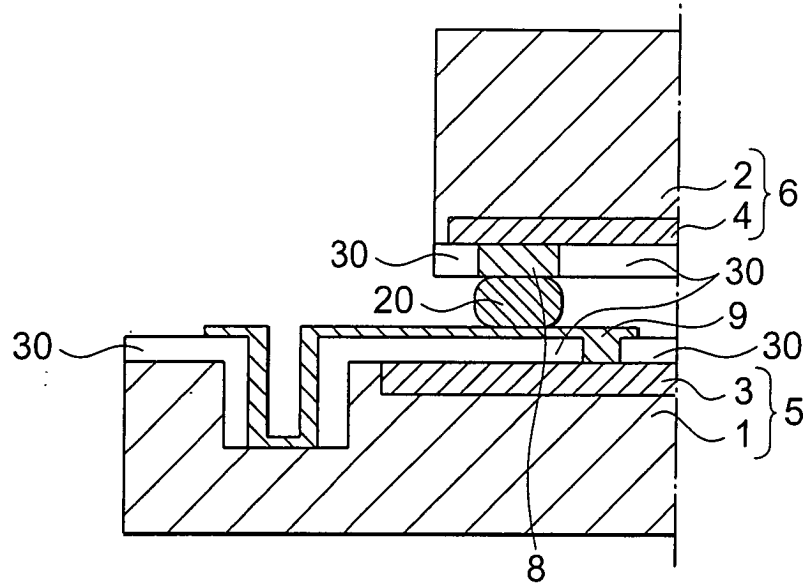


FIG. 61

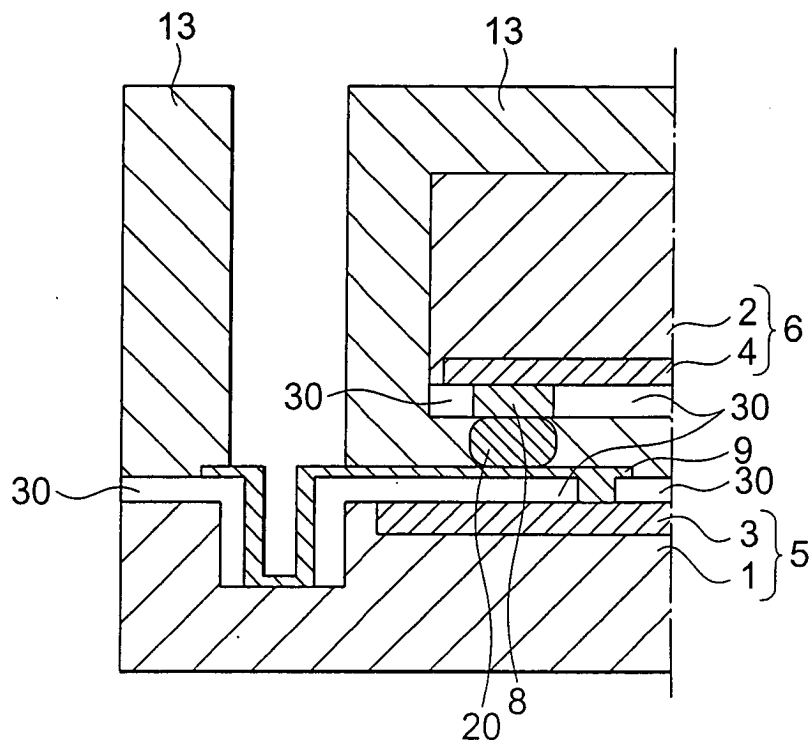


FIG. 62

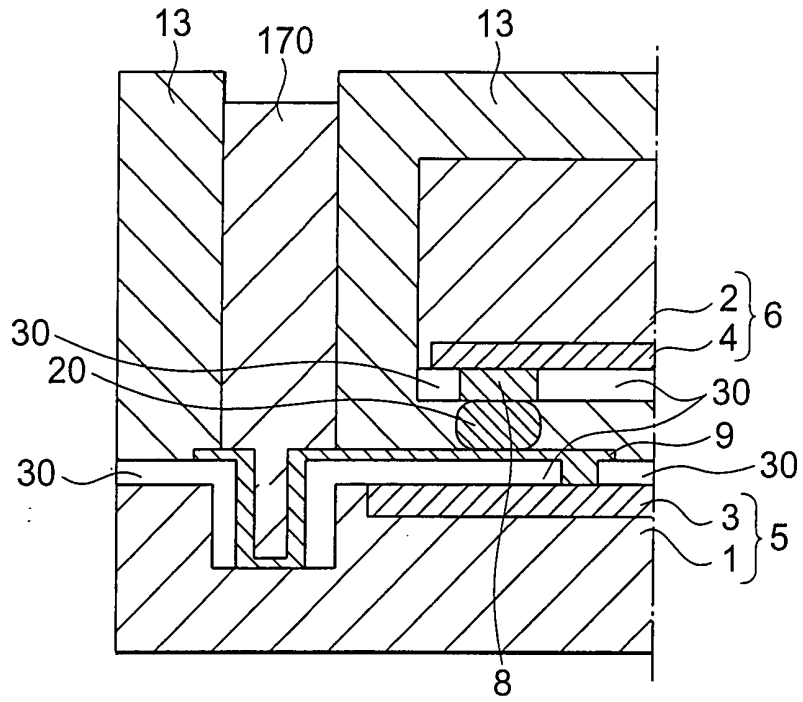


FIG. 63

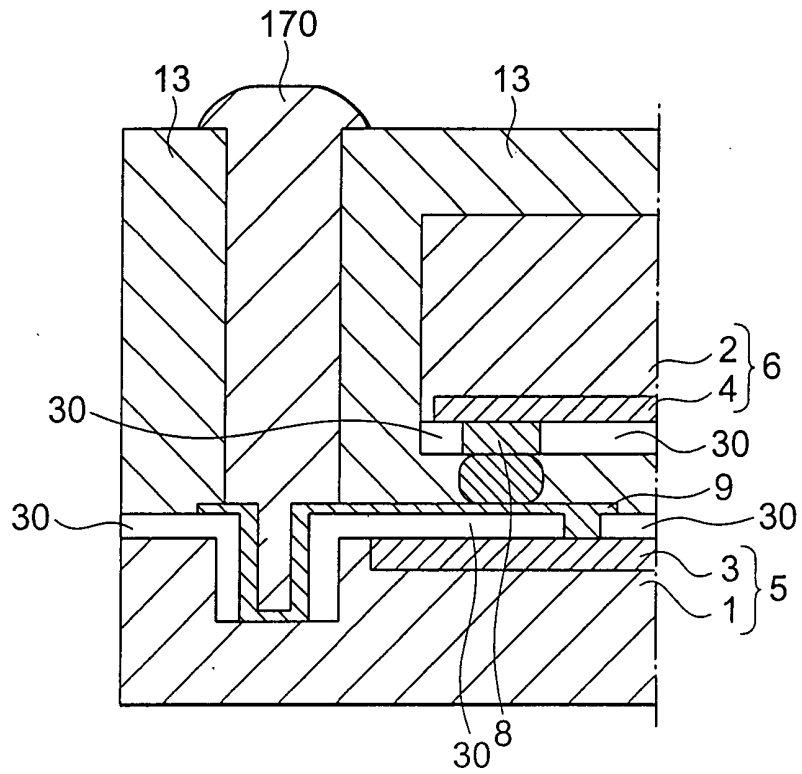


FIG. 64

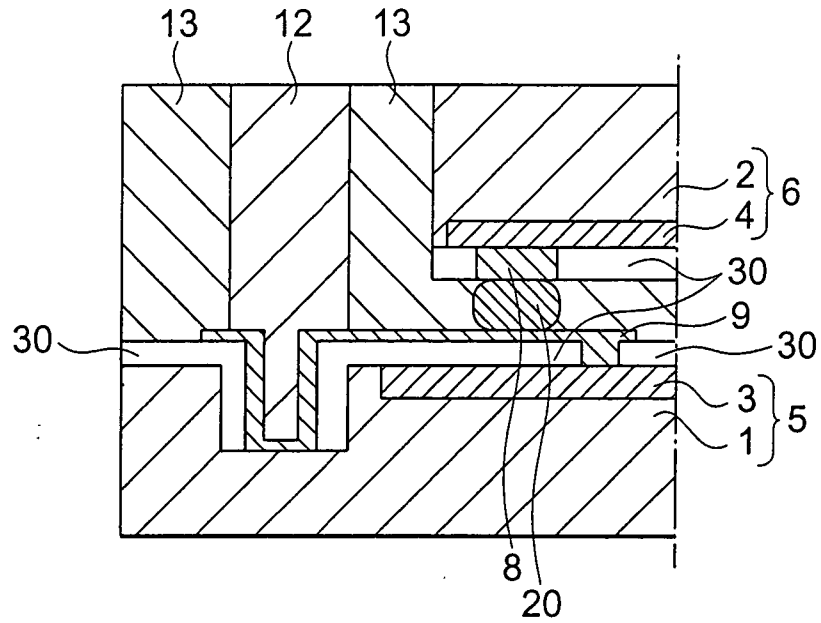


FIG. 65

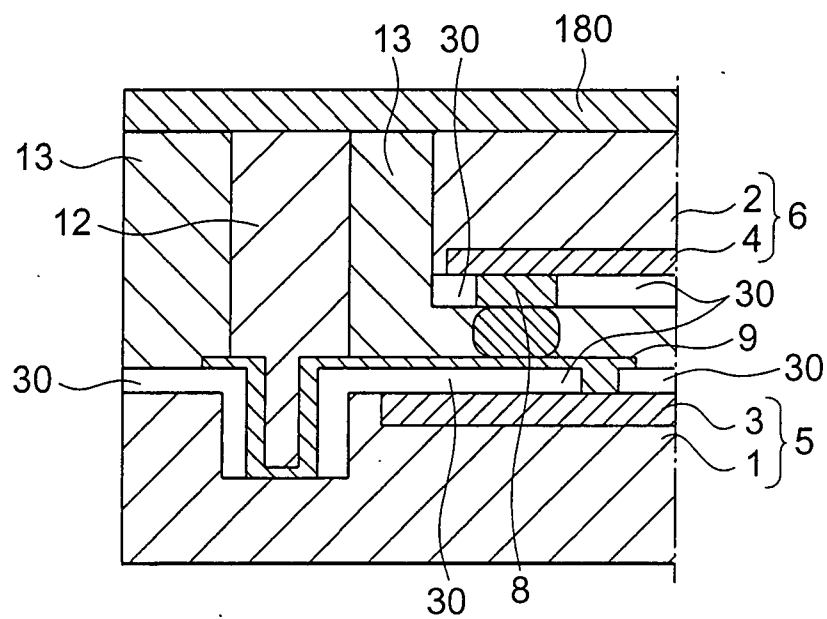


FIG. 66

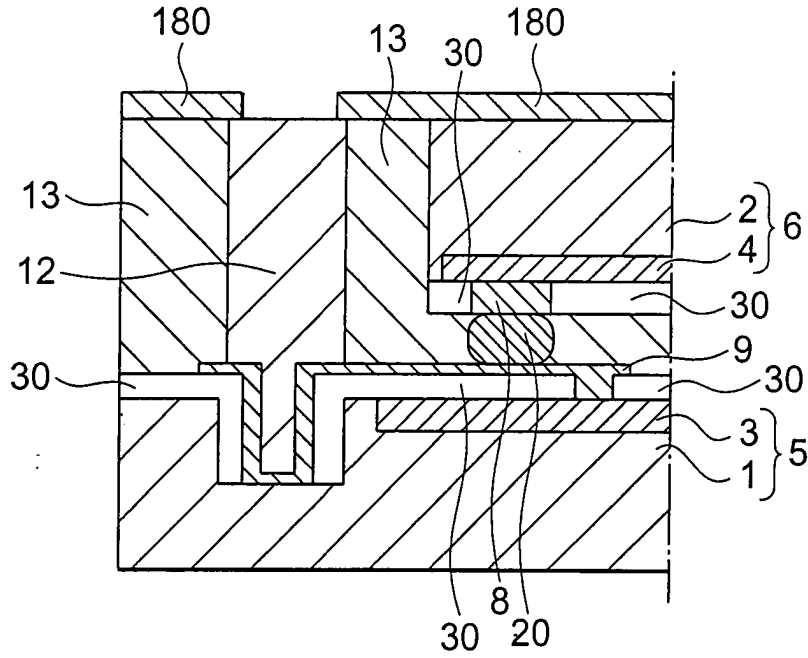


FIG. 67

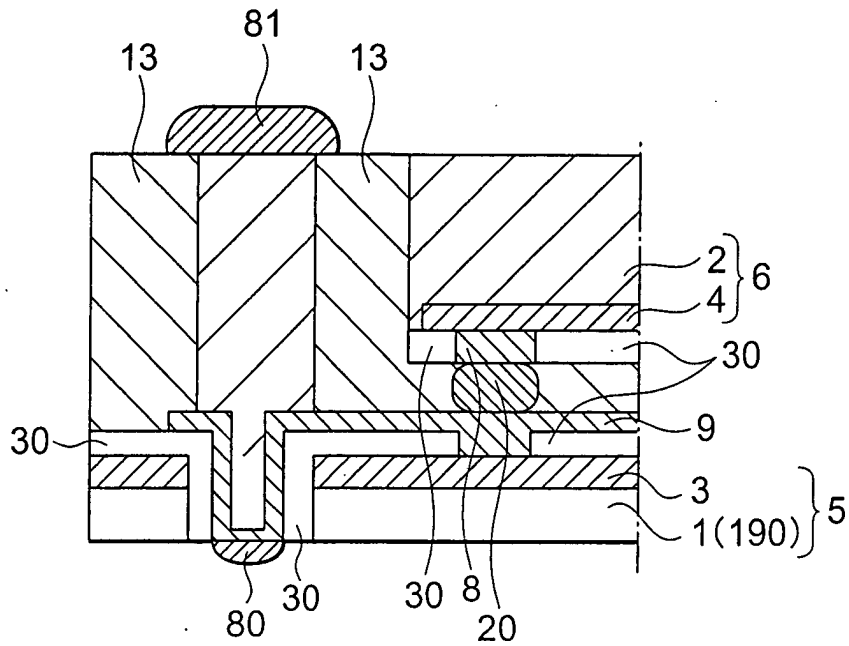


FIG. 68

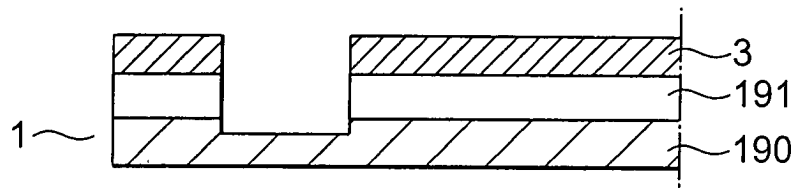


FIG. 69

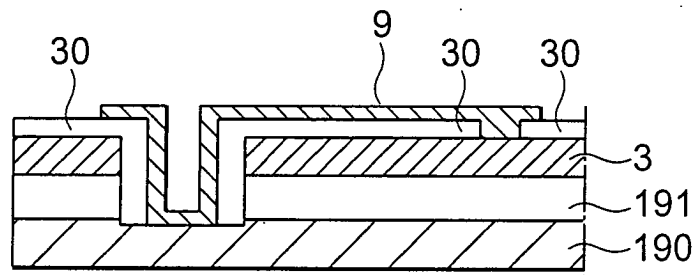


FIG. 70

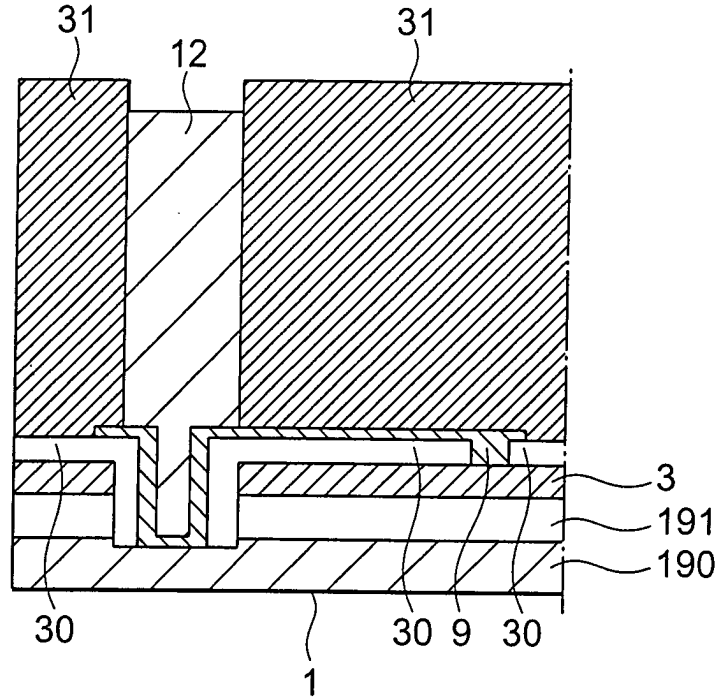


FIG. 71

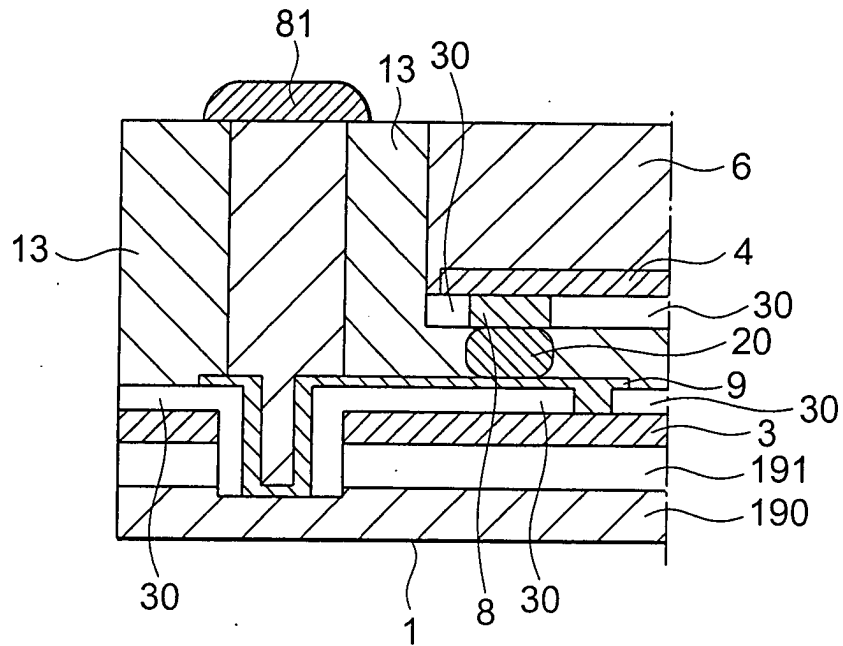


FIG. 72

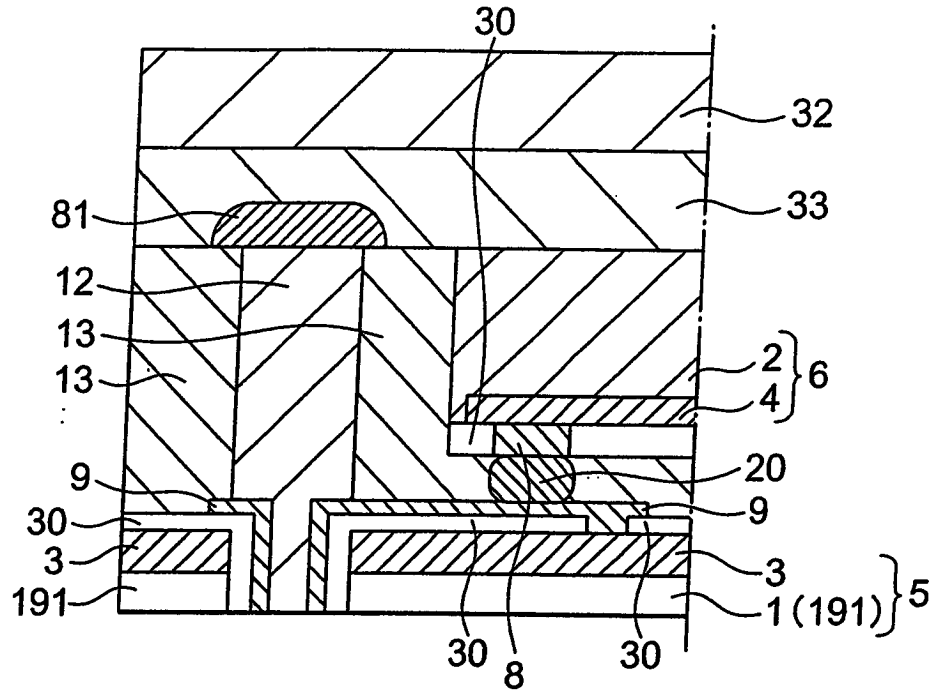


FIG. 73

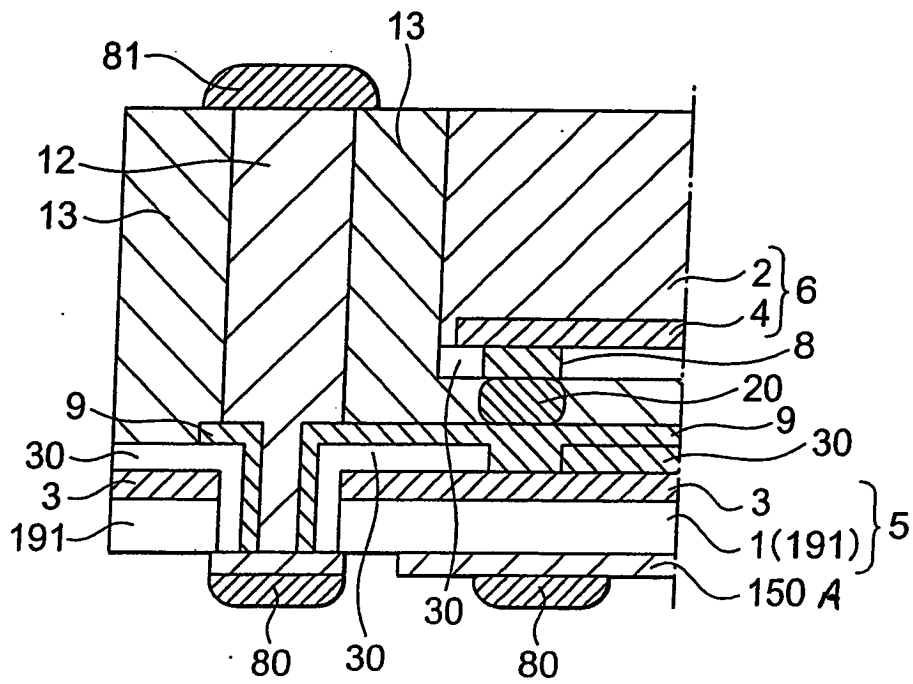


FIG. 74

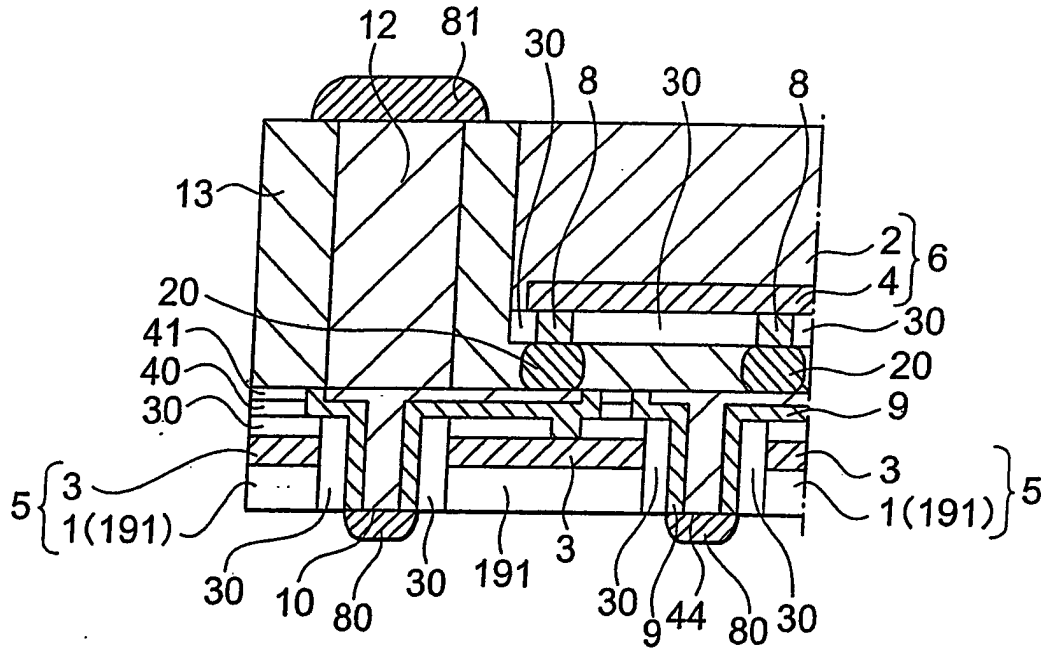


FIG. 75

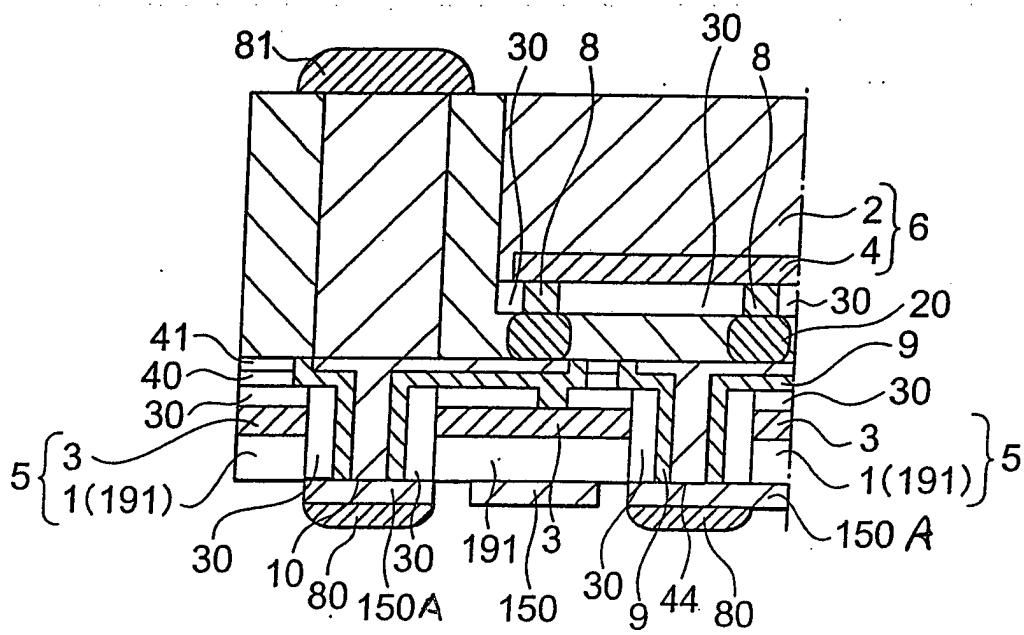


FIG. 76

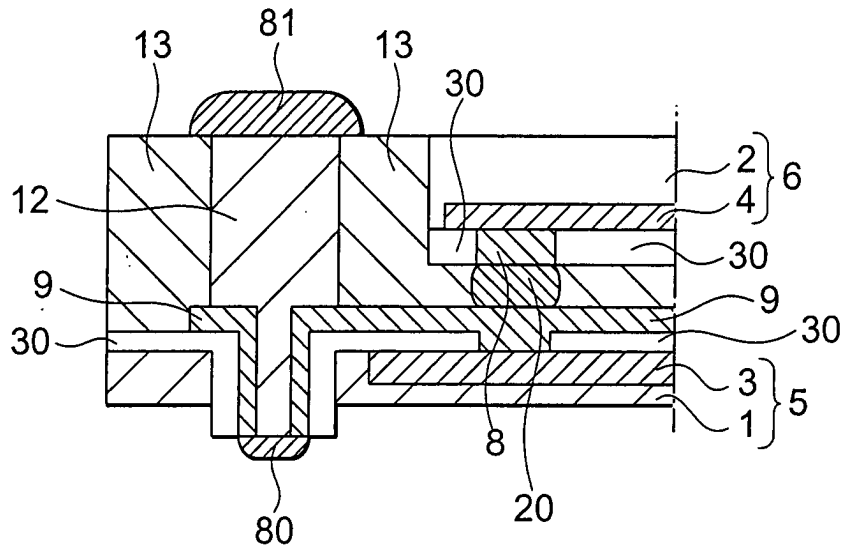


FIG. 77

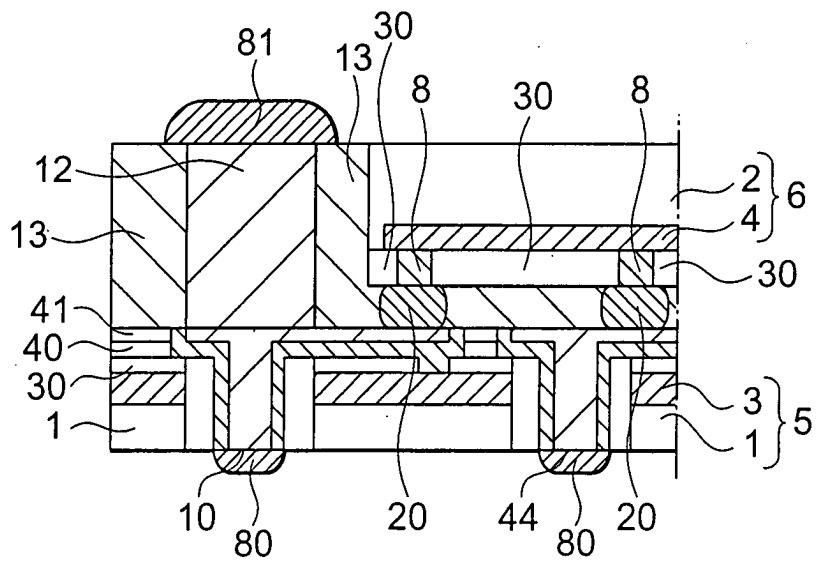


FIG. 78

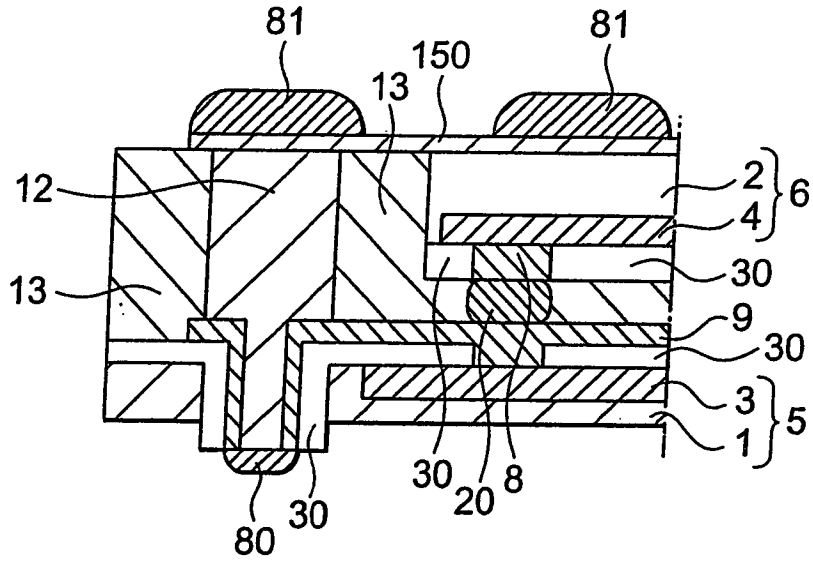


FIG. 79

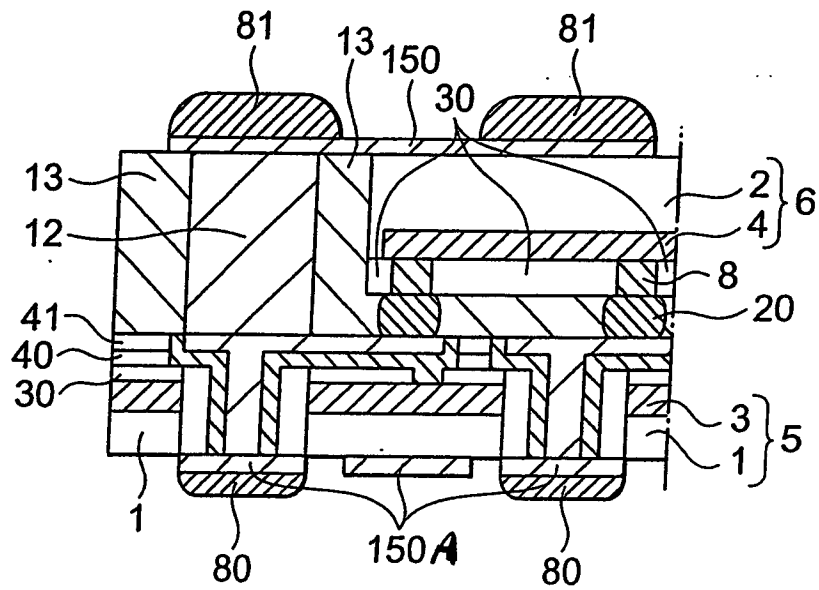


FIG. 80

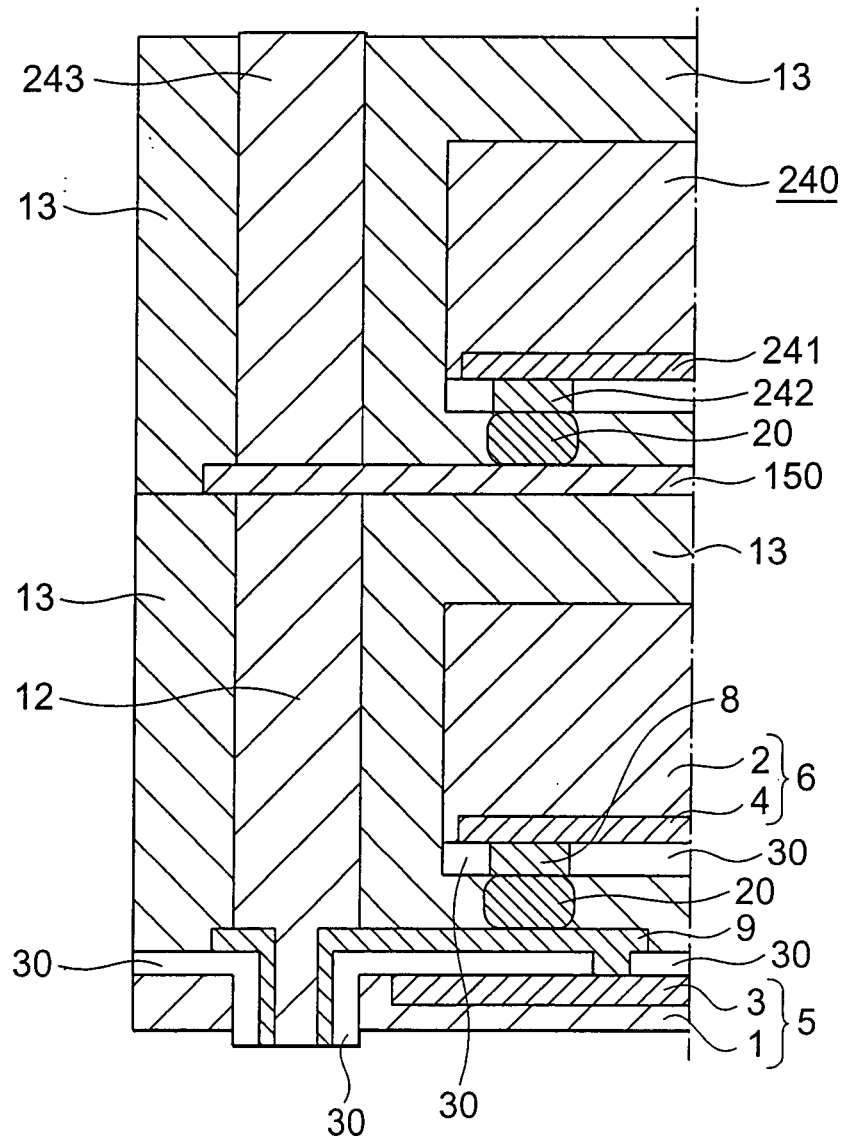


FIG. 81

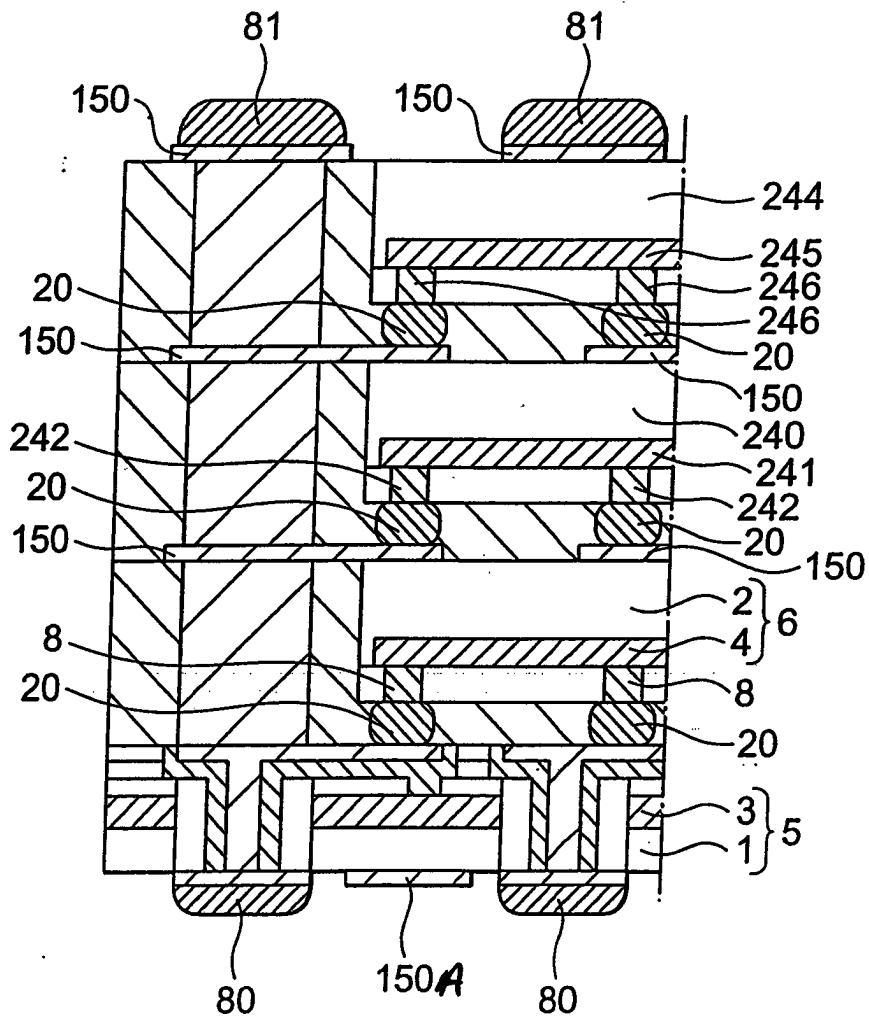


FIG. 82

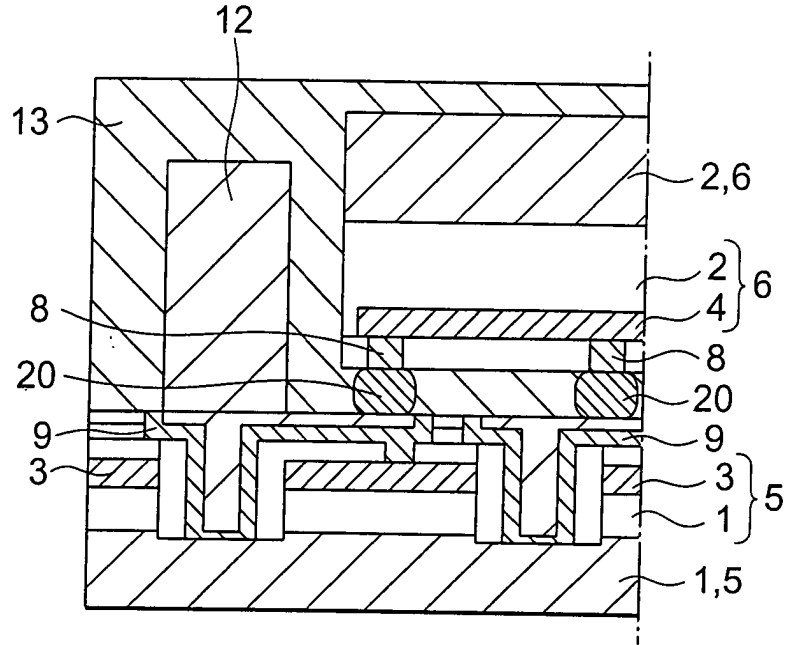


FIG. 83

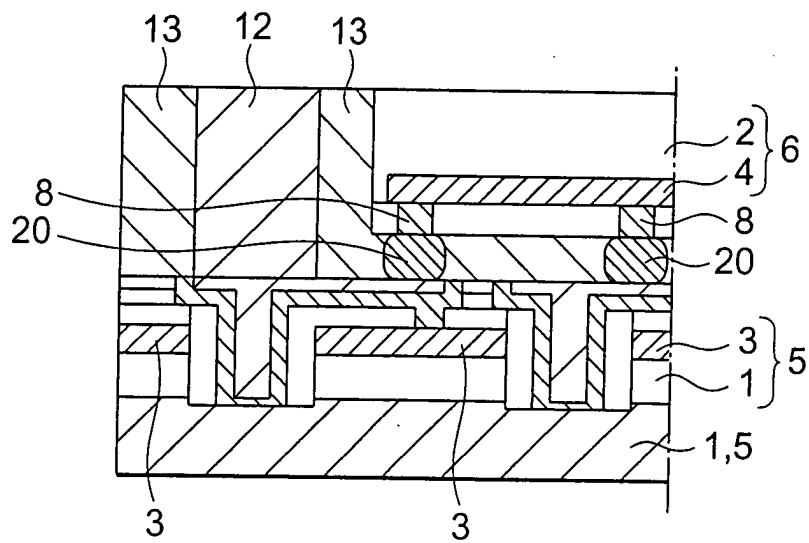


FIG. 84

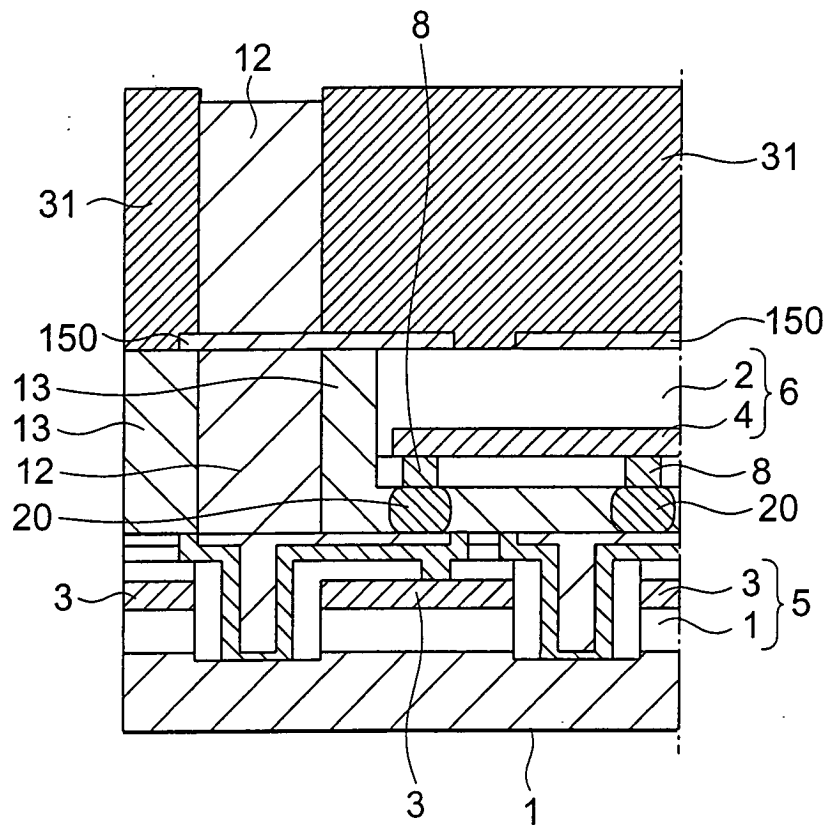


FIG. 85

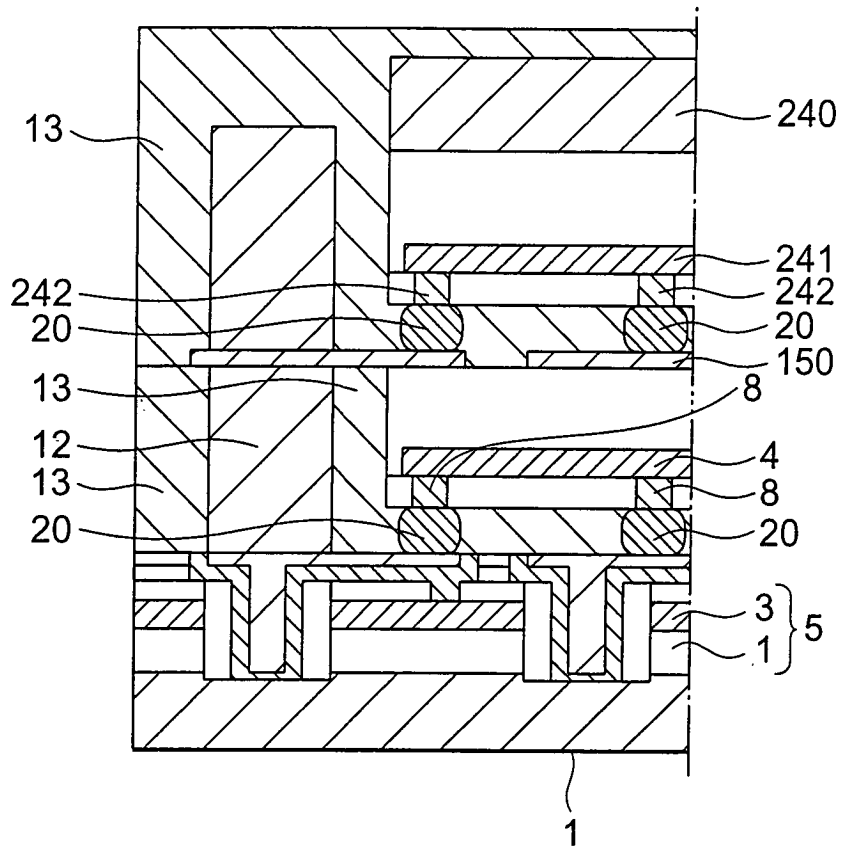


FIG. 86

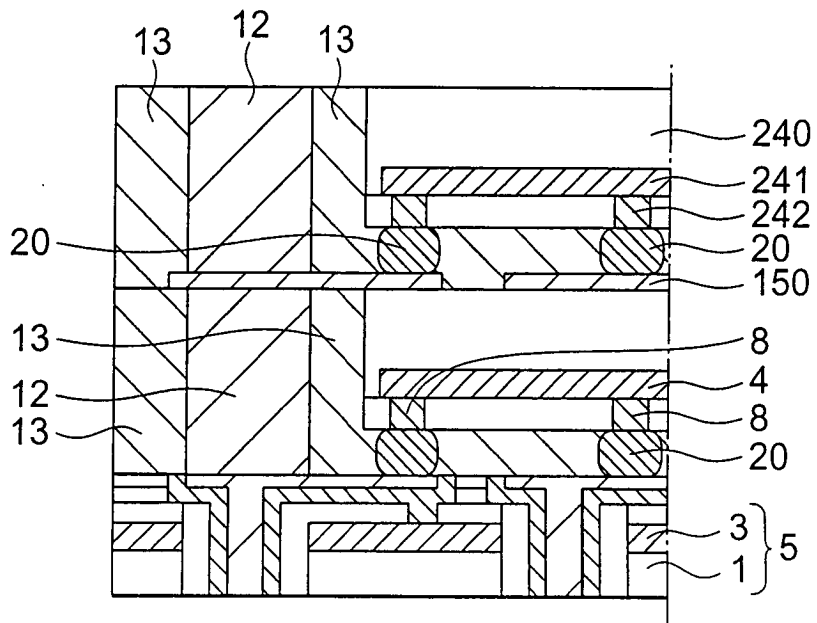


FIG. 87

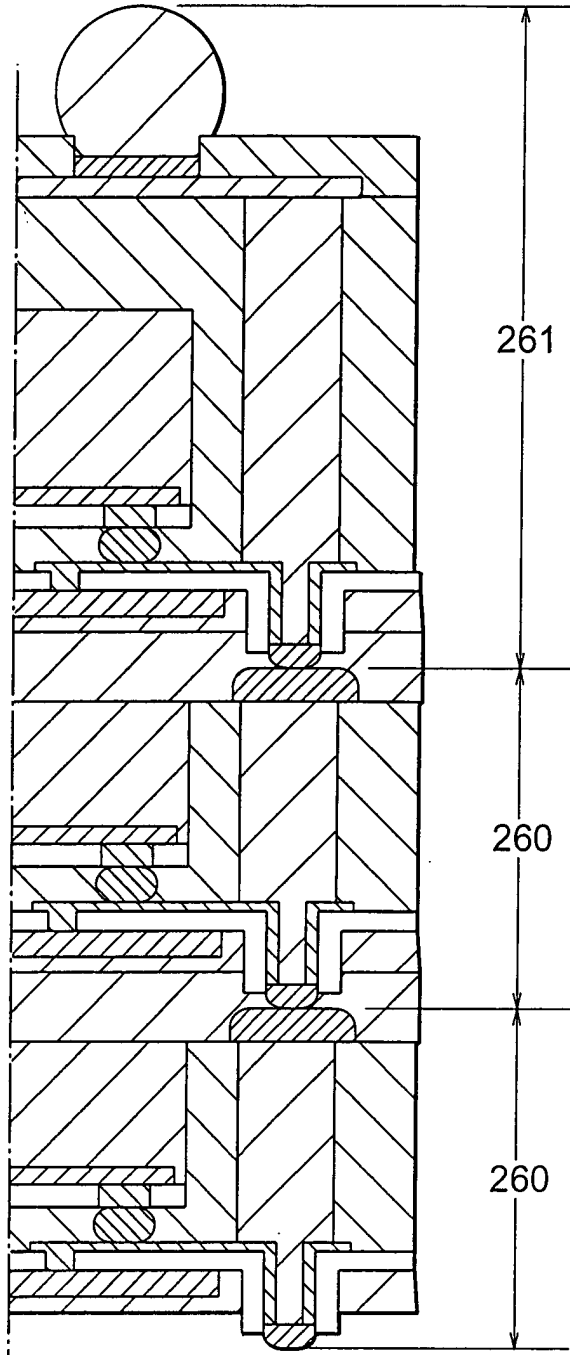


FIG. 88

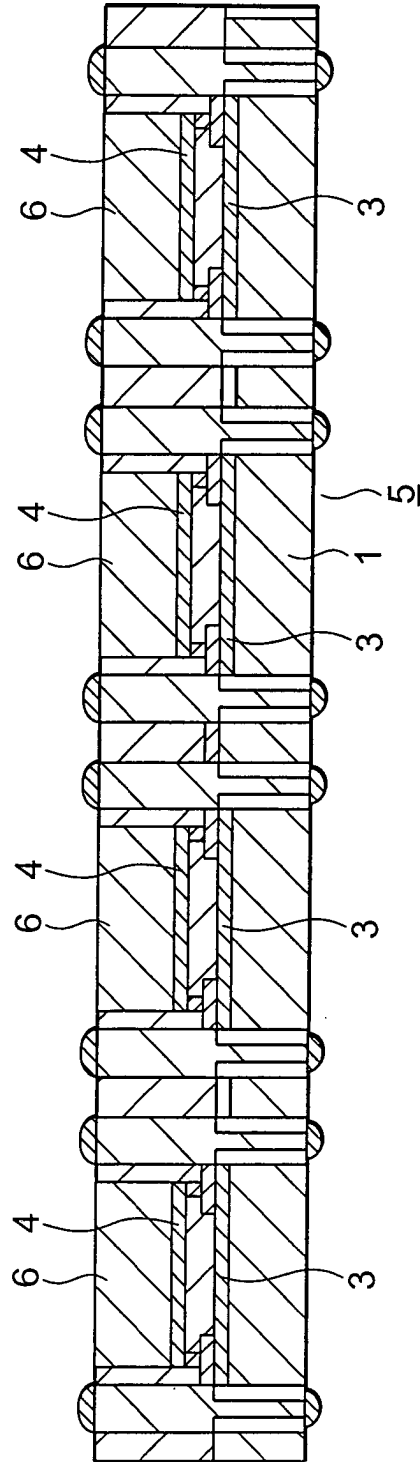


FIG. 89

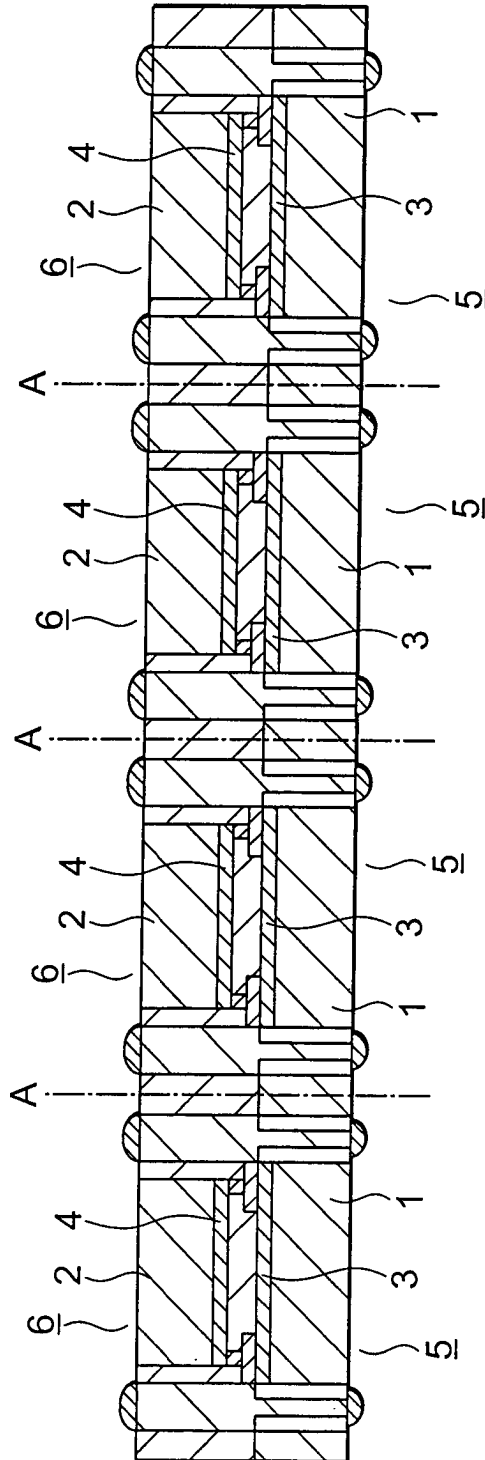


FIG. 90

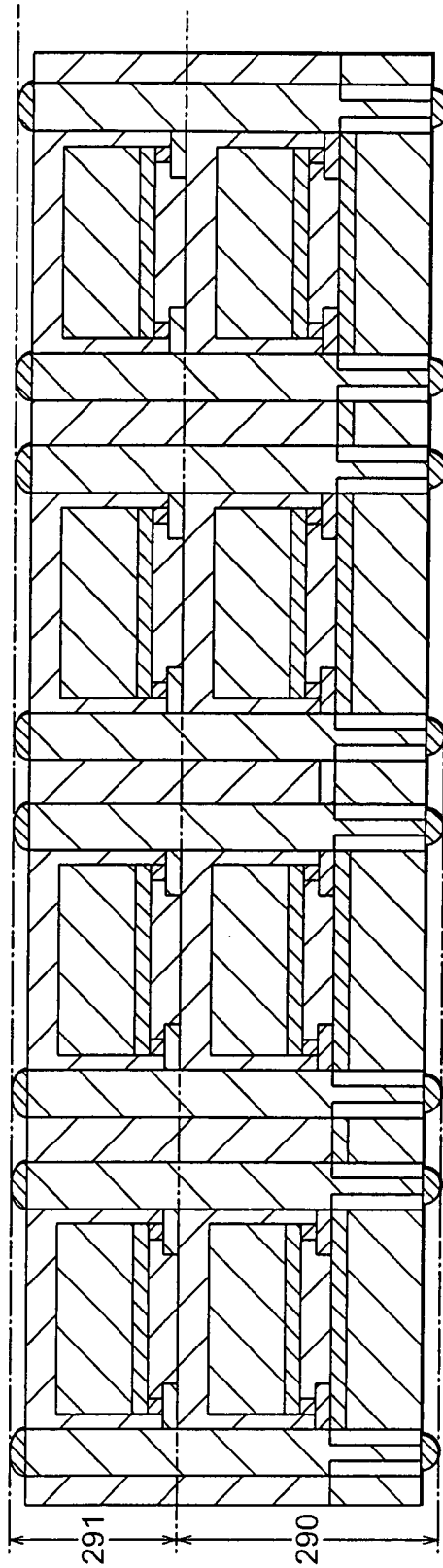


FIG. 91

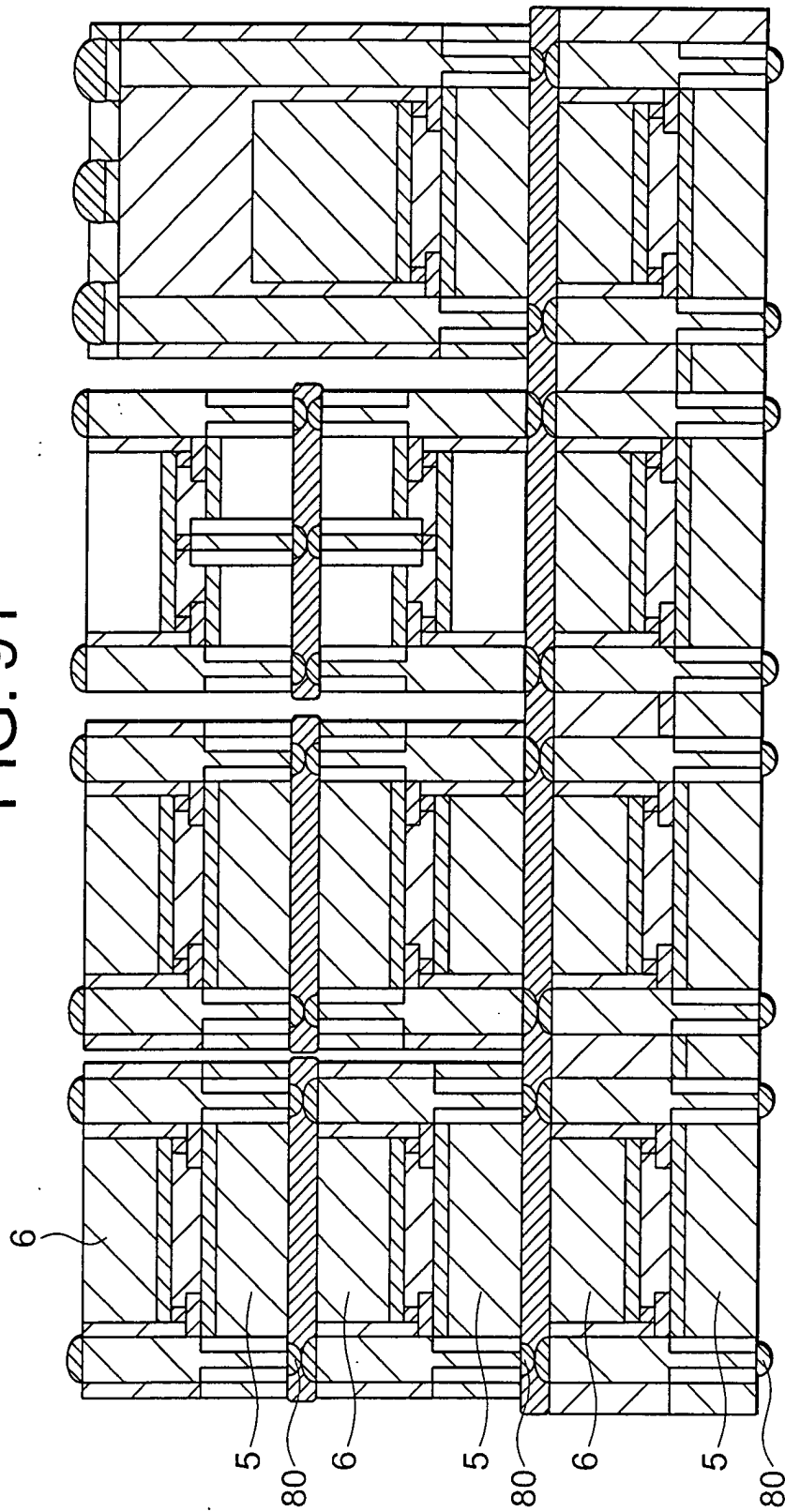


FIG. 92

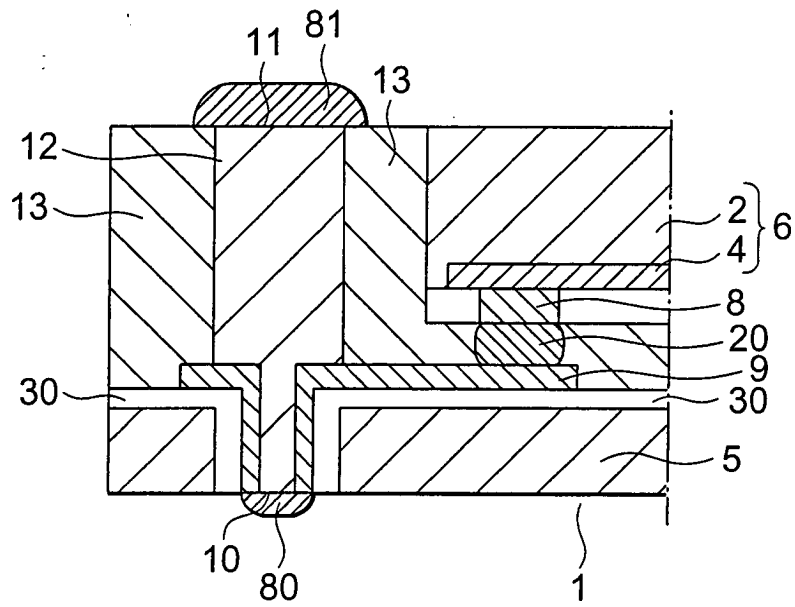


FIG. 93

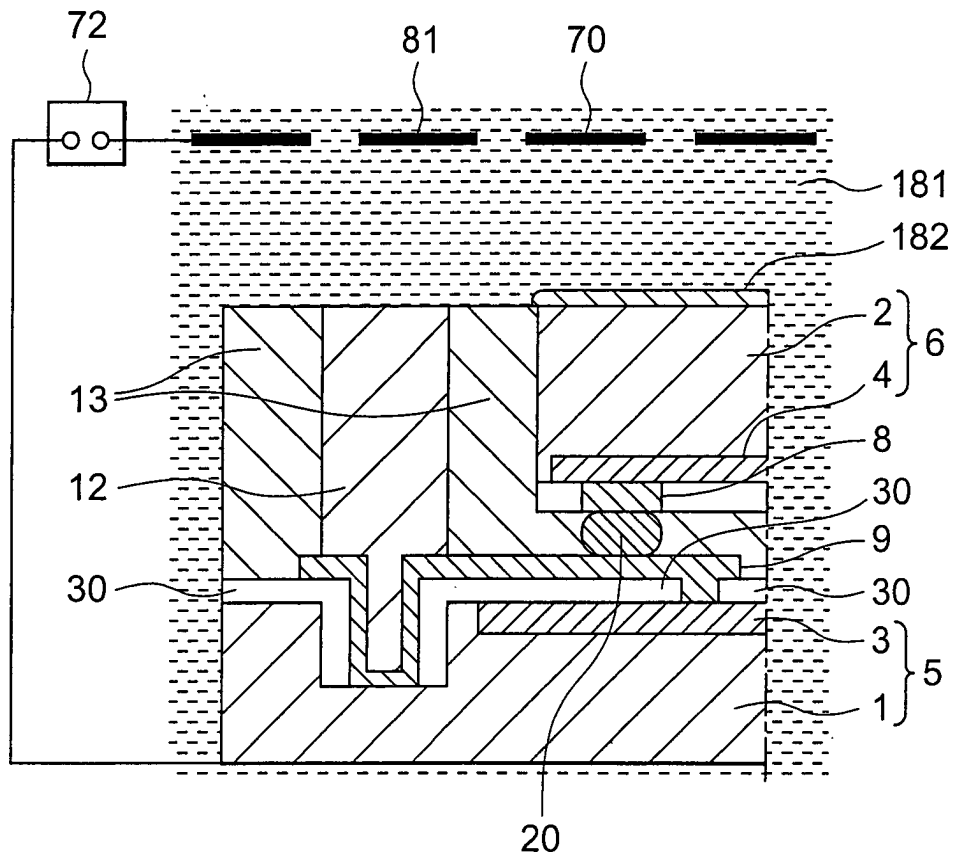


FIG. 94

