

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4849817号  
(P4849817)

(45) 発行日 平成24年1月11日(2012.1.11)

(24) 登録日 平成23年10月28日(2011.10.28)

(51) Int. Cl. F I  
**G 1 1 C 11/405 (2006.01)** G 1 1 C 11/34 3 5 2 B  
**H O 1 L 27/108 (2006.01)** H O 1 L 27/10 3 2 1  
**H O 1 L 21/8242 (2006.01)**

請求項の数 11 (全 26 頁)

(21) 出願番号	特願2005-112495 (P2005-112495)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成17年4月8日(2005.4.8)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2006-294116 (P2006-294116A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成18年10月26日(2006.10.26)	(72) 発明者	亀代 典史 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
審査請求日	平成20年1月21日(2008.1.21)	(72) 発明者	竹村 理一郎 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内
		(72) 発明者	石井 智之 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のメモリセルを行列状に配置したメモリセルアレイを有する半導体記憶装置であって、

前記複数のメモリセルは、互いに隣接した2つのメモリセルから成る複数のメモリセル対から構成され、

前記複数のメモリセル対の夫々は、第1書込みトランジスタと第1読出しトランジスタと第2書込みトランジスタと第2読出しトランジスタとを有し、

前記第1読出しトランジスタと前記第1書込みトランジスタは第1メモリセルを構成し、前記第2読出しトランジスタと前記第2書込みトランジスタは第2メモリセルを構成し

10

、前記第1読出しトランジスタの制御電極が前記第1書込みトランジスタのソースあるいはドレインの一方に接続され、

前記第2読出しトランジスタの制御電極が前記第2書込みトランジスタのソースあるいはドレインの一方に接続され、

前記第1読出しトランジスタのソースあるいはドレインの一方、及び前記第2読出しトランジスタのソースあるいはドレインの一方が、同一の読出しワード線に接続され、

前記第1書込みトランジスタのソースあるいはドレインの他方、及び前記第2書込みトランジスタのソースあるいはドレインの他方が、同一の書込みビット線に接続され、

前記第1読出しトランジスタのソースあるいはドレインの他方が、第1読出しビット線

20

に接続され、

前記第 2 読出しトランジスタのソースあるいはドレインの他方が、前記第 1 読出しビット線とは異なる第 2 読出しビット線に接続され、

前記第 1 書込みトランジスタの制御電極が、第 1 書込みワード線に接続され、

前記第 2 書込みトランジスタの制御電極が、前記第 1 書込みワード線とは異なる第 2 書込みワード線に接続され、

前記第 1 及び第 2 書込みトランジスタの夫々は、前記ソースと前記ドレイン間を接続するチャンネル領域がシリコン薄膜で形成されている薄膜トランジスタであり、

前記薄膜トランジスタのソースとドレイン間を流れる電流が、基板に対して垂直な方向に流れることを特徴とする半導体記憶装置。

10

【請求項 2】

請求項 1 記載の半導体記憶装置において、

ラッチ機能を備えたセンスアンプが前記第 1 読出しビット線に接続されていることを特徴とする半導体記憶装置。

【請求項 3】

請求項 1 記載の半導体記憶装置において、

前記第 1 読出しトランジスタは、前記第 1 読出しトランジスタのソースあるいはドレインの他方から、前記第 1 読出しビット線方向には電流が流れず、前記第 1 読出しビット線から前記第 1 読出しトランジスタのソースあるいはドレインの他方の方向には電流が流れるように、前記第 1 読出しトランジスタのソースあるいはドレインの他方と前記第 1 読出しビット線との間に第 1 ショットキー接続を有することを特徴とする半導体記憶装置。

20

【請求項 4】

請求項 1 記載の半導体記憶装置において、

前記第 1 読出しトランジスタのソースあるいはドレインの他方は、前記第 1 読出しトランジスタを含む前記メモリセル対に隣接する他のメモリセル対に含まれる第 3 読出しトランジスタのソースあるいはドレインの他方と共有し、

前記第 3 読出しトランジスタのソースあるいはドレインの他方は、前記第 1 読出しトランジスタとは異なる読出しワード線に接続されていることを特徴とする半導体記憶装置。

【請求項 5】

請求項 1 記載の半導体記憶装置において、

前記薄膜トランジスタは、前記チャンネル領域を形成するシリコン薄膜の厚さが 5 nm 以下であることを特徴とする半導体記憶装置。

30

【請求項 6】

請求項 1 記載の半導体記憶装置において、

前記第 1 及び第 2 読出しトランジスタの制御電極の夫々を記憶ノードとし、

書込み動作時の前記書込みビット線の電位によって異なる電荷量を前記記憶ノードに蓄積し、

前記記憶ノードの蓄積電荷量により前記第 1 及び第 2 読出しトランジスタの夫々のチャンネル領域のコンダクタンスを制御し、

前記コンダクタンスは、前記記憶ノードがハイレベルに対応する電位のと看高く、前記記憶ノードがローレベルに対応する電位のと看低くなることを特徴とする半導体記憶装置。

40

【請求項 7】

請求項 1 記載の半導体記憶装置において、

前記第 1 読出しトランジスタのチャンネル導電型が n 型の場合は、前記読出しワード線及び前記第 1 読出しビット線の電位を、前記記憶ノードのハイレベルに対応する電位から前記第 1 読出しトランジスタのしきい値電圧を引いた電位より大きい値とすることで、前記第 1 読出しトランジスタを非導通とし、前記読出しワード線の電位を、前記記憶ノードのハイレベルに対応する電位から前記第 1 読出しトランジスタのしきい値電圧を引いた電位より小さい値とし、前記記憶ノードのローレベルに対応する電位から前記第 1 読出しトラン

50

ンジスタのしきい値電圧を引いた電位より大きい値とすることで、前記第 1 読出しトランジスタが記憶情報に応じて導通、あるいは非導通となり、

前記第 1 読出しトランジスタのチャネル導電型が p 型の場合は、前記読出しワード線及び前記第 1 読出しビット線の電位を、前記記憶ノードのハイレベルに対応する電位から前記第 1 読出しトランジスタのしきい値電圧を引いた電位より小さい値とすることで、前記第 1 読出しトランジスタを非導通とし、前記読出しワード線の電位を、前記記憶ノードのハイレベルに対応する電位から前記第 1 読出しトランジスタのしきい値電圧を引いた電位より大きい値とし、前記記憶ノードのローレベルに対応する電位から前記第 1 読出しトランジスタのしきい値電圧を引いた電位より小さい値とすることで、前記第 1 読出しトランジスタが記憶情報に応じて導通、あるいは非導通となり、

10

前記第 1 読出しビット線の電位が記憶情報に応じて異なる電位となることで読出し動作を行うことを特徴とする半導体記憶装置。

【請求項 8】

請求項 7 記載の半導体記憶装置において、

前記メモリセル対において、前記読出し動作時に前記第 1 及び第 2 読出しビット線に現れる記憶情報に応じた電位を、前記第 1 及び第 2 読出しビット線と前記センスアンプの間に接続されている選択トランジスタによってセンスアンプに入力し、

前記センスアンプによって記憶情報を判別し、

前記書込みビット線に記憶情報に応じた電位を出力し、

1 回の前記読出しワード線の電位の変化で、前記メモリセル対の両方に対して前記記憶ノードに記憶情報の書き戻し動作を行うことを特徴とする半導体記憶装置。

20

【請求項 9】

請求項 8 記載の半導体記憶装置において、

前記書き戻し動作において、前記メモリセル対の 2 つのメモリセルの記憶情報に対し、前記選択トランジスタによって一方のメモリセル対に対してのみ書き戻し動作を行い、

前記書き戻し動作が終了した後、再度、前記同一の読出しワード線の電位を変化し、前記選択トランジスタによって他方のメモリセル対の書き戻し動作を行うことを特徴とする半導体記憶装置。

【請求項 10】

請求項 1 記載の半導体記憶装置において、

前記第 1 及び第 2 メモリセルを 1 つの単位として各々背反する記憶情報を記憶し、

前記第 1 あるいは第 2 の一方の読出しビット線の電位に対する参照電位として、前記第 1 あるいは第 2 の他方の読出しビット線の電位を用い、

1 回の前記読出しワード線の電位の変化で、前記同一の書込みビット線に接続された 2 つのメモリセルの記憶ノードに記憶情報の書き戻し動作を行うことを特徴とする半導体記憶装置。

30

【請求項 11】

請求項 1 記載の半導体記憶装置において、

前記第 1 及び第 2 読出しトランジスタのソース及びドレインと前記読出しワード線とを形成する拡散領域が格子状に配置されていることを特徴とする半導体記憶装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特に、2 トランジスタ型のゲインセル構成のメモリに適用して有効な技術に関する。

【背景技術】

【0002】

本発明者が検討した技術として、例えば、半導体記憶装置においては、次の技術が考えられる。

【0003】

50

高密度、大容量の半導体メモリとして代表的な1トランジスタ-1キャパシタ型DRAM (Dynamic Random Access Memory) では、図29(a)に示すように、ビット線BLと共通電位線(例えば、接地電位GND)との間に、ワード線WLの電位によりオン/オフが制御されるトランジスタMと、メモリキャパシタCとが直列接続されてメモリセルが構成されている。このメモリセルでは、書込み動作時におけるビット線BLの電位の設定に依存して異なる電荷量がキャパシタCに蓄えられることを利用して情報の記憶を行う。読出し動作時には、キャパシタCに保持されている信号電荷によって直接ビット線の充放電を行い、ビット線の電位変化をセンスアンプで増幅することによって、記憶情報が“1”か“0”を判別する。このため、記憶情報の読出しに際して安定動作を確保するには、十分なキャパシタ容量を持たせる必要がある。

10

## 【0004】

ところが、メモリセルの微細化が進むにつれ、キャパシタ容量に使用できる面積が低下する。このため、単純なメモリセルの微細化を行うと蓄積電荷量が減少し、読出し信号の振幅が小さくなるため、読出しに際しての安定動作を確保することができなくなる。このため、世代を進めるごとに、キャパシタCの立体化あるいはキャパシタ絶縁膜の高誘電率化など、一定の信号電荷量を確保するための工夫がなされてきた。しかし、世代毎に新規の高誘電率材料を開発する必要があり、スケールリングがますます困難になっている。

## 【0005】

そこで、図29(b)に示すように、信号電荷を読出しトランジスタM1の制御電極に保持し、読出しの際に読出しトランジスタM1によって信号を増幅し、ビット線BLに出力する、いわゆるゲインセルが注目されている(例えば、特許文献1の図16参照)。ゲインセル構成であれば蓄積電荷が少なくても十分な読出し信号を確保することが可能であり、微細化に適している。

20

## 【0006】

図29(b)は、ゲインセルの一種である2トランジスタ-1キャパシタ型メモリセルの構成例を示す回路図である。図29(b)に示すように、このメモリセルは、書込みトランジスタM2、読出しトランジスタM1及びキャパシタCによって構成されている。書込みトランジスタM2は、ゲートがワード線WLに接続され、ソース、ドレインの一方がビット線BLに接続されている。読出しトランジスタM1は、ゲートが書込みトランジスタM2のソース、ドレインの他方に接続され、ソースがビット線BLに接続され、ドレインが基準電位(例えば、接地電位GND)の供給線に接続されている。キャパシタCは、一方の電極が読出しトランジスタM1と書込みトランジスタM2の接続中点に接続され、他方の電極がワード線WLに接続されている。このキャパシタCの一方の電極、及び、これに接続された読出しトランジスタM1と書込みトランジスタM2の接続中点が、メモリセルの記憶ノードSNをなす。

30

## 【0007】

また、ワード線を書込み用と読出し用に分割し、独立で制御をして読出し動作を行う方法がある。例えば、特許文献1の図2及びその説明には、書込み用と読出し用のワード線を有する2トランジスタ-1キャパシタ型のDRAMゲインセル技術について記載されている。このゲインセル構成のメモリセルにおいては、図29(c)に示すように、ワード線が書込み用(書込みワード線WWL)と読出し用(読出しワード線RWL)に別々に設けられている。

40

【特許文献1】特開2001-53167号公報

【発明の開示】

【発明が解決しようとする課題】

## 【0008】

ところで、前記のような技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

## 【0009】

例えば、図29(b)に示すようなメモリセルでは、書込み用と読出し用のワード線が

50

1本に共通化されているため、読出しトランジスタM1と書込みトランジスタM2を独立して制御することができず、このため、ワード線に印加する電圧設定の自由度が低いという課題がある。以下に具体的に述べる。

【0010】

図29(b)に示すようなメモリセルでは、ワード線WLは、書換え時に少なくとも3段階の電位設定が必要となる。つまり、書込みトランジスタM2及び読出しトランジスタM1を常時オフ状態とする保持電圧と、読出し動作時にp型書込みトランジスタM2は常時オフで、記憶情報に応じてn型読出しトランジスタM1がオン/オフ可能な読出し時の高い電圧と、書込み動作時に記憶情報に関係なくn型読出しトランジスタM1は常時オフで、p型書込みトランジスタM2をオンにする書込み時の低い電圧とが、ワード線WLの  
10 設定電位として必要になる。

【0011】

また、記憶情報と、ワード線WLとキャパシタC間の電圧カップリングによって読出しトランジスタのオン/オフを制御するため、寄生容量だけでは不十分な場合、記憶ノードにキャパシタを形成する追加工程が必要となる。

【0012】

このように、図29(b)に示すゲインセル構成のメモリセルでは、ワード線WLの電位を少なくとも3段階に設定する必要があり、キャパシタCの容量、及び書込みトランジスタM2、読出しトランジスタM1のしきい値のばらつきも考慮すると、ワード線に印加される電圧に対するトランジスタの動作マージンが小さく、誤動作する可能性が高いとい  
20 う課題があった。

【0013】

また、図29(c)に示すようなメモリセルでは、ワード線が書込み用と読出し用に別々に設けられるため、各ワード線の設定電位は2段階でよいが、読出しワード線RWLと記憶ノードSNの間に接続されるキャパシタCによって、読出し動作時のオン/オフの制御を行うため、キャパシタ容量、及びトランジスタのしきい値電圧の関係を注意深く設計する必要があり、依然として、設計マージンが小さいという課題がある。また、メモリセルアレイを構成する配線数が増加してしまうため、メモリセルアレイの面積が増加して  
30 まうという問題もある。

【0014】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

すなわち、本発明による半導体記憶装置は、書込みトランジスタと読出しトランジスタを含むメモリセルを行列状に配置したメモリセルアレイを有し、前記書込みトランジスタの制御電極は書込みワード線に接続され、前記書込みトランジスタのソースあるいはド  
40 レイン領域の一方は書込みビット線に接続され、前記書込みトランジスタのソースあるいはドレイン領域の他方は前記読出しトランジスタの制御電極に接続され、前記読出しトランジスタのソースあるいはドレイン領域の一方は読出しワード線に接続され、前記読出しトランジスタのソースあるいはドレイン領域の他方は読出しビット線に接続され、前記読出しトランジスタのソースあるいはドレイン領域の一方は隣接メモリセルと同一の読出しワード線に接続され、前記読出しトランジスタのソースあるいはドレイン領域の他方は前記隣接メモリセルと異なる読出しビット線に接続され、前記書込みトランジスタのソースあるいはドレイン領域の一方は前記隣接メモリセルと同一の書込みビット線に接続され、前記書込みトランジスタの制御電極は前記隣接メモリセルと異なる書込みワード線に接続されていることを特徴とするものである。  
50

## 【発明の効果】

## 【0017】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

## 【0018】

(1) 誤動作なく安定した読出しが可能となる。

## 【0019】

(2) メモリセルアレイの面積が小さくなる。

## 【発明を実施するための最良の形態】

## 【0020】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

## 【0021】

(実施の形態1)

図1は本発明の実施の形態1におけるメモリセルの構成及び接続関係を示す等価回路図である。なお、以下の説明において、同一の添え字( $m, n, x, y$ :自然数)のある配線、メモリセル及びトランジスタは、それぞれ接続関係を有するものとする。また、読出しトランジスタ $M1$ 、及び書込みトランジスタ $M2$ のチャネル導電型が $n$ 型の場合について述べているが、読出しトランジスタ $M1$ 、及び書込みトランジスタ $M2$ のチャネル導電型は $p, n$ 型共に用いることができる。この場合、電圧の大小関係や電流の方向が変わることになる。

## 【0022】

まず、図1により、本実施の形態1によるメモリセルの構成の一例を説明する。本実施の形態1によるメモリセル $MC_{m, n, x, y}$ は、読出しトランジスタ $M1_{m, n}$ 、及び書込みトランジスタ $M2_{x, y}$ から構成されている。書込みトランジスタ $M2_{x, y}$ は、制御電極が書込みワード線 $WWL_x$ に接続され、ドレインが書込みビット線 $WBL_y$ に接続されている。読出しトランジスタ $M1_{m, n}$ は、制御電極が書込みトランジスタ $M2_{x, y}$ のソースに接続され、ソースが読出しワード線 $RWL_m$ に接続され、ドレインが読出しビット線 $RBL_n$ に接続されている。このメモリセル $MC_{m, n, x, y}$ において、書込みトランジスタ $M2_{x, y}$ と読出しトランジスタ $M1_{m, n}$ の接続中点が記憶ノード $SN_{m, n, x, y}$ となる。

## 【0023】

このメモリセル $MC_{m, n, x, y}$ では、記憶ノード $SN_{m, n, x, y}$ の蓄積電荷量を変えることにより、読出しトランジスタ $M1_{m, n}$ の制御電極の電位を変化させて情報を記憶する。例えば、記憶ノード $SN_{m, n, x, y}$ に電荷が蓄積されておらず、読出しトランジスタ $M1_{m, n}$ がオフのときを記憶情報の“0”に、読出しトランジスタ $M1_{m, n}$ がオンする程の電荷が蓄積されているときを記憶情報の“1”に対応させる。

## 【0024】

上記メモリセル $MC_{m, n, x, y}$ は、隣接するメモリセル $MC_{m, n+1, x+1, y}$ と同一の読出しワード線 $RWL_m$ 、及び書込みビット線 $WBL_y$ に接続することで、配線数の増加によるメモリセル面積の増大を抑制している。そして、隣接するメモリセル $MC_{m, n+1, x+1, y}$ と異なる読出しビット線 $RBL_n$ 、及び書込みワード線 $WWL_x$ に接続することで、正常な読出し、及び書込み動作を行うことを可能としている。

## 【0025】

図2は、本実施の形態1による半導体記憶装置の構成の一部を示す等価回路図である。

## 【0026】

図2に示すように、上記メモリセル $MC_{m, n, x, y}$ は、上記隣接メモリセル $MC_{m, n+1, x+1, y}$ とは異なる隣接メモリセル $MC_{m-1, n, x-1, y}$ と同一の読出しビット線 $RBL_n$ に接続されている。また、読出しビット線 $RBL_n$ は選択トランジ

10

20

30

40

50

スタSLを介して、読出しビット線RBL<sub>n+1</sub>は選択トランジスタSRを介して、書込みビット線WBL<sub>y</sub>は直接、それぞれセンスアンプSAに接続されている。

【0027】

図3に、当該メモリセルの読出し動作時の各配線の電位関係を示す。記憶情報の“0”に係わる電位については破線で、“1”に係わる電位と“1”及び“0”共通の動作に係わる電位については実線で記載している。

【0028】

読出しトランジスタM1は非選択時、読出しワード線RWLの電位V<sub>RWL</sub>と読出しビット線RBLの電位V<sub>RBL</sub>とがハイレベル、すなわち、記憶ノードSNに“1”が書込まれているときの電位V<sub>sn1</sub>から読出しトランジスタM1のしきい値電圧V<sub>th</sub>を引いた値(V<sub>sn1</sub> - V<sub>th</sub>)と同じか、それ以上の電位で保持されている(例えば、V<sub>sn1</sub>)。このため、記憶ノードSNの電位が記憶情報“1”もしくは“0”に対応するどちらの場合においても、読出しトランジスタM1のソース、及びドレインに対する制御電極電位はしきい値電圧V<sub>th</sub>以下であるため、読出しトランジスタM1はオフしている。

【0029】

すなわち、次式(1)が成り立つ。

【0030】

$$0 \quad V_{sn} - V_{th} - V_{RWL} = (-V_{th}) \text{ or } (V_{sn0} - V_{th} - V_{sn1}) \dots (1)$$

読出し時には、読出しビット線RBLを、V<sub>sn1</sub>より高い電位V<sub>pre</sub>にプリチャージし、その後、読出しワード線RWLの電位をローレベル、すなわち、記憶ノードSNに“0”書込みがされているときの電位V<sub>sn0</sub>から読出しトランジスタM1のしきい値電圧V<sub>th</sub>を引いた値(V<sub>sn0</sub> - V<sub>th</sub>)と同じか、それ以上の電位(例えば、V<sub>sn0</sub>)にすることで、記憶ノードSNの記憶情報に応じ、読出しビット線RBLの電位を変化させる。すなわち、記憶ノードSNの記憶情報が“1”の場合、各電極の電位関係は、次式(2)のようになるため、読出しトランジスタM1はオンする。

【0031】

$$V_{RBL} - V_{RWL} = V_{pre} - V_{sn0} > V_{sn} - V_{th} - V_{RWL} = V_{sn1} - V_{th} - V_{sn0} > 0 \dots (2)$$

この結果、読出しビット線RBLにプリチャージされた電荷が読出しワード線RWLに放電され、その電位が下がる。

【0032】

一方、記憶ノードSNの記憶情報が“0”の場合、各電極の電位関係は、次式(3)となるため、読出しトランジスタM1はオフのままである。

【0033】

$$V_{RBL} - V_{RWL} = V_{pre} - V_{sn0} > 0 > V_{sn0} - V_{th} - V_{RWL} = -V_{th} \dots (3)$$

このため、読出しビット線RBLにプリチャージされた電荷の移動はなく、プリチャージされた電位を維持する。

【0034】

上記の読出し動作は、同一の読出しワード線RWL<sub>m</sub>に接続されているメモリセルMC<sub>m, n, x, y</sub>とMC<sub>m, n+1, x+1, y</sub>とで同時に行われる。

【0035】

なお、上記読出し動作において、読出しワード線RWL及び読出しビット線RBLの電位を非選択時からプリチャージ電位V<sub>pre</sub>にしてもよい。この場合は、読出しビット線RBLの電位をV<sub>sn1</sub>からV<sub>pre</sub>へ昇圧する必要がなくなる。

【0036】

本実施の形態におけるメモリセルMCを構成する読出しトランジスタM1は、読出しワード線RWL、読出しビット線RBL及び記憶ノードSNの電位関係によってオン/オフが決定されるため、上記読出し動作における記憶情報“1”の読出し動作で読出しビット

10

20

30

40

50

線 R B L の電位が下がった場合、同一の読出しビット線 R B L に接続されているメモリセル M C にも影響を与える。

【 0 0 3 7 】

例えば、図 2 において、同一の読出しビット線 R B L<sub>n</sub> に接続されている読出しトランジスタ M 1<sub>m, n</sub> 及び読出しトランジスタ M 1<sub>m-1, n</sub> の記憶情報が “ 1 ” であるとする。読出し動作で読出しワード線 R W L<sub>m</sub> の電位がハイレベルからローレベルに変化すると、読出しトランジスタ M 1<sub>m, n</sub> はオンするため、読出しビット線 R B L<sub>n</sub> の電位はプリチャージ電位 V<sub>p r e</sub> から下がり始める。この時、読出しビット線 R B L<sub>n</sub> の電位が読出しトランジスタ M 1<sub>m-1, n</sub> の制御電極の電位 V<sub>s n 1</sub> からしきい値電圧 V<sub>t h</sub> を引いた電位より下回ると、次式 ( 4 ) の電位関係となり読出しトランジスタ ( M 1<sub>m-1, n</sub> ) はオンする。

【 0 0 3 8 】

$$V_{R W L} - V_{R B L} = V_{s n 1} - V_{R B L} > V_{s n 1} - V_{t h} - V_{R B L} > 0 \quad \cdot \cdot ( 4 )$$

その後、読出しビット線 R B L<sub>n</sub> は、読出しワード線 R W L のハイレベル電位とローレベル電位の中間電位 V<sub>1/2</sub> まで下がり、以降読出しワード線 R W L<sub>m</sub> をハイレベルに変化させるまで、R W L<sub>m-1</sub> から R W L<sub>m</sub> の方向に電流が流れ続ける。また、上記式 ( 4 ) の電位関係になった場合、読出しトランジスタ M 1<sub>m-1, n</sub> のみならず、同一の読出しビット線 R B L<sub>n</sub> に接続されている、記憶情報が “ 1 ” の読出しトランジスタ M 1 全てから電流が流れ込むことになる。したがって、過度の電流集中を防ぎ、読出しトランジスタ M 1<sub>m, n</sub> が破壊されるのを防ぐため、読出し動作は上記式 ( 4 ) の電位関係になる前までに終了することが好ましい。

【 0 0 3 9 】

次に、上記読出し動作で得られた読出しビット線 R B L の電位をセンスアンプに入力する。この時、プリチャージ電位 V<sub>p r e</sub> と V<sub>1/2</sub> の間に設定した参照電位 V<sub>r e f</sub> との大小関係をセンスアンプ S A で検出し、記憶情報として判別する。

【 0 0 4 0 】

図 4 に、メモリセル M C への書込み及び書換え動作時の各配線の電位関係を示す。記憶情報の “ 0 ” に係わる電位については破線で、“ 1 ” に係わる電位と “ 1 ” 及び “ 0 ” 共通の動作に係わる電位については実線で記載している。

【 0 0 4 1 】

書込みトランジスタ M 2 は非選択時、書込みビット線 W B L の電位 V<sub>w b l</sub> が記憶ノード S N に “ 0 ” 書込みがされているときの電位 V<sub>s n 0</sub> から “ 1 ” 書込みがされているときの電位 V<sub>s n 1</sub> の間の電位で保持されており (例えば、V<sub>s n 0</sub>)、書込みワード線 W W L の電位 V<sub>w w l</sub> がローレベル、すなわち、記憶ノード S N に “ 0 ” 書込みがされているときの電位 V<sub>s n 0</sub> に書込みトランジスタ M 2 のしきい値電圧 V<sub>t h w</sub> を足した値 ( V<sub>s n 0</sub> + V<sub>t h w</sub> ) と同じか、それ以下の電位で保持されている (例えば、V<sub>s n 0</sub>)。このため、記憶ノード S N の電位が記憶情報 “ 1 ” もしくは “ 0 ” に対応するどちらの場合においても、書込みトランジスタ M 2 のソース及びドレインに対する制御電極電位はしきい値電圧 V<sub>t h w</sub> 以下であるため、書込みトランジスタ M 2 はオフしている。したがって、次式 ( 5 ) が成り立つ。

【 0 0 4 2 】

$$V_{s n 1} - V_{w b l} > V_{s n 0} - V_{w w l} - V_{t h w} \quad \cdot \cdot \cdot ( 5 )$$

書込み及び書換え動作時には、書込みビット線 W B L の電位を書込む情報に応じた電位に設定し、その後、書込みワード線 W W L の電位をハイレベル、すなわち、記憶ノード S N に “ 1 ” 書込みがされているときの電位 V<sub>s n 1</sub> に書込みトランジスタのしきい値電圧 V<sub>t h w</sub> を足した値 ( V<sub>s n 1</sub> + V<sub>t h w</sub> ) と同じか、それ以上の電位にすることで、記憶ノード S N の記憶情報に関係なく、書込みトランジスタ M 2 をオンさせる。この時、次式 ( 6 ) のようになる。

【 0 0 4 3 】

10

20

30

40

50



$$V_{WWL} - V_{thW} - V_{sn1} - V_{WBL} \cdots (6)$$

この時、あらかじめ書込みビット線WBLに設定された電位により、記憶ノードSNの電位が変化する。この後、書込みワード線WWLの電位をローレベルにすることで、書込み及び書換え動作は終了し、記憶情報が保持される。

#### 【0044】

図5及び図6に、本実施の形態の図2における読出しワード線RWL<sub>m</sub>に接続されているメモリセルMC<sub>m, n, x, y</sub>及びメモリセルMC<sub>m, n+1, x+1, y</sub>の再書込み動作を示す。図5は、1回の読出し動作で2個のメモリセルの再書込みを行う第1の動作モード、図6は1回の読出し動作で1個のメモリセルの再書込みを行う第2の動作モードにおける各配線の電位関係及びタイミングを示す。なお、煩雑さを避けるため、各電位の大きさを記載していないが、図3、図4の該当する電位と同様とする。

10

#### 【0045】

第1の動作モードにおいては、1回の読出し動作で2個のメモリセルの再書込みを行うため、読出しワード線毎の再書込み時間を短くすることが可能である。しかし、読出しワード線の電位をローレベルにした状態で2個のメモリセルの再書込みを行うため、上記式(4)の電位関係となり、読出しワード線間を電流が流れる時間が長くなる可能性がある。

#### 【0046】

第2の動作モードにおいては、1回の読出し動作で1個のメモリセルの再書込みを行うため、読出しワード線をローレベルに保持する時間を短くすることができ、上記式(4)の電位関係になった際に読出しワード線間を流れる消費電流を低減することが可能である。

20

#### 【0047】

上記読出し及び書換え動作において、読出しワード線RWL、読出しビット線RBL、書込みワード線WWL、書込みビット線WBLは独立に存在するため、各電位は任意に設定することが出来る。このため、トランジスタのしきい値電圧のばらつきがあった場合でも、十分な動作マージンを確保することが出来る。

#### 【0048】

また、本実施の形態のメモリセルは2トランジスタ型の構成であり、隣接するメモリセルと同一の読出しワード線及び書込みビット線に接続することによって面積の小さいメモリセルアレイが得られる。

30

#### 【0049】

本実施の形態に用いられる読出しトランジスタM1は、記憶ノードである制御電極に蓄積される電荷量によって、チャネルのコンダクタンスを制御できる構造であればよく、また書込みトランジスタM2は記憶ノードの電荷量を制御できるスイッチング特性を有すればよい。

#### 【0050】

(実施の形態2)

本実施の形態2によるメモリセルMCにおいて、書込みトランジスタM2、読出しトランジスタM1及び配線の接続関係は基本的に前記実施の形態1と同様である。しかし、読出しトランジスタM1のドレインと読出しビット線RBL間のコンタクトをショットキー接続とすることで、前記実施の形態1の式(4)の電位関係となった場合における、読出しワード線RWL間を電流が流れるのを防ぐ効果を得る。

40

#### 【0051】

図7および図8に、本実施の形態2におけるメモリセルMCと配線の接続関係を表す等価回路を示す。SDはショットキー接続によるショットキーダイオードである。

#### 【0052】

また、図9に、本実施の形態2におけるメモリセルMCの読出し動作を示す。読出し動作の原理は基本的に前記実施の形態1と同様であるが、上記ショットキー接続を行った場合、読出しビット線RBLの電位が下がった場合においても、同一の読出しビット線RB

50

Lに接続されている記憶情報が“1”の読出しトランジスタM1から電流が流れることがないため、読出しビット線RBLはローレベル電位 $V_{sn0}$ まで電位が下がる。

【0053】

上記読出し動作で読出しビット線 $RBL_n$ 及び読出しビット線 $RBL_{n+1}$ に読み出された電位を、選択トランジスタSL, SRの制御により、順にセンスアンプSAに入力する。この時、プリチャージ電位 $V_{pre}$ と $V_{sn0}$ の間に設定した参照電位 $V_{ref}$ との大小関係をセンスアンプSAで検出し、記憶情報として判別する。選択トランジスタSRがオンし、センスアンプSAによって読出しトランジスタ $M1_{m, n+1}$ の記憶ノードに記憶されていた情報に対応する電位が書込みビット線 $WBL_y$ にラッチされた後、読出しワード線 $RWL_m$ の電位を保持電位に戻すことで、読出しワード線 $RWL_m$ の読出し動作を終了する。

10

【0054】

本実施の形態2の読出し動作は、書込みワード線WWLの電位を変動させず、書込みトランジスタM2はオフのままで行うことが出来るため、記憶情報を非破壊で読み出すことが出来る。

【0055】

書込み動作は前記実施の形態1と等しく、図4のようになる。

【0056】

図10及び図11に、本実施の形態2の図8における読出しワード線 $RWL_m$ に接続されているメモリセル $MC_{m, n, x, y}$ 及び $MC_{m, n+1, x+1, y}$ の再書込み動作を示す。図10は、1回の読出し動作で2個のメモリセルの再書込みを行う第1の動作モード、図11は1回の読出し動作で1個のメモリセルの再書込みを行う第2の動作モードにおける各配線の電位関係及びタイミングを示す。なお、煩雑さを避けるため、各電位の大きさを記載していないが、図9、図4の該当する電位と同様とする。

20

【0057】

(実施の形態3)

本実施の形態3は、前記実施の形態2において、隣接メモリセルと同一の拡散層を読出しトランジスタM1のドレイン領域とし、読出しビット線RBLとショットキー接続される場合の構成である。また、書込みトランジスタM2に、薄膜トランジスタを用いる。隣接メモリセルの読出しトランジスタM1とドレイン領域を同一にすることで、メモリセルの面積を縮小する効果がある。

30

【0058】

図12は、本実施の形態3によるメモリセルアレイの一部を示す等価回路図である。メモリセルの構成は図7と同様である。

【0059】

図13及び図14に、本実施の形態3のメモリセルアレイを構成するメモリセルとメモリセルアレイの構造を示す。図13(a)は、メモリセルの上面図、図13(b)及び図13(c)は図13(a)のメモリセルのA-A'及びB-B'切断面における断面図である。図14はメモリセルアレイの上面図である。なお、見やすさのため、図13、図14では或る領域の輪郭の重なる部分を一部ずらして記述している。また、上記上面図及び断面図は、当該半導体記憶装置の主要部分の配置関係を示すもので、各積層の状態を正確に示す上面図ではない。

40

【0060】

本実施の形態3において示す上面図及び断面図は、読出しワード線RWLに読出しトランジスタM1のソースを用いた拡散層配線としている。しかし、配線抵抗が無視できない場合、配線間のスペースをとる必要から面積が増大するが、読出しトランジスタM1のソースにコンタクトをとり、メタル配線を接続することも可能である。

【0061】

本実施の形態のメモリセル構造は、基本的には薄膜トランジスタを用いた書込みトランジスタM2と、読出しトランジスタM1とを一体化させた構造である。

50

## 【0062】

書込み用トランジスタM2は薄膜トランジスタである。この薄膜トランジスタのチャンネル3は不純物濃度が低いが、その両端(書込みトランジスタのソース領域1と書込みトランジスタのドレイン領域2)にはn型の不純物が注入されている。その一端(書込みトランジスタのソース領域1)はチャンネル3以外に電気伝導経路が存在せず、電荷蓄積部の役割を果たす。この端部(書込みトランジスタのソース領域1)の部分は図7に示した等価回路図のSN(1a)の部位に対応する。他方、他端(書込みトランジスタのドレイン領域2)は書込みビット線WBLに接続されている。また、書込み用トランジスタM2の制御電極5は、書込みワード線WWLに接続されている。この書込みトランジスタのドレイン領域2及び書込み用トランジスタM2の制御電極5の部分は、図7に示した等価回路図の部位2a及び部位5aに対応する。上記電荷蓄積部(書込みトランジスタのソース領域1)は読出しトランジスタM1の制御電極を兼ねており、蓄積されている電荷量に応じて読出しトランジスタのソース領域7と読出しトランジスタのドレイン領域8の間を流れる電流を変化させる。読出しトランジスタのソース領域7と読出しトランジスタのドレイン領域8は、p型シリコン基板中に設けた高不純物濃度n型領域である。

10

## 【0063】

本実施の形態及び以下の実施の形態では、便宜上ソースやドレインという呼び方を用いているが、電位関係が逆になる場合もあるため、逆の呼び方も可能である。また、工程簡略化のため拡散層構造を最も簡単な構造としたが、短チャンネル効果に強い、より複雑な構造を採ってもよい。さらに、キャリアを電子としているが、キャリアは正孔でも構わない。

20

## 【0064】

次に、本実施の形態3による半導体記憶装置の製造工程を説明する。図15から図17は、本実施の形態3のメモリセルアレイを製造する際の各工程における、配線との接続関係を示す基本の2つのメモリセル分の上面図及び断面図である。図15から図17において、(a)は上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。

## 【0065】

なお、前記上面図は、煩雑さを避けるため、当該工程における主要部位の位置のみを示すもので、正確な上面図には相当しない。また、各断面図は、半導体装置の活性領域を形成する半導体層より上部の構成を例示する。この半導体層は、半導体基板あるいはSOI基板上に配置されるが、各図面でこの基板部分は、図面の簡略化の為、省略されている。

30

## 【0066】

まず、p型シリコン基板6に、不純物イオン打ち込み及びアニールを行って、nウエル及びpウエルの通例の3重ウエル構造を作製する。

## 【0067】

また、図15(a)の上面図に示すマスクパターン10を用いて、絶縁体で埋め込まれた通例の素子分離用の溝(素子分離領域11)を作製する。すなわち、前記マスクパターン10の間の領域に素子分離領域11が形成されることになる。また、多数の素子を形成する場合、このマスクパターン10が多数個、配列されることになる。

40

## 【0068】

前記基板表面の犠牲酸化後、レジストをマスクにしてしきい値電圧調整用の不純物イオンの打ち込みを行う。洗浄後シリコン表面を酸化して、5nmの厚さの周辺回路用ゲート絶縁膜を形成する。次に、ロジック回路向けのトランジスタ部分が開口するレジストパターンを、マスク領域として、SiO<sub>2</sub>膜のエッチングを行う。

## 【0069】

そして、前記レジスト膜を除去した後、シリコン表面を3nmの厚さに酸化してロジック回路用のゲート絶縁膜を形成する。当該ゲート絶縁膜の表面を窒化してゲート絶縁膜の誘電率を上げた後、ゲート電極用の多結晶シリコンを堆積し、レジストをマスクにして多結晶シリコン中に不純物を打ち込む。この時、書込みトランジスタのチャンネルとなる領域

50

には不純物を注入しないようにマスクをかける。

【0070】

さらに、図16(a)に示すように、レジストパターンをマスクにして多結晶シリコンを加工し、ゲート電極（書込みトランジスタのソース領域1）、書込みトランジスタのドレイン領域2、及び書込みトランジスタのチャンネル3を形成する。この時、メモリセル内の繰り返しパターンでは、ゲート電極間の距離をほぼ等間隔にすることにより、位相シフト露光のような超解像技術を用いることを可能としている。

【0071】

この後、書込みトランジスタのゲート絶縁膜4、及び書込みトランジスタの制御電極5の多結晶シリコンを堆積し、図17に示す通り、レジストパターンをマスクに多結晶シリコンを加工する。この後、周辺回路用の高耐圧トランジスタ用のインプラを行う際に、読出しビット線とのコンタクト領域に不純物を注入し、不純物濃度の低いn型の拡散領域とする。

10

【0072】

さらに、図17(a)に示すように、レジストパターン13とゲート電極をマスクにして不純物注入を行い、読出しトランジスタのソース領域7、読出しトランジスタのドレイン領域8を形成する。この時、読出しビット線に接続されるコンタクト領域（読出しビット線コンタクト $CT_{RBL}$ ）はレジストパターン13で覆われるため、不純物濃度は低い。また、上記コンタクト領域に、高耐圧トランジスタ用の不純物注入を行わず、別途不純物注入を行い、不純物濃度を調整してもよい。

20

【0073】

この不純物打ち込みの前後に、斜めに拡散層とは異なる極性の不純物打ち込みを行って、ゲート電極端のウエル濃度を上げて短チャンネル効果を抑制する工程を行ってもよい。ここで、拡散層抵抗の低減の為、シリサイド化プロセスを行う。例えばチタンシリサイドやコバルトシリサイドを形成する。

【0074】

この後、 $SiO_2$ 膜堆積後平坦化を行い、コンタクト工程、配線工程を行う。その際、読み出しトランジスタのドレイン領域8側の、読出しビット線コンタクト $CT_{RBL}$ は不純物濃度が低く、ショットキー接合となる。

【0075】

次に、本実施の形態のメモリアレイにおける動作について説明する。例えば、図12に示す等価回路において、メモリセル $MC_{m,n,x,y}$ の記憶情報を読み出す場合、読出しビット線 $RBL_n$ 、 $RBL_{n+1}$ をプリチャージし、読出しワード線 $RWL_m$ の電位をローレベルに変化する。この結果、メモリセル $MC_{m,n,x,y}$ の記憶情報に応じた電位が読出しビット線 $RBL_n$ に得られる。ここで、本実施の形態のメモリアレイにおいて、読出しトランジスタ $M1_{m,n}$ のドレインは読出しトランジスタ $M1_{m-1,n}$ のドレインと共通であり、読出しビット線 $RBL_n$ に接続されているため、読出しビット線 $RBL_n$ が前記式(4)の電位関係を満たす電位まで下がると、読出しトランジスタ $M1_{m-1,n}$ はオンする。その後、前記図3と同様に、読出しビット線 $RBL_n$ の電位は $V_{sn1}$ と $V_{sn0}$ の中間の電位 $V_{1/2}$ まで下がり、読出しワード線 $RWL_m$ の電位をハイレベルに戻すまで、読出しワード線 $RWL_{m-1}$ から読出しワード線 $RWL_m$ の方向に電流が流れ続ける。このため、センスアンプSAの参照電位 $V_{ref}$ は、読出しビット線 $RBL_n$ のプリチャージ電位 $V_{pre}$ と保持電位 $V_{sn1}$ の間に設定し、読出しビット線の電位が前記式(4)に示す電位に下がる前に読出し動作を終了するのが好ましい。

30

40

【0076】

この後、読出しワード線 $RWL_m$ の電位をハイレベルに変化することによって読出し動作は終了する。

【0077】

書込み動作は、前記実施の形態1と等しく、図4のようになる。

【0078】

50

上記に示した通り、本実施の形態3の図12における読出しワード線RWL<sub>m</sub>に接続されているメモリセルMC<sub>m, n, x, y</sub>、及びメモリセルMC<sub>m, n+1, x+1, y</sub>の再書込み動作は、前記実施の形態1の動作と等しく、図5、図6のようになる。

【0079】

本実施の形態3に用いられる書込み用の薄膜トランジスタは、特に、図12のメモリセルアレイ構成に限って用いられるわけではなく、前記実施の形態1、及び前記実施の形態2に示されるメモリセルに適用してもよい。また、書込みトランジスタM2及び読出しトランジスタM1は、特に特別な特性を持つわけではなく、配線の電位のみで読出し、書込み動作を行うことができるため、使用するトランジスタは上記薄膜トランジスタに限ったものではなく、一般的な製造工程で形成されるトランジスタを用いることができる。

10

【0080】

(実施の形態4)

本実施の形態4は、前記実施の形態3において、書込みトランジスタM2に、チャネルの膜厚を5nm程度以下にし、オフリーク電流を低減する、極薄チャネルTFET(Thin Film Transistor)を用い、読出しトランジスタ上に立体的に形成した場合の構成である。このため、メモリセルアレイの構成は前記実施の形態3と同様に図12のようになるが、メモリセル面積を縮小することができる。

【0081】

図18、図19は本実施の形態4のメモリセルアレイを構成するメモリセル、及びメモリセルアレイの構造を示す。図18(a)はメモリセルの上面図、図18(b)はメモリセルの断面図であり、図19はメモリセルアレイの上面図である。なお、見やすさのため、図18、図19では、或る領域の輪郭の重なる部分を一部ずらして記述している。また、上記上面図は、当該半導体記憶装置の主要部分の配置関係を示すもので、各積層の状態を正確に示す上面図ではない。

20

【0082】

本実施の形態4において示す上面図及び断面図は、読出しワード線RWLに読出しトランジスタM1のソースを用いた拡散層配線としており、また、書込みビット線WBLに書込みトランジスタM2のドレインを用いたポリシリコン配線としている。しかし、配線抵抗が無視できない場合、配線間のスペースをとる必要から面積が増大するが、読出しトランジスタM1のソース、もしくは書込みトランジスタM2のドレインにコンタクトをとり、メタル配線を接続することも可能である。

30

【0083】

本実施の形態4のメモリセル構造は、基本的には情報を書き込む極薄チャネルTFETを用いた書込みトランジスタM2と、書き込まれた情報を読み出す読出しトランジスタM1とを一体化させた構造であり、読出しトランジスタM1上に書込みトランジスタM2を立体的に構成させる。

【0084】

書込み用トランジスタM2は極薄シリコンチャネルの薄膜トランジスタである。この薄膜トランジスタのチャネル3は不純物濃度が低く、実質的にイントリンシックであるが、その両端(書込みトランジスタのソース領域1、書込みトランジスタのドレイン領域2)はn型の不純物が導入された多結晶シリコンに接続されている。その一端(書込みトランジスタのソース領域1)はチャネル3以外に電気伝導経路が存在せず、電荷蓄積部の役割を果たす。この端部(書込みトランジスタのソース領域1)の部分は、図7に示した等価回路図の(1a)の部位に対応する。他方、他端(書込みトランジスタのドレイン領域2)は書込みビット線WBLに接続されている。また、書込みトランジスタM2の制御電極5は、書込みワード線WWLに接続されている。この書込みトランジスタのドレイン領域2及び書込みトランジスタの制御電極5の部分は、図7に示した等価回路図の(2a)及び(5a)の部位に対応する。上記電荷蓄積部(書込みトランジスタのソース領域1)は読出しトランジスタM1の制御電極を兼ねており、蓄積されている電荷量に応じて読出しトランジスタのソース領域7と読出しトランジスタのドレイン領域8との間を流れる電流

40

50

を変化させる。読出しトランジスタのソース領域 7、読出しトランジスタのドレイン領域 8 は、p 型シリコン基板中に設けた高不純物濃度 n 型領域である。

【 0 0 8 5 】

書込みトランジスタ M 2 のチャネル部の厚さは非常に薄いため、オフ時のリーク電流を通常のトランジスタに比べて極端に小さくすることができる。通常のトランジスタのオフ時のリーク電流が、10 のマイナス 10 乗から 15 乗アンペア程度であるのに対して、本実施の形態のようにチャネルが 5 nm 程度以下の薄膜トランジスタでは、膜厚方向の量子力学的な閉じ込め効果のため、リーク電流を 10 のマイナス 19 乗程度にすることも可能である。

【 0 0 8 6 】

次に、本実施の形態 4 による半導体記憶装置の製造工程を説明する。図 20 から図 24 に、本実施の形態 4 のメモリセルアレイを製造する際の各工程での、配線との接続関係を示す基本の 2 つのメモリセル分の上面図及び断面図を示す。図 20 から図 24 において、( a ) が上面図、( b ) が断面図である。( a ) 及び ( b ) の図では、( a ) の A - A ' 切断面における断面図が ( b ) に対応する。また、各断面図は、半導体記憶装置の活性領域を形成する半導体層より上部の構成を例示する。この半導体層は、半導体基板あるいは S O I 基板上に配置されるが、各図面でこの基板部分は、図面の簡略化の為、省略されている。

【 0 0 8 7 】

まず、前記実施の形態 3 と同様の製造工程によって、ウエル、素子分離領域、周辺回路用ゲート絶縁膜、及びロジック回路向けゲート絶縁膜の順に形成し、ゲート電極用の多結晶シリコンを堆積後、レジストをマスクに多結晶シリコン中に不純物を打ち込む。さらに、W 膜と S i O <sub>2</sub> 膜を堆積し、図 21 ( a ) に示すように、レジストパターンをマスクにゲート電極 ( 書込みトランジスタのソース領域 1 ) を形成する。この時、メモリセル内の繰り返しパターンでは、ゲート電極間の距離をほぼ等間隔にすることにより、位相シフト露光のような超解像技術を用いることを可能としている。この後、周辺回路用の高耐圧トランジスタ用のインプラを行う際に、読出しビット線とのコンタクト領域に不純物を注入し、不純物濃度の低い n 型の拡散領域とする。

【 0 0 8 8 】

ここで、図 21 に示すように、レジストパターン 13 とゲート電極をマスクにして読出しトランジスタのソース領域 7、読出しトランジスタのドレイン領域 8 を形成する。この時、読出しビット線に接続されるコンタクト領域 ( 読出しビット線コンタクト C T <sub>R B L</sub> ) は、レジストパターン 13 で覆われるため、不純物濃度は低い。また、上記コンタクト領域に、高耐圧トランジスタ用の不純物注入を行わず、別途不純物注入を行い、不純物濃度を調整してもよい。

【 0 0 8 9 】

この不純物打ち込みの前後に、斜めに拡散層とは異なる極性の不純物打ち込みを行って、ゲート電極端のウエル濃度を上げて短チャネル効果を抑制する工程を行ってもよい。ここで、拡散層抵抗の低減の為、シリサイド化プロセスを行う。例えばチタンシリサイドやコバルトシリサイドを形成する。

【 0 0 9 0 】

続いて、S i O <sub>2</sub> 膜 ( 層間 S i O <sub>2</sub> 12 ) を堆積し、さらに n 型多結晶シリコン膜を堆積する。この後、図 22 に示すように、レジストをマスクにして書込みトランジスタのドレイン領域 2 の多結晶シリコン膜と S i O <sub>2</sub> 膜 ( 層間 S i O <sub>2</sub> 12 ) を貫通し、電荷蓄積領域 ( 書込みトランジスタのソース領域 1 ) に達する孔を形成する。

【 0 0 9 1 】

さらに図 23 に示すように、厚さが 5 nm 以下のアモルファスシリコン ( チャネル 3 ) 及び書込みトランジスタのゲート絶縁膜 4 として、厚さ 10 nm の S i O <sub>2</sub> 膜を堆積し、アニールを行ってアモルファスシリコンを結晶化する。この後 n 型多結晶シリコン膜 ( 書込みトランジスタの制御電極 5 ) を堆積し、レジストをマスクにして多結晶シリコン膜 (

10

20

30

40

50

書込みトランジスタの制御電極 5)、書込みトランジスタのゲート絶縁膜 4、多結晶シリコン膜(書込みトランジスタのドレイン領域 2)をエッチングする。

【0092】

さらに、図 2 4 に示すように、レジストをマスクにして多結晶シリコン膜(書込みトランジスタの制御電極 5)をエッチングすることによって、書込みトランジスタの制御電極 5 を形成する。この後、 $\text{SiO}_2$  膜堆積後平坦化を行い、コンタクト工程、配線工程を行う。その際、読み出しトランジスタのドレイン領域 8 側の、読み出しビット線コンタクト  $\text{CTRBL}$  は不純物濃度が低く、ショットキー接合となる。

【0093】

次に、本実施の形態 4 のメモリアレイにおける動作について説明する。基本的な読み出し、及び書込み動作は前記実施の形態 3 と同様であり、図 3、図 4 のようになるが、本実施の形態 4 において、書込みトランジスタ M 2 は、チャネル領域が極めて薄膜であることから、極めて低リーク電流を確保できるため、図 5 及び図 6 に示す記憶情報の再書込みの周期を長く設定することが可能である。この結果ビット線の充放電の回数を減らすことができ、メモリセルの消費電力を削減することができる。

【0094】

本実施の形態 4 に用いられる書込み用の極薄チャネルの薄膜トランジスタは、特に図 1 2 のメモリアレイ構成に限って用いられるわけではなく、前記実施の形態 1、及び前記実施の形態 2 に示されるメモリセルに適用してもよい。

【0095】

(実施の形態 5)

図 2 5 は、本発明における実施の形態 5 の等価回路図を示す。図 2 5 において、メモリアレイ構成は前記実施の形態 3 と同様の構成であるが、センスアンプ SA の参照電圧のとり方が異なり、結果動作が異なる。本実施の形態 5 では、同一の読み出しワード線 RWL、及び書込みビット線 WBL に接続されたメモリセル MC を基本単位とし、2 つのセルに対となる情報を記憶させ、読み出し動作時に他方の読み出しビット線を参照電位とする、いわゆるツインセルの構成となっている。

【0096】

図 2 6、図 2 7 には、メモリセル  $\text{MC}_{m, n, x, y}$  及びメモリセル  $\text{MC}_{m, n+1, x+1, y}$  の記憶情報が、それぞれ“1”及び“0”の場合の動作を実線で、“0”及び“1”の場合の動作を破線で示す。

【0097】

また、図 2 8 には、メモリセル  $\text{MC}_{m, n, x, y}$  及びメモリセル  $\text{MC}_{m, n+1, x+1, y}$  の再書込み動作を示す。

【0098】

2 つのメモリセルで 1 つの情報を記憶するため、メモリセル面積は 2 倍になるが、センスアンプでの参照電位との電位差を十分大きくとることができ、読み出しの誤動作を抑制できるため、メモリセルの低電圧動作に適している。

【0099】

本実施の形態 5 のツインセル構成は、前記実施の形態 3 のメモリアレイ構成に対して行っているが、前記実施の形態 1 及び 2 に示したメモリアレイ構成に対して行っても良い。

【0100】

したがって、前記実施の形態 1 ~ 5 による 2 トランジスタ型のゲインセル構成のメモリ(半導体記憶装置)によれば、誤動作なく安定した読み出しが可能となり、トランジスタのしきい値電圧の設計自由度が高くなる。また、メモリセルを、隣接するメモリセルと同一の読み出しワード線、及び書込みビット線に接続することにより、配線数の増加によるメモリアレイ面積の増大を抑えることができる。

【0101】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変

10

20

30

40

50

更可能であることはいうまでもない。

【産業上の利用可能性】

【0102】

本発明は、DRAMなどの半導体記憶装置について適用可能である。

【図面の簡単な説明】

【0103】

【図1】本発明の実施の形態1における半導体記憶装置を構成するメモリセルと配線の接続関係を示す等価回路図である。

【図2】本発明の実施の形態1における半導体記憶装置の一部を示す等価回路図である。

【図3】本発明の実施の形態1, 3, 4における半導体記憶素子の読出し動作時の信号波形を示すタイミングチャートである。

10

【図4】本発明の実施の形態1~4における半導体記憶素子の書込み及び書換え動作時の信号波形を示すタイミングチャートである。

【図5】本発明の実施の形態1, 3, 4における半導体記憶装置の第1の動作モードにおける再書込み動作時の信号波形を示すタイミングチャートである。

【図6】本発明の実施の形態1, 3, 4における半導体記憶装置の第2の動作モードにおける再書込み動作時の信号波形を示すタイミングチャートである。

【図7】本発明の実施の形態2~5における半導体記憶装置を構成するメモリセルと配線の接続関係を示す等価回路図である。

【図8】本発明の実施の形態2における半導体記憶装置の一部を示す等価回路図である。

20

【図9】本発明の実施の形態2における半導体記憶素子の読出し動作時の信号波形を示すタイミングチャートである。

【図10】本発明の実施の形態2による半導体記憶装置の第1の動作モードにおける再書込み動作時の信号波形を示すタイミングチャートである。

【図11】本発明の実施の形態2による半導体記憶装置の第2の動作モードにおける再書込み動作時の信号波形を示すタイミングチャートである。

【図12】本発明の実施の形態3, 4における半導体記憶装置の一部を示す等価回路図である。

【図13】(a)は本発明の実施の形態3における半導体記憶装置の一部を示す上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。

30

【図14】本発明の実施の形態3における半導体記憶装置のメモリセルアレイの構成を示す上面図である。

【図15】(a)は本発明の実施の形態3における半導体記憶装置の製造方法を説明する為の上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。

【図16】(a)は本発明の実施の形態3における半導体記憶装置の製造方法を説明する為の上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。

【図17】(a)は本発明の実施の形態3における半導体記憶装置の製造方法を説明する為の上面図、(b)は(a)のA-A'切断面における断面図、(c)は(a)のB-B'切断面における断面図である。

40

【図18】(a)は本発明の実施の形態4における半導体記憶装置の一部を示す上面図、(b)は(a)のA-A'切断面における断面図である。

【図19】本発明の実施の形態4における半導体記憶装置のメモリセルアレイの構成を示す上面図である。

【図20】(a)は本発明の実施の形態4における半導体記憶装置の製造方法を説明する為の上面図、(b)は(a)のA-A'切断面における断面図である。

【図21】(a)は本発明の実施の形態4における半導体記憶装置の製造方法を説明する為の上面図、(b)は(a)のA-A'切断面における断面図である。

50



【図 2 2】( a ) は本発明の実施の形態 4 における半導体記憶装置の製造方法を説明する為の上面図、( b ) は( a ) の A - A ' 切断面における断面図である。

【図 2 3】( a ) は本発明の実施の形態 4 における半導体記憶装置の製造方法を説明する為の上面図、( b ) は( a ) の A - A ' 切断面における断面図である。

【図 2 4】( a ) は本発明の実施の形態 4 における半導体記憶装置の製造方法を説明する為の上面図、( b ) は( a ) の A - A ' 切断面における断面図である。

【図 2 5】本発明の実施の形態 5 における半導体記憶装置の一部を示す等価回路図である。

【図 2 6】本発明の実施の形態 5 における半導体記憶素子の読出し動作時の信号波形を示すタイミングチャートである。

10

【図 2 7】本発明の実施の形態 5 における半導体記憶素子の書込み及び書換え動作時の信号波形を示すタイミングチャートである。

【図 2 8】本発明の実施の形態 5 による半導体記憶装置における再書込み動作時の信号波形を示すタイミングチャートである。

【図 2 9】本発明の前提として検討した D R A M のメモリセルを示す等価回路図である。

【符号の説明】

【 0 1 0 4 】

- 1 書込みトランジスタのソース領域
- 2 書込みトランジスタのドレイン領域
- 3 チャンネル
- 4 書込みトランジスタのゲート絶縁膜
- 5 書込みトランジスタの制御電極
- 6 基板
- 7 読出しトランジスタのソース領域
- 8 読出しトランジスタのドレイン領域
- 9 読出しトランジスタのゲート絶縁膜
- 1 0 マスクパターン
- 1 1 素子分離領域
- 1 2 層間  $S i O_2$
- 1 3 レジストパターン
- B L ビット線
- S L , S R 選択トランジスタ
- W L ワード線
- M トランジスタ
- C キャパシタ
- M C メモリセル
- M 1 読出しトランジスタ
- M 2 書込みトランジスタ
- G N D 接地電位
- S N 記憶ノード
- W W L 書込みワード線
- W B L 書込みビット線
- R W L 読出しワード線
- R B L 読出しビット線
- $V_{R W L}$  読出しワード線電位
- $V_{R B L}$  読出しビット線電位
- $V_{S N 1}$  記憶ノードに“ 1 ”が書込まれている際の電位
- $V_{S N 0}$  記憶ノードに“ 0 ”が書込まれている際の電位
- $V_{S N}$  記憶ノードの電位
- $V_{t h}$  読出しトランジスタのしきい値電圧

20

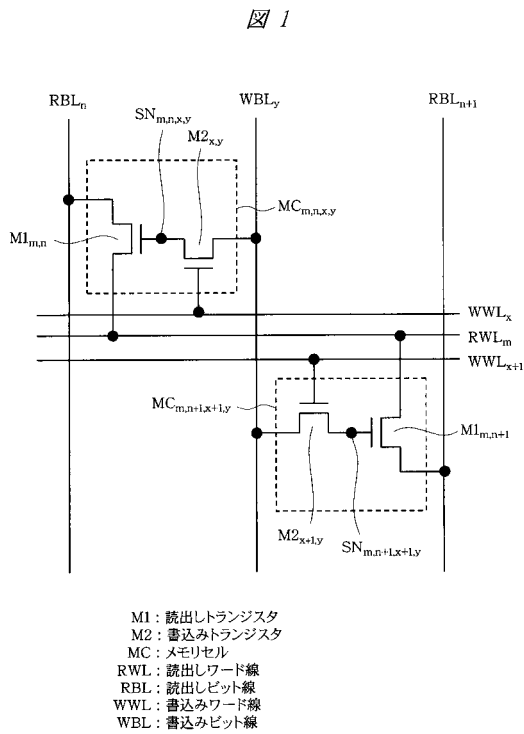
30

40

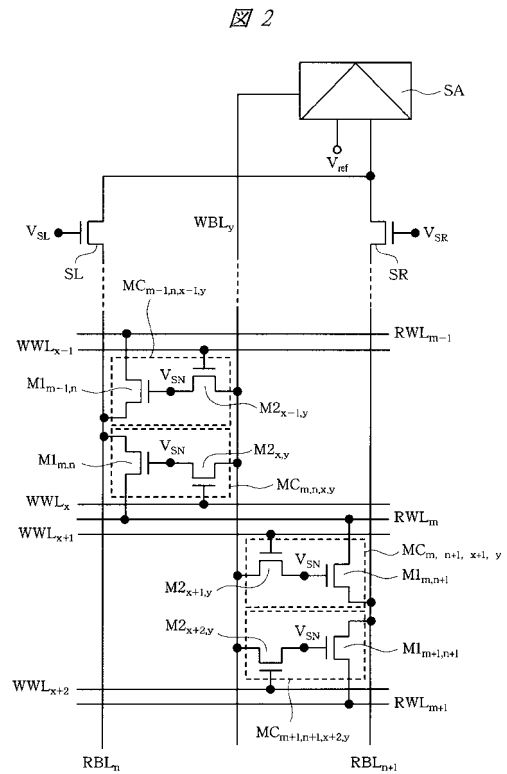
50

- $V_{pre}$  読出しビット線のプリチャージ電位
- $V_{ref}$  センスアンプの参照電位
- SA センスアンプ
- $V_{1/2}$  読出しワード線のハイレベル電位とローレベル電位の中間電位
- $V_{thW}$  書きみトランジスタのしきい値電圧
- $CT_{RBL}$  読出しビット線コンタクト
- $CT_{RWL}$  読出しワード線コンタクト
- $CT_{WWL}$  書きみワード線コンタクト
- SD ショットキーダイオード

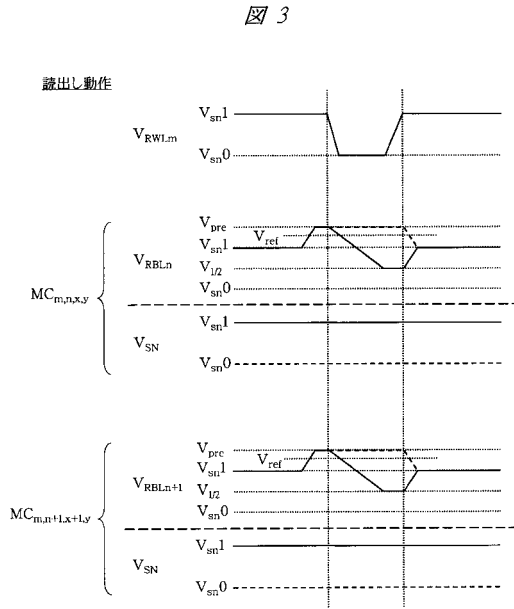
【図1】



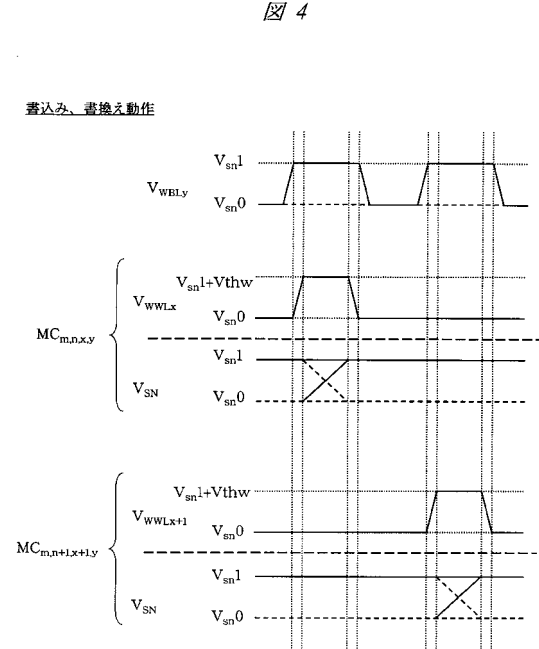
【図2】



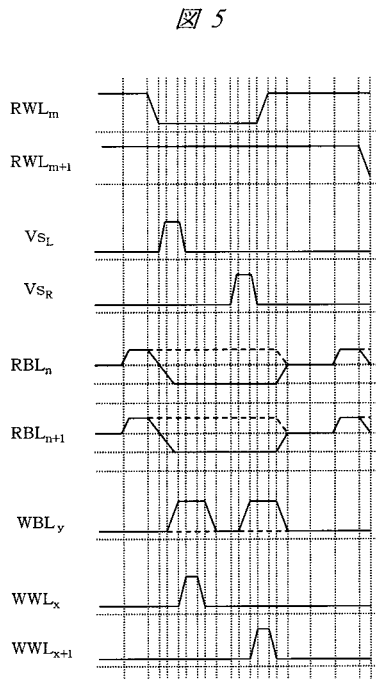
【 図 3 】



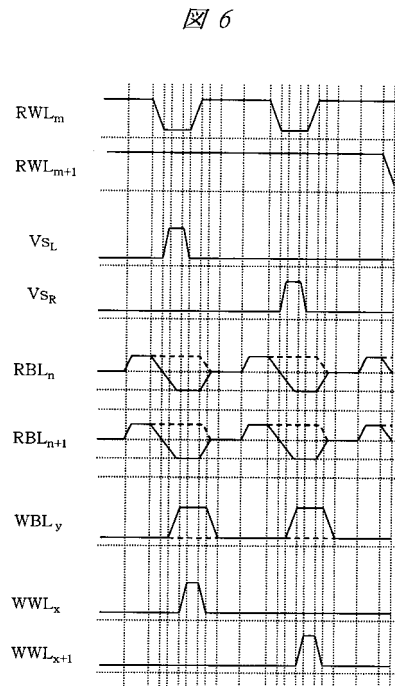
【 図 4 】



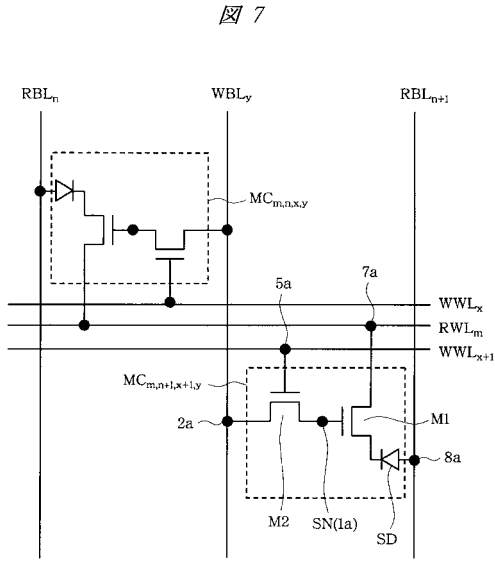
【 図 5 】



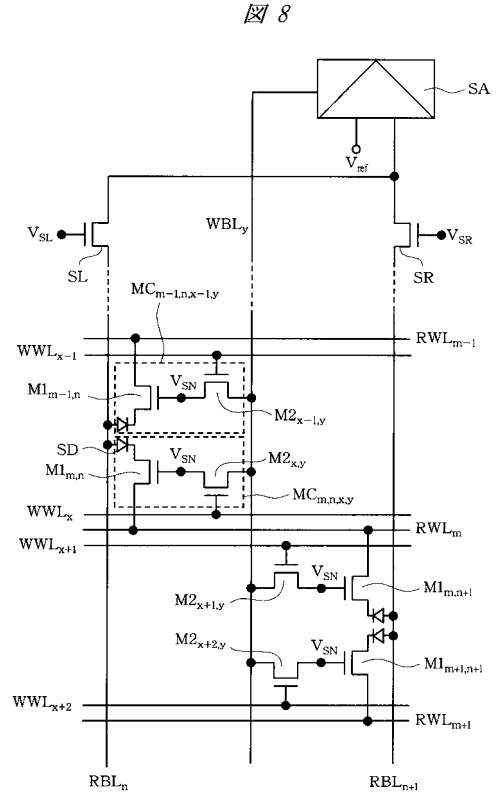
【 図 6 】



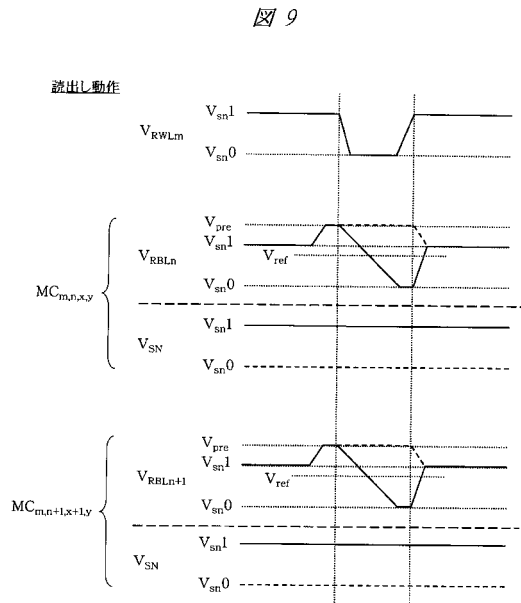
【 図 7 】



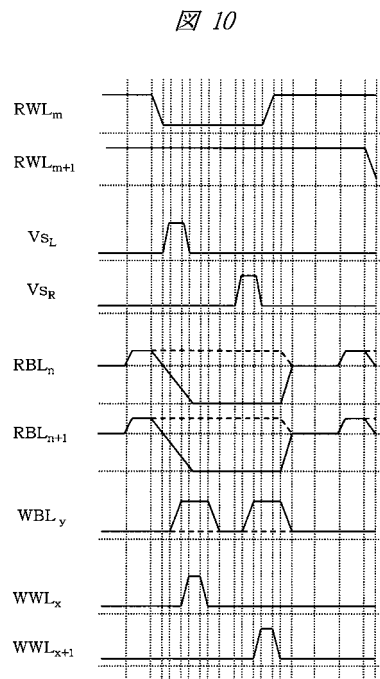
【 図 8 】



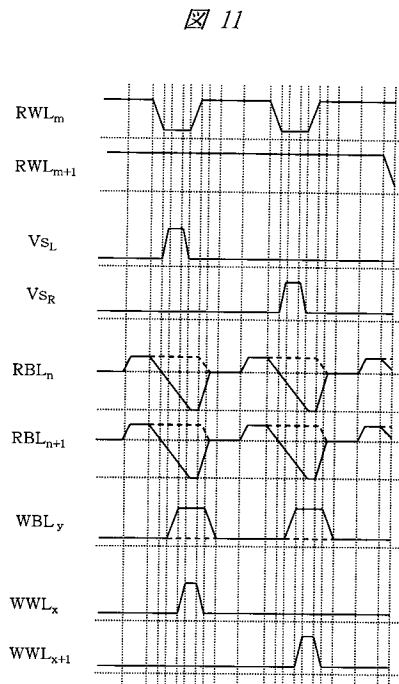
【 図 9 】



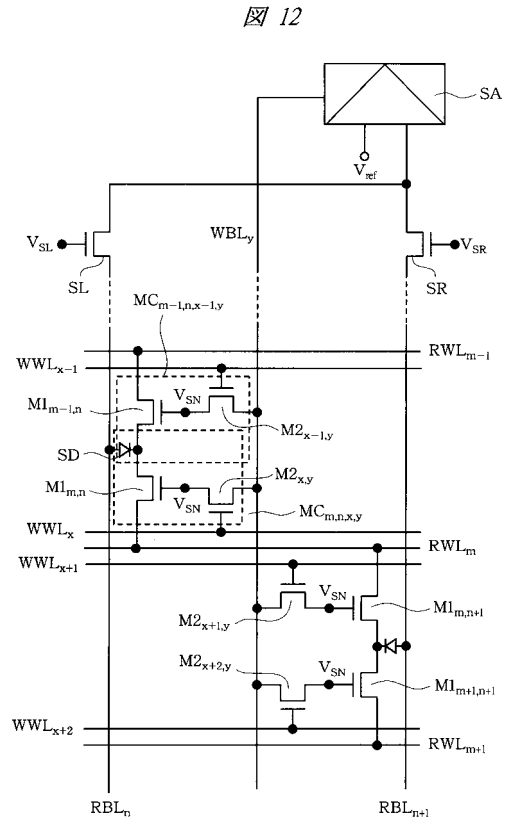
【 図 10 】



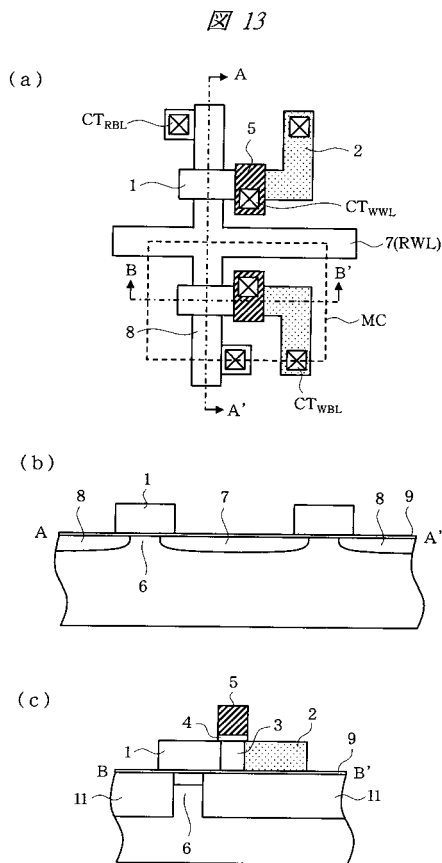
【図 1 1】



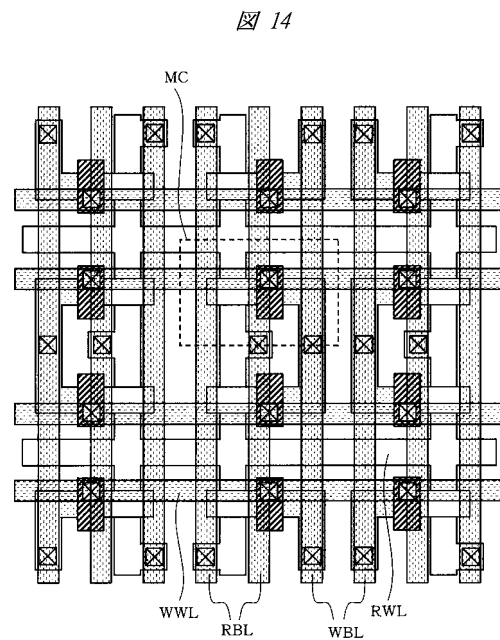
【図 1 2】



【図 1 3】

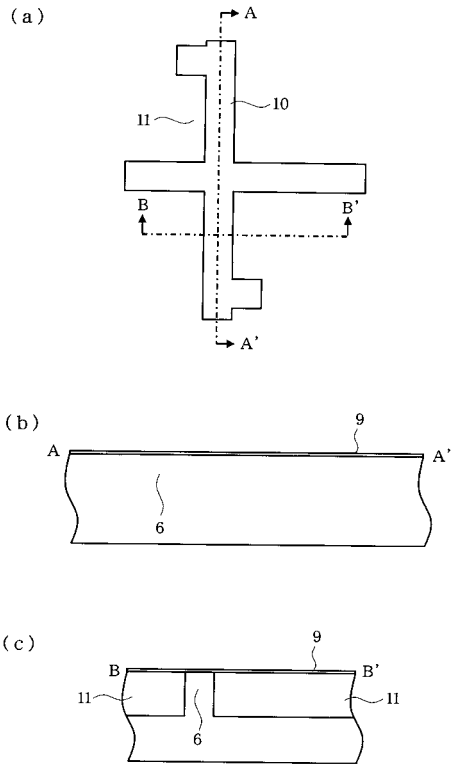


【図 1 4】



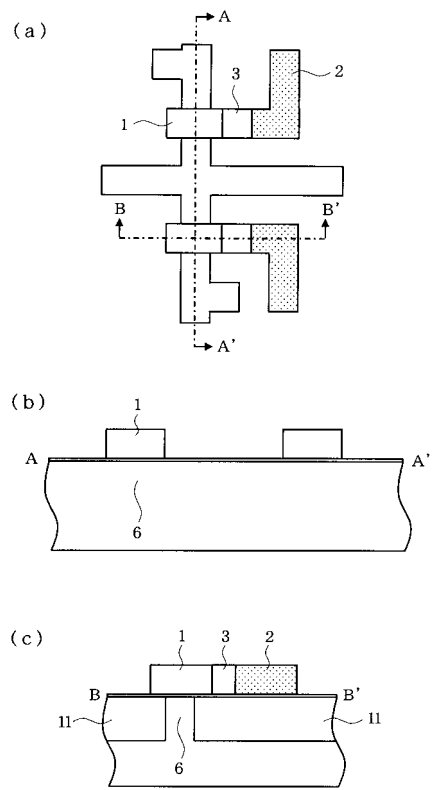
【図15】

図15



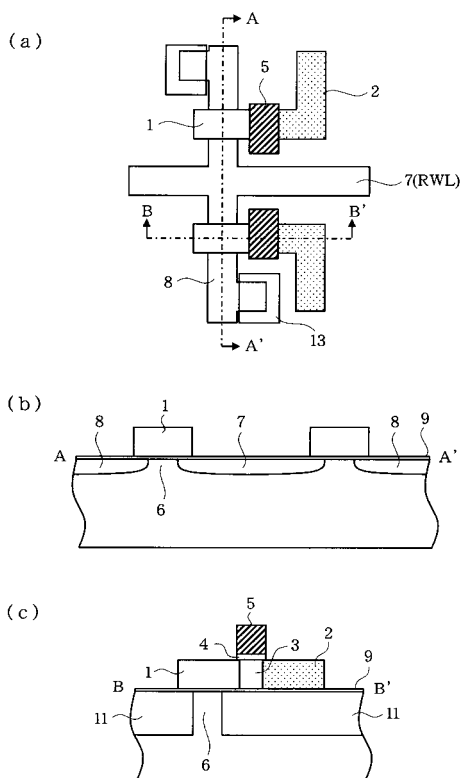
【図16】

図16



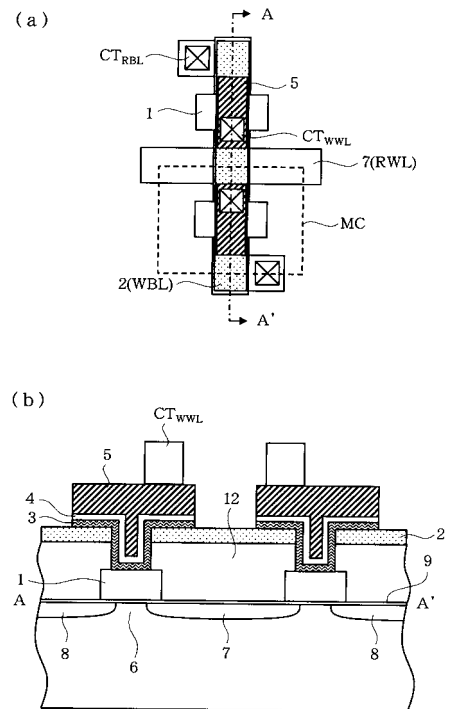
【図17】

図17

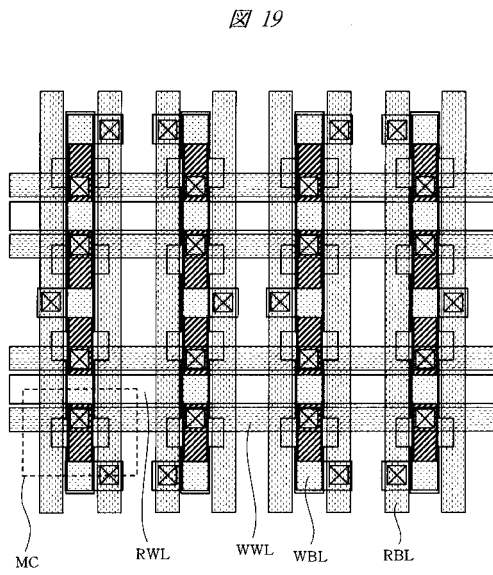


【図18】

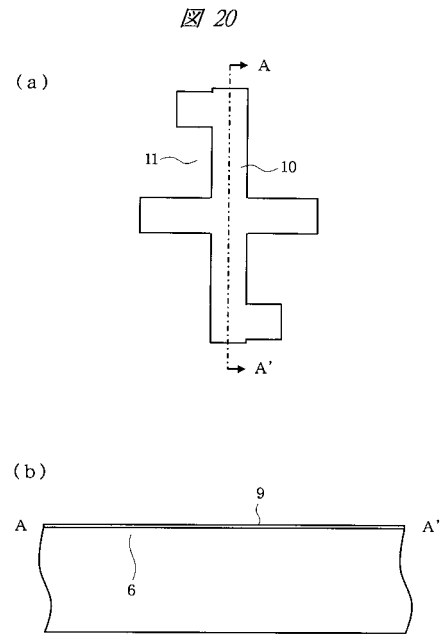
図18



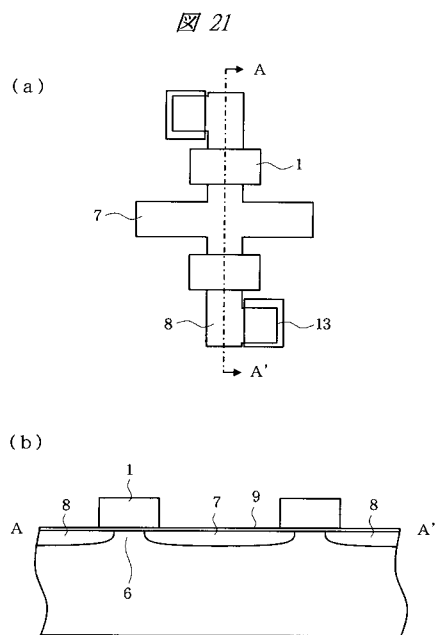
【図 19】



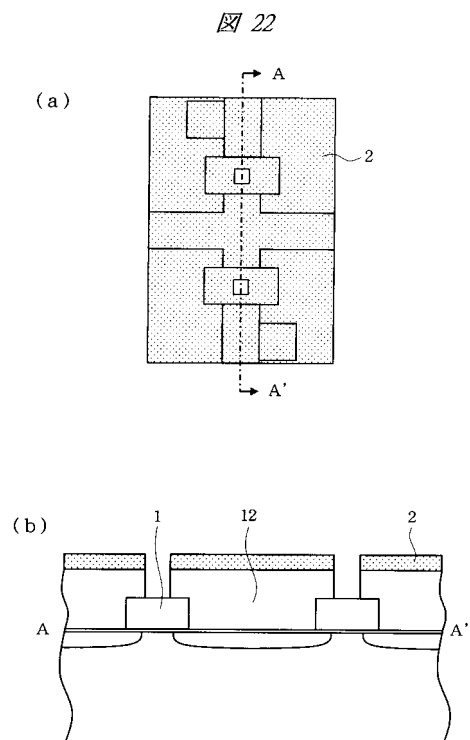
【図 20】



【図 21】

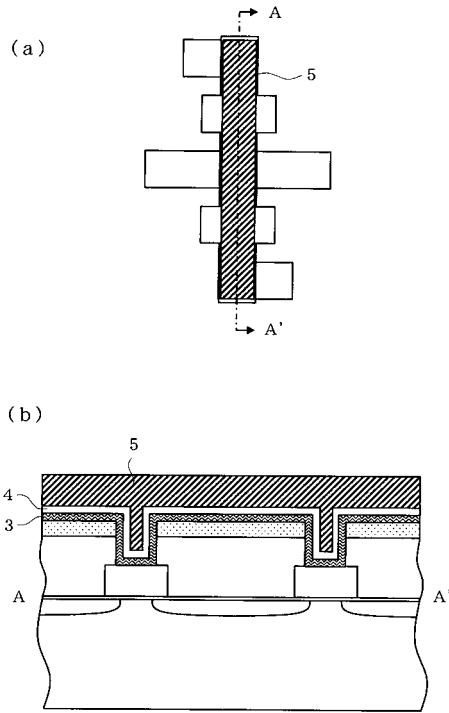


【図 22】



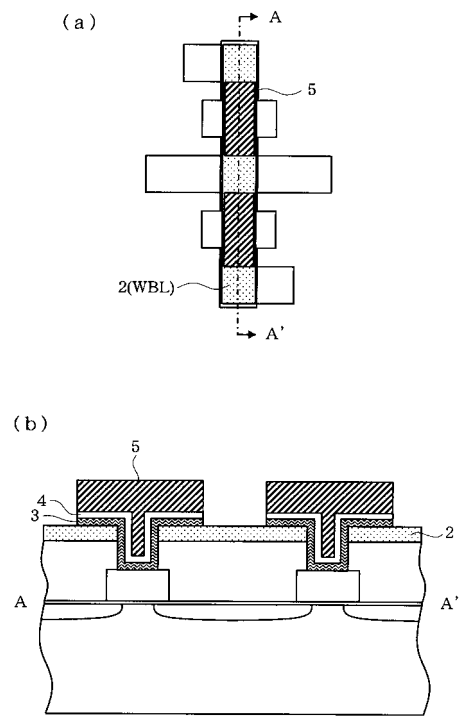
【 図 2 3 】

図 23



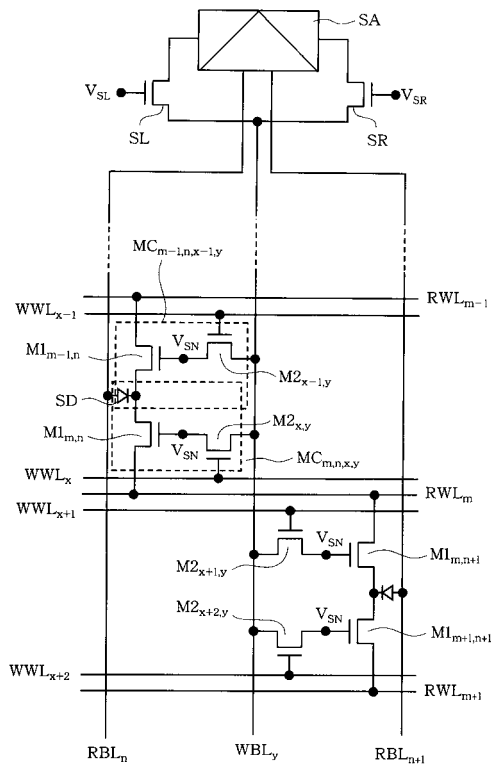
【 図 2 4 】

図 24



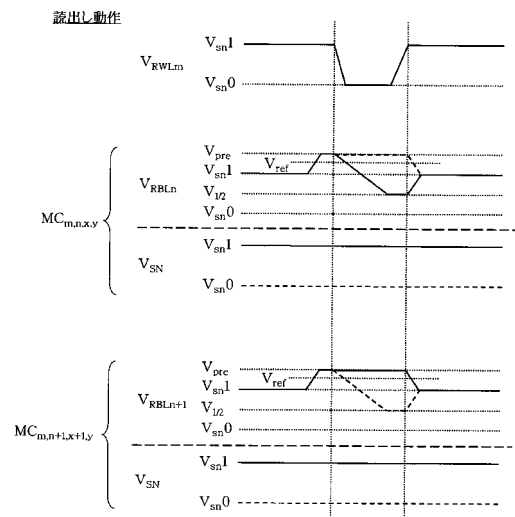
【 図 2 5 】

図 25



【 図 2 6 】

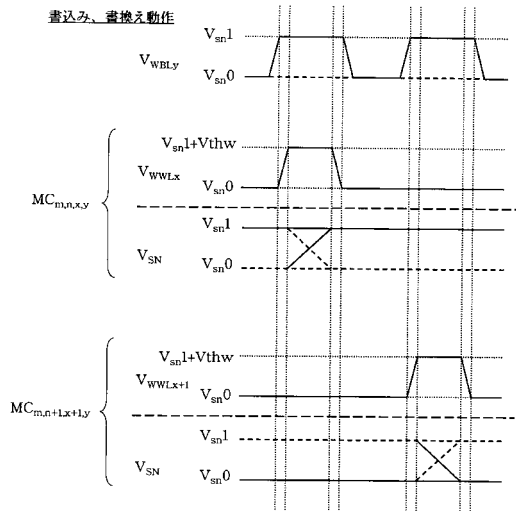
図 26





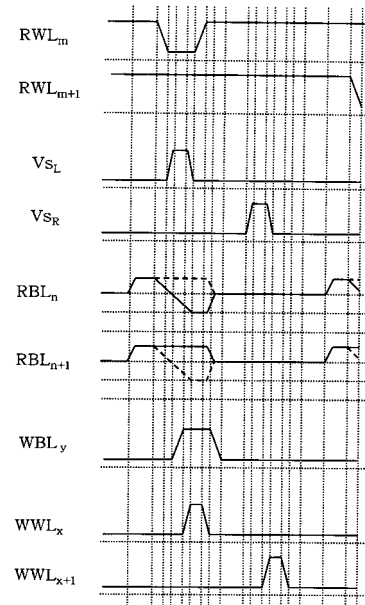
【 図 27 】

図 27



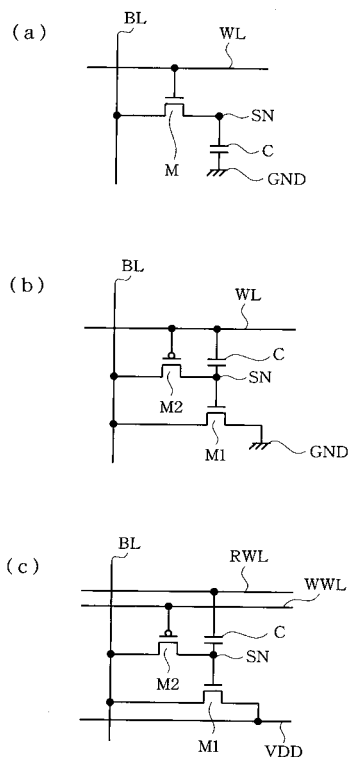
【 図 28 】

図 28



【 図 29 】

図 29



---

フロントページの続き

審査官 堀田 和義

- (56)参考文献 特開昭56-83886(JP,A)  
特開昭56-83887(JP,A)  
特開平2-14488(JP,A)  
特開2000-269457(JP,A)  
特開2002-368226(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 11/405