



(12)发明专利申请

(10)申请公布号 CN 111164761 A

(43)申请公布日 2020.05.15

(21)申请号 201780095283.4

(74)专利代理机构 永新专利商标代理有限公司  
72002

(22)申请日 2017.12.27

代理人 舒雄文

(85)PCT国际申请进入国家阶段日  
2020.03.26

(51)Int.Cl.

(86)PCT国际申请的申请数据  
PCT/US2017/068563 2017.12.27

H01L 29/78(2006.01)

H01L 29/66(2006.01)

H01L 29/423(2006.01)

(87)PCT国际申请的公布数据  
W02019/132891 EN 2019.07.04

(71)申请人 英特尔公司  
地址 美国加利福尼亚

(72)发明人 G·杜威 S·T·马 T·加尼  
W·拉赫马迪 C·Y·黄  
A·S·默西 H·W·肯内尔  
N·G·米努蒂洛 M·V·梅茨

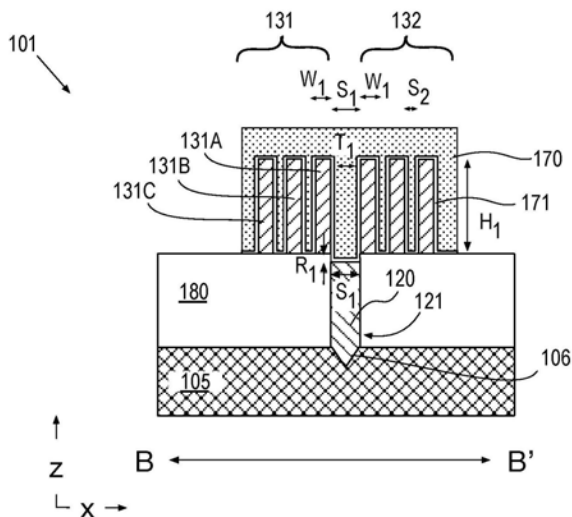
权利要求书3页 说明书19页 附图11页

(54)发明名称

具有电介质材料之上的高密度沟道半导体的晶体管

(57)摘要

在电介质材料之上具有多个沟道半导体结构(诸如鳍)的晶体管。源极和漏极耦合到结构的相对端,并且栅极堆叠体在源极和漏极之间与多个结构相交。可以采用横向外延过生长(LEO),以从在沟槽内且从电介质材料延伸的鳍模板结构的侧壁形成期望周期的超晶格。在LEO之后,可以用周围的电介质材料使超晶格结构平面化,以暴露超晶格层的顶部。然后选择性地蚀刻掉超晶格层中的交替层,然后使超晶格的保留层彼此横向分开一定距离,该距离是超晶格周期的函数。可以在所保留的用于晶体管的沟道的超晶格层之上形成栅极电介质和栅极电极。



1. 一种晶体管结构,包括:

包括晶体材料的多个鳍,其中,所述鳍在电介质层之上间隔开,其中,所述多个鳍中的第一数量的鳍在延伸穿过所述电介质层的鳍模板沟槽的第一侧上,并且其中,所述多个鳍中的第二数量的鳍在所述鳍模板沟槽的第二侧上,所述第二数量等于所述第一数量;

所述鳍模板沟槽的至少一部分内的一种或多种材料;

栅极电介质和栅极电极,在所述鳍的侧壁之上;以及

源极和漏极,在所述栅极电极的相对侧上耦合至所述鳍。

2. 根据权利要求1所述的晶体管结构,其中,所述鳍包括第一晶体材料,并且所述一种或多种材料包括第二晶体材料,所述第二晶体材料具有与所述第一晶体材料不同的成分。

3. 根据权利要求2所述的晶体管结构,其中,所述第一晶体材料至少包括Si或Ge中的第一者,并且所述第二晶体材料至少包括Si或Ge中的第二者。

4. 根据权利要求2所述的晶体管结构,其中,所述第一晶体材料包括Si、Ge或第一III-V合金中的至少一者,并且所述第二晶体材料包括第二III-V合金。

5. 根据权利要求1所述的晶体管结构,其中,所述电介质层包括第一电介质材料,并且所述鳍模板沟槽内的所述一种或多种材料包括第二电介质材料。

6. 根据权利要求1所述的晶体管结构,其中,所述鳍具有在所述电介质层的顶部上方的第一高度,并且所述鳍模板沟槽内的所述一种或多种材料具有小于所述鳍高度的第二高度。

7. 根据权利要求1所述的晶体管结构,其中,所述第一数量的所述鳍各自间隔开第一距离,所述第二数量的所述鳍各自间隔开所述第一距离,并且所述第一数量的所述鳍与所述第二数量的所述鳍间隔开第二距离,所述第二距离大于所述第一距离。

8. 根据权利要求7所述的晶体管结构,其中,所述第一距离不大于9nm,并且所述第二距离大于9nm。

9. 根据权利要求1至8中任一项所述的晶体管结构,其中,所述鳍中的每一个的宽度不大于5nm,并且所述鳍在所述电介质层的顶部上方的高度为至少20nm。

10. 一种集成电路(IC)器件,包括:

第一晶体管结构,包括:

包括第一晶体材料的多个第一鳍,其中,所述第一鳍在电介质层之上间隔开,其中,第一数量的所述第一鳍在延伸穿过所述电介质层的第一鳍模板沟槽的第一侧上,其中,第二数量的所述第一鳍在所述第一鳍模板沟槽的第二侧上,所述第二数量等于所述第一数量,并且其中,包括所述第一晶体材料的第一鳍模板在所述第一鳍模板沟槽内;

第一栅极电介质和第一栅极电极,在所述第一鳍的侧壁之上;以及

第一源极和第一漏极,在所述第一栅极电极的相对侧上耦合至所述第一鳍;以及

第二晶体管结构,包括:

包括第二晶体材料的多个第二鳍,其中,所述第二鳍在所述电介质层之上间隔开,其中,第一数量的所述第二鳍在延伸穿过所述电介质层的至少一部分的第二鳍模板沟槽的第一侧上,其中,第二数量的所述第二鳍在所述鳍模板沟槽的第二侧上,所述第二鳍的第二数量等于所述第二鳍的第一数量,并且其中,包括所述第一晶体材料的第二鳍模板在所述第二鳍模板沟槽内;

第二栅极电介质和第二栅极电极,在所述第二鳍的侧壁之上;以及  
第二源极和第二漏极,在所述第二栅极电极的相对侧上耦合到所述第二鳍。

11. 根据权利要求10所述的IC器件,其中:

所述第一栅极电介质和所述第一栅极电极在所述第一鳍模板的侧壁之上;并且  
所述第二栅极电介质和所述第二栅极电极不存在于所述第二鳍模板的侧壁上。

12. 根据权利要求10所述的IC器件,其中:

所述第一晶体材料至少包括Si或Ge中的第一者,并且所述第二晶体材料至少包括Si或Ge中的第二者;或者,

所述第一晶体材料包括III族组分和IV族组分,并且所述第二晶体材料包括IV族组分;  
或者

所述第一晶体材料包括Si或Ge中的至少一者,并且所述第二晶体材料包括III族组分和IV族组分。

13. 根据权利要求10所述的IC器件,其中,所述第一源极和所述第一漏极包括p型杂质,并且其中,所述第二源极和所述第二漏极包括n型杂质。

14. 一种计算机平台,包括:

数据存储装置,用于存储数据;以及

数据处理装置,耦合到所述数据存储装置,其中,所述数据处理装置包括多个晶体管,所述多个晶体管中的至少一个晶体管包括根据权利要求1至8中任一项所述的晶体管结构。

15. 一种制造晶体管的方法,所述方法包括:

接收工件,所述工件包括沟槽内的鳍模板,其中,所述沟槽延伸穿过电介质层,并且所述鳍模板具有延伸到所述电介质层上方的侧壁;

从所述鳍模板的所述侧壁外延生长超晶格结构,其中,所述超晶格包括在具有第二成分的两个第二层之间的具有第一成分的第一层;

通过使所述超晶格结构平面化来暴露所述第一层和所述第二层;

通过去除所述第二层来暴露所述第一层的侧壁;

形成耦合至所述第一层的源极和漏极;以及

形成在所述第一层的所述侧壁之上并且在所述源极与所述漏极之间的栅极堆叠体,其中,所述栅极堆叠体包括栅极电介质和栅极电极。

16. 根据权利要求15所述的方法,其中:

所述第一层的所述侧壁具有第一高度;

所述鳍模板包括所述第二成分;并且

去除所述第二层还使所述鳍模板凹陷至第二高度,所述第二高度小于所述第一高度。

17. 根据权利要求15所述的方法,其中,所述第二高度凹陷到所述电介质材料的顶表面下方;并且,所述方法还包括在使所述鳍模板凹陷之后沉积第二电介质材料,以及使所述第二电介质材料凹陷以重新暴露所述第一层的所述侧壁的至少一部分。

18. 根据权利要求15所述的方法,其中:

生长所述超晶格结构包括生长多个双层;

每个双层包括所述第一层和所述第二层;

暴露所述第一层和所述第二层包括暴露所述多个双层中的每个双层的所述第一层和

所述第二层;

暴露所述第一层的所述侧壁包括暴露多个所述第一层的侧壁;

形成耦合至所述第一层的源极和漏极包括形成耦合至所述多个所述第一层的源极和漏极;以及

形成在所述第一层的所述侧壁之上的栅极堆叠体包括在所述多个所述第一层之上形成所述栅极堆叠体。

19. 根据权利要求15所述的方法,还包括:

使所述第一层分开为在所述鳍模板的第一侧上的第一段和在所述鳍模板的第二侧上的第二段,并且其中:

形成所述源极和漏极还包括形成至所述第一段和至所述第二段的源极和漏极;并且形成所述栅极堆叠体还包括在所述第一段和所述第二段之上都形成所述栅极堆叠体。

20. 根据权利要求15所述的方法,还包括:

在所述电介质层中形成沟槽,所述沟槽暴露晶体衬底的表面;

在所述沟槽内外延生长所述鳍模板;以及

使所述电介质层凹陷,以暴露所述鳍模板的所述侧壁。

21. 根据权利要求15所述的方法,还包括通过蚀刻晶体衬底来形成所述鳍模板。

22. 根据权利要求15至21中任一项所述的方法,还包括在所述超晶格结构之上沉积电介质材料,并且其中,使所述超晶格结构平面化还包括使所述电介质材料平面化。

23. 根据权利要求15至21中任一项所述的方法,其中,所述第一成分至少包括Si或Ge中的第一者,并且所述第二成分至少包括Si或Ge中的第二者,或者其中,所述第一晶体材料包括第一III-V合金并且所述第二晶体材料至少包括Si、Ge或第二III-V合金中的至少一者。

## 具有电介质材料之上的高密度沟道半导体的晶体管

### 背景技术

[0001] 集成电路 (IC) 中的器件密度不断提高。集成电路 (例如,微处理器、芯片组组件、图形芯片、存储芯片、光学芯片等) 包括现在通常具有非平面沟道半导体结构的晶体管,诸如鳍式场效应晶体管 (finFET)。这种鳍的密度是晶体管的重要指标,鳍密度越高使得晶体管的电流/面积越大或占位面积 (footprint) 越小。迄今为止,典型地通过光刻工艺来形成鳍,其中可以将光致抗蚀剂层旋涂在掩模层上。可以通过图案化的掩模使光致抗蚀剂层暴露于辐射,并且对暴露的光致抗蚀剂进行显影以形成线。接下来,可以蚀刻硬掩模,并且将该线图案转移到下面的半导体材料中。迹线的大小的一种的度量是临界尺寸。一组迹线的间隔的一种度量是其节距。过去,迹线的大小和间隔逐渐减小。可以采用各种多图案和节距分裂技术来进一步增大鳍图案的密度。然而,这样的图案化技术是昂贵的,并且由这些复杂的相减 (subtractive) 图案化技术产生的鳍的表面粗糙度可能仍然对鳍的横向尺寸构成实际限制。因此,能够进一步增大鳍密度的技术和结构是有利的。

[0002] 鳍泄漏是另一个问题,随着晶体管缩放,该问题变得更成问题。通过晶体管泄漏路径的损耗构成了有关功耗和信号完整性的重要程序。为了减轻通过 IC 衬底的泄漏,可以在绝缘体上半导体 (SOI) 衬底上制造晶体管。SOI 衬底比体半导体衬底要贵得多,并且因此在不依赖 SOI 衬底的情况下改善晶体管隔离的晶体管制造技术和架构也是有利的,因为使得既可以使鳍密度进一步提高,又可以改善衬底隔离的技术和结构更有利。

### 附图说明

[0003] 在附图中,以示例而非限制的方式示出了本文描述的材料。为了示例的简单和清楚起见,附图中所示的元件不必按比例绘制。例如,为了清楚起见,一些元件的尺寸可能相对于其他元件被放大。还有,为了讨论的清楚起见,可以以他们简化的“理想”形式和几何结构来表示各种物理特征,但是应当理解,实际的实施方式可以仅近似于所示出的理想情况。例如,可以不考虑通过纳米制造技术形成的结构的有限粗糙度、角落变圆和不完美的角相交特性而绘制光滑的表面和方形相交。此外,在适当的情况下,在附图中重复参考标号以指示相应或类似的元件。在图中:

[0004] 图1A是根据一些实施例的包括finFET的IC的一部分的平面视图,该finFET具有围绕鳍模板 (template) 的多个晶体鳍;

[0005] 图1B是根据一些实施例的图1A中所示的IC的部分的截面视图;

[0006] 图2和图3是根据一些替代实施例的包括finFET的IC的一部分的截面视图,该finFET具有围绕鳍模板的多个晶体鳍;

[0007] 图4A是根据一些实施例的包括finFET的IC的一部分的平面视图,该finFET具有围绕鳍模板的多个鳍;

[0008] 图4B是根据一些实施例的图4A中所示的IC的部分的截面视图;

[0009] 图5是根据一些实施例的包括图1A中所示的finFET和图4A中所示的finFET的IC的一部分的截面视图;

[0010] 图6是示出根据一些实施例的通过从鳍模板横向外延过生长来制造具有多个鳍的finFET的方法的流程图；

[0011] 图7、8、9和10A是根据一些实施例的具有多个鳍的finFET结构随图6中所示的方法演变的截面视图；

[0012] 图10B是根据一些实施例的图10A中所示的finFET结构的平面视图；

[0013] 图11、12、13和14是根据一些实施例的具有多个鳍的finFET结构随图6中所示的方法执行而演变的截面视图；

[0014] 图15示出了根据本发明的实施例的移动计算平台和数据服务器机器，其采用包括finFET的SoC，该finFET具有围绕鳍模板的多个鳍；以及

[0015] 图16是根据本发明的实施例的电子计算器件的功能框图。

### 具体实施方式

[0016] 参考附图描述了一个或多个实施例。尽管详细地描绘和讨论了具体的配置和布置，但是应当理解，这样做仅出于示例性目的。相关领域的技术人员将认识到，在不脱离描述的精神和范围的情况下，其他配置和布置是可能的。对于相关领域的技术人员将显而易见的是，除了本文详细描述的系统和应用之外，本文描述的技术和/或布置可用于各种其他系统和应用中。

[0017] 在下面的详细描述中参考了附图，这些附图构成详细描述的一部分并示出了示例性实施例。此外，应当理解，在不脱离所要求保护的的主题的范围的情况下，可以利用其他实施例并且可以进行结构和/或逻辑改变。还应当注意，方向和参考，例如，上、下、顶、底等，可以仅用于方便附图中特征的描述。因此，以下详细描述不应被视为限制性的，并且所要求保护的的主题的范围仅由所附权利要求及其等同物来限定。

[0018] 在下面的描述中，阐述了许多细节。然而，对于本领域技术人员将显而易见的是，可以在没有这些具体细节的情况下实践本发明。在一些情况下，以框图的形式而不是详细地示出了公知的方法和器件，以避免使本发明晦涩难懂。在整个说明书中，对“实施例”或“一个实施例”或“一些实施例”的引用意指结合该实施例描述的特定特征、结构、功能或特性包括在本发明的至少一个实施例中。因此，在整个说明书中各处出现的短语“在实施例中”或“在一实施例中”或“一些实施例”不一定是指本发明的同一实施例。此外，在一个或多个实施例中，可以以任何合适的方式来组合特定的特征、结构、功能或特性。例如，在与第一实施例和第二实施例相关联的特定特征、结构、功能或特性不互斥的任何地方，第一实施例可以与第二实施例组合。

[0019] 如说明书和所附权利要求书中所使用的，单数形式的“一”、“一个”和“该”也旨在包括复数形式，除非上下文另外明确指出。还应理解，本文所使用的术语“和/或”是指并涵盖一个或多个相关联所列项目中的任何和所有可能的组合。

[0020] 术语“耦合”和“连接”以及它们的派生词可在本文中用于描述组件之间的功能或结构关系。应该理解的是，这些术语并不旨在彼此为同义词。而是，在特定实施例中，“连接”可以用于指示两个或更多个元件彼此直接物理、光学或电接触。“耦合”可以用于指示两个或更多个元件直接地或间接地（它们之间有其他居间元件）彼此物理或电接触，和/或两个或更多个元件彼此相互协作或相互作用（例如，在因果关系中）。

[0021] 在此使用的术语“在...之上”、“在...之下”、“在...之间”和“在...上”是指一种组件或材料相对于其他组件或材料的相对位置,其中这种物理关系是值得注意的。例如,在材料的上下文中,置于一种材料之上或之下的另一种材料或材料可以直接接触或可以具有一种或多种居间材料。而且,设置在两种材料之间的一种材料可以直接与两层接触或者可以具有一个或多个居间层。相反,在第二材料“上”的第一材料与该第二材料/材料直接接触。在组件装配的上下文中将进行类似的区分。

[0022] 如贯穿本说明书和权利要求书使用的,由术语“至少一个”或“一个或多个”连接的项目列表可以表示所列项目的任意组合。例如,短语“A、B或C中的至少一个”可以意指:A;B;C;A和B;A和C;B和C;或A、B和C。

[0023] 下面描述与可改进鳍质量和密度的附加鳍图案化相关联的方法和架构。在一些实施例中,晶体鳍层从鳍模板的侧壁外延生长,该鳍模板位于延伸穿过周围电介质材料的鳍模板沟槽内。鳍模板包括具有期望结晶度的种晶侧壁。鳍模板侧壁的结晶度可以用作在鳍模板沟槽延伸穿过的电介质材料之上横向进行的外延生长的种晶表面。横向外延过生长可以形成包括多个双层的超晶格结构。平面化工艺可以突破超晶格结构的一部分以暴露每个外延双层的顶表面。可以采用选择性蚀刻以相对于双层之一选择性地去除双层中的另一个,从而暴露出留下的超晶格层的侧壁。然后可以在这些剩余的层之上形成源极、漏极和栅极堆叠体,以完成多鳍finFET。电介质材料内的鳍模板沟槽可以保留在最终的finFET结构中,并且可以保持填充有鳍模板材料,其一部分或与其相关联的人工产物。本文的实施例可以使晶体管具有更大的鳍密度和/或减小的鳍边缘粗糙度和/或更高的晶体质量和/或更好的衬底隔离。

[0024] 以下描述的一些示例性实施例示出了指示应用本文所教导的原理的制造工艺的结构特征。例如,如下所述制造的晶体管可以在鳍模板沟槽的一侧上具有多个鳍的一半,而另一半鳍在鳍模板沟槽的另一相对侧上。多个晶体管鳍可以通过居间电介质材料与下面的层(例如,晶体半导体)电隔离,而鳍模板位于延伸穿过该电介质材料的模板沟槽内并与下面的层(例如,晶体半导体)接触。在一些其他实施例中,晶体管鳍的横向尺寸或鳍之间的间隔围绕限定多个鳍的中心线的模板沟槽对称地变化。

[0025] 图1A是根据一些实施例的包括多鳍晶体管101的集成电路(IC)的一部分的平面视图。在图1A中,采用虚线来示出显著的结构界面,该界面基本上被一个或多个上覆材料层覆盖。晶体管101可以是例如N型(NMOS)或P型(PMOS)场效应晶体管(FET)。在示例性实施例中,晶体管101在衬底层105的一部分之上。晶体管101包括在鳍模板120的第一侧上的一个或多个鳍131和在鳍模板120的第二侧上的与鳍131相对的一个或多个鳍132。鳍131和132基本上彼此平行,最短的鳍长度(即,横向宽度)处于第一维度上(例如x),并且最长的鳍长度(即纵向长度)处于第二维度上(例如y)。在所示的示例中,鳍131包括最靠近鳍模板120的鳍131A,最远离鳍模板120的鳍131C,以及鳍131A与131C之间的鳍131B。同样地,鳍132包括最靠近鳍模板120的鳍132A,最远离鳍模板120的鳍132C,以及鳍132A与132C之间的鳍132B。鳍131(例如,A-C)和鳍132(例如,A-C)有利地是基本相同的结构,其被配置成电并联以用于晶体管101的更大的电流承载能力。单个栅极电极170在鳍131和鳍132的沟道区域之上在x维度上延伸。源极和漏极金属化层(metallization)150也在x维度上延伸,下面的源极和漏极将鳍131的端部和鳍132的端部耦合至源极和漏极金属化层150。

[0026] 在一些实施例中,晶体管包括偶数个鳍,其中那些鳍的一半在鳍模板的一侧上,而那些鳍的另一半在鳍模板的相对侧上。因此,在示出的示例中,鳍131的数量(例如,三个)等于鳍132的数量(例如,三个)。这种关系适用于从鳍模板120的每一侧上的一个鳍到鳍模板120的每一侧上的任意最大数量的鳍的任何数量的鳍。

[0027] 鳍131和鳍132的节距(pitch)可以随着技术节点而变化。在一些实施例中,鳍131具有20纳米(nm)或更小的节距。在一些这样的实施例中,鳍132也具有20纳米(nm)或更小的节距。鳍节距等于鳍宽度 $W_1$ 与鳍间隔宽度 $S_2$ 相加。在一些实施例中,鳍宽度 $W_1$ 为4-9nm,鳍间隔宽度 $S_2$ 也为4-9nm。鳍131的纵向长度可以例如根据栅极长度和/或根据源极和漏极的架构而任意地变化。如图1A中进一步所示,鳍模板120占据的间隔宽度 $S_1$ 大于间隔宽度 $S_2$ 。鳍模板120可以具有例如5-50nm的横向尺寸。在间隔宽度 $S_2$ 为4-9nm的一些实施例中,鳍模板120占据的间隔宽度 $S_1$ 大于9nm。但是要注意,鳍模板120也可以具有与鳍431和432相同的横向尺寸。鳍131A和132A紧邻鳍模板120。如果与鳍131A和132A共面,则鳍模板120将与鳍131A和132A直接接触(拼接(merge))。这样,鳍131A与鳍132A间隔开间隔宽度 $S_1$ 。因此,鳍131可以具有与鳍132相同的节距,但是两组鳍131和132由可以不同于(例如,大于)间隔宽度 $S_2$ 的间隔宽度 $S_1$ 隔开。

[0028] 在一些实施例中,鳍宽度和/或相邻鳍之间的间隔的宽度关于多鳍晶体管的纵向中心线对称地变化。例如,鳍131的宽度可以随着距鳍模板120的中心线的距离而变化(例如,增大或减小)。鳍132的宽度也可以以与鳍131相同的方式随着距鳍模板120的中心线的距离而变化(增大或减小)。在图1A中所示的示例中,鳍131A和鳍132A均具有鳍宽度 $W_1$ 。即使鳍131B和132B的宽度不等于鳍宽度 $W_1$ ,鳍131B同样具有与鳍132B基本相同的宽度。即使鳍131C和132C的宽度不等于鳍宽度 $W_1$ ,鳍131C同样具有与鳍132C基本相同的宽度。因此,对于鳍131和132的宽度增大的实施例,它们关于鳍模板120对称地增大。对于鳍131和132的宽度减小的实施例,它们关于鳍模板120对称地减小。在图1A中所示的实施例中,鳍131B和131C均由间隔宽度 $S_2$ 间隔开。鳍132B和132C也由间隔宽度 $S_2$ 间隔开。鳍131B与131A之间的间隔也与鳍132B与132A之间的间隔基本相同,即使该间隔不等于间隔宽度 $S_2$ 。因此,对于鳍131与132之间的间隔增大的实施例,它们关于鳍模板120对称地增大。对于鳍131与132之间的间隔减小的实施例,它们关于鳍模板120对称地减小。

[0029] 图1B是根据一些实施例的图1A中所示的IC的部分的截面视图。该截面视图是沿着图1A中描绘的B-B'线的。如图1B中进一步所示,鳍131和鳍132在电介质材料180之上,而鳍模板120的底部在鳍模板沟槽121内并且与衬底层105接触。鳍模板沟槽121从衬底层105延伸穿过电介质材料180的整个厚度(例如,z维度)。鳍模板120在鳍模板沟槽121内并且从衬底层105延伸穿过电介质材料180的至少一部分(即,至少部分地填充鳍模板沟槽121)。在所示的示例中,鳍131的底部与电介质材料180接触。类似地,鳍132的底部与电介质材料180接触。在一些其他实施例中,鳍131和132的顶表面是共面的,使得鳍131和132具有从电介质材料180的顶表面起的相同的鳍高度 $H_1$ 。鳍高度 $H_1$ 可以随实施方式而变化,例如根据鳍宽度 $W_1$ (其可以进一步根据沟道耗尽特性)而变化,以维持实际的鳍纵横比。在鳍宽度 $W_1$ 为4-9nm的一些示例中,鳍高度 $H_1$ 为10-50nm。电介质材料180可以具有适合于晶体管的电隔离的相对介电常数的任何成分,诸如但不限于氧化硅(例如, $\text{SiO}_2$ 或硅氧烷衍生物)、掺杂碳的氧化物( $\text{SiOC(H)}$ )、氮化硅、氮氧化硅或聚合物电介质(例如苯并环丁烯、多孔甲基倍半硅氧烷



(porous methyl silsesquioxane))。电介质材料180可以具有任何合适的厚度,例如在25nm至150nm的范围内或更大。

[0030] 电介质材料180在衬底层105之上。衬底层105可以是在下面的体(bulk)晶体衬底(未示出)之上的外延层,或者衬底层105可以是体晶体衬底的顶部。在一些有利的实施例中,衬底层105包括IV族半导体,诸如硅(Si),其对于传统的硅沟道MOSFET、以及对于包括III-V沟道晶体管或III-N沟道晶体管的非硅沟道晶体管的大规模集成都是有利的。在其中衬底层105包括硅的一些实施例中,衬底层105是单晶,其晶体学取向为(100),使得电介质材料180在衬底层105的(100)表面上。包括硅或其他立方晶体材料的衬底层105也可以具有(111)或(110)晶体学取向。其他晶体学取向也是可能的。例如,电介质材料180可以在已经被误切割(miscut)的,或者朝[110]2-10°偏切割(offcut)的衬底层105的表面上。这种晶体表面可以例如促进异质外延材料的成核。其他晶体衬底实施例也是可能的,其他IV族示例包括锗(Ge)或硅锗(SiGe)。衬底层105也可以是晶体IV族材料以外的材料,诸如但不限于III-V族化合物半导体(例如,GaAs或其他闪锌矿晶体合金)、或碳化硅(SiC)或蓝宝石。

[0031] 在一些实施例中,单晶鳍模板占据晶体管鳍模板沟槽的至少一部分。例如,鳍模板120可以是与衬底层105形成异质结的单晶材料,或者鳍模板120可以是衬底层105的非平面特征。在鳍模板120与衬底层105之间存在异质结的情况下,鳍模板120可以是单晶硅、单晶SiGe、单晶III-V合金或单晶III-N合金中的任何一种。在所示的示例中,鳍模板120与衬底晶体小面(facet)106接触。衬底晶体小面106可以促进具有与衬底层105的晶体成分不同的晶体成分的异质外延鳍模板120。在衬底层105包括硅(例如,单晶硅)并且鳍模板120包括单晶SiGe、单晶III-V合金或单晶III-N合金的一些示例性实施例中,可以选择间隔宽度 $S_1$ 以改善鳍模板120的晶体质量,例如通过鳍模板沟槽121内的纵横比捕获(ART)。

[0032] 图2是根据一些替代实施例的包括finFET 201的IC的一部分的截面视图,finFET 201具有围绕鳍模板的多个晶体鳍,其中鳍模板220是衬底层105的特征。尽管如此,鳍模板220仍然存在于鳍模板沟槽121内,鳍模板沟槽121基本上如以上针对晶体管101所述地延伸穿过电介质材料180。由于鳍模板220是衬底层105的一部分,所以鳍模板220的基部没有材料界面。在衬底层105包括单晶硅的一些这样的实施例中,鳍模板220也包括单晶硅。在衬底层105包括单晶SiGe合金的另一实施例中,鳍模板220也包括该相同的SiGe合金。在衬底层105是III-V合金的其他实施例中,鳍模板220是该相同的III-V合金。图2中示出的所有其他结构都与对晶体管101(图1A-1B)描述的相同,并且因此在图2中保留相同的附图标记。

[0033] 如上所述,鳍模板在鳍模板沟槽内,该鳍模板沟槽延伸穿过位于晶体管鳍下面的电介质材料。如下面进一步描述的,在多鳍晶体管的制造中的某个点处,鳍模板将延伸到鳍模板沟槽穿过的电介质材料上方,使得可以使用鳍模板的暴露侧壁来在电介质材料之上形成鳍。在图1B中,鳍模板120已经通过后续处理进行了修改,使得鳍模板120仅占据鳍模板沟槽121的一部分,并且从衬底层105延伸穿过电介质材料180的仅部分厚度。鳍模板120从电介质材料180的顶表面凹陷 $R_1$ 的凹陷深度,暴露鳍模板沟槽121的侧壁的一部分。

[0034] 在一些实施例中,一种或多种电介质材料在多鳍晶体管的鳍模板沟槽内。鳍模板沟槽内的电介质材料表示已经用一种或多种电介质材料去除和/或替换了鳍模板的一种或多种结晶材料的制造工艺。为了方便起见,至少由于这种电介质材料也位于鳍模板沟槽内并且因此具有许多相同的结构属性的原因,这种电介质材料在此仍被称为鳍模板。例如,上

述的任何晶体材料都可以被替换或转换为电介质材料,这对于进一步将晶体管与下面的衬底层隔离可能是有利的。图3是根据一些替代实施例的包括晶体管301的IC的一部分的截面视图,该晶体管301具有围绕鳍模板沟槽121的多个鳍131、132。如所示,晶体管301的结构与晶体管101(图1B)的结构基本相同。然而,占据间隔宽度 $S_1$ 并且将栅极电极170与衬底层105分开的鳍模板320是电介质材料。因此,上面对于鳍模板120(图1B)描述的晶体材料可能已经被用电介质材料替换以生成鳍模板320。鳍模板320可以是已知适合于晶体管的电隔离的任何电介质材料(单种或多种),诸如上述用于电介质材料180的那些材料中的任何材料。在一些实施例中,鳍模板320是具有与电介质材料180不同的成分的电介质。在替代实施例中,鳍模板320是具有与电介质材料180相同的成分的电介质。甚至在鳍模板320具有与电介质材料180相同的成分的情况下,由于薄膜应力和/或与替换先前占据鳍模板沟槽121的晶体材料相关联的其他属性的差异,可以容易地装饰(decorate)限定鳍模板320与电介质材料180之间的界面的鳍模板沟槽121。

[0035] 在一些实施例中,多鳍晶体管包括鳍,该鳍的材料成分不同于鳍模板的材料成分。进一步参考图1B,在鳍131与鳍132具有相同的晶体材料的一些示例性实施例中,鳍模板120具有不同的晶体材料。如上所述,鳍模板120可以例如包括IV族晶体,诸如单晶硅(Si)、单晶SiGe或单晶Ge。鳍131和132于是可以包括单晶III-V合金,其具有来自元素周期表的III族的至少一种元素(例如,Al、Ga、In)的第一子晶格,并且具有元素周期表的第V族的至少一种元素(例如,P、As、Sb)的第二子晶格。在鳍模板120包括IV族晶体的另一实施例中,鳍131和132包括不同的IV族晶体,诸如单晶硅(Si)、单晶SiGe或单晶Ge。对于硅鳍模板实施例,鳍131和132不同于单晶硅(例如,鳍是单晶SiGe或Ge)。对于锗鳍模板实施例,鳍131和132不是单晶锗(例如,鳍131和132是单晶Si、单晶SiGe、或任何其他非锗的实施例)。对于SiGe鳍模板实施例,鳍131和132具有与鳍模板的相同SiGe成分不同的成分(例如,鳍131、132是单晶Si、单晶Ge、成分与模板不同的SiGe或任何其他非IV族材料)。在一些其他实施例中,鳍模板包括单晶III-V合金,该单晶III-V合金具有来自元素周期表的III族的至少一种元素(例如,Al、Ga、In)的第一子晶格,以及元素周期表的第V族的至少一种元素(例如,P、As、Sb)的第二子晶格。对于这样的III-V鳍模板实施例,鳍131和132不同于该相同的III-V材料。例如,鳍131和132可以是单晶硅、单晶Ge、单晶SiGe或不同的III-V材料。

[0036] 对于鳍131和132包括单晶III-V合金的实施例,该合金可以是二元、三元或四元III-V化合物。对于示例性的N型晶体管实施例,鳍131和132可以是具有高电子迁移率的III-V材料,诸如但不限于InGaAs、InP、InSb、InAs和GaAs。对于一些这样的实施例,鳍131和132是三元III-V合金,诸如InGaAs或GaAsSb。对于一些 $In_xGa_{1-x}As$ 鳍实施例,In含量(x)在0.6与0.9之间,并且有利地至少为0.7(例如, $In_{0.7}Ga_{0.3}As$ )。在一些具有最高迁移率的实施例中,鳍131和132是本征材料,并且不被有意地掺杂有任何电活性杂质。

[0037] 在其他实施例中,鳍131和132包括单晶III-N合金,该单晶III-N合金具有来自元素周期表的III族的至少一种元素(例如,Al、Ga、In)的第一子晶格,和氮(N)的第二子晶格。对于这种III-N鳍实施例,鳍模板不同于该相同的III-N材料(例如,鳍模板为单晶Si、Ge、SiGe、不同的III-N材料等)。

[0038] 如图1B中进一步所示,栅极电极170位于鳍131之间的间隔内以及鳍132之间的间隔内。栅极电极170经位于鳍131和鳍132的侧壁之上的栅极电介质171耦合到鳍131和鳍132

的沟道区域。在鳍131之间,栅极电极170占据未被栅极电介质171占据的间隔宽度 $S_2$ 的部分。同样,在鳍132之间,栅极电极170占据未被栅极电介质171占据的间隔宽度 $S_2$ 的部分。注意,鳍模板120占据间隔宽度 $S_1$ ,栅极电极170占据未被栅极电介质171占据的宽度 $S_1$ 的部分(例如 $T_1$ )。由于鳍模板120没有在电介质材料180上方延伸,所以栅极电介质171和栅极电极170都不在鳍模板120的侧壁之上。因此,晶体管101的电流承载宽度是鳍131、132的数量乘以与每个鳍相关联的侧壁距离(例如,鳍高度 $H_1$ 的两倍)的函数。

[0039] 栅极电介质171可以具有已知适合于具有对于给定的半导体成分的沟道材料并且可以在给定的偏置条件下工作的晶体管的任何成分和任何厚度。在一些实施例中,栅极电介质171是具有常规相对介电常数(例如, $k$ 值低于9)的材料,诸如但不限于二氧化硅、氮氧化硅或氮化硅。在一些其他实施例中,栅极电介质171是具有高相对介电常数(例如, $k$ 值在10以上)的材料。高 $k$ 电介质材料可以包括诸如铪、硅、氧、钛、钽、镧、铝、锆、钡、锶、钇、铅、铈、铟和锌的元素。在一些实施例中,高 $k$ 材料是金属氧化物(例如,包括以下中的一种或多种:氧化铪、铪硅氧化物、氧化镧、镧铝氧化物、氧化锆、锆硅氧化物、氧化钽、氧化钛、钡锶钛氧化物、钡钛氧化物、锶钛氧化物、氧化钇、氧化铝、铅铈钽氧化物、以及铈酸铅铟)。在一些实施例中,高 $k$ 材料是金属硅酸盐(例如,包括上述金属、氧和硅中的一种或多种)。在其他实施例中,栅极电介质171包括两个或更多个电介质材料层,诸如但不限于,在相对介电常数较低的层之上具有相对介电常数较高的层的层。一个或多个层可以包括二氧化硅、二氧化硅( $SiO_2$ )和/或高 $k$ 电介质材料。

[0040] 栅极电极170同样可以具有适合于控制半导体沟道的沟道电导率的任何成分。栅极电极170可以具有任何合适的功函数,并且可以包括掺杂的半导体(例如,多晶硅),或元素金属层、金属合金层和/或层压结构。根据晶体管沟道的导电类型(例如,具有N型功函数金属的NMOS晶体管和具有P型功函数金属的PMOS晶体管),栅极电极170可以包括至少一种P型功函数金属或N型功函数金属。在一些实施方式中,栅极电极170包括两个或更多个金属层的堆叠体,其中一个或更多个金属层是功函数金属层,并且至少一个金属层是导电填充层。对于PMOS晶体管,可以用于栅极电极170的金属包括但不限于钌、钨、铂、钴、镍和导电金属氧化物(例如,氧化钌)。对于NMOS晶体管,可以用于栅极电极170的金属包括但不限于铪、锆、钛、钽、铝、这些金属的合金以及诸如碳化铪、碳化锆、碳化钛、碳化钽和碳化铝的这些金属的碳化物。

[0041] 晶体管101(以及晶体管201和301)可以进一步包括已知适合于多鳍FET的任何源极结构和任何漏极结构(在图1A中未示出,因为在源极和漏极金属化层150之下)。例如, NMOS晶体管的源极结构和漏极结构可以包括掺杂有任何浓度的任何施主掺杂剂的单晶或多晶IV、III-V或III-N族半导体,而PMOS晶体管的源极结构和漏极结构可以包括掺杂有任何浓度的任何受主掺杂剂的半导体。源极和漏极半导体结构可以从鳍131和132的端部凸起(例如,外延生长),并且甚至可以使鳍131和/或鳍132拼接在一起。替代地,源极和漏极半导体结构可以仅仅是鳍131和132的杂质掺杂端部。无论源极和漏极架构如何,源极和漏极金属化层150都通过至源极和漏极半导体的电接触(例如欧姆、整流或隧穿结)耦合到鳍131和132。源极和漏极金属化层150可以进一步具有已知适合于这样的目的的任何成分,因为本文的实施例在这方面不受限制。

[0042] 在一些替代实施例中,保留在晶体管结构内的鳍模板保持的高度超过鳍模板沟槽

的高度(即,鳍模板的高度超过位于相邻鳍下方的电介质材料的厚度)。对于这样的实施例,除了在相邻鳍的侧壁之上延伸之外,栅极电介质或栅极电极中的一个或多个也可以在鳍模板的侧壁之上延伸。图4A是根据一些这样的实施例的包括具有围绕鳍模板的多个鳍的晶体管401的IC的一部分的平面视图。在图4A中,虚线用于示出显著(salient)的结构界面,该界面基本上被一个或多个上覆的材料层覆盖。图4B是根据一些实施例的沿着也示于图4A中的B-B'线的晶体管401的截面视图。

[0043] 晶体管401也可以是N型(NMOS)或P型(PMOS)FET。在示例性实施例中,晶体管401是在衬底层105的一部分之上的场效应晶体管(FET)。晶体管401包括在鳍模板420的第一侧上的一个或多个鳍431和在鳍模板420的与第一侧相对的第二侧上的一个或多个鳍432。鳍431和432也基本上彼此平行,其中最短的鳍长度(即,横向宽度)处于第一维度(例如,x),而最长的鳍长度(即,纵向长度)处于第二维度(例如,y)。在所示的示例中,鳍431包括最靠近鳍模板420的鳍431A、最远离鳍模板420的鳍431C、以及鳍431A与431C之间的鳍431B。同样,鳍432包括最靠近鳍模板420的鳍432A、最远离鳍模板420的鳍432C、以及位于鳍432A与432C之间的鳍432B。鳍431(例如,A-C)和鳍432(例如,A-C)有利地是基本相同的结构,其被配置成电并联以用于晶体管401的更大的电流承载能力。栅极电极170在鳍431和鳍432的沟道区域之上在x维度上延伸。源极和漏极金属化层150也在x维度上延伸,下面的源极和漏极将鳍431和鳍432的端部耦合到源极和漏极金属化层150。

[0044] 鳍模板420的一侧上的鳍的数量等于鳍模板420的相对侧上的鳍的数量。因此,在所示的示例中,鳍431的数量(例如,三个)等于鳍432的数量(例如,三个)。这种关系适用于从鳍模板420的每一侧上的一个鳍到鳍模板420的每一侧上的任意实际最大数量的鳍的任何数量的鳍。

[0045] 鳍431和鳍432的节距可以随着技术节点而变化,如以上针对鳍131和132(例如,图1A)所述。例如,鳍宽度 $W_1$ 可以再次为4-9nm,鳍间隔宽度 $S_2$ 也为4-9nm。在图4A中所示的示例中,鳍模板420占据的间隔宽度 $S_1$ 大于间隔宽度 $S_2$ 。在间隔宽度 $S_2$ 为4-9nm的一些实施例中,鳍模板420占据大于9nm的间隔宽度 $S_1$ 。然而,应注意,鳍模板420也可具有与鳍431和432相同的横向尺寸。鳍431A和432A并不紧邻鳍模板420,而是与鳍模板420间隔开一定间隔(例如,间隔宽度 $S_2$ )。如图4B中进一步所示,鳍模板420具有与鳍431A和432A的顶表面共面的顶表面。鳍431A与鳍432A间隔开由鳍模板420占据的间隔宽度 $S_1$ 加上鳍模板420的任一侧上的间隔的宽度的两倍。鳍431可以具有与鳍432相同的节距,但是两组鳍431和432由居间鳍模板420分开。

[0046] 对于晶体管401,鳍宽度和/或相邻鳍之间的间隔的宽度也可以关于晶体管的纵向中心线对称地变化。例如,在图4A中,鳍431的宽度可以随着距鳍模板420的中心线的距离而变化(增大或减小),而鳍432的宽度可以以同样的方式随着距鳍模板420的中心线的距离而变化(增大或减小)。在图4A中所示的示例中,鳍431A和鳍432A均具有鳍宽度 $W_1$ 。即使鳍431B和432B的宽度不等于鳍宽度 $W_1$ ,鳍431B同样具有与鳍432B基本相同的宽度。即使鳍431C和432C的宽度不等于鳍宽度 $W_1$ ,鳍431C同样具有与鳍432C基本相同的宽度。因此,对于鳍431和432的宽度增大或减小的实施例,它们关于鳍模板420对称地增大或减小。在图4A中所示的示例中,鳍431B和431C两者均间隔开间隔宽度 $S_2$ 。鳍432B和432C同样间隔开间隔宽度 $S_2$ 。鳍431B与431A之间的间隔也和鳍432B与432A之间的间隔基本相同,即使该间隔不等于间隔

宽度 $S_2$ 。因此,对于鳍431与432之间的间隔增大或减小的实施例,它们关于鳍模板420对称地增大或减小。

[0047] 如图4B进一步所示,鳍模板420的底部在鳍模板沟槽121内并且与衬底层105接触。鳍模板420可以与衬底层105形成异质结,或者鳍模板420可以是衬底层105的特征。在鳍模板420与衬底层105之间存在异质结的情况下,鳍模板420可以是单晶硅、单晶SiGe、单晶III-V族合金或单晶III-N合金中的任何材料。在所示的示例中,鳍模板420与衬底晶体小面105接触。衬底晶体小面106可促进具有不同于衬底层105的晶体成分的晶体成分的异质外延鳍模板420的生长。在一些示例性实施例中,衬底层105包括硅(例如,单晶硅)并且鳍模板420包括单晶SiGe、单晶III-V合金或单晶III-N合金,可以选择间隔宽度 $S_1$ 以改善鳍模板420的晶体质量,例如通过鳍模板沟槽121内的纵横比捕获(ART)的示例。

[0048] 在鳍模板420是衬底层105的特征的情况下,在鳍模板420的基部处将没有材料界面。在衬底层105包括单晶硅的一些此类实施例中,鳍模板420也包括单晶硅。在衬底层105包括单晶SiGe合金的另一实施例中,鳍模板420也包括相同的SiGe合金。在衬底层105是III-V合金的其他实施例中,鳍模板420是相同的III-V合金。

[0049] 在鳍模板420延伸到鳍高度 $H_1$ 的情况下,鳍模板420完全填充鳍模板沟槽121并延伸穿过位于鳍431和432下面的电介质材料180的整个厚度。与晶体管101、201和301(其中鳍具有与鳍模板不同的材料成分)不同,在晶体管401中,鳍431和432可以具有与鳍模板420相同的成分。鳍431和432可以是与鳍模板420相同的单晶材料。在一些这样的实施例中,鳍431、鳍432和鳍模板420全部包括相同的IV族晶体,并且可以是例如单晶硅(Si)、单晶SiGe、或单晶Ge。因此,对于硅鳍实施例,鳍模板也是晶体硅。对于锗鳍实施例,鳍模板也是锗。对于SiGe鳍实施例,鳍模板具有与鳍相同的SiGe成分。在一些其他实施例中,鳍431和432包括单晶III-V合金,该单晶III-V合金具有来自元素周期表的III族的至少一种元素(例如,Al、Ga、In)的第一子晶格和元素周期表的V族的至少一种元素(例如,P、As、Sb)的第二子晶格。对于这种III-V鳍实施例,鳍模板是该相同的III-V材料。在其他实施例中,鳍431和432包括单晶III-N合金,该单晶III-V合金具有来自元素周期表的III族的至少一种元素(例如,Al、Ga、In)的第一子晶格和氮(N)的第二子晶格。对于这样的III-N鳍实施例,鳍模板是该相同的III-N材料(例如,Si、Ge、SiGe,不同的III-N材料等)。

[0050] 如图4B中进一步所示,栅极电极170位于鳍431之间的间隔内以及鳍432之间的间隔内。栅极电极170经位于鳍431的侧壁、鳍432的侧壁和鳍模板420的侧壁之上的栅极电介质171耦合至鳍431和鳍432的沟道区。在鳍431之间,栅极电极170占据未被栅极电介质171占据的间隔宽度 $S_2$ 的部分。同样,在鳍432之间,栅极电极170占据未被栅极电介质171占据的间隔宽度 $S_2$ 的部分。在鳍模板420延伸到电介质材料180上方的情况下,栅极电介质171和栅极电极170也在鳍模板420的侧壁之上。因此,晶体管401具有的电流承载宽度是鳍431、432的数量与鳍模板420相加,并乘以与每个鳍和该鳍模板相关联的侧壁距离(例如,鳍高度 $H_1$ 的两倍)的函数。尽管鳍模板420保持直接耦合到衬底层105,但是由于衬底层105与鳍431和432之间没有这种直接耦合,所以大大改善了晶体管401的隔离。归因于鳍模板420的泄漏贡献随着鳍431和432的数量增大而减小。

[0051] 栅极电介质171可以具有已知适合于具有用于给定的半导体成分的沟道材料并且可以在给定的偏置条件下工作的晶体管的任何成分和任何厚度。栅极电极170同样可以具

有已知适合于控制半导体沟道的沟道电导率的任何成分。栅极电介质171和栅极电极170可以具有例如在晶体管101的上下文中描述的任何成分。晶体管401可以进一步包括已知适合于多鳍FET的任何源极结构和任何漏极结构。例如, NMOS晶体管的源极结构和漏极结构可以包括掺杂有任何浓度的任何施主掺杂剂的半导体, 而PMOS晶体管的源极结构和漏极结构可以包括掺杂有任何浓度的任何受主掺杂剂的半导体。源极和漏极半导体结构可以从鳍431和432的端部凸起(例如, 外延生长), 并且甚至可以将鳍431和/或鳍432拼接在一起。替代地, 源极和漏极半导体结构可以简单地是鳍431和432的杂质掺杂端。不管源极和漏极架构如何, 源极和漏极金属化层150通过至源极和漏极半导体的电接触(例如, 欧姆、整流或隧穿结)耦合到鳍431和432。源极和漏极金属化层150可以进一步具有已知适合于这样的目的的任何成分, 因为本文的实施例在这方面不受限制。

[0052] 上述的不同类型的多鳍晶体管中的两个或更多个可以组合在单个IC内。例如, 具有上述一个或多个特征的多鳍晶体管中的第一个可以适合作为NMOS晶体管, 而具有上述一个或多个特征的多鳍晶体管中的第二个可以适合作为PMOS晶体管, 于是单个IC是包括多个这种晶体管的CMOS IC。图5是根据一些实施例的包括晶体管101(在图1A中示出)和晶体管401(在图4A中示出)的IC 501的一部分的截面视图。在该示例中, 晶体管401是晶体管101的结构和/或电补充(complement)。例如, 晶体管101具有鳍模板120, 鳍模板120限定了鳍131A与132A之间的间隔, 而晶体管401具有鳍模板420, 鳍模板420可作为鳍431与432之间的附加鳍工作。

[0053] 对于一些示例性实施例, 鳍模板120和鳍模板420的成分是相同的。例如, 鳍模板120和鳍模板420都可以是单晶Si、单晶Ge、或单晶SiGe合金。在其他实施例中, 鳍模板120和鳍模板420都是上述适于鳍模板120和鳍模板420两者的任何其他晶体材料(例如, III-V合金, III-N合金)。在一些其他实施例中, 鳍431和432具有与鳍模板420相同的成分。作为一个示例, 鳍模板120、鳍模板420、鳍431和鳍432都可以是单晶Si、单晶Ge、相同的单晶SiGe合金、相同的III-V合金、或相同的III-N合金。然而, 对于晶体管101, 鳍131和鳍132具有与鳍模板120不同的晶体材料(并且因此不同于鳍模板420、鳍431和鳍432)。在鳍模板120、鳍模板420、鳍431和鳍432为单晶Si(具有任何杂质)的一些示例性实施例中, 鳍131和鳍132是Ge、SiGe、III-V合金或III-N合金。在鳍模板120、鳍模板420、鳍431和鳍432都是单晶Ge(具有任何杂质)的一些其他实施例中, 鳍131和鳍132是Si、SiGe、III-V合金、或III-N合金。在一个具体示例中, 鳍模板120、鳍模板420、鳍431和鳍432均为Ge。在该实施例中, 晶体管401可以是PMOS器件, 而晶体管101可以是具有为GaAs的鳍131和鳍132的NMOS器件。

[0054] 在鳍模板120、鳍模板420、鳍431和鳍432全部为第一SiGe合金(具有任何杂质)的一些其他实施例中, 鳍131和鳍132为Si、Ge、第二SiGe合金、III-V合金、或III-N合金。在鳍模板120、鳍模板420、鳍431和鳍432全部为III-V合金(具有任何杂质)的一些其他实施例中, 鳍131和鳍132为Si、Ge、SiGe、第二III-V合金、或III-N合金。在鳍模板120、鳍模板420、鳍431和鳍432全部为III-N合金(具有任何杂质)的一些其他实施例中, 鳍131和鳍132为Si、Ge、SiGe、或III-V合金。

[0055] 在一些有利的实施例中, 晶体管401的导电类型与晶体管101的导电类型互补。例如, 晶体管101可以是NMOS晶体管或PMOS晶体管, 而晶体管401分别是PMOS晶体管或NMOS晶体管。在鳍模板120、鳍模板420、鳍431和鳍432是单晶Si, 而鳍131和鳍132是SiGe的一些实

施例中,晶体管101是PMOS晶体管并且晶体管401是NMOS晶体管。在鳍模板120、鳍模板420、鳍431和鳍432均是III-V合金,而鳍131和鳍132是Si的一些替代实施例中,晶体管101是PMOS晶体管并且晶体管401是NMOS晶体管。因此,通过结合不同半导体成分的鳍,类似的多鳍晶体管结构可以组合以实现CMOS IC。因此,晶体管101和401中采用的源极和漏极半导体可以根据鳍131、132、431和431的成分以及晶体管的导电类型而广泛地变化。同样,晶体管101的栅极电极170和栅极电介质171可以与晶体管401不同。然而,两个晶体管101与401之间的栅极电极和栅极电介质材料不需要是不同的。例如,以上在晶体管101的上下文中描述的任何栅极电介质成分也可以用于晶体管401,并且以上在晶体管101的上下文中描述的任何栅极电极成分也可以用于晶体管401。于是可以允许两个晶体管的阈值电压不同,或者当两个晶体管都采用单个栅极堆叠体(电介质和电极)时,可以相对于鳍431和431的成分调制鳍131、132的成分,以调节对于每者的阈值电压。

[0056] 可以采用多种方法来制造在图1A-图5的上下文中描述的晶体管结构。图6是示出用于制造一个或多个上述晶体管的示例性方法600的流程图。在一些实施例中,根据方法600制造多鳍晶体管101。在一些其他实施例中,根据方法600制造多鳍晶体管401。在其他实施例中,多鳍晶体管101和多鳍晶体管401是根据方法600制造的。在方法600中,采用鳍模板来横向外延生长超晶格结构,例如,模板的侧壁用作鳍制造心轴、锚(anchor)、或穿过与鳍模板相邻的电介质材料的晶体导管。然后,选择性地蚀刻超晶格结构的层,以生成多鳍晶体管的鳍。下面在图7-14的上下文中进一步描述方法600,图7-14示出了根据一些实施例的,随着在方法600中的操作被实践而演变的示例性晶体管的视图。

[0057] 首先参照图6,方法600在操作610开始,在操作610中接收工件。工件可以是已知适合于后续加工的任何工件。在一些示例性实施例中,工件是已知适合于IC制造的任何工件。在一些这样的实施例中,在操作610处接收的工件包括晶体半导体衬底,诸如但不限于晶体硅晶片。在操作610处接收的工件包括在鳍沟槽内的鳍模板,该鳍模板延伸穿过周围的电介质层。这样的鳍模板可以用已知适合于在半导体材料中制造鳍结构的任何技术和工艺来制造。例如,可以采用已知适合于从体硅衬底制造硅鳍的任何技术来生成适合于在操作610接收的工件。

[0058] 图7-9示出了根据一些示例性实施例的示例性工件,该示例性工件包括通过处理序列演变的异质外延鳍模板。在图7中,沿着在图1A中也可见的B-B'线示出了结构701。结构701包括在衬底层105之上的电介质材料180。鳍模板沟槽121被蚀刻到电介质材料180中以暴露衬底层105的一部分。在所示的示例性实施例中,鳍模板沟槽121已经被各向异性地蚀刻。尽管鳍模板沟槽121的尺寸可以变化,但是纵横比(z深度:y维度)有利地为至少2:1,并且更有利地为3:1,或者更大(对于鳍模板要具有与衬底层105不同的晶格构成的实施例)。在一些这样的实施例中,鳍模板沟槽121的CD在10与200nm之间。然而,可以根据需要缩放z厚度和CD,以对于预定的鳍模板高度维持可行的纵横比。可以使用晶体学蚀刻剂来使衬底层105的一部分凹陷并且暴露合适的晶体小面106(例如,具有(100)结晶度的硅衬底层的(111)平面)。在示出的示例中,具有正倾斜的侧壁的凹陷被蚀刻到衬底层105中,这可以进一步增强对在随后生长的晶体鳍模板中的晶体缺陷(例如,位错)的捕获。

[0059] 鳍模板沟槽121的图案化可以基于任何合适的光刻图案化和薄膜处理技术。例如,可能已经在上游实践了一种或多种光刻工艺(例如,极UV)和/或相减工艺(例如,硬掩模蚀

刻)和/或相加工工艺(例如,薄膜沉积)以生成沟槽掩模结构。在一些实施例中,通过诸如但不限于节距四等分的多图案化工艺来生成沟槽掩模结构。这样的技术可以例如实现10-40nm的目标最小横向宽度。示例性的节距分裂技术包括节距减半(P/2)或节距四等分(P/4)硬掩模图案化技术,这两种技术均可用于图案化第一掩模层。一些示例性实施例采用一维(1D)光栅掩模结构来形成沟槽掩模。这种光栅掩模有利地适用于直接图案化和节距分裂技术(例如,P/2和P/4图案化技术)。

[0060] 如图8中进一步示出的,结构801包括结构701和鳍模板120,鳍模板120已从在鳍模板沟槽121底部暴露的衬底表面外延生长。任何外延生长技术,诸如但不限于金属有机化学气相沉积(MOCVD)、分子束外延(MBE)或氢化物气相外延(HVPE)可以用于与鳍模板120一起完全回填沟槽。然后,外延生长的任何覆盖层都可以通过已知适用于该材料的任何平面化工艺的实践以电介质材料180的顶表面来进行平面化。如图9中进一步示出的,结构901包括结构801,该结构801减去了已被凹陷蚀刻的电介质材料180的量,例如,利用对鳍模板120之上的电介质材料180具有选择性的各向异性或各向同性(干法或湿法)刻蚀工艺。例如,当鳍模板120的暴露侧壁达到预定高度时,可以结束凹陷刻蚀。例如,可以将包括结构901的工件输入到方法600。

[0061] 返回图6,方法601在操作620处继续,在操作620处,至少在鳍模板的暴露的侧壁上生长超晶格结构。在操作620处,可以使用诸如但不限于MOCVD、MBE或HVPE的任何外延生长技术来选择性地生长超晶格结构。尽管在操作620处生长的超晶格结构可以包括具有任何占空比(duty cycle)的任意数量的成分上不同的层,但是在有利于鳍结构的最高密度的一些有利实施例中,在操作620处生长的超晶格结构包括多个双层。每个双层包括将被作为鳍保留的第一层,以及作为将第一层与包括在超晶格中的附加双层的相邻第一层分开的手段,将被从第一层选择性地去除的第二层。在图10A中进一步示出的示例中,结构1001包括在鳍模板120之上具有超晶格结构1002的结构901。图10B是根据一些实施例的finFET结构1001的平面视图。如所示,超晶格结构1002围绕鳍模板120的周边横向扩展。双层1005、1010、1015中的每一个是围绕鳍模板120的连续环。

[0062] 如图10A和10B中进一步示出的,超晶格结构1002包括多个双层,仅仅为了清楚起见在图10A中用粗线突出显示了相邻双层之间的边界1005、1010和1015。每个双层包括具有不同成分的两个晶体材料层(例如1015A和1015B)。如下面进一步描述的,超晶格的层之间的成分差异至少是为了促进蚀刻选择性(例如,在双层的两层之间)。也如下面进一步描述的,超晶格的层之间的成分差异也可以促进互补的晶体管载流子类型,例如,双层的第一层非常适合于电子传输,而双层的第二层非常适合于空穴传输。

[0063] 超晶格结构1002可以具有任意数量的双层,其中各个层具有适合于选通(gated)鳍的任何厚度。如图10A中所示,因为超晶格结构1002从鳍模板120的晶种侧壁生长,所以超晶格结构1002在在电介质材料180之上横向生长时取决于鳍模板120的结晶度。生长的厚度限定了每个外延层的横向宽度。外延生长过程易于控制以形成厚度为1-2纳米的层。当晶体平面从鳍模板120的侧壁进行时,外延生长过程还可以保持原子级的平滑度。在一些示例性实施例中,每个外延层生长到不大于12nm的厚度,并且可以小至4nm-9nm。可以保留在最终晶体管结构中的外延层中的交替的外延层可以被生长至比居间外延层稍大的厚度。待保留的交替层可以生长得比期望的鳍宽度更厚,从而允许从鳍的侧壁去除几纳米,以从外延层



达到目标鳍的厚度。这样的侧壁蚀刻对于去除在超晶格生长期间可能在双层的界面上发生的任何污染可能是有利的。

[0064] 注意每个外延层从下面的电介质材料180延伸的高度仅是鳍模板120的高度的函数,外延生长厚度与鳍高度脱钩。例如,超晶格结构1002具有的最小高度 $H_2$ 可以在从10nm到100nm或更大的范围中的任何值。尽管这样的高度远远超出许多晶格失配材料层的临界厚度,但超晶格的层之间可以容纳的晶格失配量不是此高度的函数,而是垂直于模板120的侧壁测量的层厚度的函数。因此,只要双层中超晶格层的厚度不超过相关联的临界厚度,就可以在任意数量的双层之上保持(伪晶(pseudomorphic))单晶性。在外延层厚度为大约4nm的一些示范性实施例中,可以容纳双层的层之间大约4%的晶格失配,而不会遭受与驰豫相关的任何缺陷。

[0065] 在一些示范性实施例中,超晶格结构1002的每个双层包括单晶硅的层(例如,层1015A)和单晶SiGe合金的层(例如,层1015B)。在一些其他实施例中,SiGe合金的成分使得该合金与硅具有至少1%的晶格失配。在这些Si/SiGe超晶格实施例的一些中,鳍模板120是硅。在一些替代的Si/SiGe超晶格实施例中,鳍模板120具有与作为超晶格的一部分生长的SiGe合金相同的成分。在一些其他示范性实施例中,超晶格结构1002的每个双层包括单晶Ge的层(例如,层1015A)和单晶SiGe合金的层(例如,层1015B)。在另一些实施例中,SiGe合金的成分使得该合金与锗的晶格失配至少为1%。在这些Ge/SiGe超晶格实施例的一些中,鳍模板120是锗。在一些替代的Ge/SiGe超晶格实施例中,鳍模板120具有与作为超晶格的一部分生长的SiGe合金相同的成分。

[0066] 在一些其他示范性实施例中,超晶格结构1002的每个双层包括单晶IV族材料的层(例如,层1015A)和单晶III-V族材料的层(例如,层1015B)。这样的实施例具有IV族半导体与III-V族半导体之间非常大的蚀刻选择性差异的优点。在一些其他实施例中,IV族材料和III-V族材料的成分使得双层的层之间的晶格失配至少为1%。一些III-V材料与一些IV族材料具有紧密的晶格匹配,从而允许超晶格结构1002在IV族与III-V族半导体材料之间交替。在一个示范性实施例中,超晶格结构1002的每个双层包括Ge和GaAs层。Ge与GaAs具有良好的晶格匹配,并且随后可以在鳍沟道(例如,PMOS)中采用Ge层,而可以牺牲GaAs层。可以替代地(或附加地)随后在鳍沟道(例如,NMOS)中采用GaAs层,而可以牺牲Ge层。

[0067] 在一些其他示范性实施例中,超晶格结构1002的每个双层包括第一单晶III-V合金的层(例如,层1015A)和第二单晶III-V合金的层(例如,层1015B)。在一些其他实施例中,两种III-V合金的成分使得在双层的层之间存在至少1%的晶格失配。在这些III-V/III-V超晶格实施例的一些中,鳍模板120具有与作为超晶格的一部分生长的III-V合金之一相同的成分。在一些其他示范性实施例中,超晶格结构1002的每个双层包括第一单晶III-N合金的层(例如,层1015A)和第二单晶III-N合金的层(例如,层1015B)。在一些其他实施例中,两种III-N合金的成分使得双层的层之间的晶格失配至少为1%。在这些III-N/III-N超晶格实施例的一些中,鳍模板120具有与作为超晶格的一部分生长的III-N合金之一相同的成分。

[0068] 返回图6,方法600在操作630处继续,在操作630处,在在操作620处形成的超晶格结构之上和周围沉积电介质材料。然后,例如通过任何合适的化学机械平面化工艺,将超晶格结构和周围的电介质材料平面化回,以暴露鳍模板以及超晶格的各个层。在图11中进一

步示出的示例中,结构1101包括添加了电介质材料190的结构1001。电介质材料190可以是类似于超晶格结构1002的适于用于封装和/或平面化地形特征的目的的任何电介质材料。在一些示例性实施例中,电介质材料190是可流动的氧化物。电介质材料190可用适合于该材料的任何技术来沉积,诸如但不限于旋涂工艺(spin-on process)或化学气相沉积(CVD)。在图12中进一步示出的示例中,结构1201包括在平面化之后的结构1101。如图所示,超晶格结构1002的各个双层的顶部已经被抛光回,至少直到鳍模板120的顶部被暴露。此时,超晶格结构1002具有高度 $H_1$ 。如果需要,然后可以执行任何合适的图案化工艺以使环形超晶格层分开成鳍模板120两侧的单层。例如,可以去除围绕鳍模板120的端部的超晶格结构1002的部分,以在鳍模板120的相对侧上留下基本平行的外延层段。替代地,可以使超晶格层保持环形,在环形环的段之上形成源极和漏极,而在其间形成的栅极堆叠体。无论如何,因为超晶格层最初是作为鳍模板120周围的连续“壳”生长的,所以鳍模板120的相对侧上的每一层的段都具有相同的成分和厚度。如图12所示,在鳍模板120的一侧上是鳍131A-131C,鳍131A-131C通过居间鳍431A-431C彼此分开。在鳍模板120的另一侧上是鳍132A-132C,其通过居间鳍432A-432C彼此分开。

[0069] 返回图6,方法600在操作640处继续,在操作640处,将超晶格中的层中的交替层相对于超晶格中的其他层选择性地去除。在操作640处可以采用对要去除的超晶格层的成分具有选择性的蚀刻,以留下具有在操作640中留下的超晶格层的成分的独立式(free standing)鳍。根据鳍模板的成分,该蚀刻也可以使鳍模板的某部分凹陷或去除。在图13中进一步示出的示例中,例如通过各向同性或各向异性(湿法或干法)蚀刻工艺去除鳍431A-431C和432A-432C,该蚀刻工艺保留鳍131A-131C和132A-132C。鳍模板120也被从鳍高度 $H_1$ 减小到凹陷到鳍模板沟槽121内的稍微更小的高度(即,在电介质材料180的顶表面下方)。在替代实施例中,鳍131A-131C和132A-132C被去除,例如,利用各向同性或各向异性(湿法或干法)蚀刻工艺,该工艺保留了鳍431A-431C和432A-432C。对于这样的实施例,鳍模板420(具有与鳍431、432相同的成分)可以保持鳍高度 $H_1$ 。在一些其他实施例中,在衬底的一个区域内,例如通过保留鳍131A-131C和132A-132C的第一各向同性或各向异性(湿法或干法)蚀刻工艺去除鳍431A-431C和432A-432C,并且在衬底的另一区域内,例如通过保留鳍431A-431C和432A-432C的第一各向同性或各向异性(湿法或干法)蚀刻工艺去除鳍131A-131C和132A-132C。操作640因此可以生成具有不同成分的鳍的两组晶体管,例如,如以上针对IC部分501(图5)所描述的。可选地,在鳍模板120已经显著凹陷(或者甚至从鳍模板沟槽121完全去除)的情况下,可以在保留的鳍之上沉积另一种电介质材料,回填鳍模板沟槽121。然后可以选择性地回蚀刻该附加的电介质材料以重新暴露鳍侧壁。作为另一选择,上述选择性蚀刻之后保留的鳍材料被略微(briefly)(例如,从每个鳍的侧壁去除1-2nm)蚀刻(例如,各向同性)。可以采用这种可选的鳍蚀刻来进一步调节保留的鳍的宽度和/或去除在超晶格生长期间在鳍侧壁上生成的任何污染物。

[0070] 返回图6,方法600在操作650处继续,在操作650处,在在操作640中留下的超晶格结构(和鳍模板)的层之上形成栅极堆叠体(包括栅极电介质和栅极电极)。在操作660处,形成耦合到超晶格结构的每个剩余层的源极和漏极。操作650和660可以以任何顺序执行,并且可以使用已知适合于在鳍结构上形成finFET的任何技术。例如,可以采用先栅或后栅finFET工艺来完成操作650和660。

[0071] 对于在图14中示出的示例性结构1401,在鳍131和132之上形成包括栅极电极170和栅极电介质171的栅极堆叠体。在凹陷鳍模板120的情况下,栅极堆叠体仅接触鳍模板120的顶表面。可以根据任何已知的finFET制造技术(单个或多个)来形成栅极堆叠体。例如,可以根据任何“后栅”技术用永久栅极堆叠体替换牺牲栅极。尽管被示为双栅晶体管或三栅晶体管,但是栅极堆叠体至少耦合至鳍131和132的侧壁。也可以采用环绕或“全围绕栅(gate all-around)”技术来制造根据任何合适技术的纳米带或纳米线晶体管。源极和漏极端子(未示出)可以形成在栅极电极170的相对侧上。于是,基于对鳍131-132的沟道部分内的电导率的电场调制,栅极电极170以及源极和漏极端子可作为晶体管操作。

[0072] 在一些实施方式中,可在栅极堆叠体的相对侧上形成一对侧壁间隔体。侧壁间隔体可以将栅极堆叠体与源极和漏极端子分开。侧壁间隔体可以由诸如氮化硅、氧化硅、碳化硅、掺杂有碳的氮化硅、以及氮氧化硅的材料形成。用于形成侧壁间隔体的工艺在本领域中是众所周知的,并且通常包括沉积和蚀刻工艺操作。可以使用注入/扩散工艺或蚀刻/沉积工艺来形成源极和漏极端子。例如,可以将诸如硼、铝、锑、磷或砷的掺杂剂离子注入到鳍131、132中以形成源极和漏极端子。替代地,可以首先蚀刻鳍131、132的端部以形成凹陷,并且外延生长工艺可以用源极和漏极半导体填充凹陷。

[0073] 然后,方法600在操作670处完成,在操作670处,各个晶体管互连成IC中,该IC例如具有一或多个层级的金属化层,该金属化层耦合到在操作650处形成的栅极堆叠体的栅极电极,或耦合到在操作660处形成的源极和漏极。

[0074] 图15示出了根据本文所述的实施例的采用IC的移动计算平台和数据服务器机器,该IC例如包括具有锚定在电介质材料之上的鳍的多鳍晶体管。服务器机器1506可以是任何商用服务器,例如包括设置在机架内并联网在一起以进行电子数据处理的数量的高性能计算平台,在示例性实施例中,该高性能计算平台包括封装的单片SoC 1550。移动计算平台1505可以是配置用于电子数据显示、电子数据处理、无线电子数据传输等中的每一个的任何便携式设备。例如,移动计算平台1505可以是平板电脑、智能电话、膝上型计算机等中的任何一个,并且可以包括显示屏(例如,电容式、电感式、电阻式或光学触摸屏)、芯片级或封装级集成系统1510和电池1515。

[0075] 既可以设置在放大视图1520中所示的集成系统1510中,也可以作为服务器机器1506内的独立封装的芯片,芯片SoC 1550包括存储器电路块(例如,RAM)、处理器电路块(例如,微处理器、多核微处理器、图形处理器等),其中之一或两者都包括具有锚定于电介质材料之上的鳍的多鳍晶体管。单片SoC 1550还可以与电源管理集成电路(PMIC) 1530、包括宽带RF(无线)发射器和/或接收器(TX/RX)(例如,包括数字基带,并且模拟前端模块还包括在发送路径上的功率放大器和在接收路径上的低噪声放大器)的RF(无线)集成电路(RFIC) 1525、以及控制器1535中的一个或多个一起耦合到板、衬底或中介层1560。根据本文所述的实施例,RFIC1525和PMIC 1530中的任何一个或全部还可包括具有锚定在电介质材料之上的鳍的多鳍晶体管。

[0076] 在功能上,PMIC 1530可以执行电池功率调节、DC-DC转换等,并且因此具有耦合到电池1515的输入并且具有向其他功能模块提供电流供应的输出。如进一步示出的,在示例性实施例中,RFIC 1525的输出耦合到天线(未示出)以实现多种无线标准或协议中的任何一种,包括但不限于Wi-Fi(IEEE 802.11系列)、WiMAX(IEEE 802.16系列)、IEEE 802.20、长

期演进 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙,其衍生物以及被指定为3G、4G、4G及更高版本的任何其他无线协议。值得注意的是,这些板级IC模块1525、1530、1535中的每一个都可以集成到单独的IC上或集成到单片SoC 1550中。

[0077] 图16是根据一些实施例的电子计算器件1600的功能框图。例如,计算器件1600可以位于平台1505或服务器机器1506内部。根据本文描述的实施例,器件1600进一步包括母板1602,该母板托管有多个组件,诸如但不限于处理器1604(例如,应用处理器),其可以进一步包括具有锚定于电介质材料之上的鳍的多鳍晶体管。处理器1604可以物理上和/或电气上耦合至母板1602。在一些示例中,处理器1604包括封装在处理器1604内的集成电路管芯。通常,术语“处理器”或“微处理器”可以指处理来自寄存器和/或存储器的电子数据以将该电子数据转换成可以另外地存储在寄存器和/或存储器中的其他电子数据的任何器件或器件的一部分。

[0078] 在各种示例中,一个或多个通信芯片1606也可以物理上和/或电气上耦合到母板1602。在另外的实施方式中,通信芯片1606可以是处理器1604的一部分。根据其应用,计算器件1600可以包括其他组件,这些组件可以物理上和电气上耦合到母板1602或可以不物理上和电气上耦合到母板1602。这些其他组件包括但不限于易失性存储器(例如,MRAM 1630、DRAM1632)、非易失性存储器(例如ROM 1635)、闪存、图形处理器1622、数字信号处理器、加密处理器、芯片组、天线1625、触摸屏显示器1615、触摸屏控制器1675、电池1610、音频编解码器、视频编解码器、功率放大器1621、全球定位系统(GPS)器件1640、罗盘1645、加速度计、陀螺仪、音频扬声器1620、相机1641和大容量存储器件(诸如硬盘驱动器、固态硬盘(SSD)、光盘(CD)、数字通用盘(DVD)等)等。

[0079] 通信芯片1606可以使能自计算器件1600传输数据以及将数据传输到计算器件1600的无线通信。术语“无线”及其衍生词可以用于描述可以通过非固态介质通过使用调制的电磁辐射来传送数据的通信信道、电路、器件、系统、方法、技术等。术语不暗示相关联的器件不包含任何线缆,然而在一些实施例中,它们可以不包含线缆。通信芯片1606可以实现多种无线标准或协议中的任一种,包括但不限于本文其他地方描述的那些。如讨论的,计算器件1600可以包括多个通信芯片1606。例如,第一通信芯片可以专用于较短程无线通信,诸如Wi-Fi和蓝牙,并且第二通信芯片可专用于较长程无线通信,诸如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO以及其它。

[0080] 尽管已经参考各种实施方式描述了本文阐述的某些特征,但是该描述并非旨在以限制性的意义来解释。因此,对于本公开所属领域的技术人员而言显而易见的本文所述的实施方式以及其他实施方式的各种修改被认为在本公开的精神和范围内。

[0081] 将认识到,本公开的原理不限于如此描述的实施例,而是可以在不脱离所附权利要求的范围的情况下进行修改和变更来实践。例如,以上实施例可以包括如下进一步提供的特征的特定组合。

[0082] 在第一示例中,一种晶体管结构,包括:包括晶体材料的多个鳍,其中,所述鳍在电介质层之上间隔开,其中,所述多个鳍中的第一数量的鳍在延伸穿过所述电介质层的鳍模板沟槽的第一侧上,并且其中,所述多个鳍中的第二数量的鳍在所述鳍模板沟槽的第二侧上,所述第二数量等于所述第一数量。一种或多种材料在所述鳍模板沟槽的至少一部分内。栅极电介质和栅极电极在所述鳍的侧壁之上。源极和漏极在所述栅极电极的相对侧上耦合

至所述鳍。

[0083] 在第二示例中,对于第一示例中的任何示例,所述鳍包括第一晶体材料,并且所述一种或多种材料包括第二晶体材料,所述第二晶体材料具有与所述第一晶体材料不同的成分。

[0084] 在第三示例中,对于第二示例中的任何示例,所述第一晶体材料至少包括Si或Ge中的第一者,并且所述第二晶体材料至少包括Si或Ge中的第二者。

[0085] 在第四示例中,对于第二示例中的任何示例,所述第一晶体材料包括Si、Ge或第一III-V合金中的至少一者,并且所述第二晶体材料包括第二III-V合金。

[0086] 在第五示例中,对于第一至第四示例中的任何示例,所述电介质层包括第一电介质材料,并且所述鳍模板沟槽内的所述一种或多种材料包括第二电介质材料。

[0087] 在第六示例中,对于第一至第五示例中的任何示例,所述鳍具有在所述电介质层的顶部上方的第一高度,并且所述鳍模板沟槽内的所述一种或多种材料具有小于所述鳍高度的第二高度。

[0088] 在第七示例中,对于第一至第六示例中的任何示例,所述第一数量的所述鳍各自间隔开第一距离,所述第二数量的所述鳍各自间隔开所述第一距离,并且所述第一数量的所述鳍与所述第二数量的所述鳍间隔开第二距离,所述第二距离大于所述第一距离。

[0089] 在第八示例中,对于第七示例中的任何示例,所述第一距离不大于9nm,并且所述第二距离大于9nm。

[0090] 在第九示例中,对于第一至第八示例中的任何示例,所述鳍中的每一个的宽度不大于5nm,并且所述鳍在所述电介质层的顶部上方的高度为至少20nm。

[0091] 在第十示例中,一种集成电路(IC)器件,包括第一晶体管结构,所述第一晶体管结构包括:包括第一晶体材料的多个第一鳍,其中,所述第一鳍在电介质层之上间隔开,其中,第一数量的所述第一鳍在延伸穿过所述电介质层的第一鳍模板沟槽的第一侧上,其中,第二数量的所述第一鳍在所述第一鳍模板沟槽的第二侧上,所述第二数量等于所述第一数量,并且其中,包括所述第一晶体材料的第一鳍模板在所述第一鳍模板沟槽的至少一部分内。所述第一晶体管结构包括:第一栅极电介质和第一栅极电极,在所述第一鳍的侧壁之上。所述第一晶体管结构包括:第一源极和第一漏极,在所述第一栅极电极的相对侧上耦合至所述第一鳍。IC器件包括第二晶体管结构,所述第二晶体管结构包括:包括第二晶体材料的多个第二鳍,其中,所述第二鳍在所述电介质层之上间隔开,其中,第一数量的所述第二鳍在延伸穿过所述电介质层的至少一部分的第二鳍模板沟槽的第一侧上,其中,第二数量的所述第二鳍在所述鳍模板沟槽的第二侧上,所述第二鳍的第二数量等于所述第二鳍的第一数量,并且其中,包括所述第一晶体材料的第二鳍模板在所述第二鳍模板沟槽的至少一部分内。所述第二晶体管结构包括:第二栅极电介质和第二栅极电极,在所述第二鳍的侧壁之上。所述第二晶体管结构包括:第二源极和第二漏极,在所述第二栅极电极的相对侧上耦合到所述第二鳍。

[0092] 在第十一示例中,对于第十示例中的任何示例,所述第一栅极电介质和所述第一栅极电极在所述第一鳍模板的侧壁之上;并且所述第二栅极电介质和所述第二栅极电极不存在于所述第二鳍模板的侧壁上。

[0093] 在第十二示例中,对于第十示例中的任何示例,所述第一晶体材料至少包括Si或

Ge中的第一者,并且所述第二晶体材料至少包括Si或Ge中的第二者;或者,所述第一晶体材料包括III族组分和IV族组分,并且所述第二晶体材料包括IV族组分;或者所述第一晶体材料包括Si或Ge中的至少一者,并且所述第二晶体材料包括III族组分和IV族组分。

[0094] 在第十三示例中,对于第十至第十二示例中的任何示例,所述第一源极和所述第一漏极包括p型杂质,并且其中,所述第二源极和所述第二漏极包括n型杂质。

[0095] 在第十四示例中,一种计算机平台,包括:数据存储装置,用于存储数据;以及数据处理装置,耦合到所述数据存储装置,其中,所述数据处理装置包括多个晶体管,所述多个晶体管中的至少一个晶体管包括根据第一至第八示例中任一项所述的晶体管结构。

[0096] 在第十五示例中,一种制造晶体管的方法,所述方法包括:接收工件,所述工件包括沟槽内的鳍模板,其中,所述沟槽延伸穿过电介质层,并且所述鳍模板具有延伸到所述电介质层上方的侧壁。所述方法包括:从所述鳍模板的所述侧壁外延生长超晶格结构,其中,所述超晶格包括在具有第二成分的两个第二层之间的具有第一成分的第一层。所述方法包括:通过使所述超晶格结构平面化来暴露所述第一层和所述第二层。所述方法包括:通过去除所述第二层来暴露所述第一层的侧壁。所述方法包括:形成耦合至所述第一层的源极和漏极。所述方法包括:形成在所述第一层的所述侧壁之上并且在所述源极与所述漏极之间的栅极堆叠体,其中,所述栅极堆叠体包括栅极电介质和栅极电极。

[0097] 在第十六示例中,对于第十五示例中的任何示例,所述第一层的所述侧壁具有第一高度,所述鳍模板包括所述第二成分,并且去除所述第二层还使所述鳍模板凹陷至第二高度,所述第二高度小于所述第一高度。

[0098] 在第十七示例中,对于第十五或十六示例中的任何示例,所述第二高度凹陷到所述电介质材料的顶表面下方;并且,所述方法还包括在使所述鳍模板凹陷之后沉积第二电介质材料,以及使所述第二电介质材料凹陷以重新暴露所述第一层的所述侧壁的至少一部分。

[0099] 在第十八示例中,对于第十五至第十七示例中的任何示例,生长所述超晶格结构包括生长多个双层;每个双层包括所述第一层和所述第二层;暴露所述第一层和所述第二层包括暴露所述多个双层中的每个双层的所述第一层和所述第二层;暴露所述第一层的所述侧壁包括暴露多个所述第一层的侧壁;形成耦合至所述第一层的源极和漏极包括形成耦合至所述多个所述第一层的源极和漏极;以及形成在所述第一层的所述侧壁之上的栅极堆叠体包括在所述多个所述第一层之上形成所述栅极堆叠体。

[0100] 在第十九示例中,对于第十五至第十八示例中的任何示例,所述方法包括使所述第一层分开为在所述鳍模板的第一侧上的第一段和在所述鳍模板的第二侧上的第二段。形成所述源极和漏极还包括形成至所述第一段和至所述第二段的源极和漏极。形成所述栅极堆叠体还包括在所述第一段和所述第二段之上都形成所述栅极堆叠体。

[0101] 在第二十示例中,对于第十五至第十九示例中的任何示例,所述方法还包括:在所述电介质层中形成沟槽,所述沟槽暴露晶体衬底的表面;在所述沟槽内外延生长所述鳍模板;以及使所述电介质层凹陷,以暴露所述鳍模板的所述侧壁。

[0102] 在第二十一示例中,对于第十五至第二十示例中的任何示例,所述方法包括通过蚀刻晶体衬底来形成所述鳍模板。

[0103] 在第二十二示例中,对于第十五至第二十一示例中的任何示例,所述方法还包括

在所述超晶格结构之上沉积电介质材料。使所述超晶格结构平面化还包括使所述电介质材料平面化。

[0104] 在第二十三示例中,对于第十五至第二十二示例中的任何示例,所述第一成分至少包括Si或Ge中的第一者,并且所述第二成分至少包括Si或Ge中的第二者,或者其中,所述第一晶体材料包括第一III-V合金并且所述第二晶体材料至少包括Si、Ge或第二III-V合金中的至少一者。

[0105] 然而,以上实施例在这方面不受限制,并且在各种实施方式中,以上实施例可以包括仅采取该特征的子集,采取该特征的不同顺序,采取该特征的不同组合,和/或采取除了明确列出的那些特征外的附加特征。因此,应参考所附权利要求与该权利要求所赋予的等同的整个范围一起来确定本发明的范围。

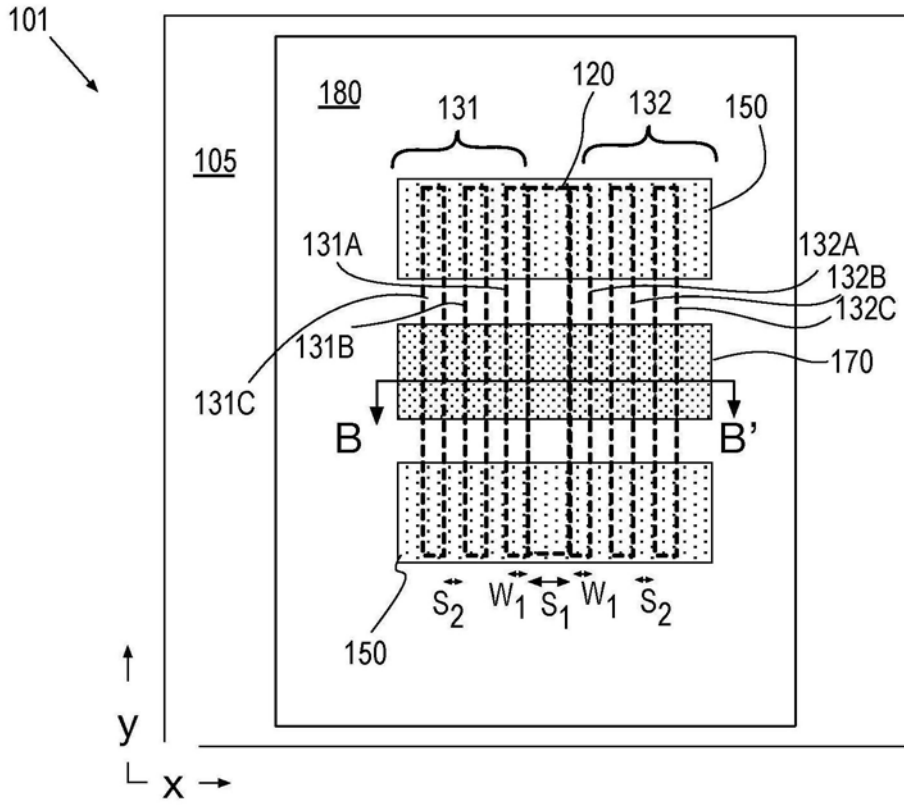


图1A

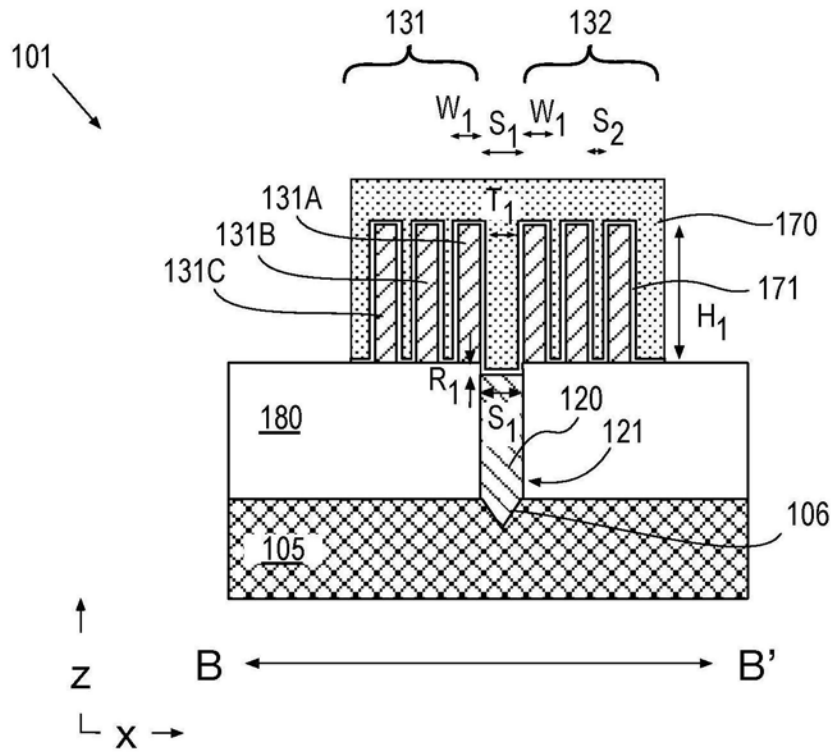


图1B



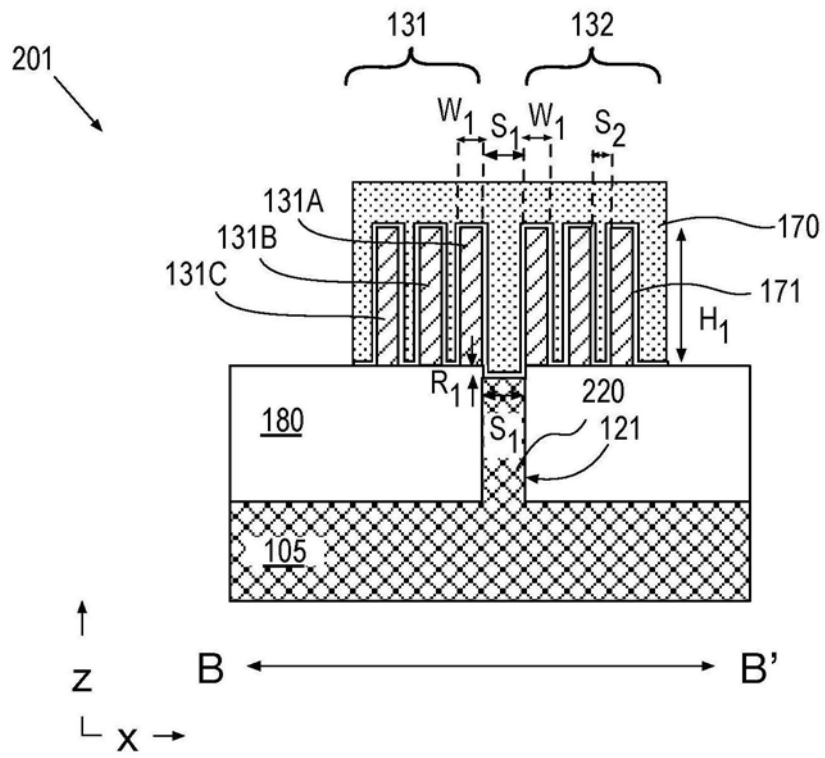


图2

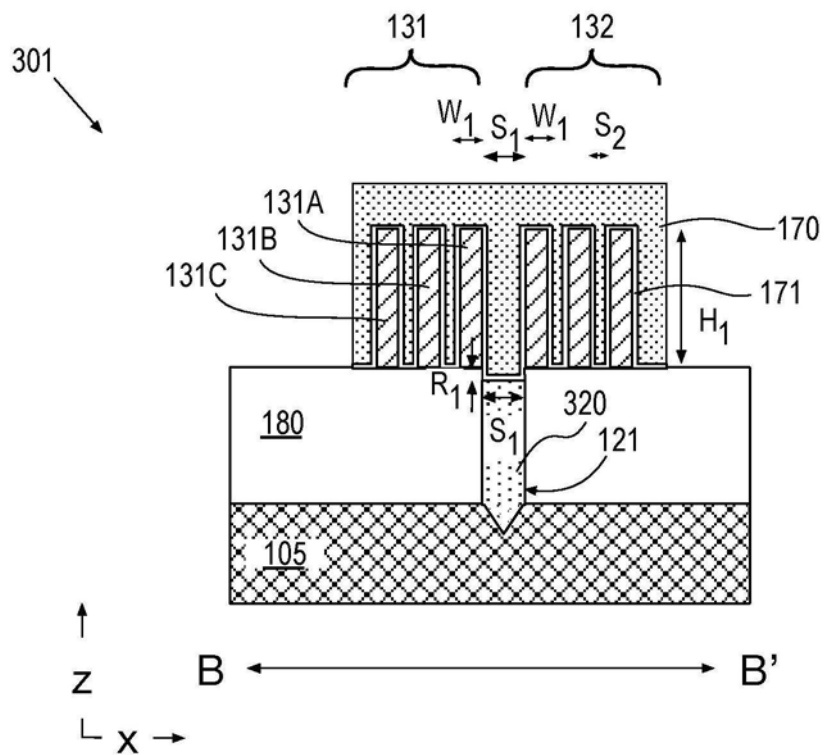


图3

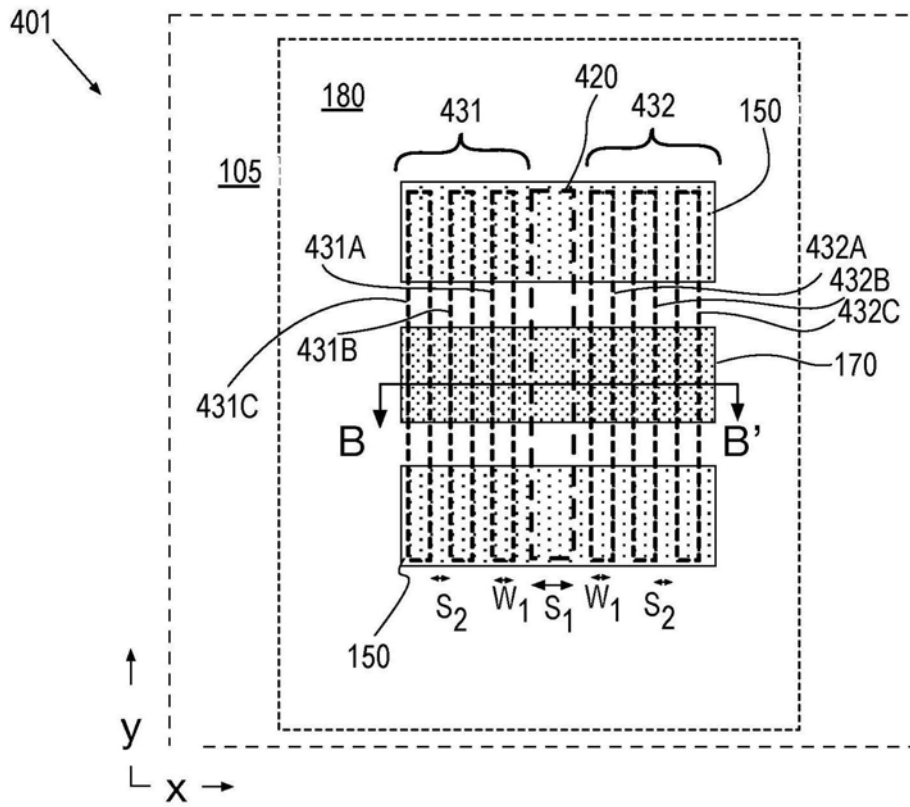


图4A

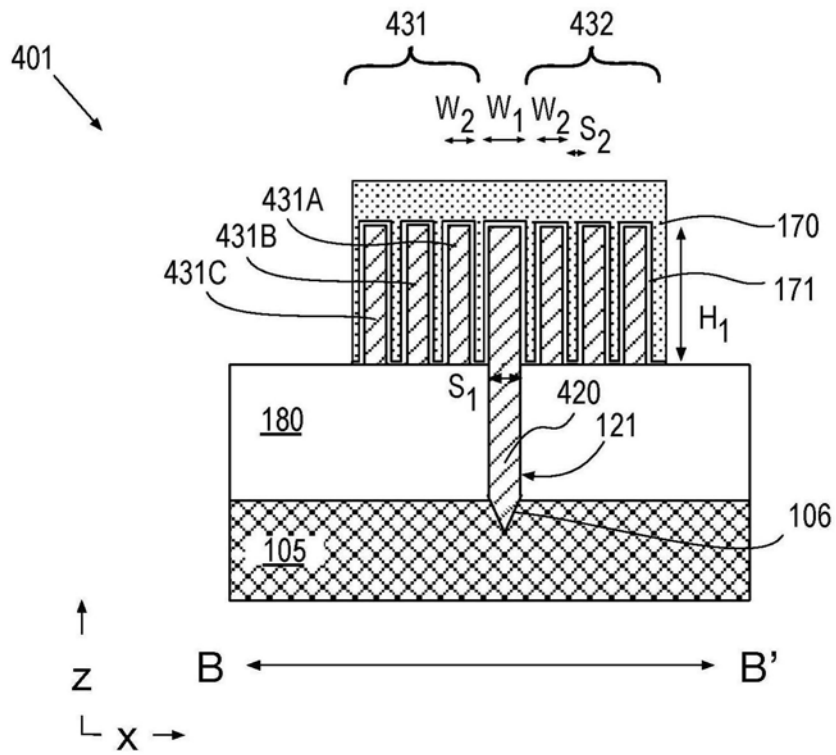


图4B

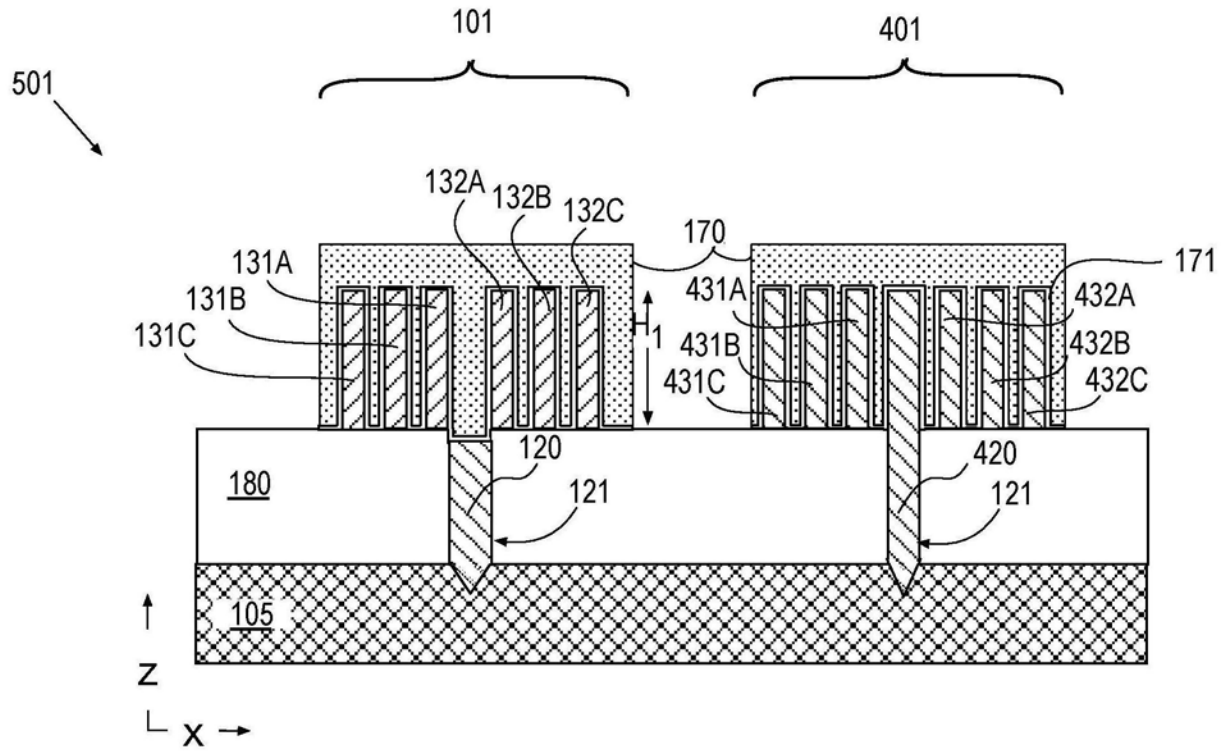


图5

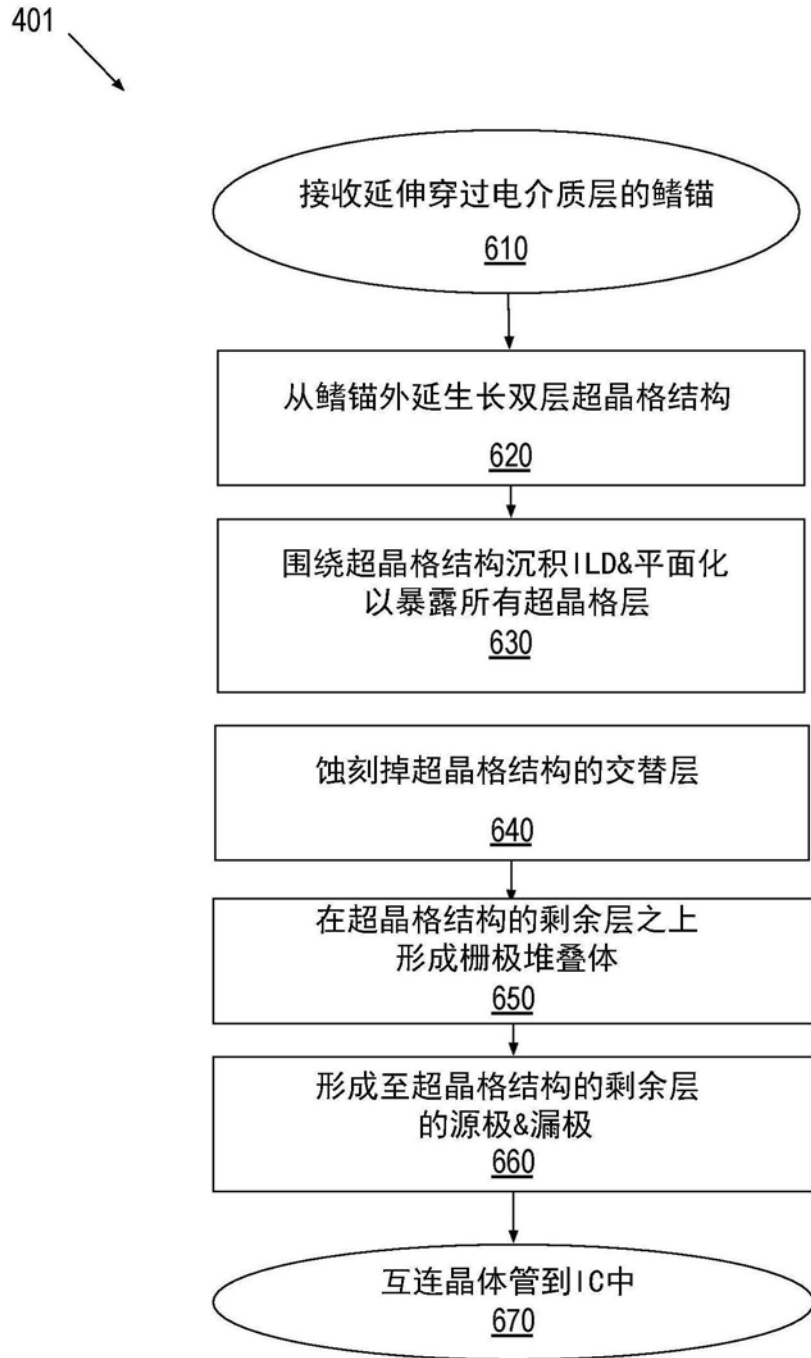


图6

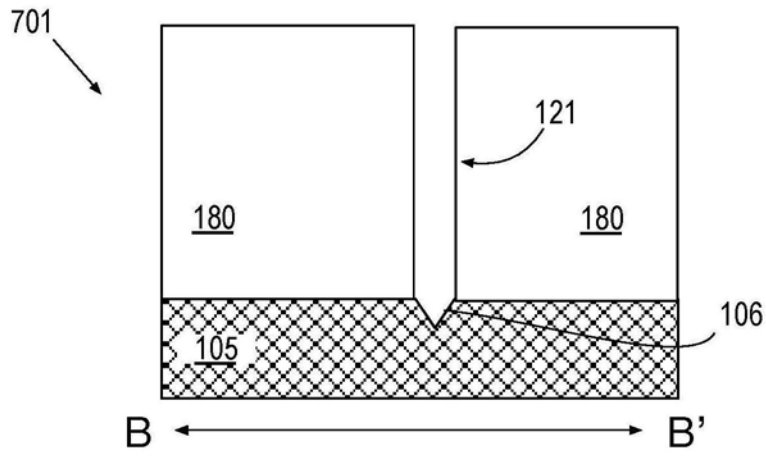


图7

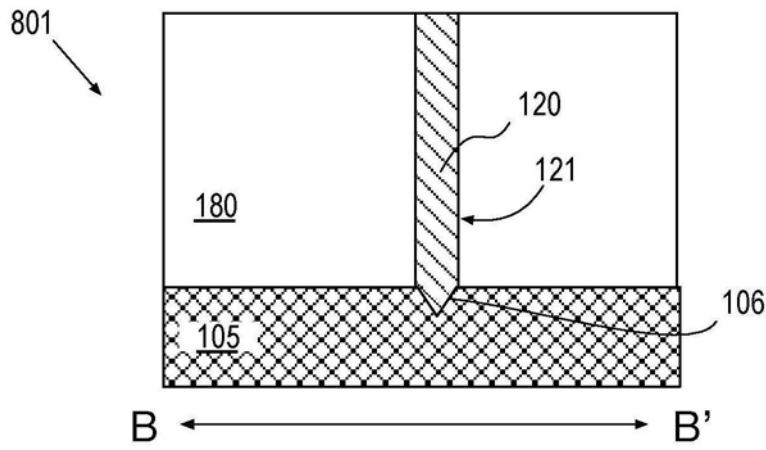


图8

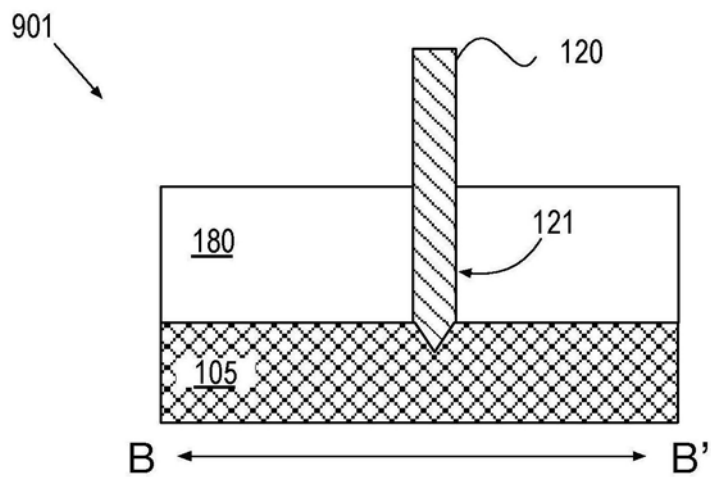


图9

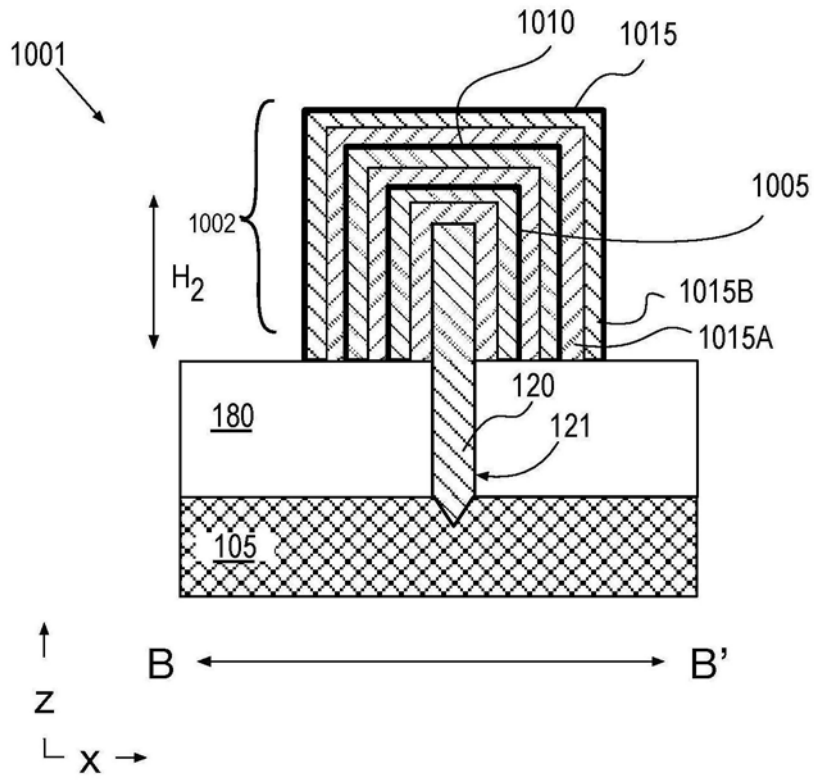


图10A

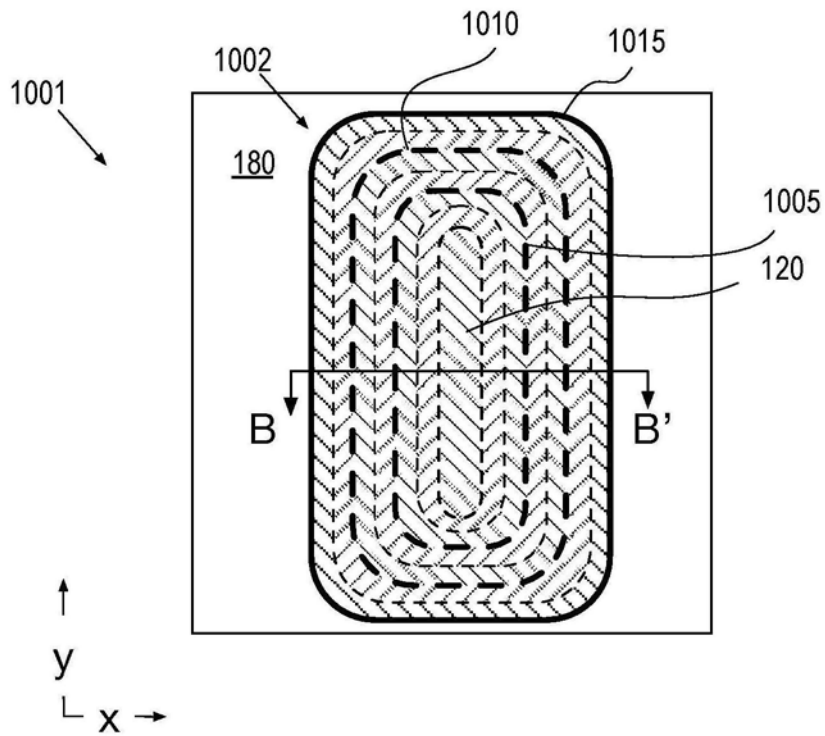


图10B

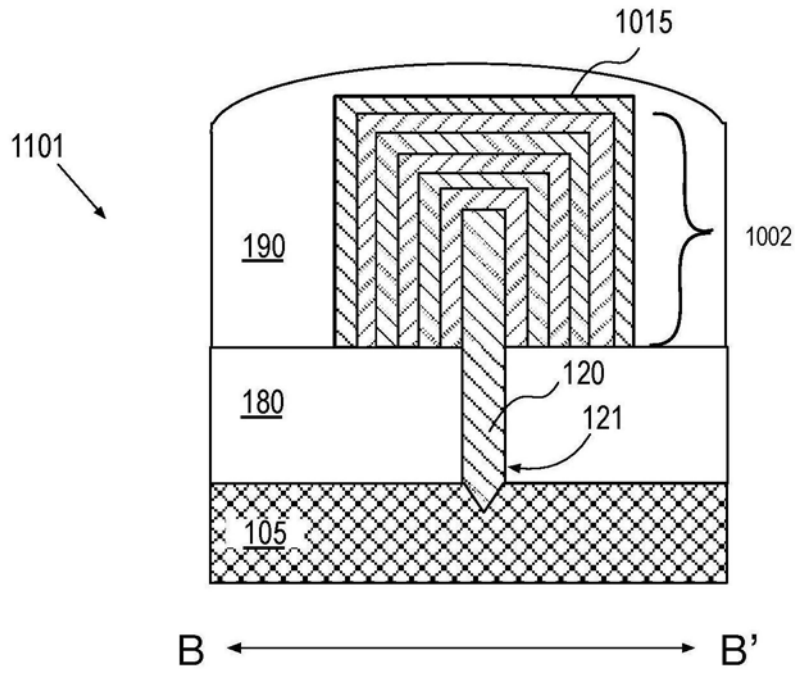


图11

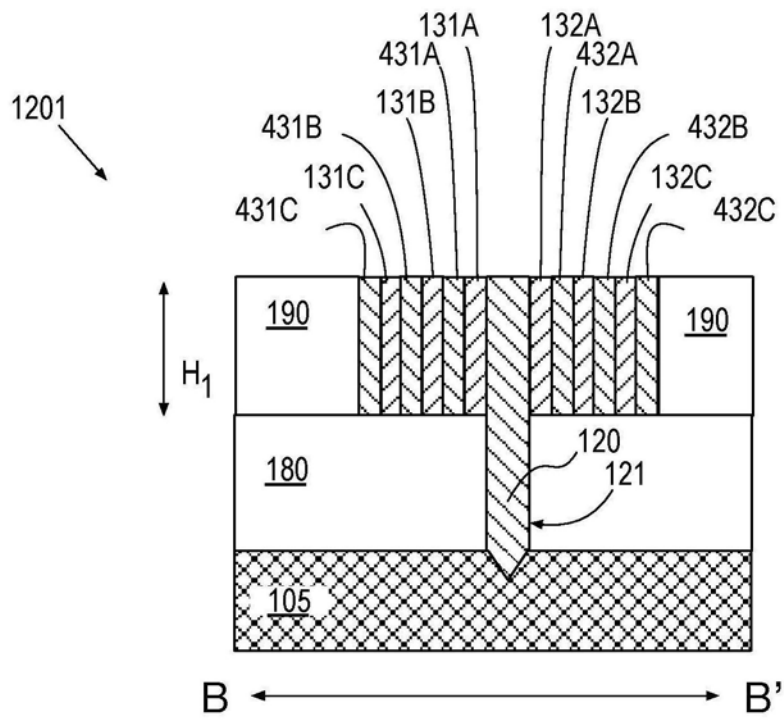


图12

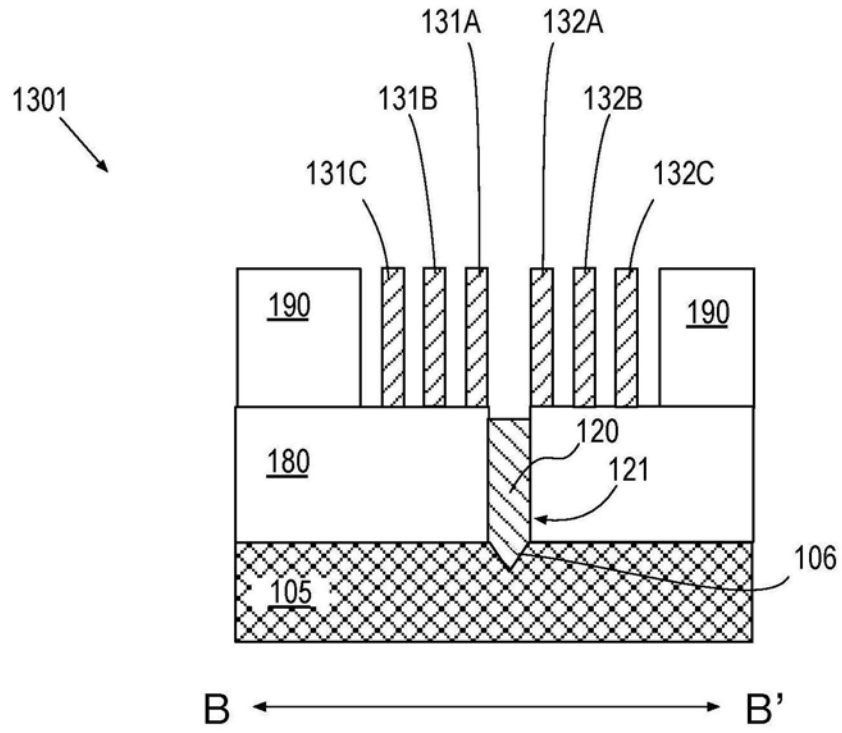


图13

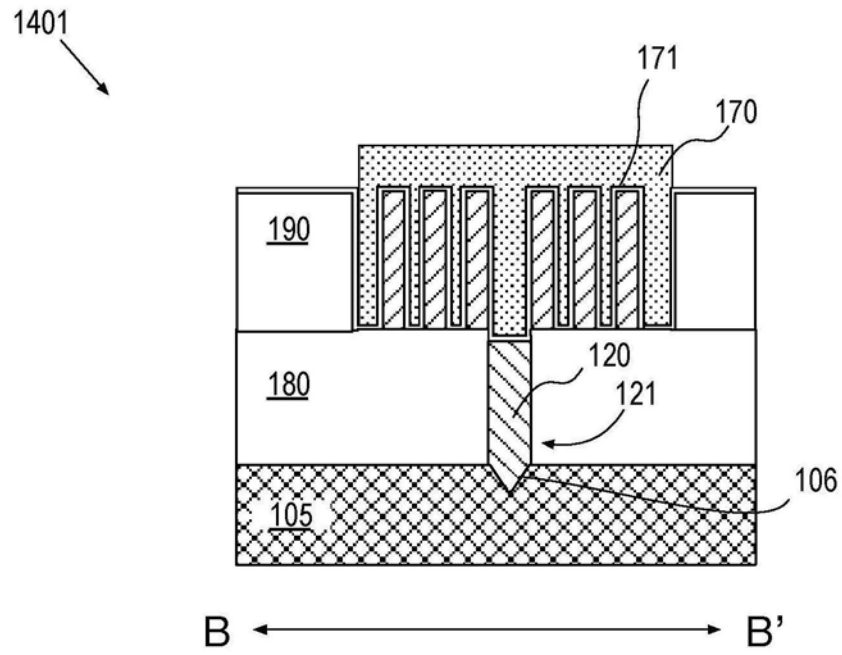


图14



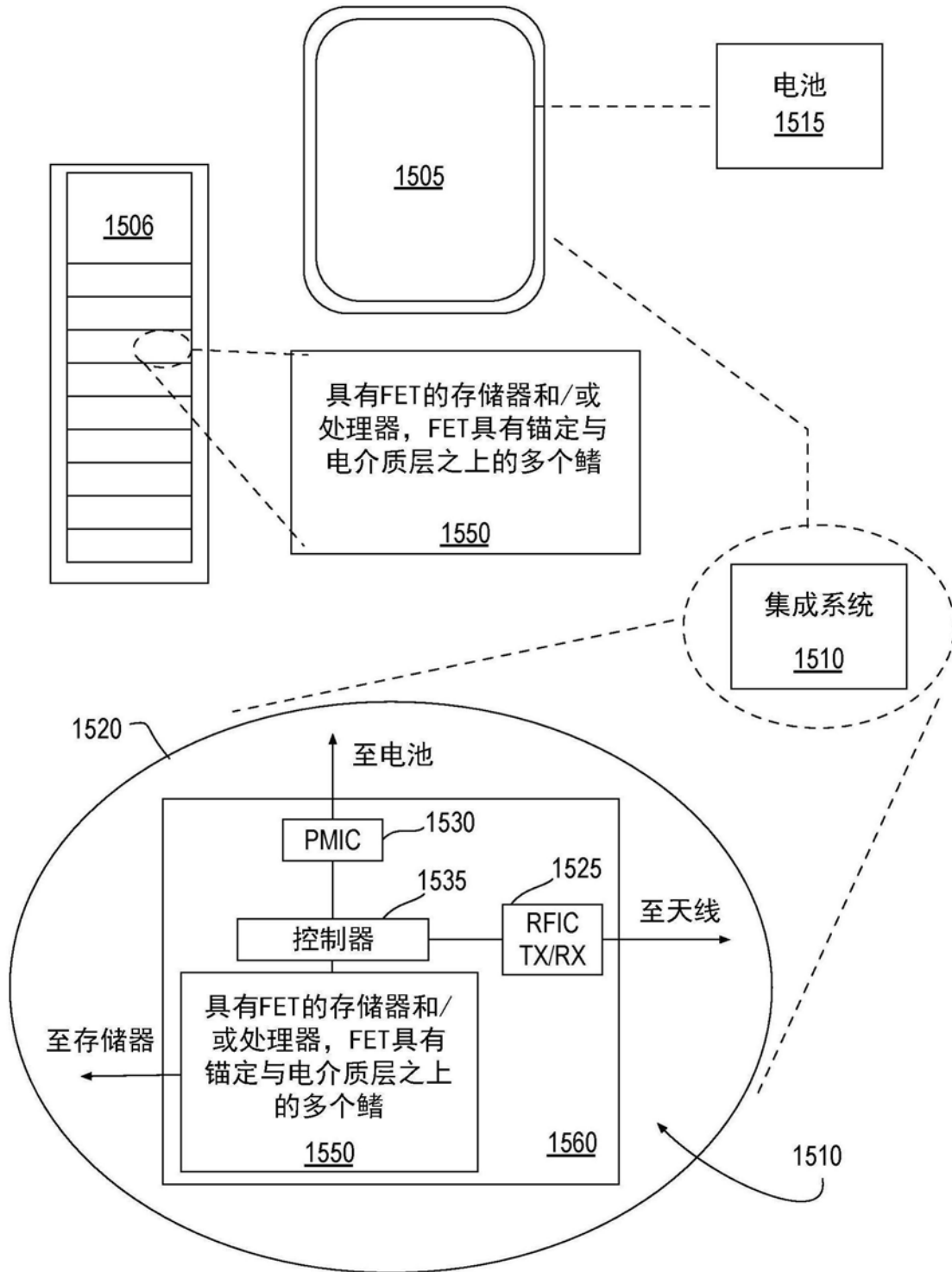


图15

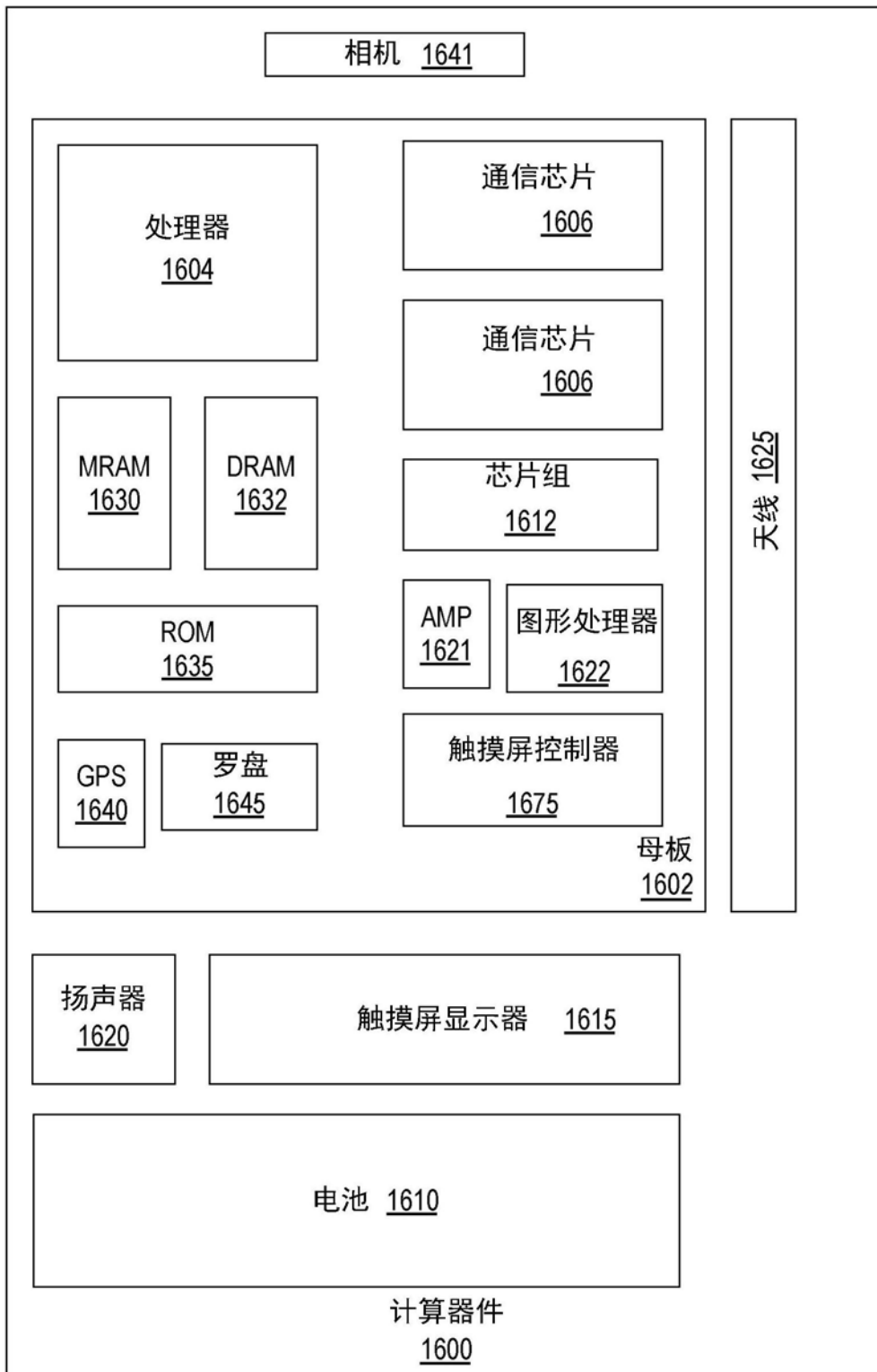


图16