



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I520337 B

(45)公告日：中華民國 105 (2016) 年 02 月 01 日

(21)申請案號：101148427

(22)申請日：中華民國 101 (2012) 年 12 月 19 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L29/40 (2006.01)

(71)申請人：財團法人工業技術研究院(中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：顏誠廷 YEN, CHENG TYNG (TW)；洪建中 HUNG, CHIEN CHUNG (TW)；陳永祥 CHEN, YOUNG SHYING (TW)；李傳英 LEE, CHWAN YING (TW)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200511577A

審查人員：張靖輝

申請專利範圍項數：19 項 圖式數：7 共 46 頁

(54)名稱

階梯溝渠式金氧半場效電晶體及其製造方法

STEP TRENCH METAL-OXIDE-SEMICONDUCTOR FIELD-EFFECT TRANSISTOR AND METHOD OF FABRICATION THE SAME

(57)摘要

一種階梯溝渠式金氧半場效電晶體，包括漂移層、第一半導體區、階梯式閘極以及浮置區。漂移層具有第一導電型。第一半導體區具有第二導電型，位於漂移層的第一表面上，其中漂移層與第一半導體區之中具有階梯式閘極溝渠。階梯式閘極溝渠至少包括第一凹槽與第二凹槽，其中第一凹槽自第一半導體區延伸到漂移層，第二凹槽位於漂移層中且位於第一凹槽的底部，且第二凹槽的尺寸小於第一凹槽的尺寸。階梯式閘極位於階梯式閘極溝渠之中。浮置區具有第二導電型，位於第二凹槽的底部的漂移層中。

A step trench metal-oxide-semiconductor field-effect transistor includes a drift layer, a first semiconductor region, a stepped gate and a floating region. The drift layer is of a first conductivity type. The first semiconductor region is of a second conductivity type and located on the drift layer, wherein the drift layer and the first semiconductor region have a stepped gate trench therein. The stepped gate trench at least includes a first recess located in the first semiconductor region and extending into the drift layer and a second recess located below a bottom of the first recess, wherein a size of the second recess is smaller than a size of the first recess. A floating region is of the second conductivity type and located in the drift layer below the second recess.

指定代表圖：

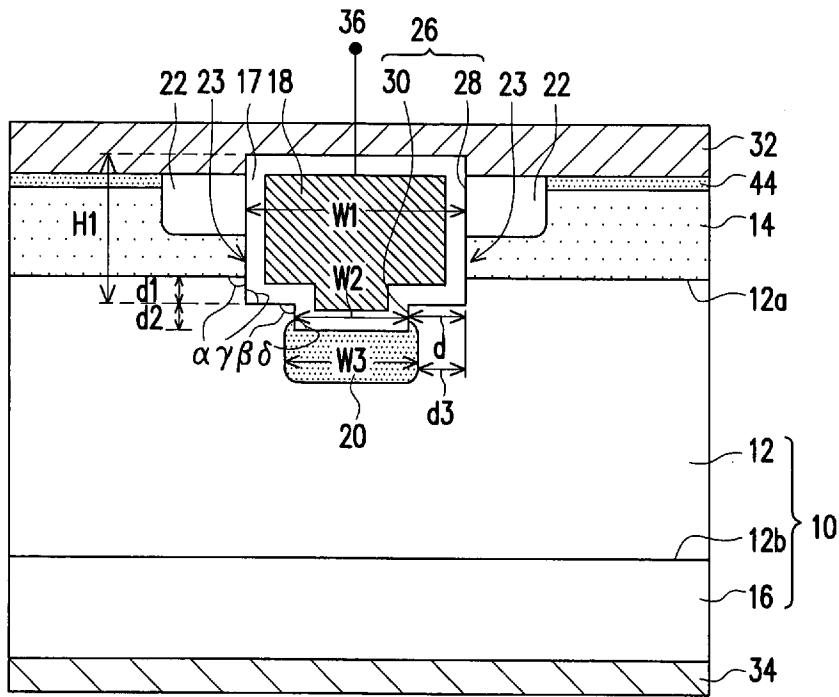


圖 1A

符號簡單說明：

- 10 . . . 基底
- 12 . . . 漂移層
- 12a . . . 第一表面
- 12b . . . 第二表面
- 14 . . . 第一半導體區
- 16 . . . 第二半導體區
- 17 . . . 絕緣層
- 18 . . . 階梯式閘極
- 20 . . . 浮置區
- 22 . . . 源極區
- 23 . . . 通道
- 26 . . . 階梯式閘極溝渠
- 28 . . . 第一凹槽
- 30 . . . 第二凹槽
- 32 . . . 第一導體層
- 34 . . . 第二導體層
- 36 . . . 第三導體層
- 44 . . . 第一摻雜區
- d . . . 第一凹槽與第二凹槽的寬度差
- d1、d3 . . . 距離
- d2 . . . 深度
- W1、W2、W3 . . . 尺寸
- H1 . . . 深度
- α 、 β . . . 夾角
- γ 、 δ . . . 底角

| |
|-----|
| 公告本 |
|-----|

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 101148427

※申請日： 101.12.9

※IPC 分類： H01L29/178 (2006.01)

H01L29/160 (2006.01)

一、發明名稱：

階梯溝渠式金氧半場效電晶體及其製造方法/STEP
TRENCH METAL-OXIDE-SEMICONDUCTOR
FIELD-EFFECT TRANSISTOR AND METHOD OF
FABRICATION THE SAME

二、中文發明摘要：

一種階梯溝渠式金氧半場效電晶體，包括漂移層、第一半導體區、階梯式閘極以及浮置區。漂移層具有第一導電型。第一半導體區具有第二導電型，位於漂移層的第一表面上，其中漂移層與第一半導體區之中具有階梯式閘極溝渠。階梯式閘極溝渠至少包括第一凹槽與第二凹槽，其中第一凹槽自第一半導體區延伸到漂移層，第二凹槽位於漂移層中且位於第一凹槽的底部，且第二凹槽的尺寸小於第一凹槽的尺寸。階梯式閘極位於階梯式閘極溝渠之中。浮置區具有第二導電型，位於第二凹槽的底部的漂移層中。

三、英文發明摘要：

A step trench metal-oxide-semiconductor field-effect

transistor includes a drift layer, a first semiconductor region, a stepped gate and a floating region. The drift layer is of a first conductivity type. The first semiconductor region is of a second conductivity type and located on the drift layer, wherein the drift layer and the first semiconductor region have a stepped gate trench therein. The stepped gate trench at least includes a first recess located in the first semiconductor region and extending into the drift layer and a second recess located below a bottom of the first recess, wherein a size of the second recess is smaller than a size of the first recess. A floating region is of the second conductivity type and located in the drift layer below the second recess.

四、指定代表圖：

(一) 本案之指定代表圖：圖 1A

(二) 本代表圖之元件符號簡單說明：

10：基底

12：漂移層

12a：第一表面

12b：第二表面

14：第一半導體區

16：第二半導體區

17：絕緣層

- 18：階梯式閘極
- 20：浮置區
- 22：源極區
- 23：通道
- 26：階梯式閘極溝渠
- 28：第一凹槽
- 30：第二凹槽
- 32：第一導體層
- 34：第二導體層
- 36：第三導體層
- 44：第一摻雜區
- d：第一凹槽與第二凹槽的寬度差
- d1、d3：距離
- d2：深度
- W1、W2、W3：尺寸
- H1：深度
- α 、 β ：夾角
- γ 、 δ ：底角

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種金氧半導體元件及其製造方法，且特別是有關於一種溝渠式金氧半場效電晶體及其製造方法。

【先前技術】

為符合低碳排放及提升能源效率之新一代的標準，功率元件在新世代電子產品或是電力系統中所扮演的角色日益重要。在目前以綠能為訴求主軸的產業中，例如電動/混合電動車(EV/HEV)、電力分配(Distributed Power)與智慧電網系統(Smart Grid)、風力(Wind Power)與太陽能發電(PhotoVoltaic System)等之應用，往往元件耗能及能源轉換的效率成為節省的主要關鍵。

現階段這些應用主要採取以Si為基礎的元件(如Si-SBD、Si-MOSFET、Si-IGBT)，然而這類元件熱阻係數大，往往散熱是一大問題，其散熱模組佔據系統相當大的空間，且元件擁有較差的導通與切換能源損失。

【發明內容】

本發明提出一種階梯溝渠式金氧半場效電晶體，包括漂移層、第一半導體區、第二半導體區、階梯式閘極、浮置區、絕緣層以及源極區。漂移層具有第一導電型。第一半導體區具有第二導電型，位於漂移層的第一表面上。第

二半導體區具有第一導電型，位於漂移層的第二表面上。漂移層與第一半導體區之中具有階梯式閘極溝渠。階梯式閘極溝渠至少包括第一凹槽與第二凹槽，其中第一凹槽自第一半導體區延伸到漂移層，第二凹槽位於漂移層中且位於第一凹槽的底部，且第二凹槽的尺寸小於第一凹槽的尺寸。階梯式閘極位於階梯式閘極溝渠之中。絕緣層位於階梯式閘極溝渠之中，隔絕階梯式閘極與第一半導體區、階梯式閘極與漂移層以及階梯式閘極與浮置區。浮置區具有第二導電型，位於第二凹槽的底部的漂移層中。源極區具有第一導電型，位於階梯式閘極溝渠之側壁周圍的第一半導體區之中，當閘極電壓(gate voltage, V_{ds})大於臨界電壓(threshold voltage, V_{th})時，源極區與漂移層之間沿著階梯式閘極溝渠側壁的第一半導體區之中形成通道。

本發明還提出一種階梯溝渠式金氧半場效電晶體的製造方法，包括於漂移層上形成第一半導體區，其中漂移層形成於第二半導體區上，其中漂移層以及第二半導體區具有第一導電型。第一半導體區具有第二導電型。接著，於漂移層與第一半導體區之中形成階梯式閘極溝渠，階梯式閘極溝渠至少包括第一凹槽與第二凹槽，其中第一凹槽自第一半導體區延伸到漂移層，第二凹槽位於漂移層中且位於第一凹槽的底部，且第二凹槽的尺寸小於第一凹槽的尺寸。於階梯式閘極溝渠之側壁的第一半導體區之中形成源極區，當閘極電壓大於臨界電壓時，源極區與漂移層之間沿著階梯式閘極溝渠側壁的第一半導體區之中形成通

道。於第二凹槽的底部的漂移層中形成浮置區，浮置區具有第二導電型。於階梯式閘極溝渠之中形成絕緣層，以隔絕階梯式閘極與第一半導體區、階梯式閘極與漂移層及階梯式閘極與浮置區。然後，於階梯式閘極溝渠之中形成階梯式閘極。

為讓本發明之上述特徵能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

寬能隙材料（例如是SiC）擁有高熱導係數，其熱導係數為Si之三倍之多，因而可正常操作在更高溫環境上，故有利於散熱模組之小型化，以開發出重量體積更輕巧的系統。此外，SiC的臨界崩潰電場大，耐壓高，使得設計元件時可採用摻雜濃度較高且厚度較薄的耐壓層，使元件具有較低的導通電阻，降低其操作損耗；且SiC的本徵載子濃度遠低於Si，因而可以擁有較低的漏電流特性，這也使得SiC擁有近乎零的快速反向回復時間，而可達成更低的切換損耗。一般而言，以SiC元件取代Si元件，則電力系統整體的功率損耗能夠有效地降低一半之多。

在中高功率應用的EV/HEV中關鍵的馬達驅動模組（Motor Drivers），以及光電/智慧電網（PV/Smart Grid）中關鍵的功率逆變器（PV Inverters）內，包含許多的電晶體開關以及二極體元件，這些元件的額定電壓（voltage rating）區分為600V、1200V及1700V等，目前已開始以

Si-IGBT 搭配SiC 蕭基特二極體 (Schottky Diode) 的方式，取代傳統全部由Si元件所組成的方式，以提升模組的效率，降低功率消耗並縮小體積。然而在這樣的模組內，由於Si-IGBT屬雙極性元件，其反向回復電流無法快速的消失而產生切換功率之損耗，此一關鍵的元件，若以單極性之多數載子 (majority carrier) 元件SiC DMOSFET (或稱SiC DMOS)，則可以提升切換速度，降低切換時之功率損耗。但在導通電流 (電阻) 特性上，SiC DMOSFET會不如雙載子的IGBT元件，因此必須在增大元件耐壓之際同時設法降低其導通電阻 ($R_{ds(on)}$)，以利加速元件的取代及擴大其於功率產品的應用範圍。

本發明的階梯溝渠式金氧半場效電晶體之汲極端位於底部，源極位於上方，導通電流為上下之垂直流動，可提升元件處理之功率。DMOS的通道在水平方向，藉由閘極來控制下方的通道。為了進一步提升通道面積，本發明採用階梯式閘極溝渠式MOSFET 結構，藉由溝渠側壁之垂直通道，以大幅提升通道之面積，降低導通時之電阻。

一般而言，從水平通道元件改變為垂直通道元件，其電阻值降為原先之 $1/4 \sim 1/7$ ，對於功率系統整體的能量耗損，與產品的成本，均可得到大幅的改善。然而，溝渠式MOSFET在溝渠底部及底角處的電場非常高 (可達 15 MV/cm)。本發明實施之階梯溝渠式金氧半場效電晶體的閘極形成於階梯式閘極溝渠 (階梯式閘極溝渠具有大小不同的凹槽) 中，並且在階梯式閘極溝渠的小凹槽底部形成

浮置區。浮置區可以在反向操作時，利用pn界面所形成的空乏區屏障閘介電層的電場，增加元件的可靠度，且可以在順向操作時，避免小凹槽底部浮置區對導通電阻 $R_{ds(on)}$ 之影響。

以下將配合圖式詳細說明本發明之階梯溝渠式金氧半場效電晶體。

圖 1A 至 1E 分別是依照本發明實施例所繪示之一種階梯溝渠式金氧半場效電晶體的剖面示意圖。

請參照圖 1A，本發明之階梯溝渠式金氧半場效電晶體包括漂移層 12、第一半導體區 14、第二半導體區 16、階梯式閘極 18、浮置區 20 以及源極區 22。階梯溝渠式金氧半場效電晶體可以更包括第一導體層 32、第二導體層 34 與第三導體層 36。

漂移層 12 具有第一導電型。在本實施例中，漂移層 12 為 n 型。漂移層 12 的第一表面 12a 與第一半導體區 14 接觸；漂移層 12 的第二表面 12b 與第二半導體區 16 接觸。漂移層 16 的厚度與濃度可依所欲應用之額定功率而定，在一實施例中，目標額定功率為 1200V 時，漂移層 12 的厚度例如是 $11\mu\text{m}$ ，濃度例如是 $6 \times 10^{15} \text{ cm}^{-3}$ 。漂移層 12 的材料可以是半導體或是半導體化合物。在本實施例中，漂移層 12 為例如是具有 4H 晶型之碳化矽(4H-SiC)。

第一半導體區 14 具有第二導電型，位於漂移層 12 的第一表面 12a 上並與其接觸。第一半導體區 14 做為基體區，其中更可在第一半導體區 14 表面形成第一摻雜區 44，

其具有第二導電型且具有高摻雜濃度，以形成良好之基體接觸(body contact)。在本實施例中，第一半導體區 14 為 p 型，第一摻雜區 44 為 p⁺。第一半導體區 14 的厚度與濃度可依所欲應用之額定功率，依漂移層 16 之設計濃度而定，其在一實施例中，第一半導體區 14 的 p 型摻雜濃度例如是 $6 \times 10^{16} \text{cm}^{-3}$ ，厚度例如是 $1.5 \mu\text{m}$ ，第一摻雜區 44 之表面摻雜濃度例如大於 $1 \times 10^{19} \text{cm}^{-3}$ 。第一半導體區 14 例如是磊晶層。第一半導體區 14 的材料可以是半導體或是半導體化合物。在本實施例中，第一半導體區 14 為 p 型 4H 碳化矽。

第二半導體區 16 具有第一導電型，與漂移層 12 的第二表面 12b 接觸，做為汲極區。第二半導體區 16 的材料可以是半導體或是半導體化合物。在本實施例中，第二半導體區 16 為 n⁺型碳化矽。在本實施例中，第二半導體區 16 的 n 型摻雜濃度高於漂移層 12 中的 n 型摻雜濃度。在一實施例中，第二半導體區 16 例如是 n 型摻雜濃度大於 $1 \times 10^{19} \text{cm}^{-3}$ 的 4H 碳化矽基板，以磊晶方式成長濃度與厚度如前述漂移層 12 之 n 型碳化矽，其中在磊晶時，可於第二半導體區 16 與漂移層 12 間成長一緩衝層(未繪示)，以減少漂移層 12 中之缺陷。

源極區 22 具有第一導電型，位於階梯式閘極溝渠 26 側壁的第一半導體區 14 之中，當閘極電壓(gate voltage, V_{ds})大於臨界電壓(threshold voltage, V_{th})時，源極區 22 與漂移層 12 之間沿著階梯式閘極溝渠 26 各側壁的第一半導體區 14 之中形成通道 23。在本實施例中，源極區 22 為

n 型，且源極區 22 的 n 型摻雜濃度高於漂移層 12 中的 n 型摻雜濃度。在一實施例中，源極區 22 的 n 型摻雜濃度例如是大於 $1 \times 10^{19} \text{ cm}^{-3}$ 。

漂移層 12 與第一半導體區 14 之中具有階梯式閘極溝渠 26。階梯式閘極溝渠 26 至少包括第一凹槽 28 與第二凹槽 30。第一凹槽 28 自第一半導體區 14 延伸到漂移層 12。第二凹槽 30 位於漂移層 12 中且位於第一凹槽 28 的底部，且第二凹槽 30 的尺寸 $W2$ 小於第一凹槽 28 的尺寸 $W1$ 。第一凹槽 28 與第二凹槽 30 之尺寸可以依應用之額定功率所設計使用之漂移層 12 第一半導體區 14 之濃度與厚度而定。第一凹槽 28 與第二凹槽 30 的寬度差為 $d=(W1-W2)/2$ 。在一實施例中，第一凹槽 28 與第二凹槽 30 的寬度差 d 為 $0.1\mu\text{m}$ 至 $0.5\mu\text{m}$ 。在一實施例中，第一凹槽 28 的尺寸 $W1$ 例如是 $1.6\mu\text{m}$ ，深度 $H1$ 例如是 $1.8\mu\text{m}$ ，第一凹槽 28 底部距離漂移層 12 第一表面 12a 的距離 $d1$ 例如是 $0.3\mu\text{m}$ ；第二凹槽 30 的尺寸 $W2$ 例如是 $1\mu\text{m}$ ，深度 $d2$ 例如是 $0.6\mu\text{m}$ 。第一凹槽 28 的側壁與漂移層 12 的第一表面 12a 的夾角為 α 。第二凹槽 30 的側壁與第一凹槽 28 底部表面的夾角為 β 。夾角 α 例如是 $45 \text{ 度} \leq \alpha \leq 135 \text{ 度}$ ；夾角 β 例如是 $45 \text{ 度} \leq \beta \leq 135 \text{ 度}$ 。在圖 1A 的實施例中， α 與 β 分別約為 90 度，但本發明並不限於此。請參照圖 1B，在一實施例中，第一凹槽 28 為上下等寬的開口，夾角 α 與底角 γ 分別為 90 度；第二凹槽 30 為上寬下窄之開口，其中 $90 \text{ 度} < \beta, \delta \leq 135 \text{ 度}$ 。另外，第一凹槽 28 的底角 γ 與第二凹槽 30 的底角 δ 也可以分別是

圓角(如圖 1C 所示)。

請繼續參照圖 1A，階梯式閘極 18 位於階梯式閘極溝渠 26 之中。階梯式閘極 18 的材料包括導體材料，例如是金屬、合金、n 型摻雜多晶矽、p 型摻雜多晶矽、金屬矽化物或其組合而成之堆疊層。金屬例如是鎳(Ni)、鈦(Ti)、鉬(Mo)、鋁(Al)、鈀(Pd)、鉑(Pt)等。合金例如是鈦鎢合金(TiW)、鎳鈦合金(NiTi)、氮化鈦(TiN)或氮化鉬(MoN)等。金屬矽化物例如是含前述金屬或合金經適當熱處理後所形成之金屬矽化物。

請繼續參照圖 1A，絕緣層 17 位於階梯式閘極溝渠 26 之中，做為閘介電層，隔絕階梯式閘極 18 與第一半導體區 14、漂移層 12、浮置區 20 以及第一導體層 32。絕緣層 17 的材料例如是常見之閘極介電材料或是高介電常數材料。常見之閘極例如是氧化矽或氮氧化矽。高介電常數材料是指介電常數高於 4 的介電材料，例如是 HfO_2 、 HfAlO 、 HfW_2 、 Al_2O_3 或 Si_3N_4 。在圖 1A 中，在第一凹槽 28 與第二凹槽 30 之中的絕緣層 17 具有相同的厚度。然而，本發明並不限於此，在第一凹槽 28 與第二凹槽 30 之中的絕緣層 17 也可以具有不同的厚度。請參照圖 1D，在一實施例中，第一凹槽 28 底部之絕緣層 17a 的厚度大於第一凹槽 28 側壁之絕緣層 17b 的厚度；第二凹槽 30 中絕緣層 17c 之厚度大於或等於第一凹槽 28 底部之絕緣層 17a 之厚度。

請繼續參照圖 1A，浮置區 20 具有第二導電型。在本實施例中，浮置區 20 為 p 型。浮置區 20 至少位於第二凹

槽 30 的底部的漂移層 12 中。在一實施例中，浮置區 20 僅位於第二凹槽 30 的底部，未延伸至第二凹槽 30 的部分側壁，使第二凹槽 30 的底角 δ 裸露出來(未繪示)。在另一實施例中，浮置區 20 位於第二凹槽 30 的底部，且更延伸至第二凹槽 30 的部分側壁，以包覆第二凹槽 30 的底角 δ 。浮置區 20 的尺寸 W_3 大於第二凹槽 30 的尺寸 W_2 ，但浮置區 20 的側壁輪廓沒有延伸到通道 23 下方。在一實施例中，浮置區 20 與漂移層 12 所形成之 pn 接面(junction)最寬處與第一凹槽 28 的側壁之間的距離 d_3 例如是 $0.1\mu\text{m}$ 。浮置區 20 的摻雜濃度例如是大於 $1\times 10^{18}\text{cm}^{-3}$ 。在圖 1A 中，階梯式閘極溝渠 26 是以包括第一凹槽 28 與第二凹槽 30 來表示，然而，本發明並不以此為限，階梯式閘極溝渠 26 也可以包含 3 個或更多個尺寸不同之縱向沿伸之凹槽。

請繼續參照圖 1A，第一導體層 32 位於第一半導體區 14 上，與源極區 22 電性連接，做為源極接觸金屬層，與源極區 22 間形成歐姆接觸。第一導體層 32 與第一半導體區 14 之間可以絕緣材料形成一隔絕層(未繪示)，其中第一導體層 32 再藉由接觸通孔(contact hole)等方式與源極區 22 電性連接，藉以提供良好之閘極源極隔絕(gate-source isolation)，在一實施例中，此隔絕層例如為厚度 $1\mu\text{m}$ 之氧化矽。第二導體層 34 位於第二半導體區 16 的表面上，做為汲極接觸金屬層，與第二半導體區 16 (汲極區) 形成歐姆接觸，其中第二半導體區 16 位於漂移層 12 與第二導體層 34 之間。第三導體層 36 與階梯式閘極 18 電性連接。第

一導體層 32、第二導體層 34 與第三導體層 36 的材料可以各自分別是金屬、合金或是金屬矽化物，或是以上材料堆疊組合而成，例如是鋁、鋁合金、鈦鎢合金或是矽化鎳。在一實施例中，第一導體層 32 與第二導體層 34 的材料分別為金屬矽化物，例如是矽化鎳，分別與源極區 22 的表面以及第二半導體層 16 的背面形成歐姆接觸；第三導體層 36 的材料為金屬，例如是鋁。階梯式閘極 18 可以是高摻雜濃度之多晶矽，例如是 n 型多晶矽。

請參照圖 1E，本發明之階梯溝渠式金氧半場效電晶體可以更包括第二摻雜區 24，其具有第一導電型。在本實施例中，第二摻雜區 24 為 n 型。第二摻雜區 24 位於第一凹槽 28 側壁的第一半導體區 14 中，用以降低或調整通道 23 的阻值。

本揭露所述之 n 型係指具有 n 型摻雜。n 型摻雜可以是 VA 族離子，例如是氮離子、砷離子或是磷離子。P 型係指具有 p 型摻雜。p 型摻雜可以是 IIIA 族離子，例如是硼離子或是鋁離子。

圖 2A 至圖 2E 是依照本發明實施例所繪示之一種階梯溝渠式金氧半場效電晶體的製造流程剖面示意圖。

請參照圖 2A，上述第二半導體區 16 可以是基底 10 的一部分。基底 10 例如是半導體或是半導體化合物。在本實施例中，第二半導體區 16 例如是 n⁺碳化矽，其厚度例如是 350 μm ，第二半導體區 16 亦可進行研磨，減少其厚度至例如 50 μm ，以降低元件之導通電阻 $R_{\text{ds(on)}}$ 。漂移層

12 可以是形成在基底 10 中的摻雜區。在本實施例中，漂移層 12 可以透過磊晶的方式形成於第二半導體區 16 上，漂移層 12 的厚度依應用而定，例如是 1 至 100 μm 。之後，可以透過磊晶或摻雜的方式在漂移層 12 上形成上述第一半導體區 14。其後，可以離子植入的方式在第一半導體區 14 表面形成第一摻雜區 44，第一摻雜區 44 具有第二導電型且具有高摻雜濃度，以形成良好之基體接觸 (body contact)。

請參照圖 2B，其後，再於漂移層 12 與第一半導體區 14 之中形成上述階梯式閘極溝渠 26。階梯式閘極溝渠 26 至少包括第一凹槽 28 與第二凹槽 30。形成階梯式閘極溝渠 26 的方法可以採用任何已知的方法，可以先形成第一凹槽 28，再形成第二凹槽 30；亦可以先形成第二凹槽 30，再形成第一凹槽 28。在一實施例中，可以先形成由鎳金屬與氧化矽所組成的複合硬罩幕層，利用微影與蝕刻製程將圖案轉移至複合硬罩幕層，使用例如含 SF_6 之氣體，以複合硬罩幕層蝕刻第二凹槽 30 至部分深度，再以適當之氣體，例如含 CF_4 之氣體，藉由氧化矽與鎳之蝕刻選擇比 (使氧化矽之蝕刻率大於鎳)，以自對準的方式於氧化矽硬罩幕層形成欲形成第一凹槽 28 所需之開口寬度，再使用另一氣體，例如含 CO/NH_3 之氣體混合物，藉由氧化矽硬遮罩移除暴露之鎳硬罩幕層，最後再以例如含 SF_6 之氣體蝕刻形成第一凹槽 28 與第二凹槽 30 之目標深度；在另一實施例中，可以先透過微影與蝕刻製程形成第一凹槽 28，然後再

透過另一微影與蝕刻製程於第一凹槽 28 的底部形成第二凹槽 30。在又一實施例中，可以先透過微影與蝕刻製程，形成從第一半導體區 14 延伸到漂移層 12 的窄凹槽，然後再透過另一微影與蝕刻製程形成第一凹槽 28，留下位於第一凹槽 28 下方的窄凹槽即為第二凹槽 30。

請參照圖 2C，然後，進行多個離子植入製程，包括第一離子植入製程、第二離子植入製程。第一離子植入製程，用以在階梯式閘極溝渠 26 側壁的第一半導體區 14 之中形成源極區，當閘極電壓(gate voltage, V_{ds})大於臨界電壓(threshold voltage, V_{th}) 時，源極區 22 與漂移層 12 之間沿著階梯式閘極溝渠 26 側壁的第一半導體區 14 之中形成通道 23。第二離子植入製程，用以在第二凹槽 30 的底部的該漂移層 12 中形成浮置區 20，浮置區 20 具有上述第二導電型。在另一實施例中，可再藉由第三離子植入製程，在第一凹槽 28 側壁的第一半導體區 14 中形成第二摻雜區 24；或以磊晶製程在第一凹槽 28 側壁形成與第一半導體區 14 接觸之第二摻雜區 24，第二摻雜區 24 具有第一導電型。上述第一離子植入製程、第二離子植入製程以及第三離子植入製程或磊晶製程的順序可以依照實際的需要調整。

請參照圖 2D，之後，於階梯式閘極溝渠 26 之中形成絕緣層 17，以隔絕後續形成之階梯式閘極 18 與第一半導體區 14、漂移層 12 及浮置區 20。絕緣層 17 可以利用熱氧化法或是化學氣相沉積法形成，形成絕緣層 17 前可進行適當之清洗或犧牲氧化製程，以改善絕緣層 17 與半導體之間

的介面。絕緣層 17 形成後可進行適當之退火(annealing)製程，以改善絕緣層之介面缺陷密度(trap density)。其後，於階梯式閘極溝渠 26 之中形成階梯式閘極 18。階梯式閘極 18 可以透過物理或化學氣相沉積法沉積，之後，再例如藉由回蝕刻製程來移除階梯式閘極溝渠 26 以外的部分。

請參照圖 2E，然後，於漂移層 12 上形成第一導體層 32，於第二半導體區 16 的表面上形成第二導體層 34，並且形成與階梯式閘極 18 電性連接的第三導體層 36。

圖 3 是依照本發明另一實施例所繪示之一種階梯溝渠式金氧半場效電晶體的剖面示意圖。

請參照圖 3，本實施例之階梯溝渠式金氧半場效電晶體除了包括上述漂移層 12、第一半導體區 14、第二半導體區 16、階梯式閘極 18、絕緣層 17、浮置區 20、源極區 22、第一導體層 32、第二導體層 34 以及第三導體層 36 之外，還包括源極溝渠 38 且源極溝渠 38 具有導體材料 40 並且在源極溝渠 38 底部具有第三摻雜區 42。源極溝渠 38 鄰近源極區 22，自第一半導體區 14 之表面向下延伸至漂移層 12，且其深度大於階梯式閘極溝渠 26 的深度。導體材料 40 與第二導體層 34 電性連接。導體材料 40 例如是金屬、合金、摻雜多晶矽、金屬矽化物或其組合而成之堆疊層。第三摻雜區 42 具有第二導電型。在本實施例中，第三摻雜區 42 為 p 型。p 型摻雜濃度例如是大於 $1 \times 10^{17}/\text{cm}^3$ 。

上述圖 3 之階梯溝渠式金氧半場效電晶體可以依照圖 2A 至圖 2E 之製造方法來製造，但在形成第一導體層 32

之前，還包括在鄰近源極區 22 處形成源極溝渠 38，源極溝渠 38 自第一半導體區 14 之表面向下延伸至漂移層 12，且深度大於階梯式閘極溝渠 26 的深度。並且還在源極溝渠 38 底部形成第三摻雜區 42，第三摻雜區 42 具有第二導電型。此外，還在源極溝渠 38 中形成導體材料 40，源極溝渠 38 的側壁形成絕緣材料 39，以隔絕導體材料 40 與漂移層 12、第一半導體區 14 以及第一摻雜區 44。源極溝渠 38 可以透過微影與蝕刻製程來形成。第三摻雜區 42 例如藉由離子植入的方式來形成。絕緣材料 39 可藉由沉積絕緣材料層再進行回蝕刻的方式形成。絕緣材料 39 例如是氧化矽。導體材料 40 可以透過化學氣相沉積法沉積，之後，再藉由回蝕刻製程來移除源極溝渠 38 以外的部分。導體材料 40 例如是 p 型多晶矽或鎢。

實施例一

提供摻雜氮且為摻雜濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 之基底 (SiC)，基底為 n+ 半導體區，厚度 $350 \mu\text{m}$ 。接著，在基底上形成漂移層，厚度 $11 \mu\text{m}$ ，摻雜濃度 $6 \times 10^{15} \text{ cm}^{-3}$ 。之後，在漂移層上形成 p 型基極區，p 型基極區的摻質為鋁，厚度 $1.6 \mu\text{m}$ ，濃度 $5 \times 10^{18} \text{ cm}^{-3}$ ，並以鋁離子植入形成濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 之 p+ 摻雜區。其後，形成階梯式閘極溝渠，其包含兩凹槽，其中第一凹槽深度 $1.8 \mu\text{m}$ 寬度 $2 \mu\text{m}$ ；第二凹槽深度 (自 p 型基極區表面算起) $2 \mu\text{m}$ ，寬 (位於第一凹槽底部之位置) $1.5 \mu\text{m}$ 。接著，形成 n+ 源極植入區，其摻雜包括氮或磷，

濃度 $1 \times 10^{19} \text{cm}^{-3}$ 。之後，於第二凹槽下方形成浮置區，其摻雜包括鋁，深度 $0.5 \mu\text{m}$ ，濃度 $3 \times 10^{18} \text{cm}^{-3}$ 。繼之，於階梯式閘極溝渠內形成閘氧化層（閘介電層），閘氧化層厚度 50nm 。接著形成階梯式閘極。階梯式閘極的材料為臨場摻雜多晶矽。然後，形成源極接觸金屬層，其為矽化鎳，與源極區形成歐姆接觸；形成汲極接觸金屬，其材料為矽化鎳，與基底的背面形成歐姆接觸；形成閘極接觸金屬，其為 100nm 之TiW；在源極接觸金屬層上形成頂金屬層（未繪示），其材料為鋁，厚度 $4 \mu\text{m}$ 。

實施例二

請參照圖1D，形成如實施例一之階梯溝渠式金氧半場效電晶體，其中階梯式閘極溝渠內所形成之閘氧化層的厚度不同，其中第一凹槽側壁的氧化層的厚度為 50nm ，第一凹槽底部的氧化層厚度為 100nm ，第二凹槽的氧化層厚度 200nm 。例如先於溝渠均勻沉積厚度 100nm 之氧化層，填入光阻，移除第一凹槽內之光阻，蝕刻第一凹槽側壁及底部之氧化層，去除第二凹槽內之光阻，接著重複此方式沉積 100nm 厚度之氧化矽並移除部分側壁上之氧化矽，以達到如上所述之厚度；或使用選擇性沉積，先於溝渠內形成一沉積阻礙層，移除底部之阻礙層，使後續使用化學氣相沉積時，具阻礙層之側壁沉積速度較慢，重複此方式而形成如上述不同厚度之氧化層。

實施例三

請參照圖1A，形成如實施例一之階梯溝渠式金氧半場效電晶體，但是浮置區至少包覆第二凹槽之底部及部分側邊。

實施例四

請參照圖1C，形成如實施例一之階梯溝渠式金氧半場效電晶體，但是階梯式閘極溝渠的第一凹槽與第二凹槽的底角，以及第一凹槽與第二凹槽相接處均為圓角。

實施例五

請參照圖1E，形成如實施例一之階梯溝渠式金氧半場效電晶體，但是在形成階梯式閘極溝渠之後，還在第一凹槽的側壁摻雜氮離子形成n型摻雜層(第二摻雜層)，該n型摻雜層例如為厚度 $0.1\mu\text{m}$ ，施體(donor)濃度 $1\times 10^{16}/\text{cm}^3$ 。

實施例六

請參照圖1B，形成如實施例一之階梯溝渠式金氧半場效電晶體，但是第二凹槽為上寬下窄之開口，上部寬(位於第一凹槽底部之位置) $1.5\mu\text{m}$ ，底部寬 $0.5\mu\text{m}$ ，深度(自表面算起) $2\mu\text{m}$ 。

實施例七

請參照圖3，依照實施例一之方法形成階梯溝渠式金

氧半場效電晶體，但是還在源極區形成源極溝渠，並於源極溝渠底部摻雜鋁形成p型源極植入區（或稱為摻雜區），其摻雜為氮或磷，濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 。並且在源極溝渠中填入導體材料例如p型多晶矽或鎢。

實驗例1~5

依照本發明第一實施例製作具有雙凹槽之階梯溝渠式n型金氧半場效電晶體，其第二凹槽底部有p型浮置區，第一實驗例至第五實驗例中第一凹槽與第二凹槽的寬度差 $d=(W1-W2)/2$ 分別為0.1、0.2、0.3、0.4及0.5 μm ，其中第三實驗例中電力線的分布模擬結果如圖4A所示，電場強度的分布模擬結果如圖4B所示。實驗例1-5中元件內的最大電場分別列於表1。其電流電壓曲線之比較如圖7所示。

比較例1

製作具有單凹槽之溝渠式金氧半場效電晶體，且其單凹槽底部無p型浮置區，反向電壓1200V時其電力線的分布模擬結果如圖5A所示，其元件內的最大電場位於閘介電層內。溝槽底部電場強度的分布模擬結果如圖5B所示。達12.5MV/cm。電流電壓曲線如圖7所示。

比較例2

製作具有單凹槽之溝渠式金氧半場效電晶體，其單凹槽底部有p型浮置區，其電力線的分布模擬結果如圖6A

所示，元件內最大電場降為 4.4MV/cm，電場最大處位於 p 型浮置區與 n 型漂移層所形成的 pn 接面。溝槽底部電場強度的分布模擬結果如圖 6B 所示，閘介電層中的最大電場為降為 2.9MV/cm。電流電壓曲線如圖 7 所示。

表 1

| | 第一凹槽與第二凹槽的寬度差 ($d=(W1-W2)/2$ ， μm) | P 型浮置區 | 元件內最大電場 (MV/cm) |
|-------|---|--------|--------------------|
| 實驗例 1 | 0.1 | 有 | 4.4 |
| 實驗例 2 | 0.2 | 有 | 4.3 |
| 實驗例 3 | 0.3 | 有 | 4.3 |
| 實驗例 4 | 0.4 | 有 | 6.6 |
| 實驗例 5 | 0.5 | 有 | 6.5 |
| 比較例 1 | 0.0 | 無 | 12.5 |
| 比較例 2 | 0.0 | 有 | 4.4 |

由圖 5A、圖 5B、圖 7 以及表 1 的結果顯示元件在反向操作時，電場明顯集中於溝渠的底角。在反向電壓 1200V 時，閘介電層的電場達到 12.5MV/cm。

由圖 6A、圖 6B、圖 7 以及表 1 的結果顯示在溝渠的底部形成 p 型浮置區，則因為 pn 接面對電場的屏蔽，可使閘介電層中的電場降到 3 MV/cm 以下，但對順向電流的影響大。

由圖 4A、圖 4B、圖 7 以及表 1 的結果顯示，階梯式閘極溝渠，則可以在影響順向電流最小的情形下，屏蔽閘介電層的電場，使元件中的最大電場(位於 p 型浮置區與 n

型漂移層所形成的pn接面)降到4.3 MV/cm，閘介電層中的電場降到3 MV/cm以下，以有效保護階梯式閘極溝渠底部之閘介電層。

由圖4A、5A、6A以及表1的結果顯示在單凹槽/第二凹槽底部形成p型浮置區可以在反向操作時，利用pn接面所形成的空乏區屏障閘介電層的電場，使其在反向電壓1200V時元件內最大電場由12.5MV/cm，降為4.3MV/cm，且由圖4B、5B、6B的結果顯示在單凹槽/第二凹槽底部形成P型浮置區可以降低單凹槽/第二凹槽底角的電場。因此可以降低閘介電層的損害，增加元件的可靠度。

由圖7的結果顯示具有雙凹槽之階梯溝渠式金氧半場效電晶體的導通電阻 $R_{ds(on)}$ 與第一凹槽的寬度與第二凹槽寬度之差(即 $d=(W_1-W_2)/2$)有關，當第一凹槽的寬度與第二凹槽寬度相差較大時， $R_{ds(on)}$ 可接近不受凹槽底部浮置區影響之理想值。實際應用時可針對元件應用之規格，進行最佳化。

綜合以上所述，本發明實施之階梯溝渠式金氧半場效電晶體的閘極形成於階梯式閘極溝渠（階梯式閘極溝渠具有大小不同的凹槽）中，並且在階梯式閘極溝渠的小凹槽底部形成浮置區。由於浮置區是形成在小凹槽的下方，其尺寸小於大凹槽的尺寸，可以在反向操作時，在pn接面形成的空乏區，以屏障閘介電層的電場，增加元件的可靠度。另外，由於大凹槽的尺寸大於小凹槽，且浮置區的側壁沒有延伸到通道下方，因此則可以在順向操作時，避免小凹

槽底部之浮置區對導通電阻 $R_{ds(on)}$ 之影響。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至 1E 分別是依照本發明實施例所繪示之一種階梯溝渠式金氧半場效電晶體的剖面示意圖。

圖 2A 至 2E 是依照本發明實施例所繪示之一種階梯溝渠式金氧半場效電晶體的製造方法的流程剖面示意圖。

圖 3 是依照本發明另一實施例所繪示之一種階梯溝渠式金氧半場效電晶體的剖面示意圖。

圖 4A 是依照本發明實驗例 1 之具有雙凹槽以及 p 型浮置區之階梯溝渠式金氧半場效電晶體之電力線的分布圖。

圖 4B 是依照本發明實驗例 1 之具有雙凹槽以及 p 型浮置區之階梯溝渠式金氧半場效電晶體之電場強度的分布圖。

圖 5A 是依照本發明比較例 1 之具有單凹槽但無 p 型浮置區之溝渠式金氧半場效電晶體之電力線的分布圖。

圖 5B 是依照本發明比較例 1 之具有單凹槽但無 p 型浮置區之溝渠式金氧半場效電晶體之電場強度的分布圖。

圖 6A 是依照本發明比較例 2 之具有單凹槽以及 p 型

浮置區之溝渠式金氧半場效電晶體之電力線的分布圖。

圖 6B 是依照本發明比較例 2 之具有單凹槽以及 p 型浮置區之溝渠式金氧半場效電晶體之電場強度的分布圖。

圖 7 是依照本發明實驗例 1 至 5 以及比較例 1 至 2 之溝渠式金氧半場效電晶體之電流電壓曲線。

【主要元件符號說明】

- 10：基底
- 12：漂移層
- 12a：第一表面
- 12b：第二表面
- 14：第一半導體區
- 16：第二半導體區
- 17、17a、17b、17c：絕緣層
- 18：階梯式閘極
- 20：浮置區
- 22：源極區
- 23：通道
- 24：第二摻雜區
- 26：階梯式閘極溝渠
- 28：第一凹槽
- 30：第二凹槽
- 32：第一導體層
- 34：第二導體層

36：第三導體層

38：源極溝渠

39：絕緣材料

40：導體材料

42：第三摻雜區

44：第一摻雜區

d：第一凹槽與第二凹槽的寬度差

d1、d3：距離

W1、W2、W3：尺寸

H1：深度

d2：深度

α 、 β ：夾角

γ 、 δ ：底角

七、申請專利範圍：

1. 一種階梯溝渠式金氧半場效電晶體，包括：

一漂移層，其具有一第一導電型；

一第一半導體區，其具有一第二導電型，位於該漂移層的一第一表面上，其中該漂移層與該第一半導體區之中具有一階梯式閘極溝渠，該階梯式閘極溝渠至少包括一第一凹槽與一第二凹槽，其中該第一凹槽自該第一半導體區延伸到該漂移層，該第二凹槽位於該漂移層中且位於該第一凹槽的底部，且該第二凹槽的尺寸小於該第一凹槽的尺寸；

一第二半導體區，具有該第一導電型，位於該漂移層的一第二表面上；

一階梯式閘極，位於該階梯式閘極溝渠之中；以及

一絕緣層，位於該階梯式閘極溝渠之中，隔絕該階梯式閘極與該第一半導體區、該階梯式閘極與該漂移層以及該階梯式閘極與該浮置區；

一浮置區，具有該第二導電型，位於該第二凹槽的底部的該漂移層中；

一源極區，具有該第一導電型，位於該階梯式閘極溝渠之側壁周圍的該第一半導體區之中，當一閘極電壓(gate voltage, V_{gs})大於一臨界電壓(threshold voltage, V_{th})時，該源極區與該漂移層之間沿著該階梯式閘極溝渠側壁的該第一半導體區之中形成一通道；以及

一第一摻雜區，具有該第二導電型，自該第一半導體

區之表面延伸至該第一半導體區中。

2. 一種階梯溝渠式金氧半場效電晶體，包括：

一漂移層，其具有一第一導電型；

一第一半導體區，其具有一第二導電型，位於該漂移層的一第一表面上，其中該漂移層與該第一半導體區之中具有一階梯式閘極溝渠，該階梯式閘極溝渠至少包括一第一凹槽與一第二凹槽，其中該第一凹槽自該第一半導體區延伸到該漂移層，該第二凹槽位於該漂移層中且位於該第一凹槽的底部，且該第二凹槽的尺寸小於該第一凹槽的尺寸；

一第二半導體區，具有該第一導電型，位於該漂移層的一第二表面上；

一階梯式閘極，位於該階梯式閘極溝渠之中；以及

一絕緣層，位於該階梯式閘極溝渠之中，隔絕該階梯式閘極與該第一半導體區、該階梯式閘極與該漂移層以及該階梯式閘極與該浮置區；

一浮置區，具有該第二導電型，位於該第二凹槽的底部的該漂移層中；

一源極區，具有該第一導電型，位於該階梯式閘極溝渠之側壁周圍的該第一半導體區之中，當一閘極電壓(gate voltage, V_{gs})大於一臨界電壓(threshold voltage, V_{th})時，該源極區與該漂移層之間沿著該階梯式閘極溝渠側壁的該第一半導體區之中形成一通道；以及

一第二摻雜區，具有該第一導電型，位於該第一凹槽

側壁的該第一半導體區中。

3. 一種階梯溝渠式金氧半場效電晶體，包括：

一漂移層，其具有一第一導電型；

一第一半導體區，其具有一第二導電型，位於該漂移層的一第一表面上，其中該漂移層與該第一半導體區之中具有一階梯式閘極溝渠，該階梯式閘極溝渠至少包括一第一凹槽與一第二凹槽，其中該第一凹槽自該第一半導體區延伸到該漂移層，該第二凹槽位於該漂移層中且位於該第一凹槽的底部，且該第二凹槽的尺寸小於該第一凹槽的尺寸；

一第二半導體區，具有該第一導電型，位於該漂移層的一第二表面上；

一階梯式閘極，位於該階梯式閘極溝渠之中；以及

一絕緣層，位於該階梯式閘極溝渠之中，隔絕該階梯式閘極與該第一半導體區、該階梯式閘極與該漂移層以及該階梯式閘極與該浮置區；

一浮置區，具有該第二導電型，位於該第二凹槽的底部的該漂移層中；

一源極區，具有該第一導電型，位於該階梯式閘極溝渠之側壁周圍的該第一半導體區之中，當一閘極電壓(gate voltage, V_{gs})大於一臨界電壓(threshold voltage, V_{th})時，該源極區與該漂移層之間沿著該階梯式閘極溝渠側壁的該第一半導體區之中形成一通道；

一源極溝渠，鄰近該源極區，自該第一半導體區之表

面向下延伸至該漂移層，且深度較大於該階梯式閘極溝渠的深度；

一導體材料，位於該源極溝渠中；

一絕緣材料，位於該源極溝渠之側壁與該導體材料之間；以及

一第三摻雜區，具有該第二導電型，位於該源極溝渠底部。

4. 如申請專利範圍第1項至第3項中任一項所述之階梯溝渠式金氧半場效電晶體，其中該第一凹槽底部之該絕緣層厚度大於該第一凹槽側壁之該絕緣層，該第二凹槽中該絕緣層之厚度大於或等於該第一凹槽底部之該絕緣層之厚度。

5. 如申請專利範圍第1項至第3項中任一項所述之階梯溝渠式金氧半場效電晶體，其中該第二凹槽為上寬下窄之開口。

6. 如申請專利範圍第1項至第3項中任一項所述之階梯溝渠式金氧半場效電晶體，更包括：

一第一導體層，位於該漂移層上，與該源極區電性連接；以及

一第二導體層，位於該第二半導體區的表面上，其中該第二半導體區位於該漂移層與該第二導體層之間。

7. 如申請專利範圍第1項至第3項中任一項所述之階梯溝渠式金氧半場效電晶體，其中該浮置區更延伸至該第二凹槽之部分側壁，以包覆該第二凹槽的底角。

8. 如申請專利範圍第1項至第3項中任一項所述之階梯溝渠式金氧半場效電晶體，其中該第一凹槽之底角為圓角。

9. 如申請專利範圍第1項至第3項中任一項所述之階梯溝渠式金氧半場效電晶體，其中該第二凹槽之底角為圓角。

10. 一種階梯溝渠式金氧半場效電晶體的製造方法，包括：

於一漂移層上形成一第一半導體區，其中該漂移層位於一第二半導體區中，其中該漂移層以及該第二半導體區具有一第一導電型；該第一半導體區具有一第二導電型；

於該漂移層與該第一半導體區之中形成一階梯式閘極溝渠，該階梯式閘極溝渠至少包括一第一凹槽與一第二凹槽，其中該第一凹槽自該第一半導體區延伸到該漂移層，該第二凹槽位於該漂移層中且位於該第一凹槽的底部，且該第二凹槽的尺寸小於該第一凹槽的尺寸；

於該階梯式閘極溝渠之側壁的該第一半導體區之中形成一源極區，當一閘極電壓大於一臨界電壓時，該源極區與該漂移層之間沿著該階梯式閘極溝渠側壁的該第一半導體區之中形成一通道；

位於該第二凹槽的底部的該漂移層中形成一浮置區，該浮置區具有該第二導電型；

於該階梯式閘極溝渠之中形成一絕緣層，以隔絕該階梯式閘極與該第一半導體區、該漂移層及該浮置區；以及

於該階梯式閘極溝渠之中形成一階梯式閘極。

11. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，更包括：

形成一第一摻雜區，其具有該第二導電型，自該第一半導體區之表面延伸至該第一半導體區中。

12. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，更包括於該第一凹槽側壁的該第一半導體區中形成一第二摻雜區，該第二摻雜區具有該第一導電型。

13. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，更包括：

於該漂移層上形成一第一導體層，該第一導體層與該源極區電性連接；以及

於該第二半導體區的表面上形成一第二導體層，其中該第二半導體區位於該漂移層與該第二導體層之間。

14. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，其中該浮置區更延伸至該第二凹槽之部分側壁，包覆該第二凹槽的底角。

15. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，更包括：

在鄰近該源極區之該第一半導體區之表面及該漂移層中形成一源極溝渠，該源極溝渠的深度較大於該階梯式閘極溝渠的深度；

於該源極溝渠底部形成一第三摻雜區，該第三摻雜區

具有該第二導電型；

於該源極溝渠之側壁形成一絕緣材料；以及

於該源極溝渠中形成一導體材料。

16. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，更包括使該第一凹槽之底角圓角化。

17. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，更包括使該第二凹槽之底角圓角化。

18. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，其中該第一凹槽底部之該絕緣層厚度大於該第一凹槽側壁之該絕緣層，該第二凹槽中該絕緣層之厚度大於或等於該第一凹槽底部之該絕緣層之厚度。

19. 如申請專利範圍第 10 項所述之階梯溝渠式金氧半場效電晶體的製造方法，其中該第二凹槽為上寬下窄之開口。

八、圖式：

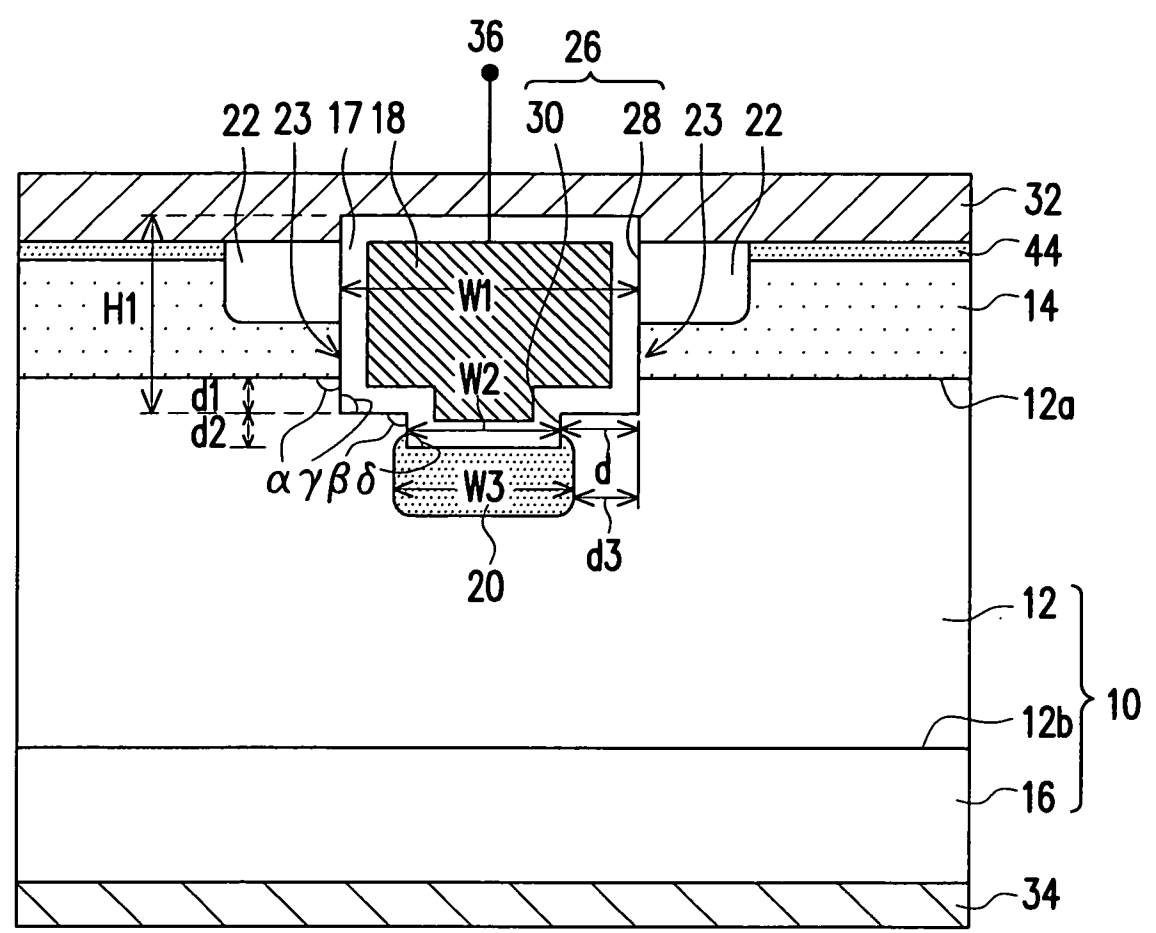


圖 1A

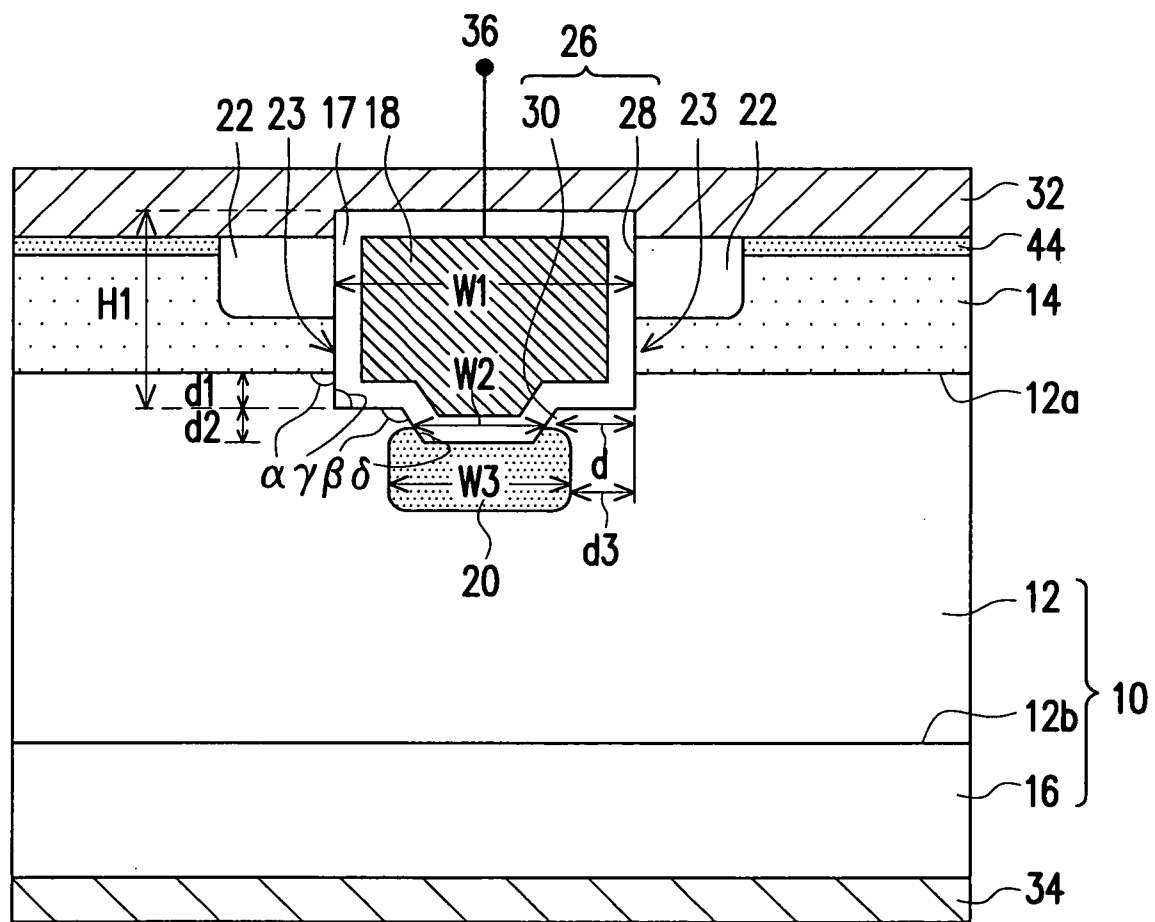


圖 1B

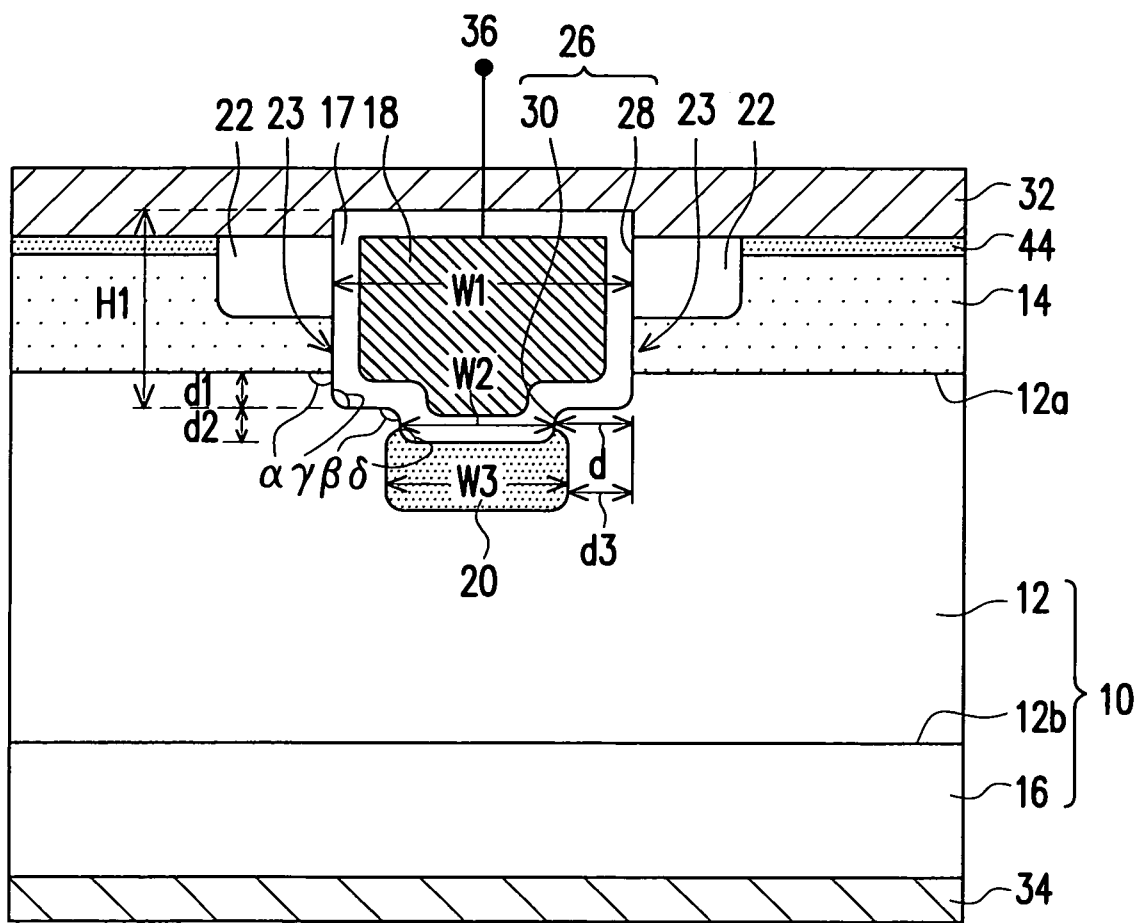


圖 1C

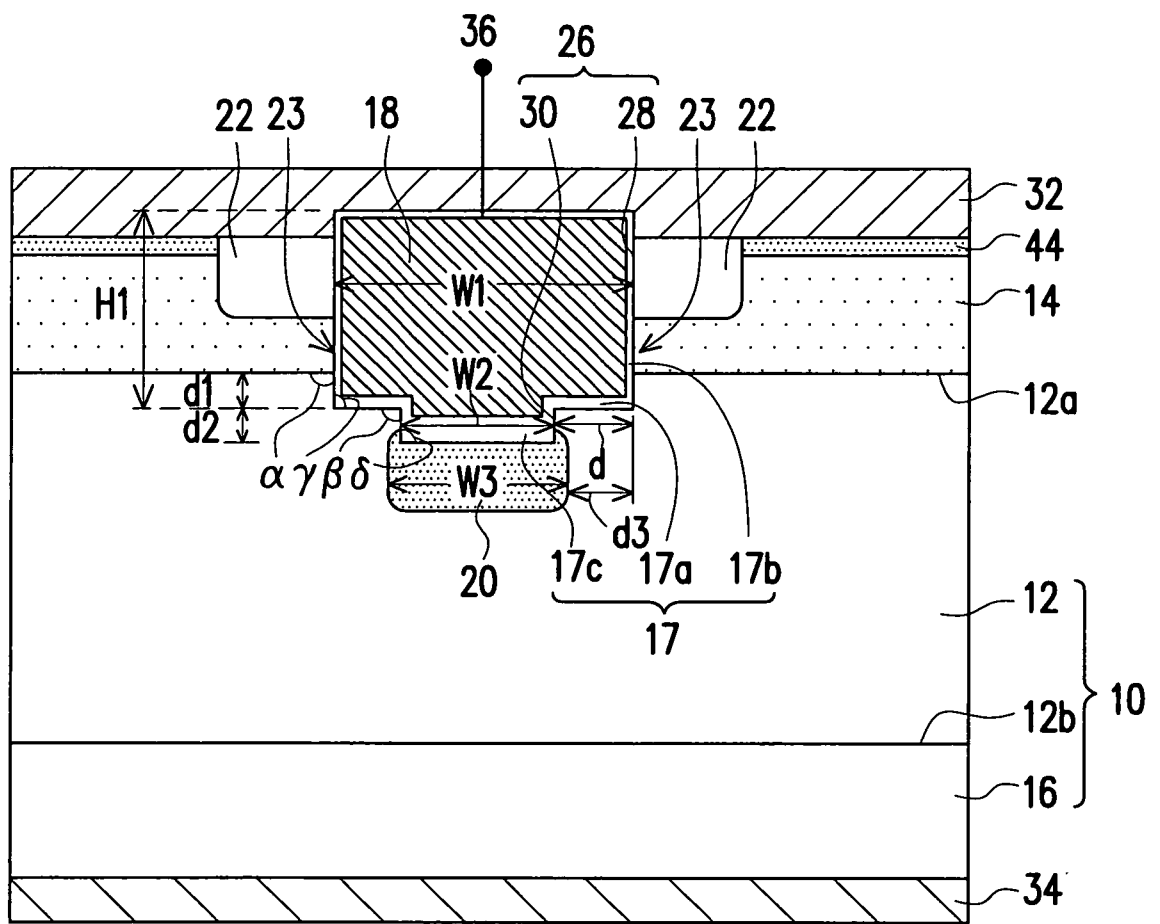


圖 1D

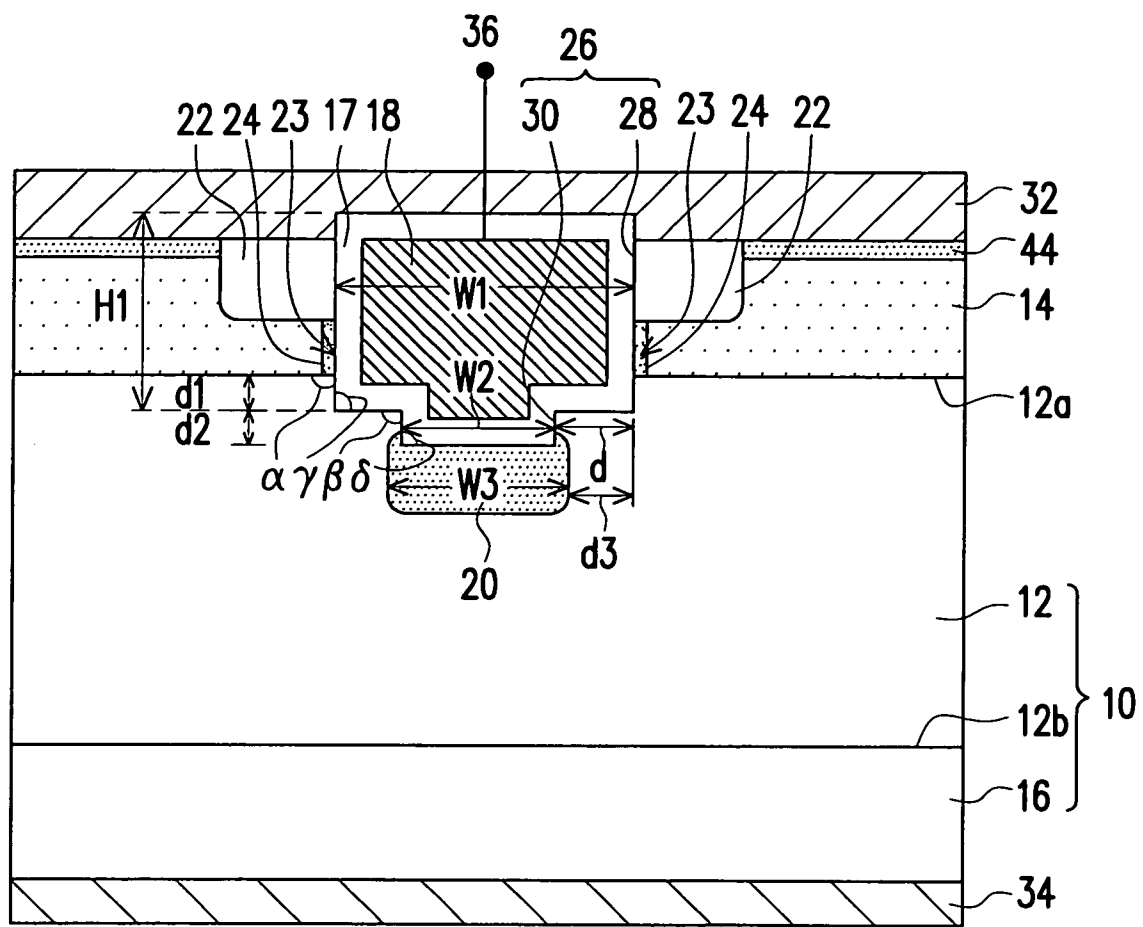


圖 1E

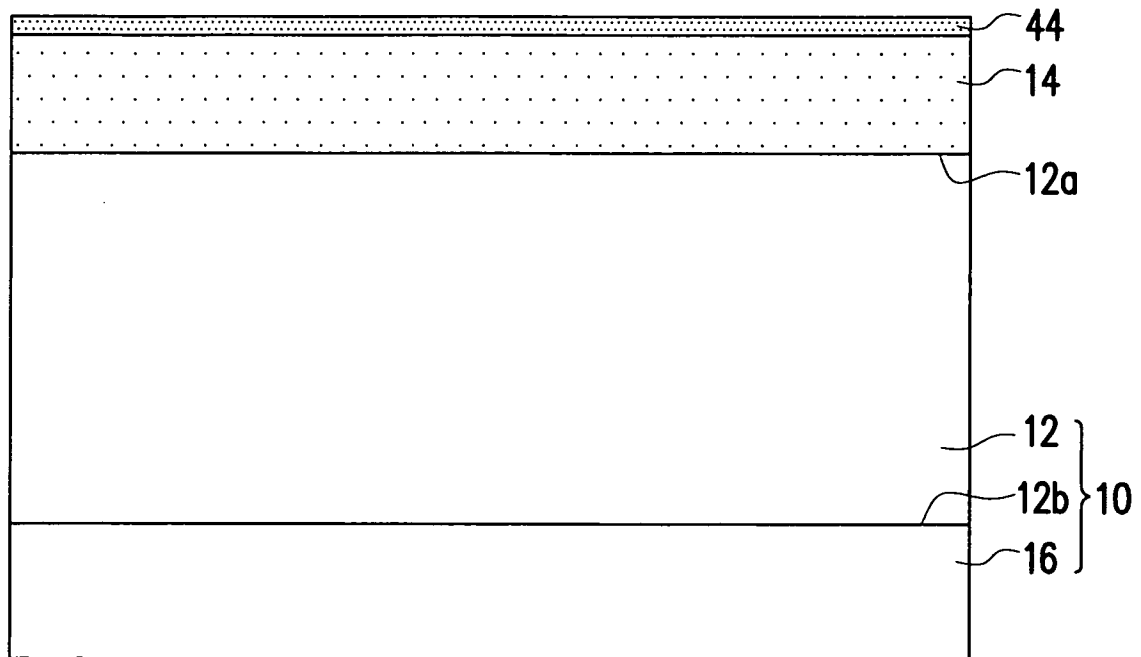


圖 2A

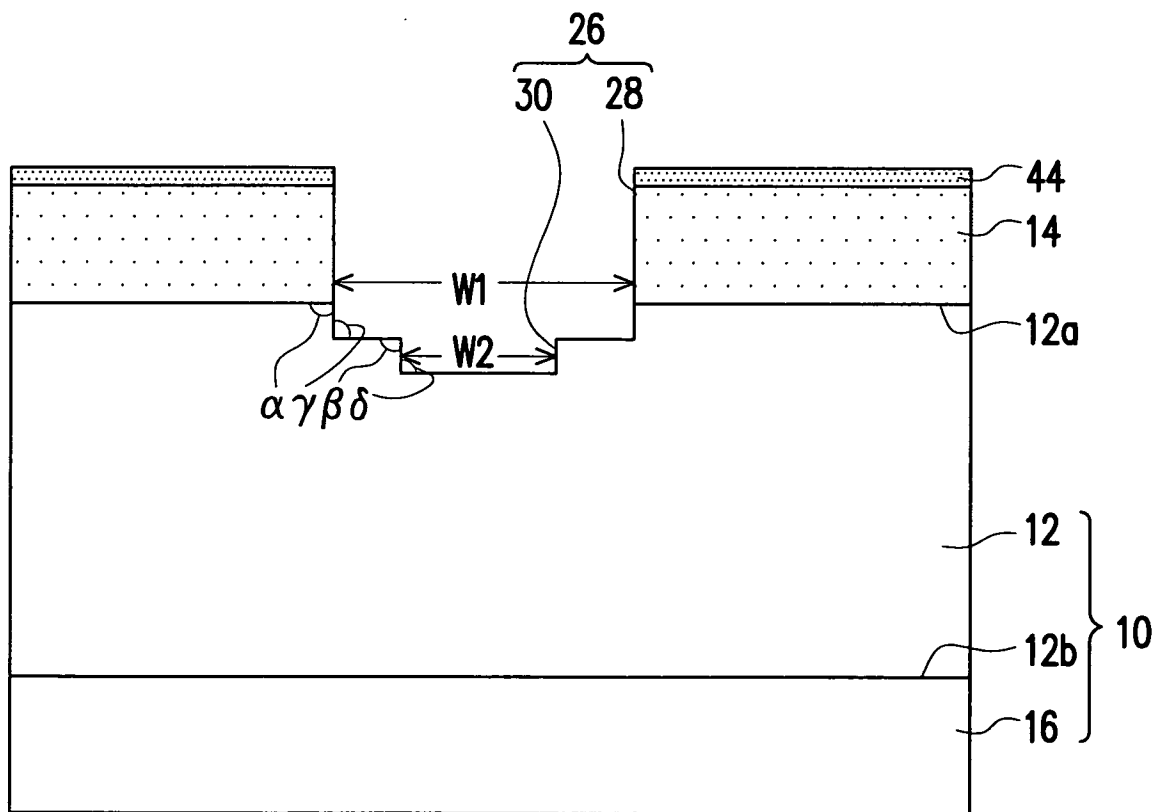


圖 2B

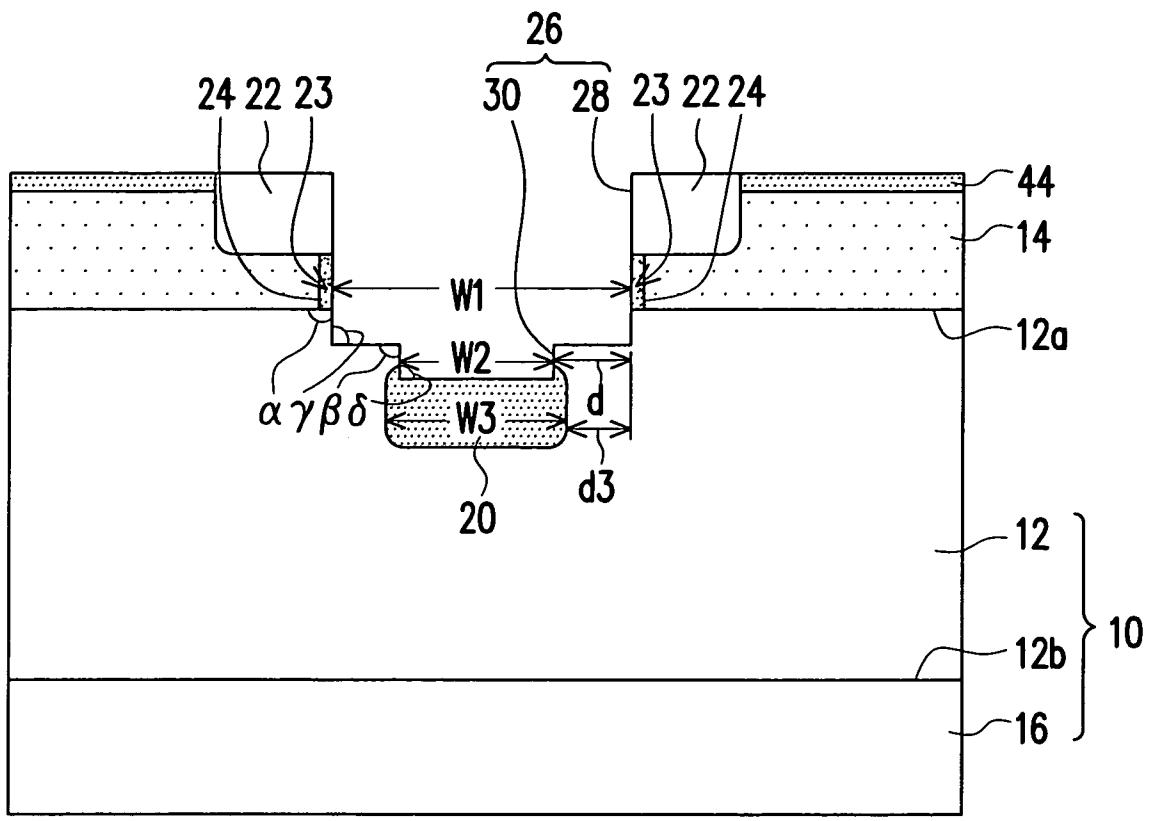


圖 2C

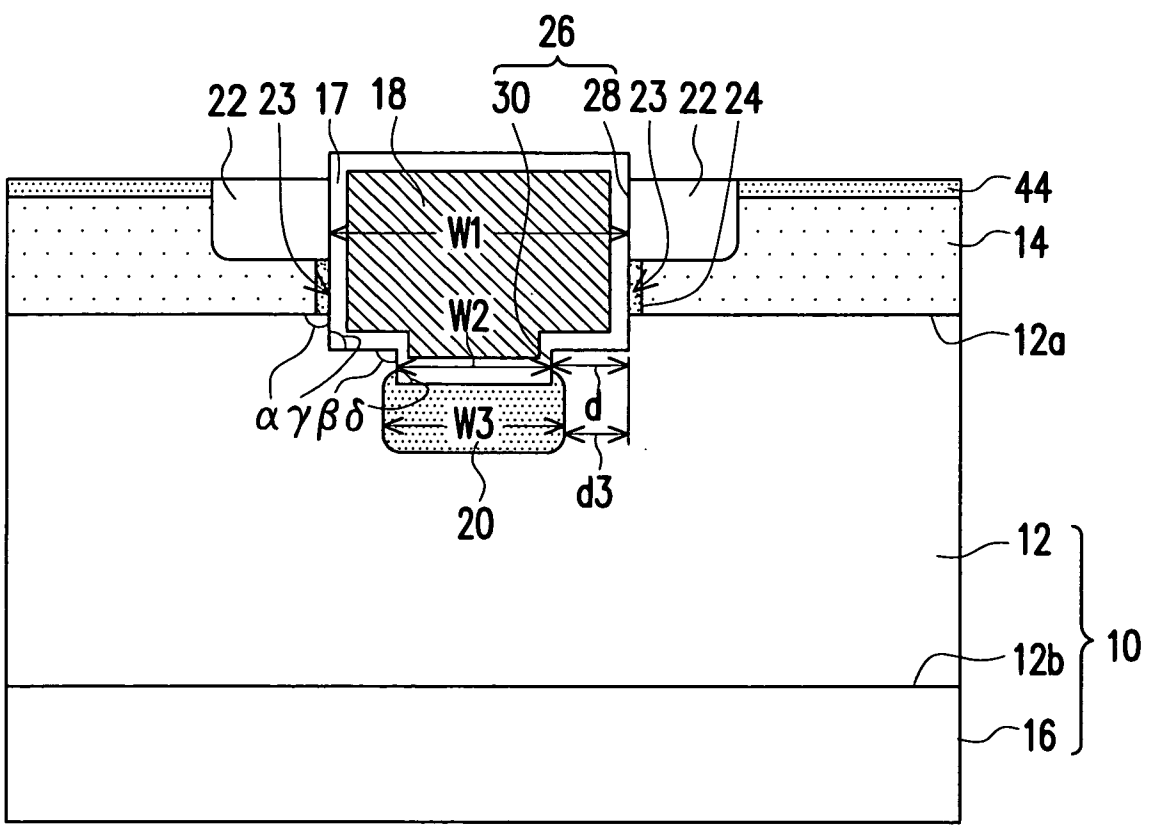


圖 2D

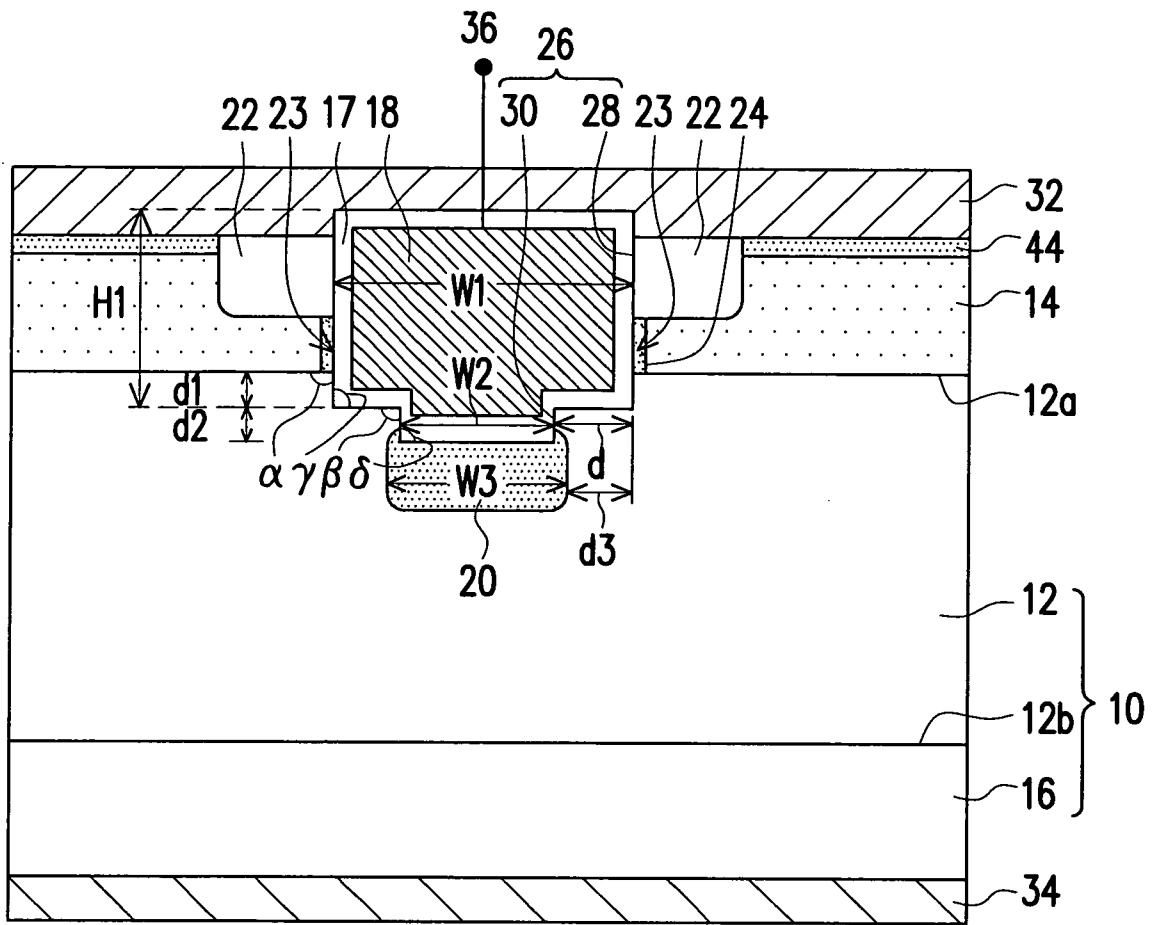


圖 2E

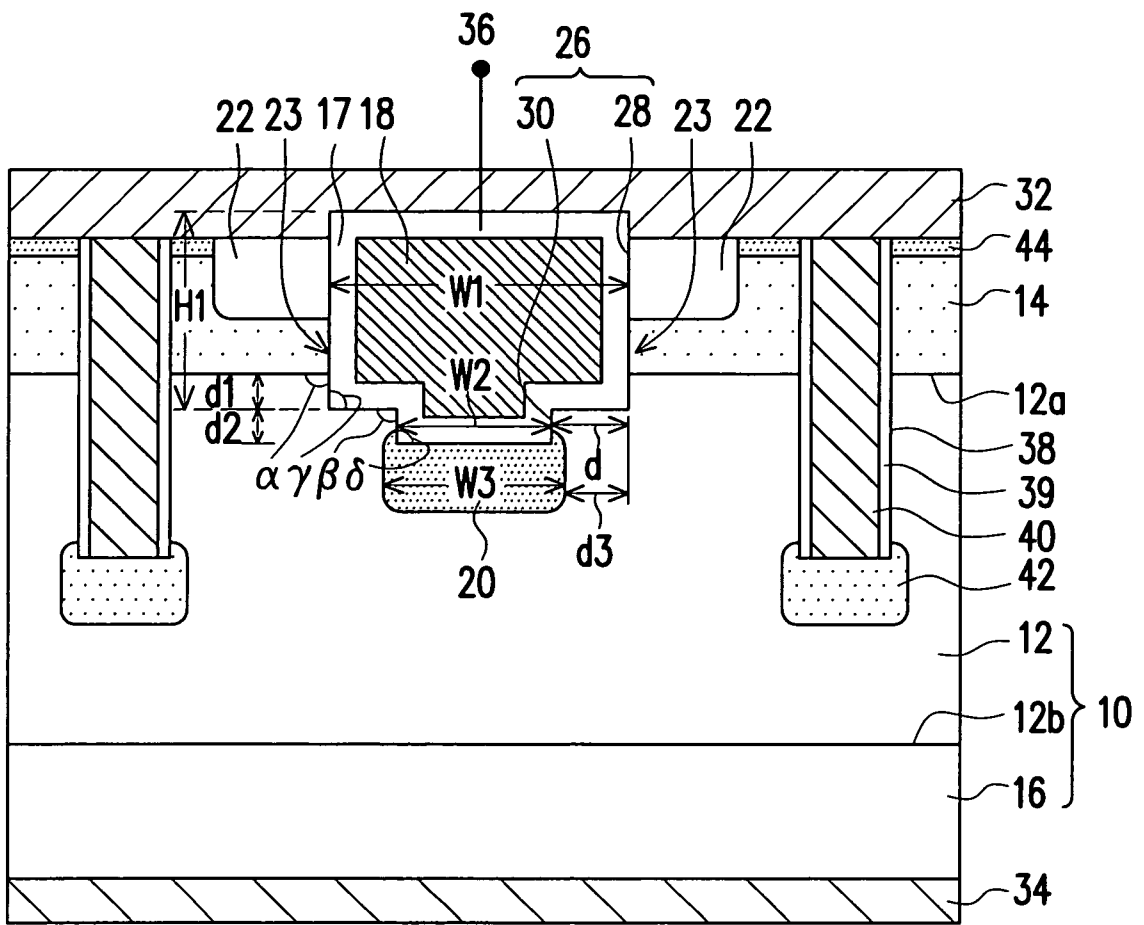


圖 3

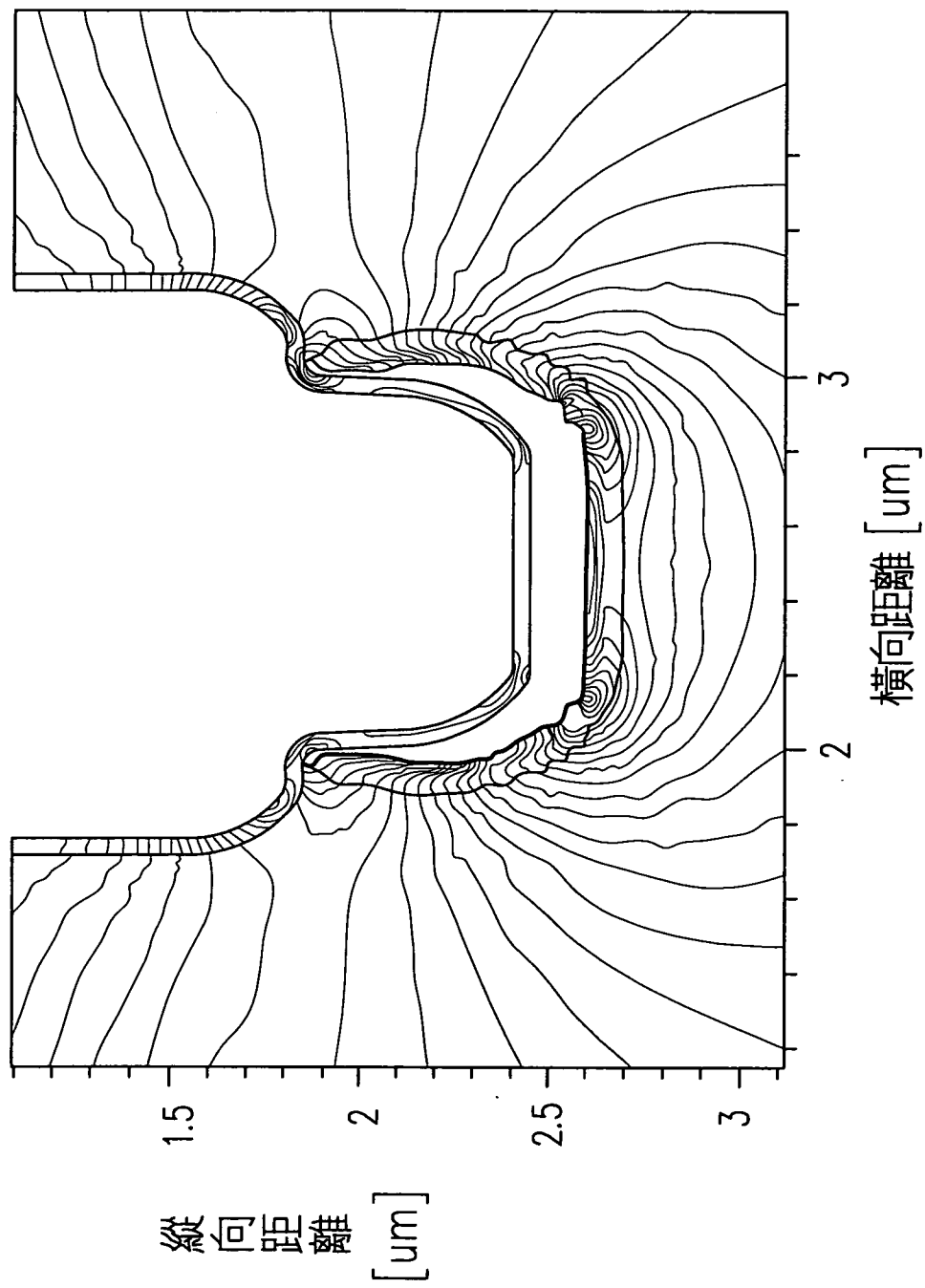


圖 4A

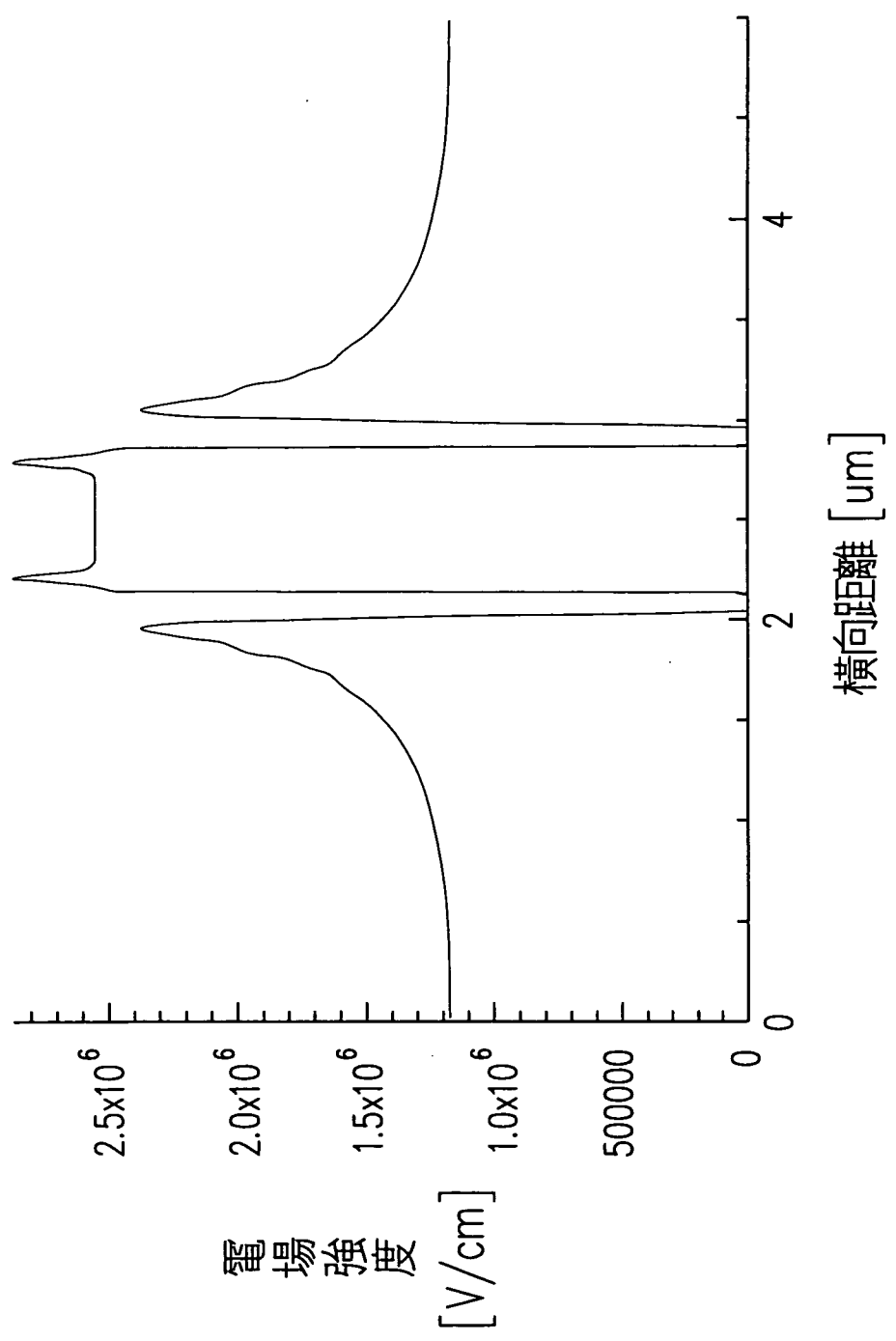


圖 4B

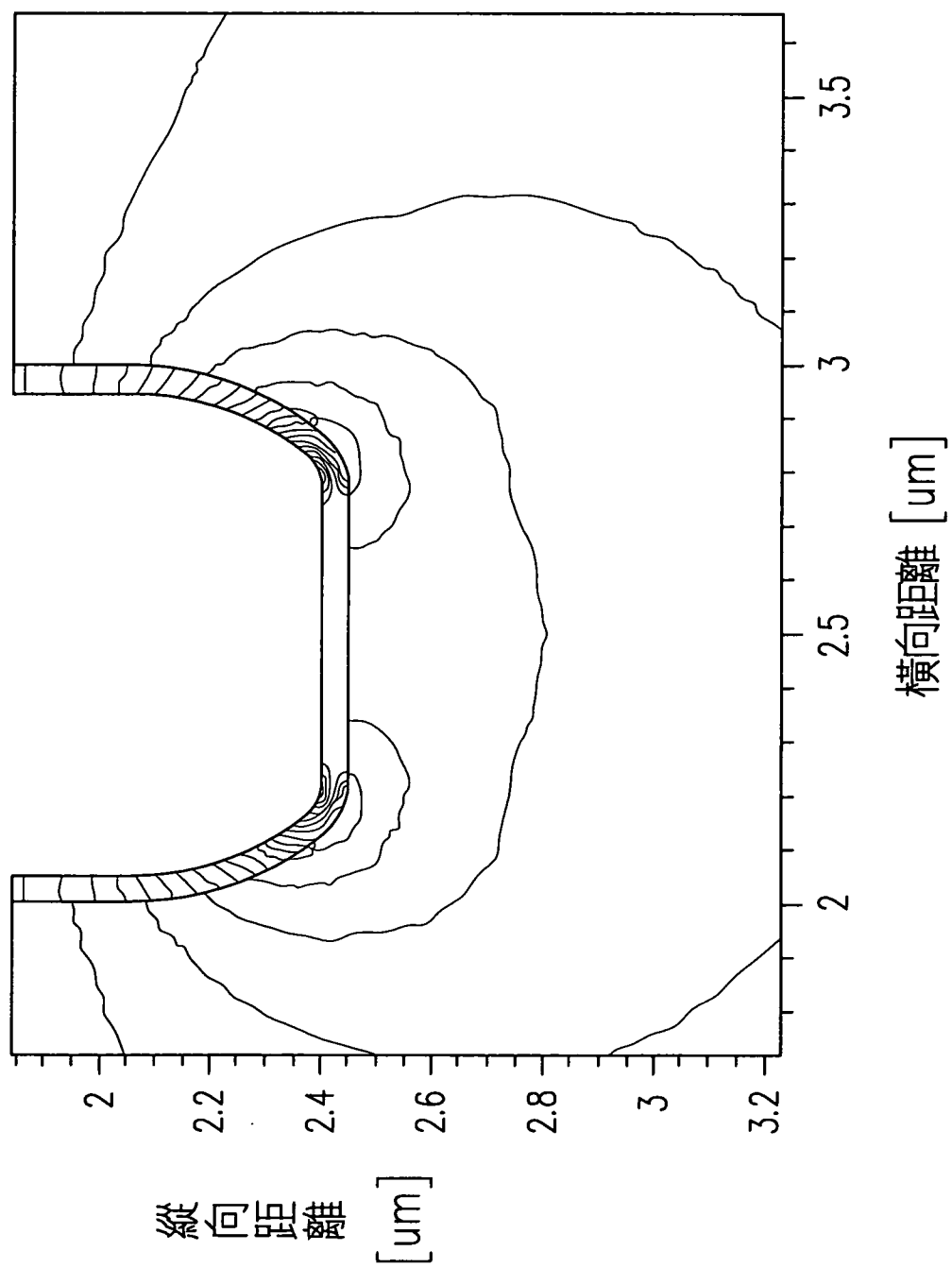


圖 5A

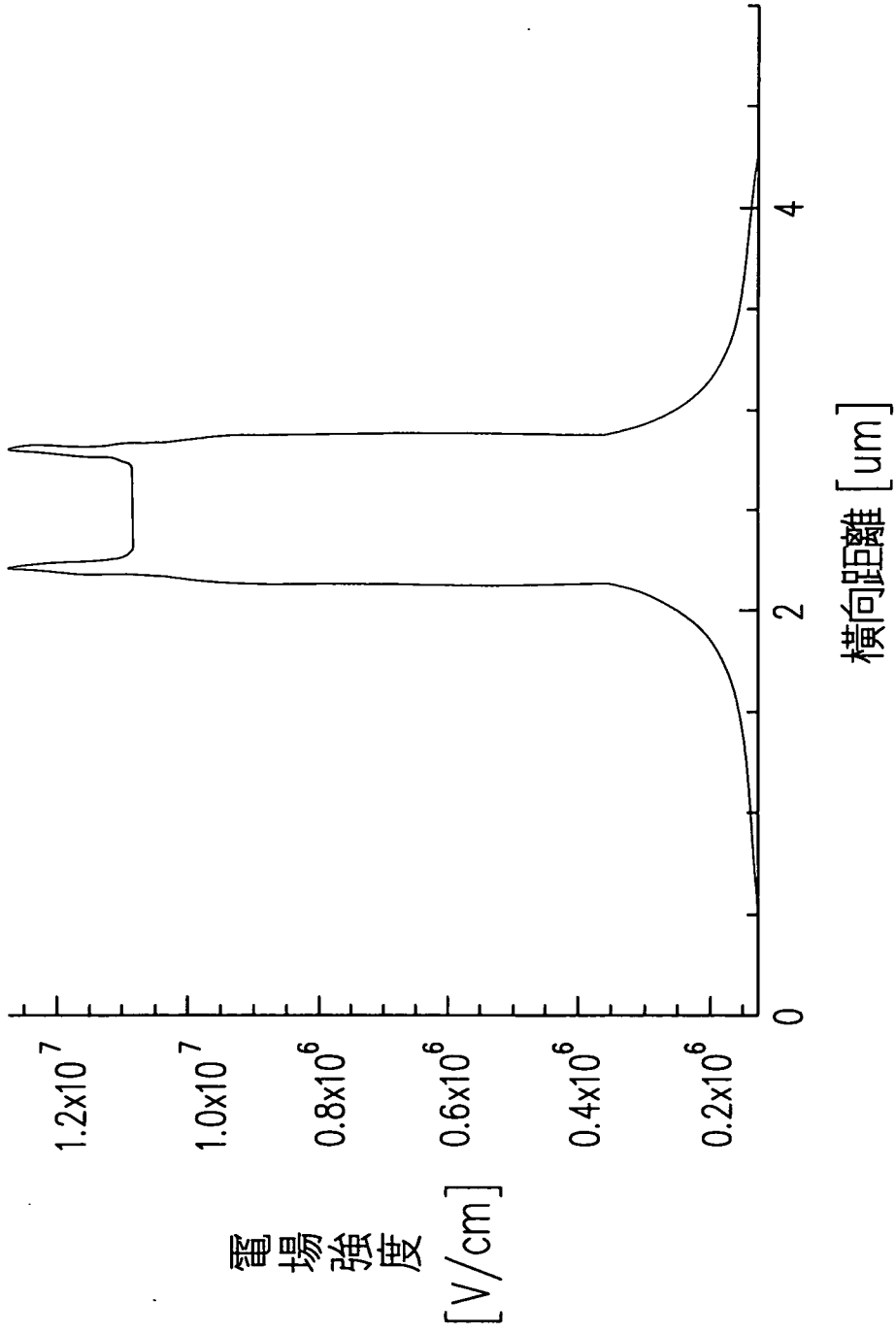


圖 5B

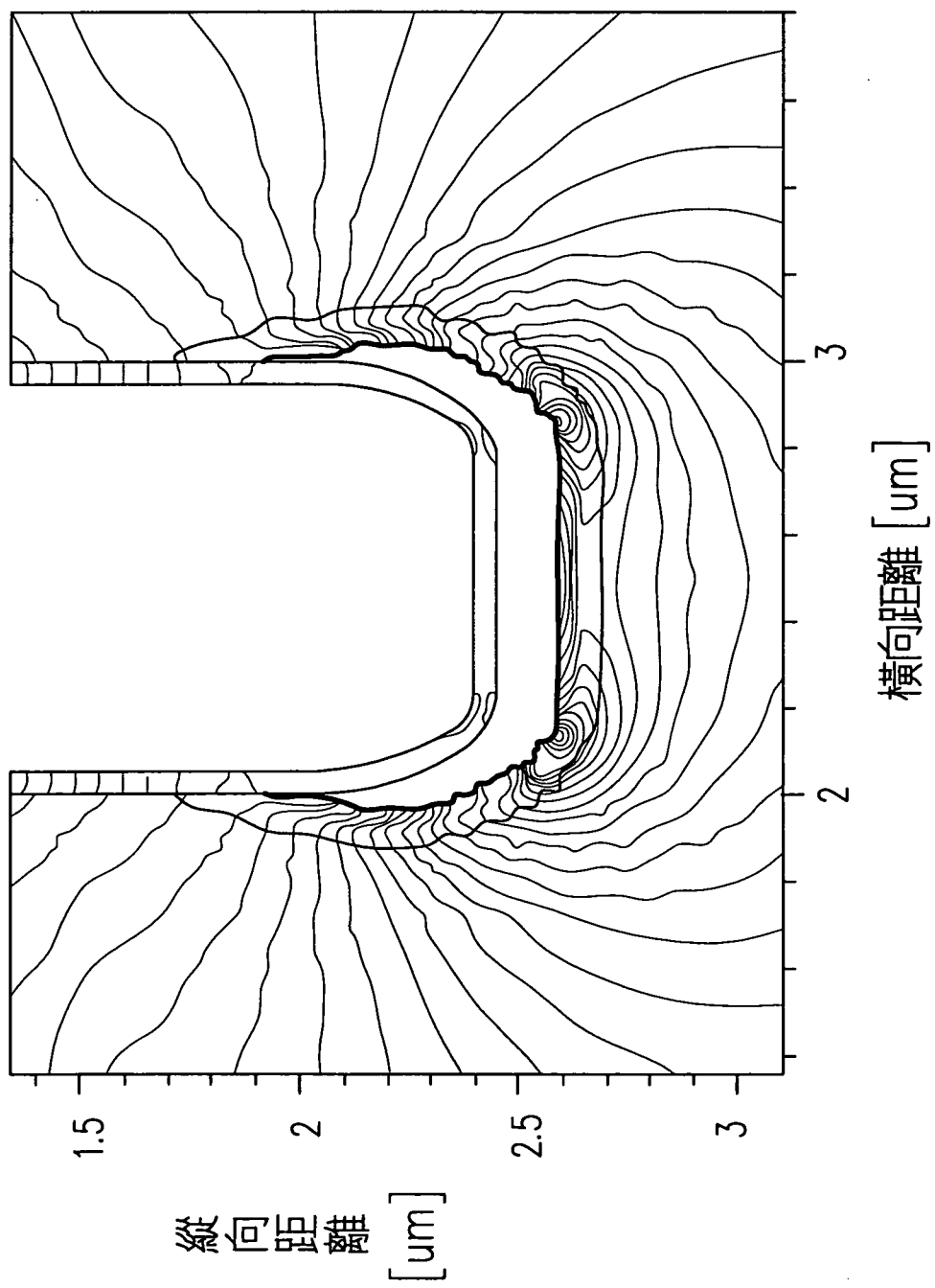


圖 6A

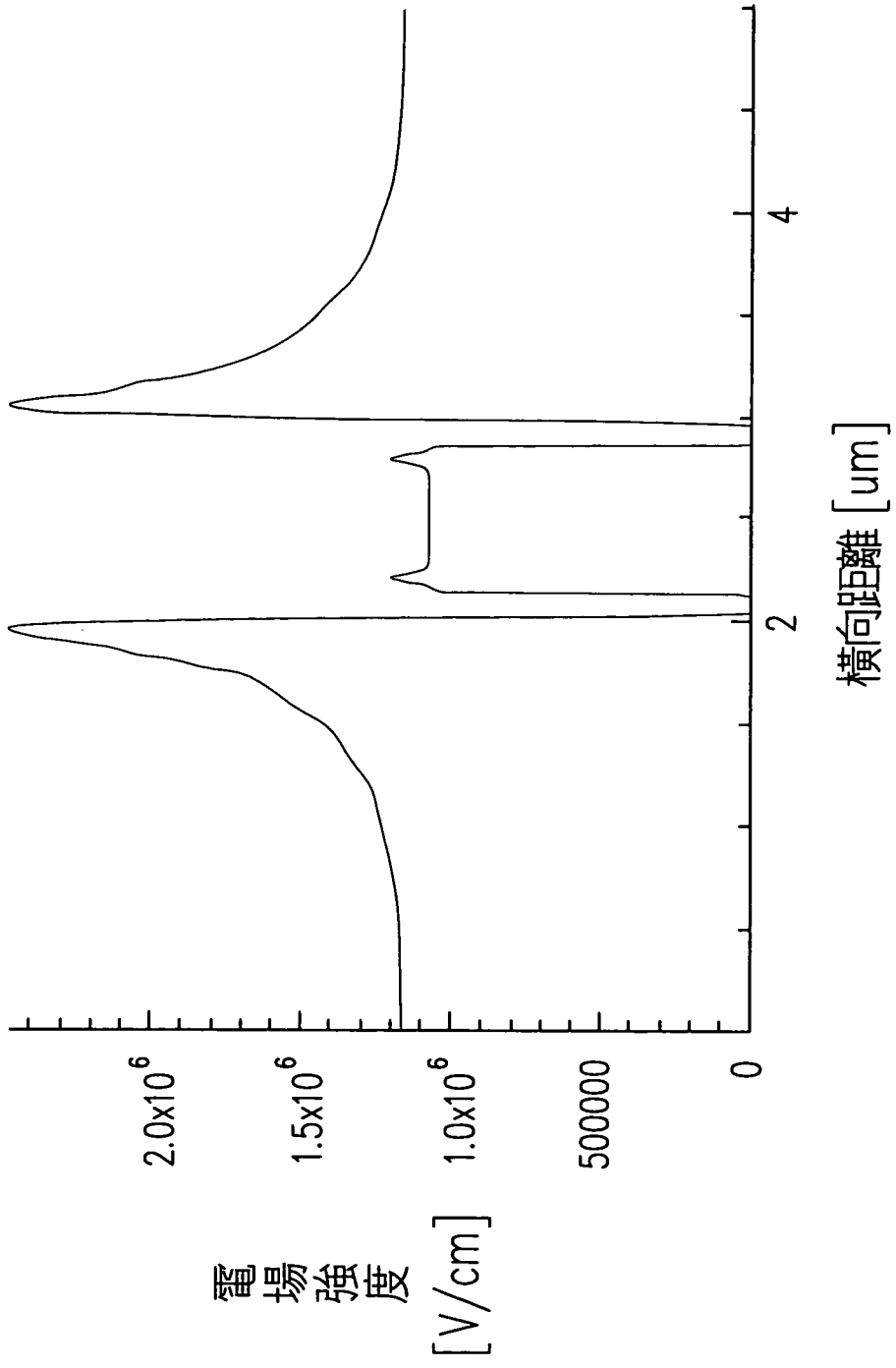


圖 6B

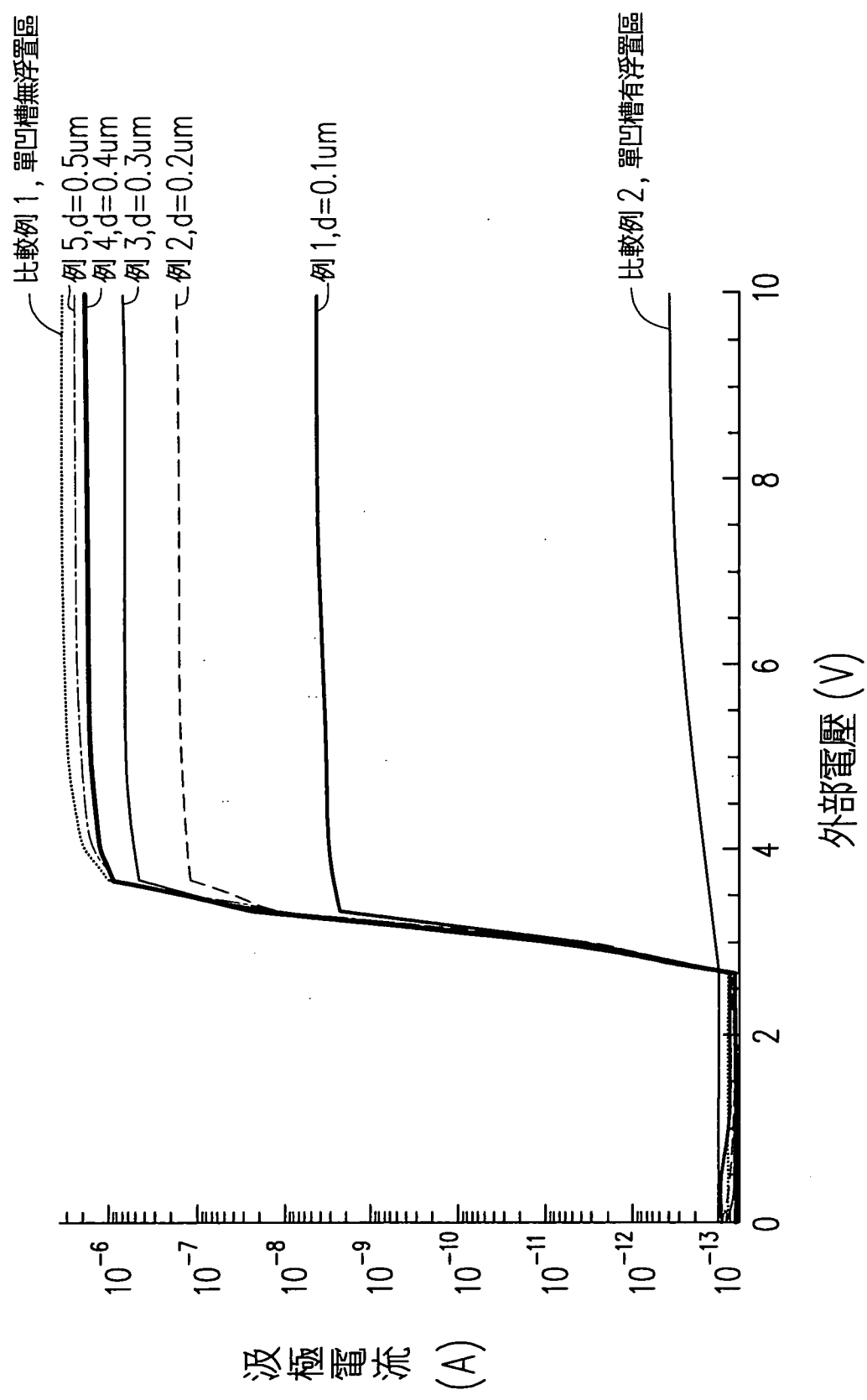


圖 7