



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0076582
(43) 공개일자 2021년06월24일

(51) 국제특허분류(Int. Cl.)
H05K 1/18 (2006.01) H05K 1/11 (2006.01)
H05K 3/46 (2006.01)
(52) CPC특허분류
H05K 1/185 (2013.01)
H05K 1/115 (2013.01)
(21) 출원번호 10-2019-0167951
(22) 출원일자 2019년12월16일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
이승은
경기도 수원시 영통구 매영로 150 (매탄동)
김용훈
경기도 수원시 영통구 매영로 150 (매탄동)
고경환
경기도 수원시 영통구 매영로 150 (매탄동)
(74) 대리인
특허법인씨엔에스

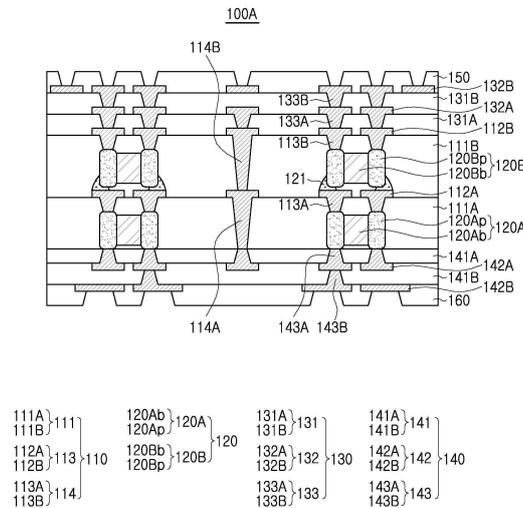
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 전자부품 내장기판

(57) 요약

본 개시는 제1전자부품; 상기 제1전자부품의 적어도 일부를 덮는 제1절연재; 상기 제1절연재의 일면 상에 배치된 제1배선층; 상기 제1배선층 상에 배치되며, 상기 제1배선층을 통하여 상기 제1전자부품과 연결된 제2전자부품; 및 상기 제2전자부품의 적어도 일부를 덮는 제2절연재; 를 포함하며, 상기 제1전자부품의 적어도 일부는, 상기 제1절연재의 타면으로 노출된, 전자부품 내장기판에 관한 것이다.

대표도 - 도3



(52) CPC특허분류

H05K 3/4644 (2013.01)

H05K 3/4697 (2013.01)

H05K 2201/10015 (2013.01)

명세서

청구범위

청구항 1

제1전자부품;
상기 제1전자부품의 적어도 일부를 덮는 제1절연재;
상기 제1절연재의 일면 상에 배치된 제1배선층;
상기 제1배선층 상에 배치되며, 상기 제1배선층을 통하여 상기 제1전자부품과 연결된 제2전자부품; 및
상기 제2전자부품의 적어도 일부를 덮는 제2절연재; 를 포함하며,
상기 제1전자부품의 적어도 일부는, 상기 제1절연재의 상기 일면의 반대 면인 타면으로 노출된,
전자부품 내장기판.

청구항 2

제1항에 있어서,
상기 제2전자부품은 접속도체를 통해 상기 제1배선층 상에 실장된,
전자부품 내장기판.

청구항 3

제2항에 있어서,
상기 접속도체는 솔더를 포함하는,
전자부품 내장기판.

청구항 4

제1항에 있어서,
평면 상에서, 상기 제2전자부품은 상기 제1전자부품과 중첩되게 배치된,
전자부품 내장기판.

청구항 5

제1항에 있어서,
상기 제1배선층은 상기 제1전자부품 및 상기 제2전자부품 사이의 레벨에 배치된,
전자부품 내장기판.

청구항 6

제1항에 있어서,

상기 제1절연재를 관통하며, 상기 제1전자부품 및 상기 제1배선층을 연결하는 제1비아; 를 더 포함하는, 전자부품 내장기판.

청구항 7

제1항에 있어서,
상기 제1전자부품 및 상기 제2전자부품 각각은 전극을 갖는 커패시터이며,
상기 각각의 전극은 병렬로 연결된,
전자부품 내장기판.

청구항 8

제7항에 있어서,
상기 제1전자부품 및 상기 제2전자부품의 각각의 상기 전극은 제1전극 및 제2전극을 포함하며,
상기 제1전자부품의 상기 제1전극은 상기 제2전자부품의 상기 제1전극과 연결되며,
상기 제1전자부품의 상기 제2전극은 상기 제2전자부품의 상기 제2전극과 연결된,
전자부품 내장기판.

청구항 9

제7항에 있어서,
상기 제1전자부품의 상기 전극이 상기 제1절연재의 타면으로 노출된 면 및 상기 제1절연재의 타면은 코플래너 (coplanar)한,
전자부품 내장기판.

청구항 10

제1항에 있어서,
상기 제2절연재 상에 배치되며, 상기 제2전자부품과 연결된 제2배선층; 을 더 포함하는,
전자부품 내장기판.

청구항 11

제1항에 있어서,
상기 제1절연재 상에 배치되며, 제1절연층 및 상기 제1전자부품과 연결된 제2배선층을 포함하는 제1빌드업구조체; 및
상기 제2절연재 상에 배치되며, 제2절연층 및 상기 제2전자부품과 연결된 제3배선층을 포함하는 제2빌드업구조체; 를 더 포함하는,
전자부품 내장기판.

청구항 12

제11항에 있어서,

상기 전자부품 내장기관은, 상기 제1절연재를 관통하며, 상기 제1배선층과 연결된 제1관통비아; 를 더 포함하며,

상기 제1빌드업구조체는, 상기 제1절연층을 관통하며 상기 제2배선층과 연결된 비아; 를 더 포함하며,

상기 제1관통비아 및 상기 비아는 상기 제1절연재 및 상기 제1절연층의 경계면에서 서로 접하며,

상기 제1관통비아 및 상기 비아가 접하는 상기 경계면에서, 상기 제1관통비아 및 상기 비아 각각의 폭은 서로 상이한,

전자부품 내장기관.

청구항 13

제11항에 있어서,

상기 제1절연재 및 상기 제1절연층 사이에 배치된 접착부재; 및

상기 접착부재에 매립된 제4배선층; 을 더 포함하는,

전자부품 내장기관.

청구항 14

제13항에 있어서,

상기 제1절연재 및 상기 접착부재를 관통하며, 상기 제1배선층 및 상기 제4배선층을 연결하는 제1관통비아; 를 더 포함하는,

전자부품 내장기관.

청구항 15

제1항에 있어서,

상기 제1전자부품은 서로 이격되어 배치된 복수의 제1전자부품이며,

상기 제2전자부품은 서로 이격되어 배치된 복수의 제2전자부품인,

전자부품 내장기관.

발명의 설명

기술분야

본 개시는 전자부품 내장기관에 관한 것이다.

배경기술

최근 전자기기는 고성능화 및 고기능화가 요구될 뿐만 아니라 전자기기 크기의 소형화 및 박형화가 함께 요구된다. 이에 따라, 인쇄회로기판에 실장 되어야 하는 전자부품의 수는 증가하고 있으나, 인쇄회로기판의 표면에 실장 가능한 전자부품의 수는 제한된다. 전자기기의 소형화 및 박형화에 따라 인쇄회로기판의 크기 역시 감소시키

[0001]

[0003]

는 것이 요구되기 때문이다. 따라서, 인쇄회로기판 내부에 수동소자 및 능동소자 등과 같은 전자부품을 내장하는 전자부품 내장기판에 대한 기술이 개발되고 있다.

발명의 내용

해결하려는 과제

- [0005] 본 개시의 여러 목적 중 하나는 전기적 연결 경로가 단축된 전자부품 내장기판을 제공하는 것이다.
- [0006] 본 개시의 여러 목적 중 다른 하나는 전자부품의 커패시턴스(capacitance)의 증가 및/또는 ESL(등가 직렬 인덕턴스)의 감소로 인해 PI(Power Integrity) 특성이 향상된 전자부품 내장기판을 제공하는 것이다.
- [0007] 본 개시의 여러 목적 중 다른 하나는 워피지(Warpage)가 개선된 전자부품 내장기판을 제공하는 것이다.

과제의 해결 수단

- [0009] 본 개시를 통하여 제안하는 여러 해결 수단 중 하나는 제1전자부품; 상기 제1전자부품의 적어도 일부를 덮는 제1절연재; 상기 제1절연재의 일면 상에 배치된 제1배선층; 상기 제1배선층 상에 배치되며, 상기 제1배선층을 통하여 상기 제1전자부품과 연결된 제2전자부품; 및 상기 제2전자부품의 적어도 일부를 덮는 제2절연재; 를 포함하며, 상기 제1전자부품의 적어도 일부는, 상기 제1절연재의 타면으로 노출된, 전자부품 내장기판을 제공하는 것이다.

발명의 효과

- [0011] 본 개시의 여러 효과 중 일 효과로서, 전기적 연결 경로가 단축된 전자부품 내장기판을 제공할 수 있다.
- [0012] 본 개시의 여러 효과 중 다른 효과로서, 전자부품의 커패시턴스(capacitance)의 증가 및/또는 ESL(등가 직렬 인덕턴스)의 감소로 인해 PI(Power Integrity) 특성이 향상된 전자부품 내장기판을 제공할 수 있다.
- [0013] 본 개시의 여러 효과 중 다른 효과로서, 워피지(Warpage)가 개선된 전자부품 내장기판을 제공할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 일례에 따른 전자기기 시스템의 블록도의 예를 개략적으로 나타낸 것이다.
- 도 2는 일례에 따른 전자기기의 사시도를 개략적으로 나타낸 것이다.
- 도 3은 일례에 따른 전자부품 내장기판(100A)의 단면도를 개략적으로 나타낸 것이다.
- 도 4 내지 도 8은 일례에 따른 전자부품 내장기판(100A)의 제조 공정을 개략적으로 나타낸 것이다.
- 도 9는 다른 일례에 따른 전자부품 내장기판(100B)의 단면도를 개략적으로 나타낸 것이다.
- 도 10 내지 도 14는 다른 일례에 따른 전자부품 내장기판(100B)의 제조 공정을 개략적으로 나타낸 것이다.
- 도 15는 일례에 따른 전자부품 내장기판(100A)에 반도체 패키지가 실장된 경우의 일례를 개략적으로 나타낸 단면도다.
- 도 16은 일례에 따른 전자부품 내장기판(100A)에 포함된 전자부품 간 회로도를 개략적으로 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하, 첨부된 도면을 참조하여 본 개시에 대해 설명한다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장되거나 축소될 수 있다.

[0018] 전자기기

[0020] 도 1은 일례에 따른 전자기기 시스템의 블록도의 예를 개략적으로 나타낸 것이다.

[0022] 도면을 참조하면, 전자기기(1000)는 메인보드(1010)를 수용한다. 메인보드(1010)에는 칩 관련부품(1020), 네트워크 관련부품(1030), 및 기타부품(1040) 등이 물리적 및/또는 전기적으로 연결되어 있다. 이들은 후술하는 다른 전자부품과도 결합되어 다양한 신호라인(1090)을 형성한다.

[0024] 칩 관련부품(1020)으로는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩; 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩; 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 형태의 칩 관련 전자부품이 포함될 수 있음은 물론이다. 또한, 이들 전자부품(1020)이 서로 조합될 수 있음은 물론이다. 칩 관련부품(1020)은 상술한 칩이나 전자부품을 포함하는 패키지 형태일 수도 있다.

[0026] 네트워크 관련부품(1030)으로는, Wi-Fi(IEEE 802.11 패밀리 등), WiMAX(IEEE 802.16 패밀리 등), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPS, GPRS, CDMA, TDMA, DECT, Bluetooth, 3G, 4G, 5G 및 그 이후의 것으로 지정된 임의의 다른 무선 및 유선 프로토콜들이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다수의 무선 또는 유선 표준들이나 프로토콜들 중의 임의의 것이 포함될 수 있다. 또한, 네트워크 관련부품(1030)이 칩 관련 전자부품(1020)과 더불어 서로 조합될 수 있음은 물론이다.

[0028] 기타부품(1040)으로는, 고주파 인덕터, 페라이트 인덕터, 파워 인덕터, 페라이트 비즈, LTCC(low Temperature Co-Firing Ceramics), EMI(Electro Magnetic Interference) filter, MLCC(Multi-Layer Ceramic Condenser) 등이 포함된다. 다만, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다양한 용도를 위하여 사용되는 칩 부품 형태의 수동소자 등이 포함될 수 있다. 또한, 기타부품(1040)이 칩 관련 전자부품(1020) 및/또는 네트워크 관련 전자부품(1030)과 서로 조합될 수도 있음은 물론이다.

[0030] 전자기기(1000)의 종류에 따라, 전자기기(1000)는 메인보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 전자부품을 포함할 수 있다. 다른 전자부품의 예를 들면, 카메라 모듈(1050), 안테나 모듈(1060), 디스플레이(1070), 배터리(1080) 등이 있다. 다만, 이에 한정되는 것은 아니고, 오디오 코덱, 비디오 코덱, 전력 증폭기, 나침반, 가속도계, 자이로스코프, 스피커, 대량 저장 장치(예컨대, 하드디스크 드라이브), CD(compact disk), DVD(digital versatile disk) 등일 수도 있다. 이 외에도 전자기기(1000)의 종류에 따라 다양한 용도를 위하여 사용되는 기타 전자부품 등이 포함될 수 있음은 물론이다.

[0032] 전자기기(1000)는, 스마트폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network system), 컴퓨터(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch), 오토모티브(Automotive) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이들 외에도 데이터를 처리하는 임의의 다른 전자기기일 수 있음은 물론이다.

- [0034] 도 2는 일례에 따른 전자기기의 사시도를 개략적으로 나타낸 것이다.
- [0036] 도면을 참조하면, 전자기기는, 예를 들면, 스마트폰(1100)일 수 있다. 스마트폰(1100)의 내부에는 메인보드(1110)가 수용되어 있으며, 이러한 메인보드(1110)에는 다양한 전자부품(1120)들이 물리적 및/또는 전기적으로 연결되어 있다. 또한, 카메라 모듈(1130) 및/또는 스피커(1140)와 같이 메인보드(1110)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 전자부품이 내부에 수용되어 있다. 전자부품(1120) 중 일부는 상술한 칩 관련부품일 수 있으며, 예를 들면, 반도체 패키지(1121)일 수 있으나, 이에 한정되는 것은 아니다. 반도체 패키지(1121)는 다층 전자부품 내장기판 형태의 패키지 기판 상에 반도체칩이나 수동부품과 같은 표면 실장된 형태일 수 있으나, 이에 한정되는 것은 아니다. 한편, 전자기기는 반드시 스마트폰(1100)에 한정되는 것은 아니며, 상술한 바와 같이 다른 전자기기일 수도 있음은 물론이다.
- [0038] 전자부품 내장기판
- [0040] 도 3은 일례에 따른 전자부품 내장기판(100A)의 단면도를 개략적으로 나타낸 것이다.
- [0042] 도 3을 참조하면, 일례에 따른 전자부품 내장기판(100A)은 베이스 기판(110), 베이스 기판(110)에 매립된 전자부품(120), 베이스 기판(110)의 양측 상에 각각 배치된 제1빌드업구조체(130) 및 제2빌드업구조체(140), 제1빌드업구조체(130) 상에 배치된 제1패시베이션층(150), 및 제2빌드업구조체(140) 상에 배치된 제2패시베이션층(160)을 포함한다. 필요에 따라서는, 제1패시베이션층(150) 및 제2패시베이션층(160) 각각의 개구부에 배치된 전기연결금속(미도시)를 더 포함할 수 있다.
- [0044] 본 명세서에서, 어느 구성요소 상에 배치된다는 의미는 어느 구성요소의 상측 또는 상면 상에 배치된 것으로 방향이 한정되지 않는다. 경우에 따라서는, 어느 구성요소의 하측 또는 하면 상에 배치된 경우일 수 있다.
- [0046] 베이스 기판(110)은 전자부품(120)이 매립되는 영역으로, 제1절연재(111A), 제1절연재(111A) 상에 배치된 제1배선층(112A), 제1절연재(111A)를 관통하며 제1배선층(112A) 및 제1전자부품(120A)을 연결하는 제1비아(113A), 제1절연재(111A)를 관통하며 제1배선층(112A) 및 제2빌드업구조체(140)에 포함된 제1배선층(142A)을 연결하는 제1관통비아(114A), 제1절연재(111A) 상에 배치되며 제1배선층(112A)을 덮는 제2절연재(111B), 제2절연재(111B) 상에 배치된 제2배선층(112B), 제2절연재(111B)를 관통하며 제2배선층(112B) 및 제2전자부품(120B)을 연결하는 제2비아(113B), 제2절연재(111B)를 관통하며 제1배선층(112A) 및 제2배선층(112B)을 연결하는 제2관통비아(114B)를 포함한다.
- [0048] 제1전자부품(120A)은 제1절연재(111A)로 덮이며, 제1전자부품(120A)의 적어도 일부는 제1절연층(111A)의 제2절연재(111B)가 배치된 일면의 반대 면인 타면으로 노출될 수 있다. 이 때, 제1전자부품(120A)의 노출되는 부분은 전극(120Ap)일 수 있다. 따라서, 제1전자부품(120A)의 전극이 제1절연층(111A)의 타면으로 노출된 면 및 제1절연층(111A)의 타면은 실질적으로 코플래너(coplanar)할 수 있다. 따라서, 제1전자부품(120A)은 제2빌드업구조체(140)의 제1비아(143A)를 통해 제1배선층(142A)과 연결될 수 있다.
- [0050] 제2전자부품(120B)은 제1배선층(112A) 상에 표면실장기술(SMT: Surface Mount Technology)로 실장될 수 있다. 이 때, 제2전자부품(120B)은 접속도체(121)를 통해 제1배선층(112A) 상에 실장될 수 있다.
- [0052] 제1전자부품(120A) 및 제2전자부품(120B)은 제1비아(113A) 및 제1배선층(112A)을 통해 서로 연결될 수 있다. 이 때, 후술하는 바와 같이 제1전자부품(120A) 및 제2전자부품(120B)은 병렬로 연결될 수 있다. 제1비아(113A) 및

제1배선층(112A)은 제1전자부품(120A) 및 제2전자부품(120B) 사이의 레벨에 배치되어, 다른 배선층을 경유하지 않고 제1전자부품(120A) 및 제2전자부품(120B)을 직접 연결할 수 있다.

[0054] 제1전자부품(120A) 및 제2전자부품(122B)은 제1전자부품(120A) 및 제2전자부품(122B) 각각의 두께 방향으로 배치된다. 평면 상에서, 제1전자부품(120A) 및 제2전자부품(122B)은 제1전자부품(120A) 및 제2전자부품(122B) 각각의 두께 방향으로 서로 중첩되게 배치될 수 있다.

[0056] 도면에 도시된 바와 같이, 제1전자부품(120A) 및 제2전자부품(120B)각각은 복수의 전자부품일 수 있다. 이 때, 복수의 제1전자부품(120A) 각각은 서로 소정거리 이격되어 배치될 수 있다. 또한, 복수의 제1전자부품(120A) 각각의 사이의 공간은 제1절연재(111A)로 채워져, 복수의 제1전자부품(120A) 각각이 제1절연재(111A)에 의해 서로 이격될 수 있다. 또한, 복수의 제2전자부품(120B) 역시 전술한 복수의 제1전자부품(120A)과 동일 또는 유사한 방식으로 배치될 수 있다.

[0058] 제1전자부품(120A) 및 제2전자부품(120B)은 제1벌드업구조체(130)에 포함된 배선층(132A, 132B)을 통해 전자부품 내장기판 상에 실장 되는 반도체 패키지(미도시) 등과 연결될 수 있다. 따라서, 제1전자부품(120A) 및/또는 제2전자부품(120B)과 반도체 패키지(미도시) 간의 전기적 연결 경로가 단축될 수 있다. 또한, 전기적 신호 손실 등을 최소화할 수 있다.

[0060] 한편, 일반적으로 기판에 내장되는 전자부품은 전자부품 내장기판 상에 실장 되는 반도체 패키지(미도시)와의 신호 경로 단축을 위해 반도체 패키지(미도시)와 마주보도록 반도체 패키지(미도시)가 실장 되는 측에 치우쳐서 매립된다. 이 때, 기판은 전자부품이 배치된 영역과 배치되지 않은 영역으로 인해 비대칭 구조가 되어, 휨 또는 워피지(Warpage) 현상이 발생할 수 있다. 일례에 따른 전자부품 내장기판(100A)의 경우, 제1전자부품(120A) 및 제2전자부품(120B)은 반도체 패키지(미도시)가 실장되는 측에 치우쳐서 매립되지 않고 베이스기판(110)에 두께 방향으로 대략 대칭적으로 매립 된다. 따라서 기판의 휨 또는 워피지(Warpage)를 개선할 수 있다.

[0062] 한편, 제1전자부품(120A) 및 제2전자부품(120B)은 후술하는 바와 같이, 각각 전극을 갖는 커패시터(Capacitor)일 수 있다. 이 때, 제1전자부품(120A) 및 제2전자부품(120B) 각각의 전극은 베이스기판(110)의 제1비아(113A) 및 제1배선층(112A)에 의해 서로 연결될 수 있다. 또한, 제1전자부품(120A) 및 제2전자부품(120B) 각각의 전극은 병렬로 연결될 수 있다. 따라서, 전자부품의 커패시턴스(capacitance)의 증가 및/또는 ESL(등가 직렬 인덕턴스)의 감소의 효과를 가질 수 있으며, PI(Power Integrity) 특성을 향상시킬 수 있다.

[0064] 도 16은, 전자부품모듈(120)에 포함된 제1전자부품(120A) 및 제2전자부품(120B)의 회로도를 개략적으로 나타낸다. 여기서, 제1전자부품(120A) 및 제2전자부품(120B)의 커패시턴스(capacitance)의 값을 각각 C1 및 C2로 표기하였다. 도면에 도시된 바와 같이, 제1전자부품(120A) 및 제2전자부품(120B)이 서로 병렬로 연결됨에 따라, 총 커패시턴스(capacitance)의 값을 C1+C2로 증가시킬 수 있다. 이 때, 도면에 도시된 바와 같이 제1전자부품(120A) 및 제2전자부품(120B) 각각은 복수의 전자부품인 경우로 도시하였다.

[0066] 제1벌드업구조체(130)는 제1절연층(131A), 제1절연층(131A) 상에 배치된 제1배선층(132A), 제1절연층(131A)를 관통하며 제1배선층(132A) 및 베이스 기판(110)의 제3배선층(112C)을 연결하는 제1비아(133A), 제1절연층(131A) 상에 배치된 제2절연층(131B), 제2절연층(131B) 상에 배치된 제2배선층(132B), 및 제2절연층(131B)을 관통하며 제2배선층(132B) 및 제1배선층(132A)을 연결하는 제2비아(133B)를 포함한다.

[0068] 제2벌드업구조체(140)는 제1절연층(141A), 제1절연층(141A) 상에 배치된 제1배선층(142A), 제1절연층(141A)를 관통하며 제1배선층(142A) 및 제1전자부품(120A)을 연결하는 제1비아(143A), 제1절연층(141A) 상에 배치된 제2

절연층(141B), 제2절연층(141B) 상에 배치된 제2배선층(142B), 및 제2절연층(141B)을 관통하며 제2배선층(142B) 및 제1배선층(142A)을 연결하는 제2비아(143B)를 포함한다.

[0070] 이하, 일례에 따른 전자부품 내장기관(100A)의 각 구성에 대하여 보다 자세히 설명한다.

[0072] 전술한 바와 같이 베이스 기관(110)은, 제1절연재(111A), 제1절연재(111A) 상에 배치된 제1배선층(112A), 제1절연재(111A)를 관통하며 제1배선층(112A) 및 제1전자부품(120A)을 연결하는 제1비아(113A), 제1절연재(111A)를 관통하며 제1배선층(112A) 및 제2빌드업층(142)에 포함된 제1배선층(142A)을 연결하는 제1관통비아(114A), 제1절연재(111A) 상에 배치되며 제1배선층(112A)을 덮는 제2절연재(111B), 제2절연재(111B) 상에 배치된 제2배선층(112B), 제2절연재(111B)를 관통하며 제2배선층(112B) 및 제2전자부품(120B)을 연결하는 제2비아(113B), 제2절연재(111B)를 관통하며 제1배선층(112A) 및 제2배선층(112B)을 연결하는 제2관통비아(114B)를 포함한다.

[0074] 그러나 베이스 기관(110)의 구조는 이에 한정되는 것은 아니며, 통상의 기술자가 설계 가능한 범위 내에서 얼마든지 변경 가능하다. 예를 들면, 베이스 기관(110)에 포함된 절연층, 배선층, 및/또는 비아의 수는 도면에 도시된 것보다 많을 수도 적을 수도 있다.

[0076] 제1절연재(111A) 및 제2절연재(111B) 각각의 형성 재료는 특별히 한정되지는 않으며, 절연성을 갖는 물질이라면 어느 것이든 사용 가능하다. 예를 들면, 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지에 무기 필러 및/또는 유리 섬유(Glass Cloth, Glass Fabric) 등의 보강재가 더 포함된 수지, 예를 들면, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 등이 사용될 수 있다. 필요에 따라서는, 감광성 절연(Photo Imagable Dielectric: PID) 수지를 사용할 수도 있다.

[0078] 제1절연재(111A) 및 제2절연재(111B) 각각의 형성 재료는 동일할 수도, 서로 상이할 수도 있다. 또한, 제1절연재(111A) 및 제2절연재(111B) 각각의 두께는 동일할 수도, 서로 상이할 수도 있다.

[0080] 제1절연재(111A) 및 제2절연재(111B) 간의 제1절연재(111A) 및 제2절연재(111B) 각각의 재료 및 공정 등에 따라 서로 구분되지 않을 수 있다. 즉, 적층 공정 중에 제1절연재(111A) 및 제2절연재(111B)가 서로 일체화되거나 경계면이 불분명해져 완성된 전자부품 내장기관 구조에서 육안으로 그 경계면을 확인하기 어려울 수 있다.

[0082] 제1배선층(112A) 및 제2배선층(112B) 각각의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 제1배선층(112A) 및 제2배선층(112B) 각각은 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등의 배선패턴을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면 데이터 신호 등을 포함한다. 또한, 비아 패드 등을 포함한다.

[0084] 제1비아(113A) 및 제2비아(113B) 각각의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 제1비아(113A) 및 제2비아(113B) 각각은 도전성 물질로 완전히 충전된 것일 수 있으며, 또는 도전성 물질이 비아의 벽을 따라 형성된 것일 수도 있다. 비아가 도전성 물질이 비아홀의 벽을 따라 형성된 것인 경우, 비아홀 내부는 절연성 물질로 채워진 것일 수 있다. 또한, 제1비아(113A) 및 제2비아(113B) 각각의 형상은 테이퍼 형상, 원통 형상 등 당해 기술 분야에 공지된 모든 형상이 적용될 수 있다.

- [0086] 제1비아(113A)는 제1비아(113A)와 연결된 제1배선패턴(112A)과 일체화된 구조일 수 있다. 제2비아(113B)는 제2비아(113B)와 연결된 제2배선패턴(112B)과 일체화된 구조일 수 있다.
- [0088] 제1관통비아(114A) 및 제2관통비아(114B) 각각의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 제1관통비아(114A) 및 제2관통비아(114B) 각각은 비아홀이 도전성 물질로 완전히 충전되어 형성된 것일 수 있으며, 또는 도전성 물질이 비아홀의 벽을 따라 형성된 것일 수도 있다. 제1관통비아(114A) 또는 제2관통비아(114B)가 도전성 물질이 비아홀의 벽을 따라 형성된 것인 경우, 도면에 도시된 바와 같이 비아홀 내부는 절연성 물질로 채워진 것일 수 있다. 또한, 제1관통비아(114A) 및 제2관통비아(114B) 각각의 형상은 테이퍼 형상, 원통 형상 등 당해 기술분야에 공지된 모든 형상이 적용될 수 있다.
- [0090] 제1관통비아(114A)는 제1관통비아(114A)와 연결된 제1배선패턴(112A)과 일체화된 구조일 수 있다. 제2관통비아(114B)는 제2관통비아(114B)와 연결된 제2배선패턴(112B)과 일체화된 구조일 수 있다.
- [0092] 제1관통비아(114A)는 제2빌드업구조체(140)의 제1비아(143A)와 접하여 서로 연결될 수 있다. 이 때, 제1관통비아(114A) 및 제1비아(143A)는 제1절연재(111A) 및 제1절연층(141A)이 접하는 경계면에서 서로 접할 수 있다. 제1관통비아(114A) 및 제1비아(143A)가 접하는 경계면에서, 제1관통비아(114A) 및 제1비아(143A) 각각의 폭 및/또는 단면적은 서로 상이할 수 있다. 예를 들면, 도면에 도시된 바와 다르게, 제1관통비아(114A) 및 제1비아(143A)가 접하는 경계면에서 제1관통비아(114A)의 폭은 제1비아(143A)의 폭보다 넓을 수 있다. 제1관통비아(114A) 또는 제1비아(143A)의 폭이 넓게 형성됨으로써, 제1관통비아(114A) 및 제1비아(143A)의 얼라인(Align)을 효율적으로 맞출 수 있다.
- [0094] 제1전자부품(120A) 및 제2전자부품(122B) 각각은 각각은 전극을 갖는 칩 타입의 커패시터(Capacitor)일 수 있다. 예를 들면, 적층 세라믹 커패시터(MLCC, Multi-Layer Ceramic Capacitors)일 수 있으나, 이에 제한되는 것은 아니다. 또한, 전술한 바와 같이 제1전자부품(120A) 및 제2전자부품(122B) 각각의 전극은 병렬로 연결될 수 있다. 즉, 제1전자부품(120A) 및 제2전자부품(122B) 각각은 제1전극 및 제2전극을 포함할 수 있으며, 제1전자부품(120A) 및 제2전자부품(122B) 각각의 제1전극이 서로 연결되고, 제1전자부품(120A) 및 제2전자부품(122B) 각각의 제2전극이 서로 연결될 수 있다.
- [0096] 다만, 이에 한정되는 것은 아니며 제1전자부품(120A) 및 제2전자부품(122B) 각각은 인덕터(Inductor) 등의 수동 부품일 수 있으며, 집적회로(IC: Integrated Circuit) 또는 반도체 칩과 같은 능동부품일 수도 있다.
- [0098] 접속도체(121)는 솔더(Solder) 또는 도전성 페이스트(paste)를 포함할 수 있다. 그러나 이에 한정되는 것은 아니며, 접속도체(121)의 형성 재료는 전도성 물질이라면 어느 것이든 사용 가능하다.
- [0100] 전술한 바와 같이 제1빌드업구조체(130)는 제1절연층(131A), 제1절연층(131A) 상에 배치된 제1배선층(132A), 제1절연층(131A)를 관통하며 제1배선층(132A) 및 베이스 기판(110)의 제3배선층(112C)을 연결하는 제1비아(133A), 제1절연층(131A) 상에 배치된 제2절연층(131B), 제2절연층(131B) 상에 배치된 제2배선층(132B), 및 제2절연층(131B)을 관통하며 제2배선층(132B) 및 제1배선층(132A)을 연결하는 제2비아(133B)를 포함한다.
- [0102] 그러나 제1빌드업구조체(130)의 구조는 이에 한정되는 것은 아니며, 통상의 기술자가 설계 가능한 범위 내에서 얼마든지 변경 가능하다. 예를 들면, 제1빌드업구조체(130)에 포함된 절연층, 배선층, 및/또는 비아의 수는 도면에 도시된 것보다 많을 수도 적을 수도 있다.

- [0104] 제1절연층(131A) 및 제2절연층(131B) 각각의 형성 재료는 특별히 한정되지는 않으며, 절연성을 갖는 물질이라면 어느 것이든 사용 가능하다. 예를 들면, 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지에 무기 필러 및/또는 유리 섬유(Glass Cloth, Glass Fabric) 등의 보강재가 더 포함된 수지, 예를 들면, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 등이 사용될 수 있다. 필요에 따라서는, 감광성 절연(Photo Imagable Dielectric: PID) 수지를 사용할 수도 있다.
- [0106] 제1절연층(131A) 및 제2절연층(131B) 간의 경계는 제1절연층(131A) 및 제2절연층(131B) 각각의 재료 및 공정 등에 따라 서로 구분되지 않을 수 있다. 즉, 적층 공정 제1절연층(131A) 및 제2절연층(131B)이 서로 일체화되거나 경계면이 불분명해져 완성된 전자부품 내장기판 구조에서 육안으로 그 경계면을 확인하기 어려울 수 있다.
- [0108] 뿐만 아니라, 제1절연층(131A) 및 이와 접하는 제2절연재(111B) 간의 경계역시 제1절연층(131A) 및 제2절연재(111B) 각각의 재료 및 공정 등에 따라 서로 구분되지 않을 수 있다. 즉, 적층 공정 제1절연층(131A) 및 제2절연재(111B)가 서로 일체화되거나 경계면이 불분명해져 완성된 전자부품 내장기판 구조에서 육안으로 그 경계면을 확인하기 어려울 수 있다.
- [0110] 제1배선층(132A) 및 제2배선층(132B) 각각의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 제1배선층(132A) 및 제2배선층(132B) 각각은 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(Ground: GND) 패턴, 파워(PoWer: PWR) 패턴, 신호(Signal: S) 패턴 등의 배선패턴을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면 데이터 신호 등을 포함한다. 또한, 비아 패드 등을 포함한다.
- [0112] 제1비아(133A) 및 제2비아(133B) 각각의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 제1비아(133A) 및 제2비아(133B) 각각은 도전성 물질로 완전히 충전된 것일 수 있으며, 또는 도전성 물질이 비아의 벽을 따라 형성된 것일 수도 있다. 비아가 도전성 물질이 비아홀의 벽을 따라 형성된 것인 경우, 비아홀 내부는 절연성 물질로 채워진 것일 수 있다. 또한, 제1비아(133A) 및 제2비아(133B) 각각의 형상은 테이퍼 형상, 원통 형상 등 당해 기술 분야에 공지된 모든 형상이 적용될 수 있다.
- [0114] 제1비아(133A)는 제1비아(133A)와 연결된 제1배선패턴(132A)과 일체화된 구조일 수 있다. 제2비아(133B)는 제2비아(133B)와 연결된 제2배선패턴(132B)과 일체화된 구조일 수 있다.
- [0116] 전술한 바와 같이 제2빌드업구조체(140)는 제1절연층(141A), 제1절연층(141A) 상에 배치된 제1배선층(142A), 제1절연층(141A)를 관통하며 제1배선층(142A) 및 제1전자부품(120A)을 연결하는 제1비아(143A), 제1절연층(141A) 상에 배치된 제2절연층(141B), 제2절연층(141B) 상에 배치된 제2배선층(142B), 및 제2절연층(141B)을 관통하며 제2배선층(142B) 및 제1배선층(142A)을 연결하는 제2비아(143B)를 포함한다.
- [0118] 그러나 제2빌드업구조체(140)의 구조는 이에 한정되는 것은 아니며, 통상의 기술자가 설계 가능한 범위 내에서 얼마든지 변경 가능하다. 예를 들면, 제2빌드업구조체(140)에 포함된 절연층, 배선층, 및/또는 비아의 수는 도면에 도시된 것보다 많을 수도 적을 수도 있다.
- [0120] 제1절연층(141A) 및 제2절연층(141B) 각각의 형성 재료는 특별히 한정되지는 않으며, 절연성을 갖는 물질이라면

어느 것이든 사용 가능하다. 예를 들면, 에폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지에 무기 필러 및/또는 유리 섬유(Glass Cloth, Glass Fabric) 등의 보강재가 더 포함된 수지, 예를 들면, 프리프레그(prepreg), ABF(Ajinomoto Build-up Film), FR-4, BT(Bismaleimide Triazine) 등이 사용될 수 있다. 필요에 따라서는, 감광성 절연(Photo Imagable Dielectric: PID) 수지를 사용할 수도 있다.

[0122] 제1절연층(141A) 및 제2절연층(141B) 간의 경계는 제1절연층(141A) 및 제2절연층(141B) 각각의 재료 및 공정 등에 따라 서로 구분되지 않을 수 있다. 즉, 적층 공정 제1절연층(141A) 및 제2절연층(141B)이 서로 일체화되거나 경계면이 불분명해져 완성된 전자부품 내장기관 구조에서 육안으로 그 경계면을 확인하기 어려울 수 있다.

[0124] 뿐만 아니라, 제1절연층(141A) 및 이와 접하는 제1절연재(111A) 간의 경계역시 제1절연층(141A) 및 제1절연재(111A) 각각의 재료 및 공정 등에 따라 서로 구분되지 않을 수 있다. 즉, 적층 공정 제1절연층(141A) 및 제1절연재(111A)가 서로 일체화되거나 경계면이 불분명해져 완성된 전자부품 내장기관 구조에서 육안으로 그 경계면을 확인하기 어려울 수 있다.

[0126] 제1배선층(142A) 및 제2배선층(142B) 각각의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 제1배선층(142A) 및 제2배선층(142B) 각각은 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등의 배선패턴을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면 데이터 신호 등을 포함한다. 또한, 비아 패드 등을 포함한다.

[0128] 제1비아(143A) 및 제2비아(143B) 각각의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 제1비아(143A) 및 제2비아(143B) 각각은 도전성 물질로 완전히 충전된 것일 수 있으며, 또는 도전성 물질이 비아의 벽을 따라 형성된 것일 수도 있다. 비아가 도전성 물질이 비아홀의 벽을 따라 형성된 것인 경우, 비아홀 내부는 절연성 물질로 채워진 것일 수 있다. 또한, 제1비아(143A) 및 제2비아(143B) 각각의 형상은 테이퍼 형상, 원통 형상 등 당해 기술 분야에 공지된 모든 형상이 적용될 수 있다.

[0130] 제1비아(143A)는 제1비아(143A)와 연결된 제1배선패턴(142A)과 일체화된 구조일 수 있다. 제2비아(143B)는 제2비아(143B)와 연결된 제2배선패턴(142B)과 일체화된 구조일 수 있다.

[0132] 제1 패시베이션층(150) 및 제2패시베이션층(160)은 일례에 따른 전자부품 내장기관(100A)의 내부 구성을 외부의 물리적 화학적 손상 등으로부터 보호할 수 있다 제1 패시베이션층(150) 및 제2패시베이션층(160) 각각은 열경화성 수지 및 무기필러를 포함할 수 있다. 예컨대, 제1 패시베이션층(150) 및 제2패시베이션층(160) 각각은 ABF일 수 있다. 다만, 이에 한정되는 것은 아니며, 제1 패시베이션층(150) 및 제2패시베이션층(160) 각각 공지의 감광성 절연층, 예컨대 SR(Solder Resist)층일 수 있다. 제1 패시베이션층(150) 및 제2패시베이션층(160)은 서로 동일한 종류의 재료를 포함할 수 있으며, 서로 실질적으로 동일한 두께를 가질 수 있다. 다만, 이에 한정되는 것은 아니며, 서로 다른 종류의 재료를 포함할 수 있으며, 서로 다른 두께를 가질 수도 있다.

[0133]

[0134] 제1패시베이션층(150)은 제1빌드업구조체(130)의 배선층(132B)의 적어도 일부를 노출시키는 하나 이상의 개구부(부호 미도시)를 가질 수 있다. 또한, 제2패시베이션층(160)은 제2빌드업구조체(140)의 배선층(142B)의 적어도 일부를 노출시키는 하나 이상의 개구부(부호 미도시)를 가질 수 있다. 이 때, 노출된 배선층(132B, 142B) 각각의 표면에는 표면 처리층이 형성될 수 있다. 표면 처리층은, 예를 들어, 금도금, 주석도금, 은도금, 니켈도금 등에 의해 형성될 수 있다. 필요에 따라서는, 제1 패시베이션층(150) 및 제2패시베이션층(160) 각각의 개구부는 복수의 비아홀로 구성될 수도 있다.

- [0136] 도 4 내지 도 8은 일례에 따른 전자부품 내장기관(100A)의 제조 공정을 개략적으로 나타낸 것이다.
- [0138] 도 4(a) 내지 도 4(c)를 참조하면, 동박 등의 금속층(220)이 부착된 캐리어 필름(210) 상에 접착부재(230)를 부착하고, 제1전자부품(120A)을 배치하여, 제1절연재(111A)로 봉합한다.
- [0140] 접착부재(230)는 제1전자부품(120A)을 고정시킬 수 있는 것이면 어느 것이든 것 사용 가능하다. 예를 들면, 공지의 테이프 등을 사용할 수 있다.
- [0142] 제1절연재(111A)는 공지의 방법으로 형성될 수 있다. 예를 들면, 제1절연재(111A) 전구체를 공지의 라미네이션 방법으로 라미네이션한 후 경화하는 방법, 또는 공지의 도포 방법으로 전구체 물질을 도포한 후 경화하는 방법 등으로 형성할 수 있다.
- [0144] 도 5(a) 내지 도 5(c)를 참조하면, 제1비아(113A), 제1관통비아(114A) 및 제1배선층(112A)을 형성한다. 또한, 솔더 등의 접속도체(121)를 통해 제1배선층(112A)상에 제2전자부품(120B)을 배치하고, 제2절연재(111B)로 봉합한다.
- [0146] 제1비아(113A), 제1관통비아(114A) 및 제1배선층(112A)은 공지의 방법으로 형성할 수 있다. 예를 들면, 포토리소그래피법, 기계적 드릴, 및/또는 레이저 드릴 등을 이용하여 관통비아홀 또는 비아홀을 형성한 후 드라이 필름 등으로 패터닝하고, 도금 공정 등으로 비아 홀 및 패터닝된 공간을 채우는 방법으로 형성할 수 있다.
- [0148] 접속도체(121)는 공지의 방법으로 형성할 수 있다. 예를 들면, 솔더(solder) 등을 스크린 인쇄 방식, 디스펜서(dispenser) 방식 등에 의해 도포하는 방법 등으로 형성할 수 있다.
- [0150] 도 6(a) 내지 도 6(c)를 참조하면, 제2비아(113B), 제2관통비아(114B) 및 3배선층(112C)을 형성한다. 또한, 캐리어 필름(210), 금속층(220) 및 접착부재(230)를 박리한다.
- [0152] 도 7(a) 내지 도 7(b)를 참조하면, 제1빌드업구조체(130) 및 제2빌드업구조체(140) 각각의 제1절연층(131A, 141A), 제1비아(133A, 143A), 제1배선층(132A, 142A)을 형성한다. 또한, 제1빌드업구조체(130) 및 제2빌드업구조체(140) 각각의 제2절연층(131B, 141B), 제2비아(133B, 143B), 제2배선층(132B, 142B)을 형성한다. 이들의 형성 방법도 전술한 바와 같다.
- [0154] 도 8을 참조하면, 제1패시베이션층(150) 및 제2패시베이션층(160)을 형성한다.
- [0156] 제1패시베이션층(150) 및 제2패시베이션층(160) 각각 역시 공지의 방법으로 형성될 수 있으며, 예를 들면 제1패시베이션층(150) 및 제2패시베이션층(160) 각각의 전구체를 라미네이션 한 후 경화시키는 방법, 패시베이션층(250) 형성 물질을 도포한 후 경화시키는 방법 등을 통하여 형성할 수 있다.
- [0158] 도 9는 다른 일례에 따른 전자부품 내장기관(100B)의 단면도를 개략적으로 나타낸 것이다.

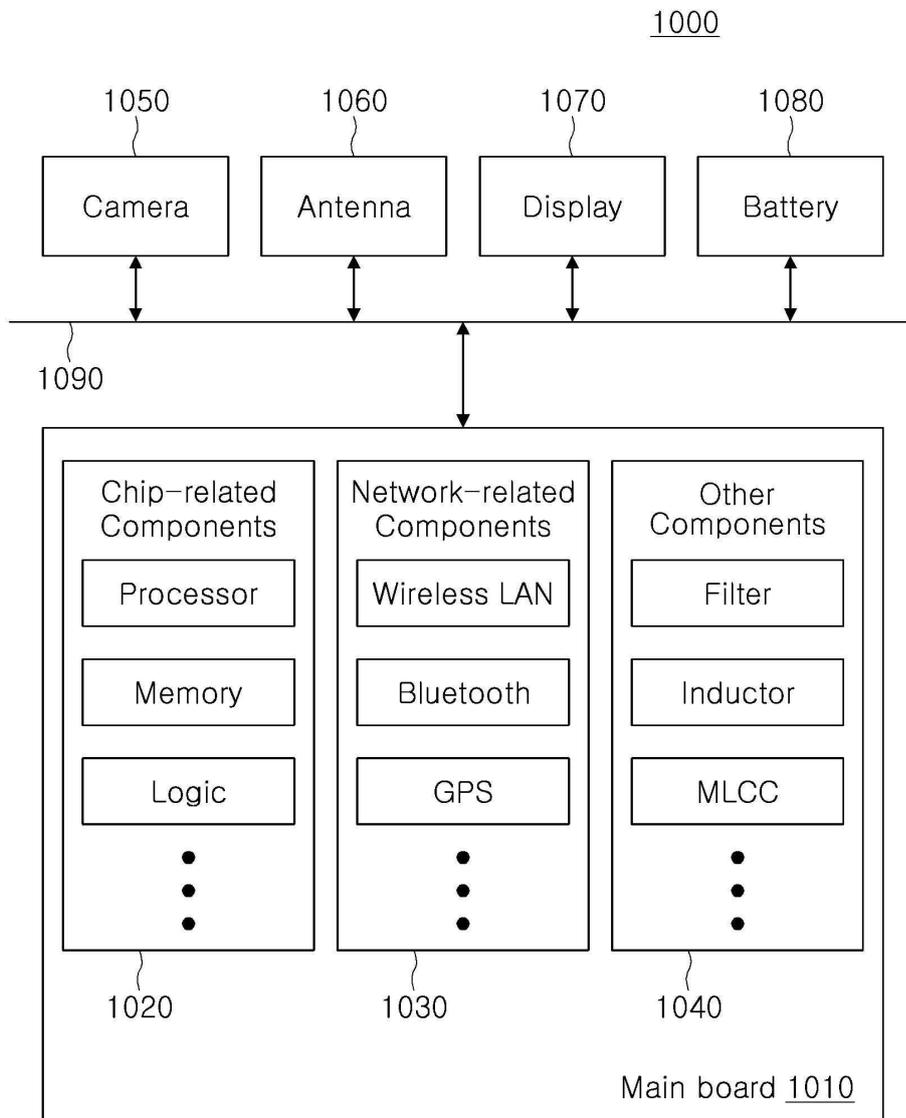
- [0160] 다른 일례에 따른 전자부품 내장기관(100B)은 일례에 따른 전자부품 내장기관(100A)에 있어, 접착부재(171) 및 배선층(172)을 더 포함한다.
- [0162] 따라서, 제1관통비아(114A)는 제1절연재(111A)를 관통하여 접착부재(171)를 더 관통하며, 배선층(172)과 연결된다. 또한, 제2빌드업구조체(140)의 제1비아(143A)의 일부는 제1배선층(141A)을 관통하여 접착부재(171)를 더 관통한다. 제2빌드업구조체(140)의 제1비아(143A)의 다른 일부는 제1배선층(141A)을 관통하여 배선층(172)과 연결된다.
- [0164] 접착부재(171)는 베이스기관(110) 및 제2빌드업구조체(140) 사이에 배치되며, 배선층(172)은 접착부재(171)에 매립된다. 이 때, 배선층(172)의 일면은 접착부재(171)의 제2빌드업구조체(140)가 배치된 면과 코플래너(coplanar)할 수 있다. 따라서, 배선층(172)의 일면은 접착부재(171) 상으로 노출될 수 있다.
- [0166] 접착부재(171) 형성 재료는 절연성 및 점착성을 갖는 물질이라면 제한 없이 사용 가능하다. 예를 들면, 접착부재(171)는 열경화성 수지 및/또는 열가소성 수지를 포함할 수 있다.
- [0168] 배선층(172)의 형성 재료는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질이 사용될 수 있다. 배선층(172)은 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(Ground: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등의 배선패턴을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면 데이터 신호 등을 포함한다. 또한, 비아 패드 등을 포함한다.
- [0170] 그 외에 다른 내용은 일례에 따른 전자부품 내장기관(100A)에서 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.
- [0172] 도 10 내지 도 14는 다른 일례에 따른 전자부품 내장기관(100B)의 제조 공정을 개략적으로 나타낸 것이다.
- [0174] 도 10(a) 내지 도 10(b)를 참조하면, 금속층(172c)이 부착된 캐리어 필름(210)을 패터닝하여, 배선층(172)을 형성한다. 이 때, 배선층(172) 형성이 필요 없는 부분은 시드층(172s)만 남게된다. 또한, 배선층(172) 상에 접착부재(171)를 형성한다.
- [0176] 배선층(172)은 공지의 방법으로 형성할 수 있다. 예를 들면, 스퍼터링(sputtering), 서브트랙티브(Subtractive), 애디티브(Additive), SAP(Semi-Additive Process), MSAP(Modified Semi-Additive Process) 등을 이용할 수 있다.
- [0178] 도 12(a) 내지 도 12(c)를 참조하면, 캐리어 필름(210) 박리 후 에칭 등의 방법으로 시드층(172s)만을 박리한다. 따라서, 접착부재(171) 및 배선층(172)은 제거되지 않는다.
- [0180] 그 외에 다른 내용은 일례에 따른 전자부품 내장기관(100A)의 제조 공정에서 설명한 바와 실질적으로 동일한바, 자세한 설명은 생략한다.
- [0182] 도 15는 일례에 따른 전자부품 내장기관(100A)에 반도체 패키지가 실장된 경우의 일례를 개략적으로 나타낸 단

면도다.

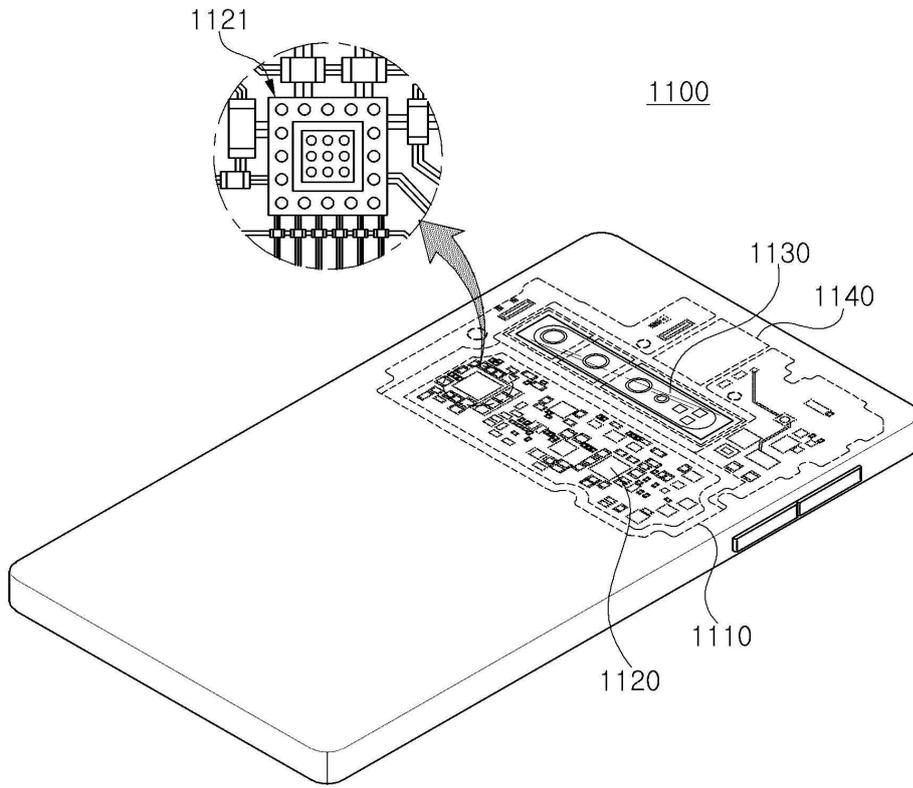
- [0184] 도면을 참조하면, 본 개시에 따른 상술한 전자부품 내장기판을 이용하는 경우, 반도체 패키지(300)가 전자부품 내장기판 상에 전기연결금속(310)을 통해 실장되며, 이때 내장된 전자부품(120)은 매우 짧은 전기적 경로로 반도체 패키지(300)에 포함된 반도체칩(미도시)과 전기적으로 연결될 수 있다.
- [0186] 또한, 반도체 패키지(300)는 반도체칩(미도시)이 별도의 인터포저(Interposer) 기판 상에 실장되어 패키징된 형태일 수 있으나, 이에 한정되는 것은 아니다.
- [0188] 반도체칩(미도시)은 ASIC(Application Specific Integrated Circuit) 및/또는 HBM(High Bandwidth Memory)일 수 있으나, 이에 한정되는 것은 아니다.
- [0190] 전기연결금속(310)은 저융점 금속, 예를 들면, 주석(Sn)이나 또는 주석(Sn)을 포함하는 합금으로 구성될 수 있다. 보다 구체적으로는 솔더 등으로 형성될 수 있으나, 이는 일례에 불과하며 재질이 특별히 이에 한정되는 것은 아니다.
- [0192] 또한, 필요한 경우 전기연결금속(310)은 언더필(Under-fill) 레진(resin)으로 고정될 수도 있다.
- [0194] 한편, 전자부품 내장기판은 메인 보드(Main Board) 등의 기판(400) 상에 별도의 전기연결금속(410)을 통해 실장될 수 있다.
- [0196] 본 개시에서 연결된다는 의미는 직접 연결된 것뿐만 아니라, 접착체 층 등을 통하여 간접적으로 연결된 것을 포함하는 개념이다. 또한, 전기적으로 연결된다는 의미는 물리적으로 연결된 경우와 연결되지 않은 경우를 모두 포함하는 개념이다. 또한, 제1, 제2 등의 표현은 한 구성요소와 다른 구성요소를 구분 짓기 위해 사용되는 것으로, 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 경우에 따라서는 권리범위를 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수도 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수도 있다.
- [0198] 본 개시에서 사용된 일례라는 표현은 서로 동일한 실시예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일례들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일례에서 설명된 사항이 다른 일례에서 설명되어 있지 않더라도, 다른 일례에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일례에 관련된 설명으로 이해될 수 있다.
- [0200] 본 개시에서 사용된 용어는 단지 일례를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

도면

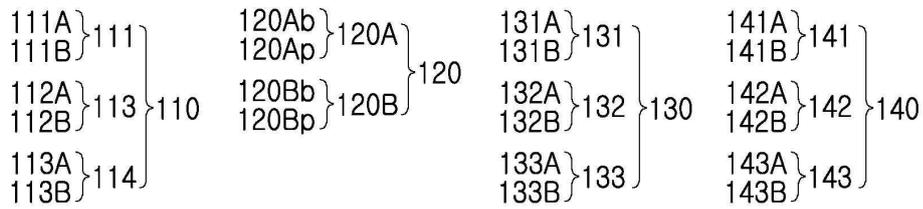
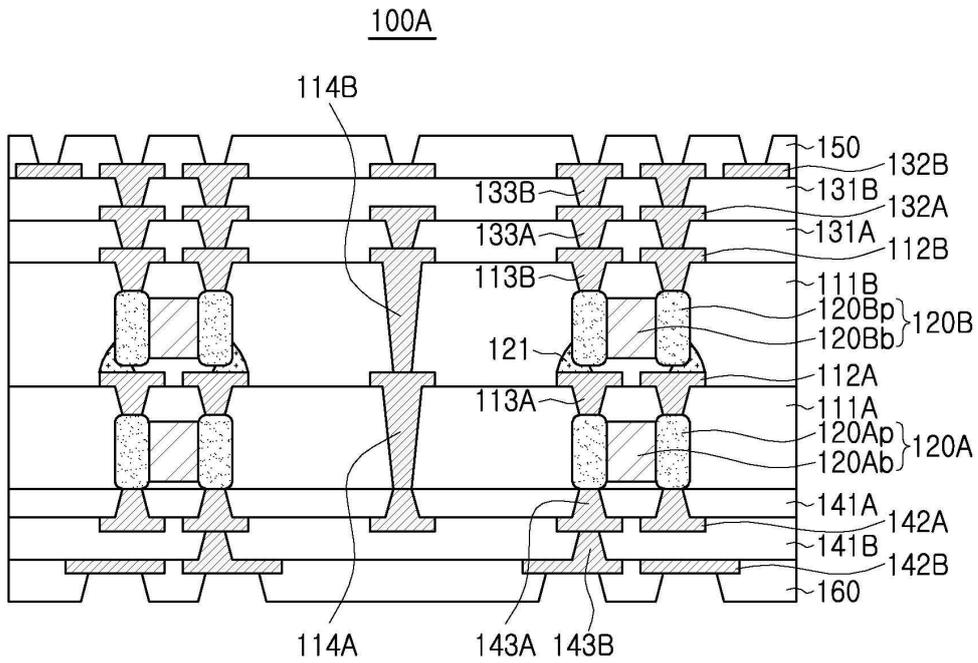
도면1



도면2

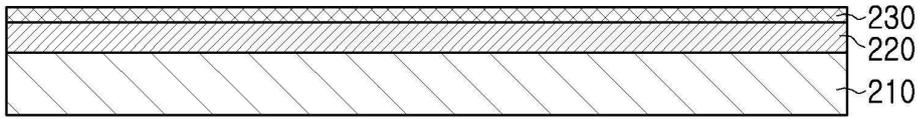


도면3

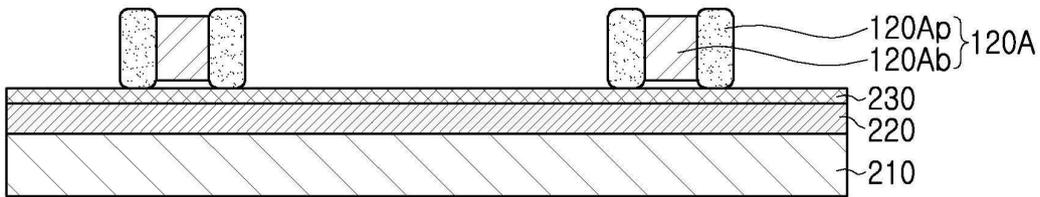


도면4

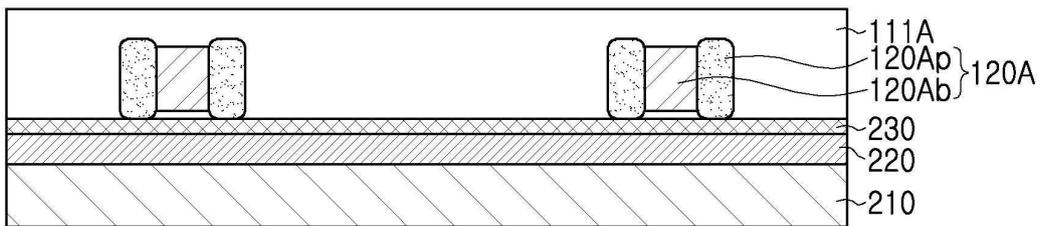
(a)



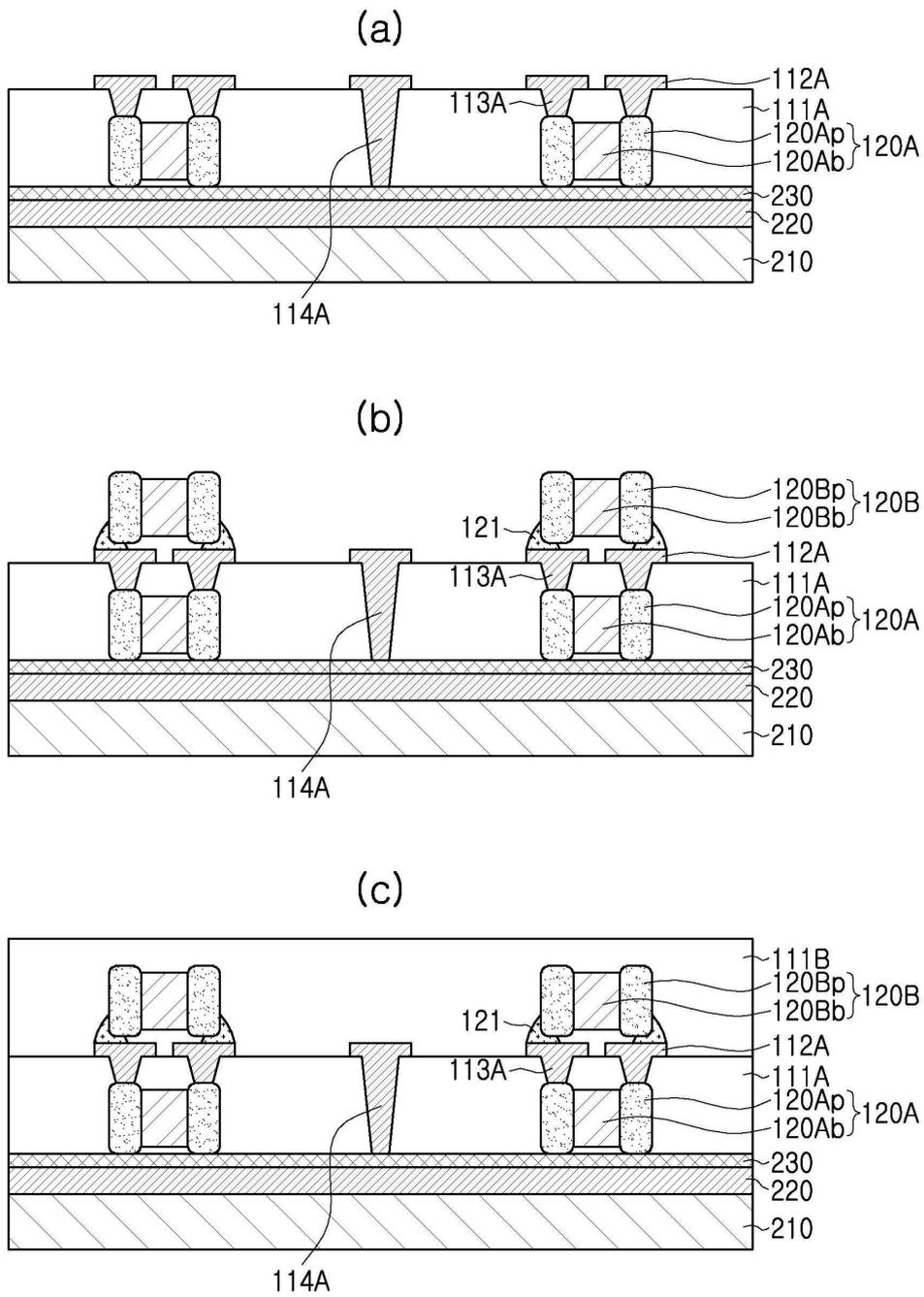
(b)



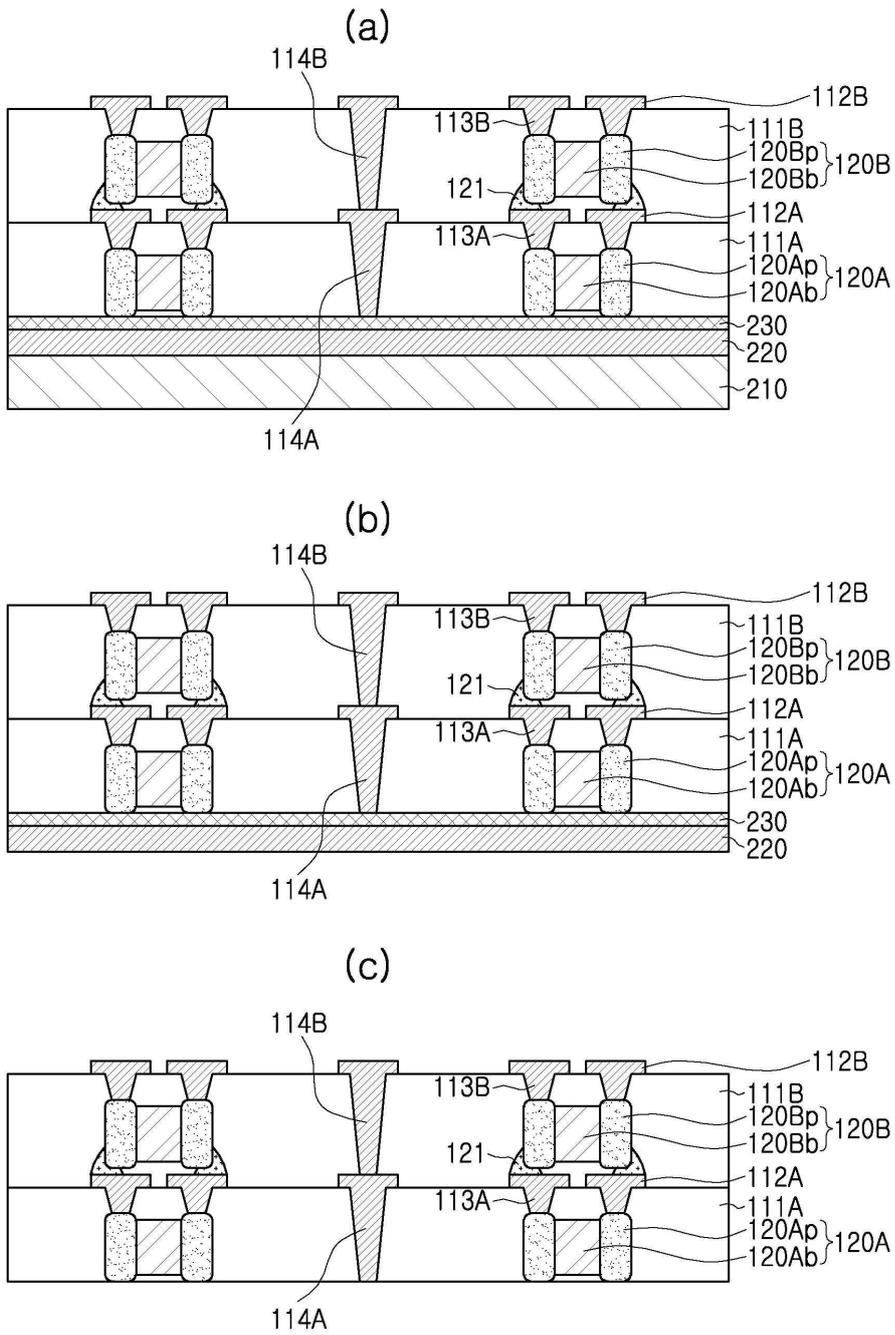
(c)



도면5

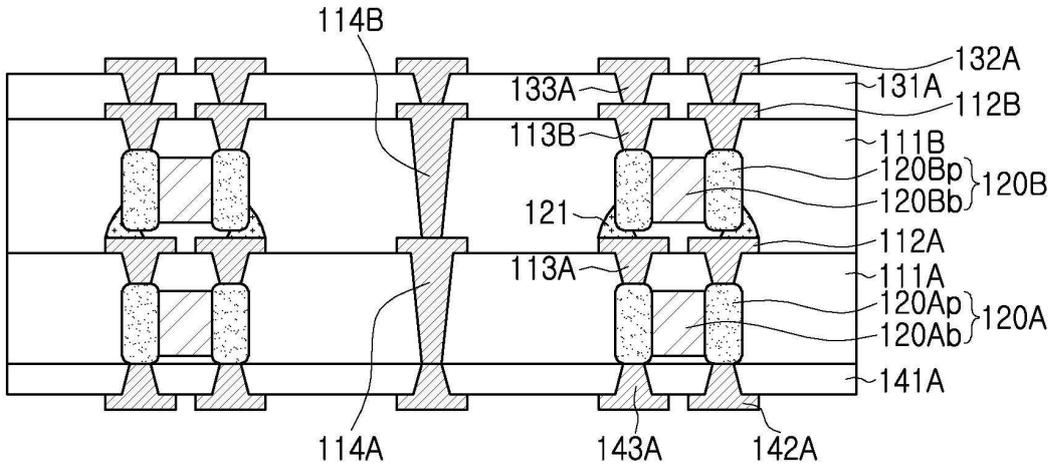


도면6

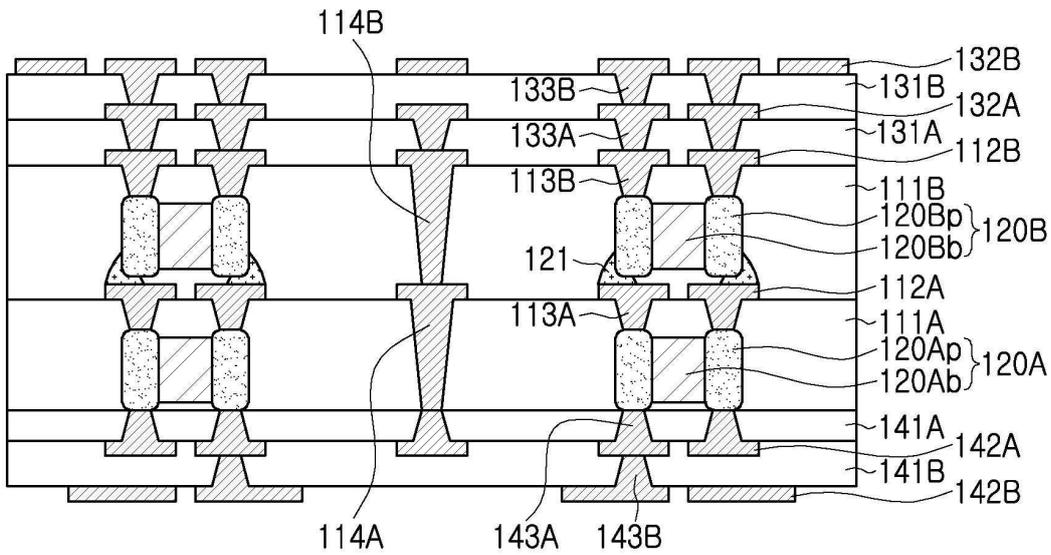


도면7

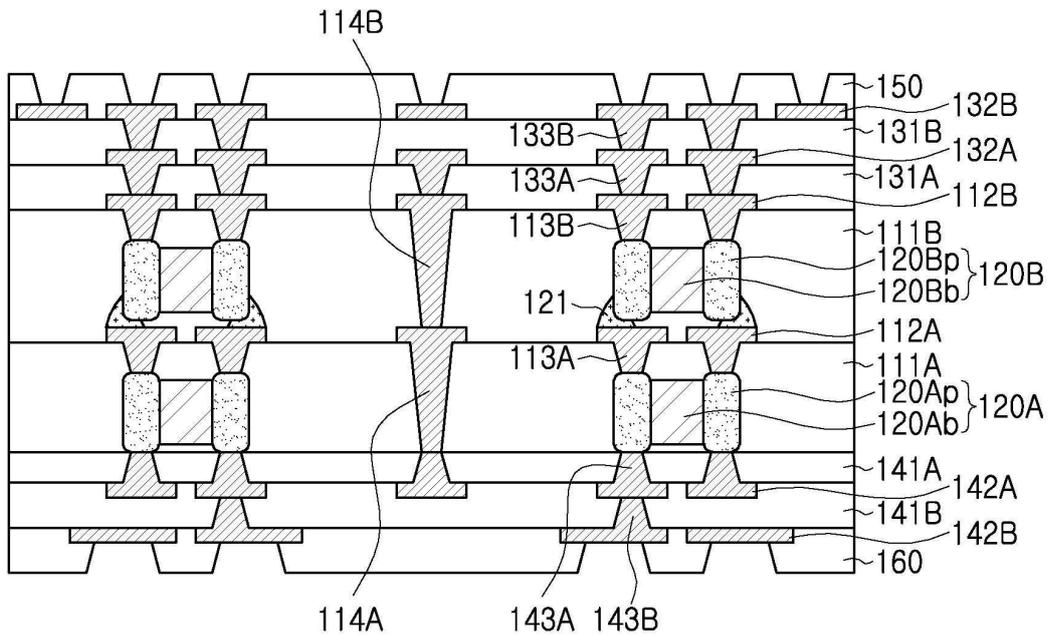
(a)



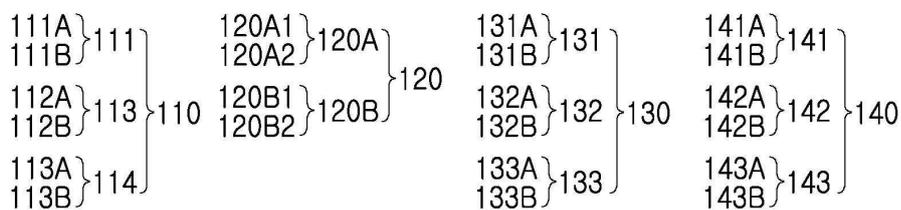
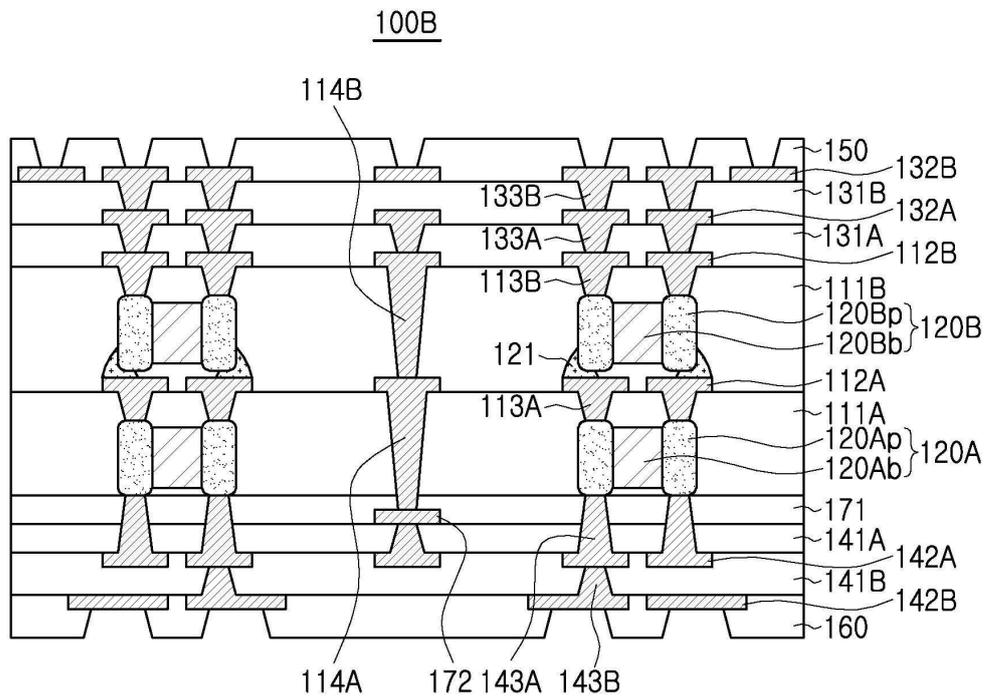
(b)



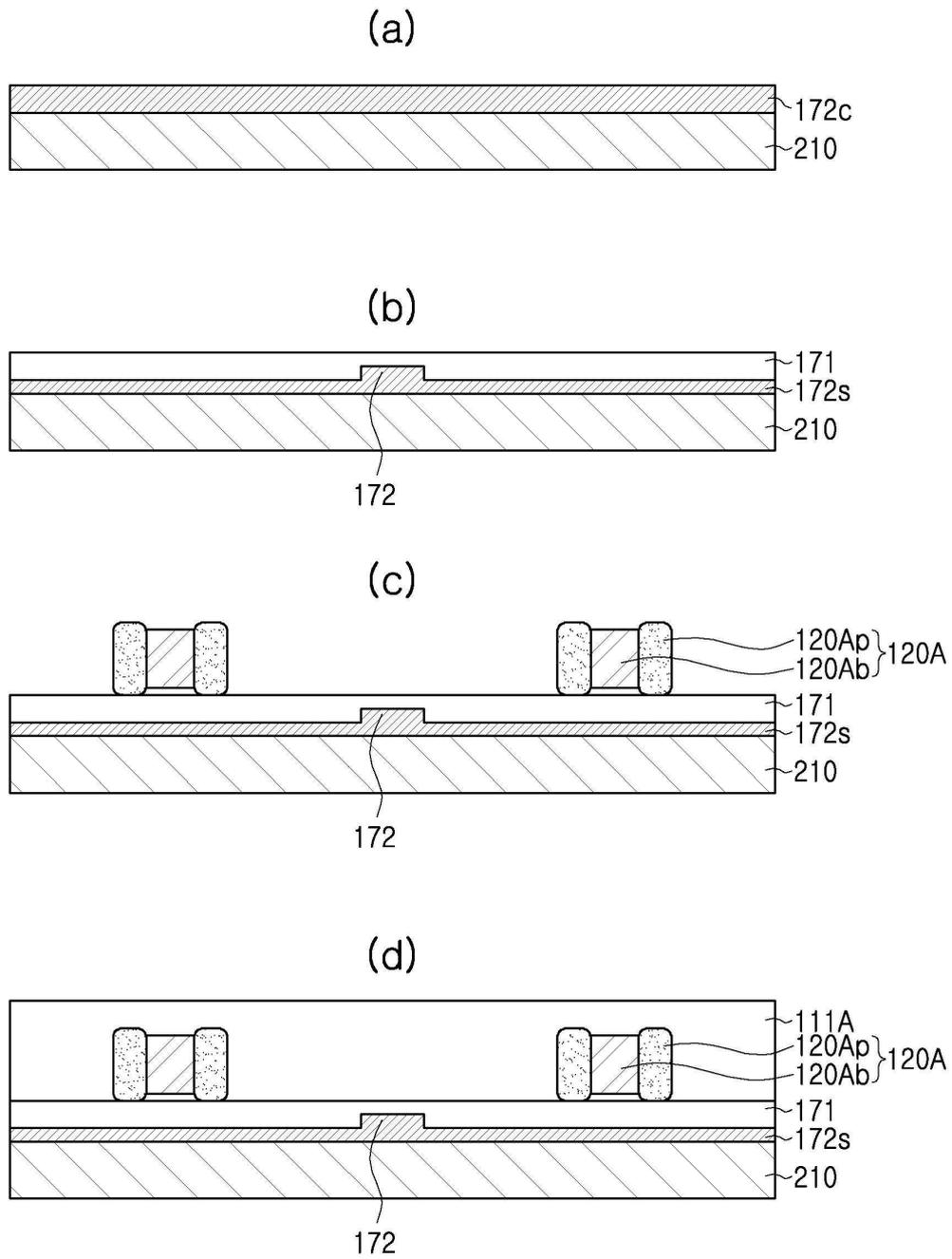
도면8



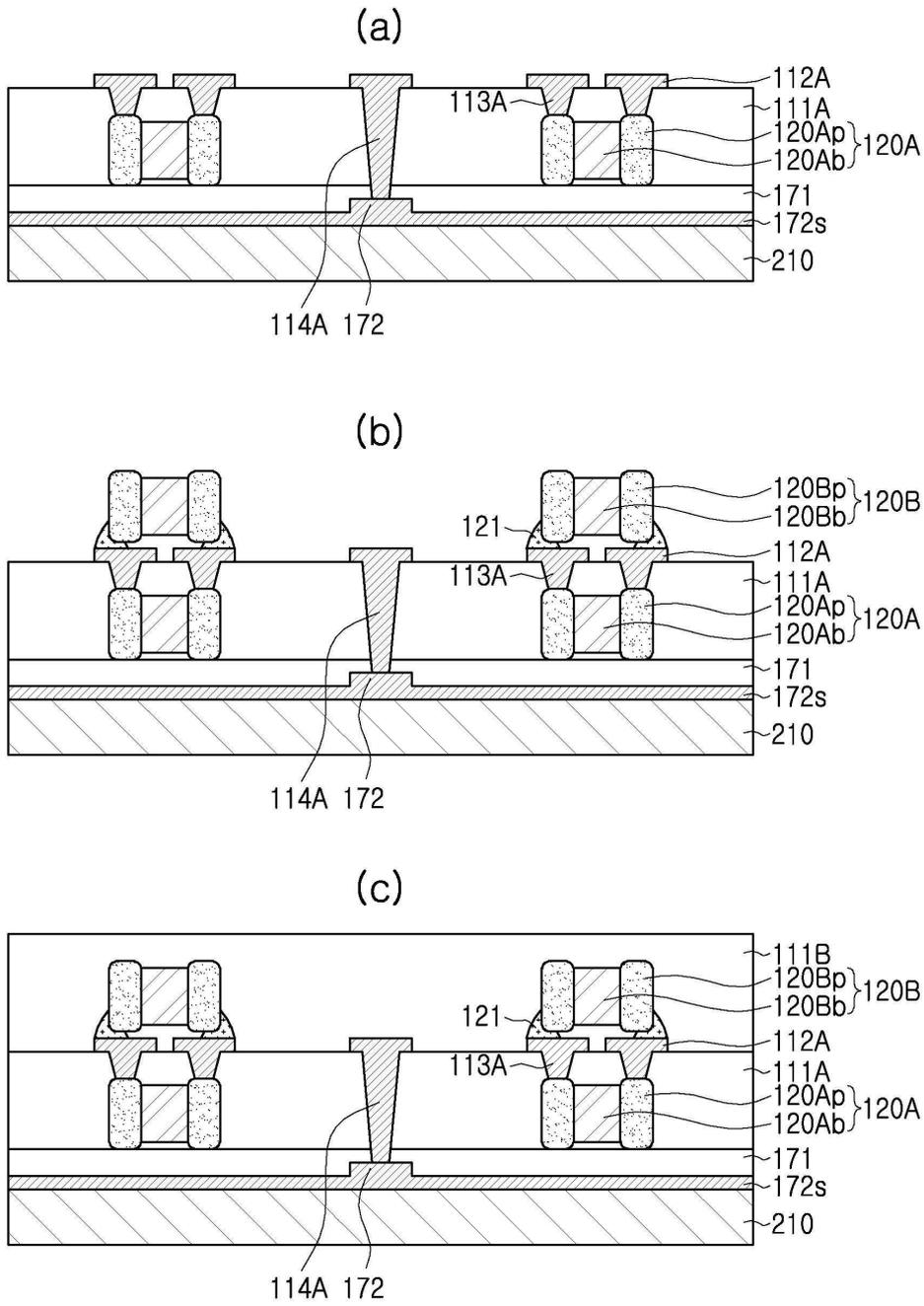
도면9



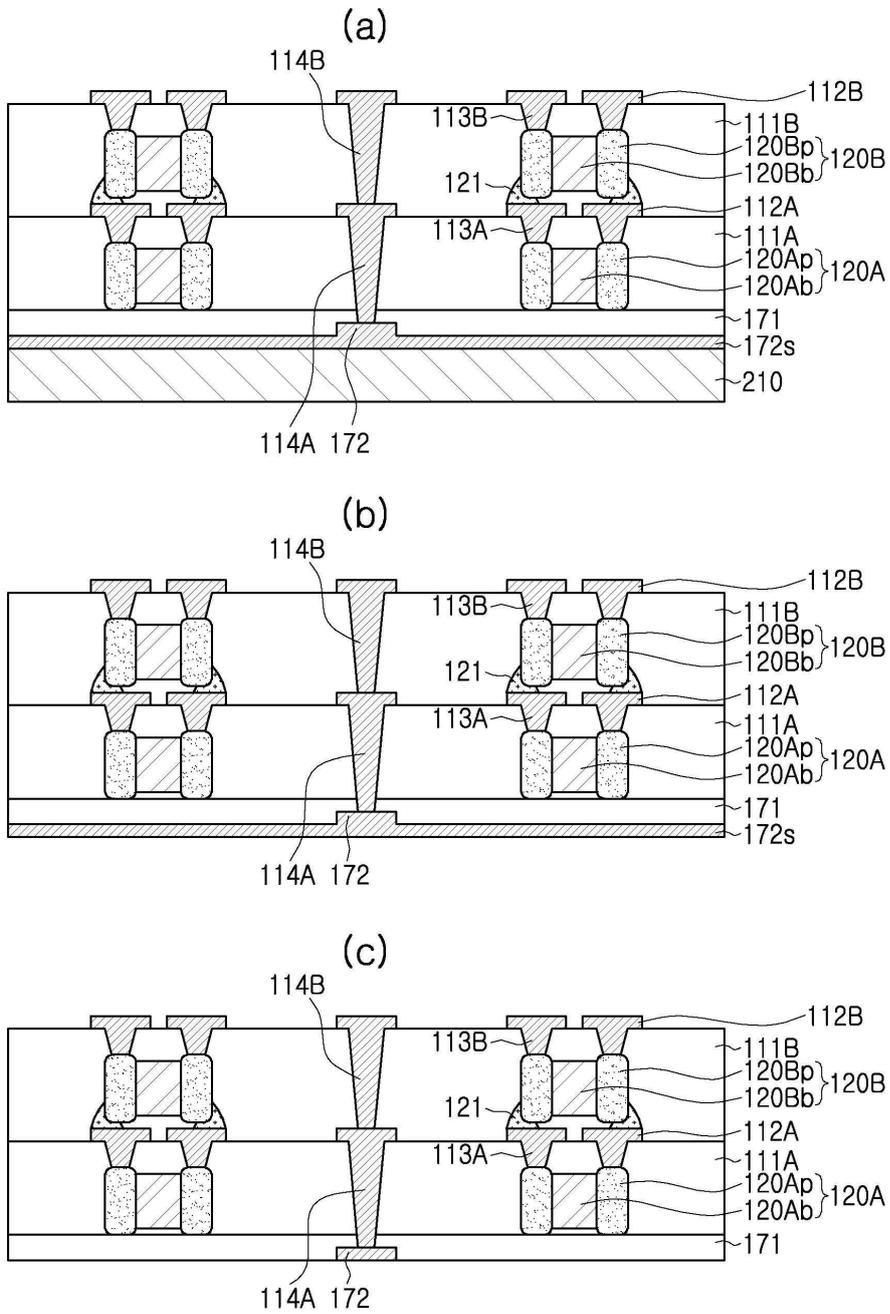
도면10



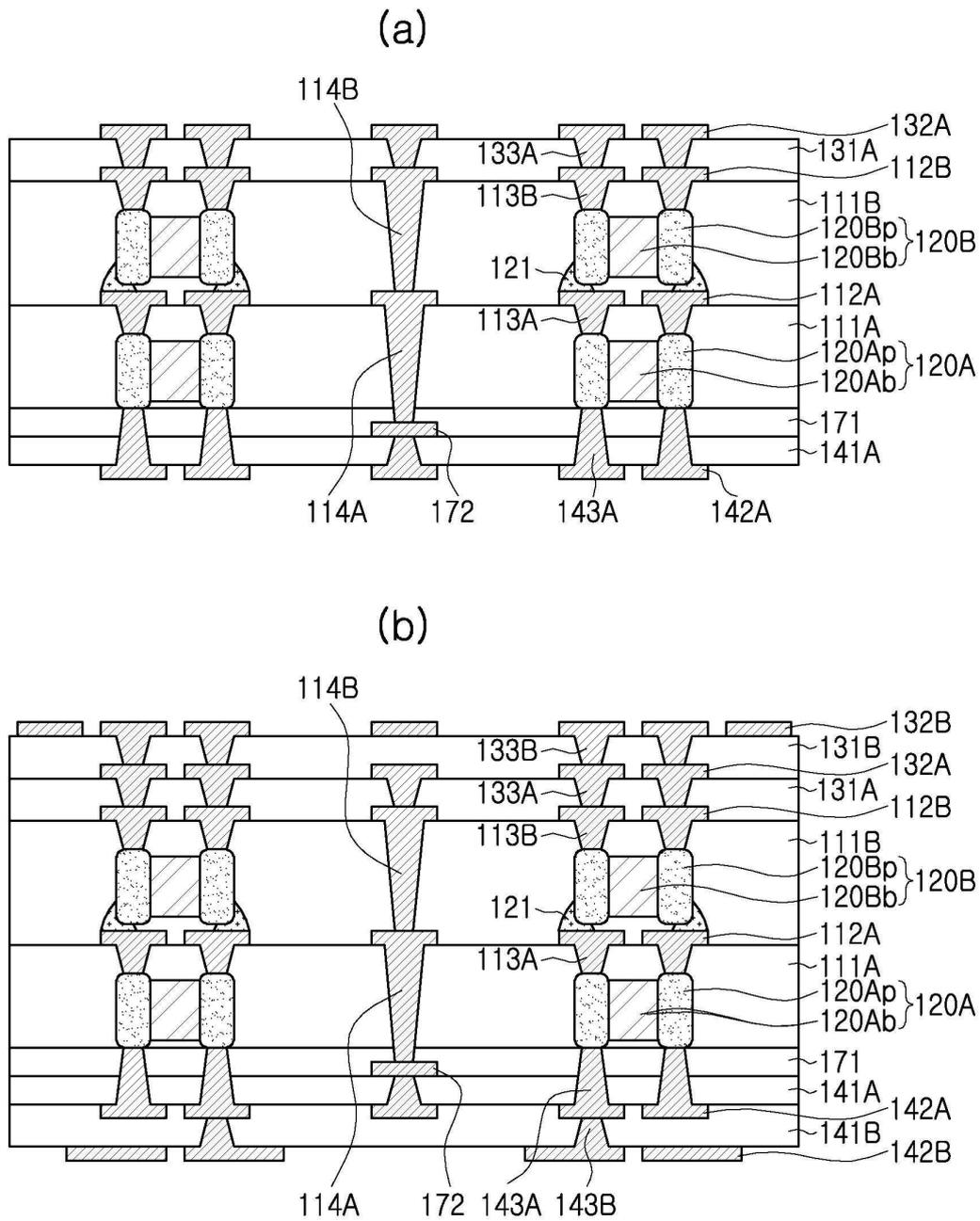
도면11



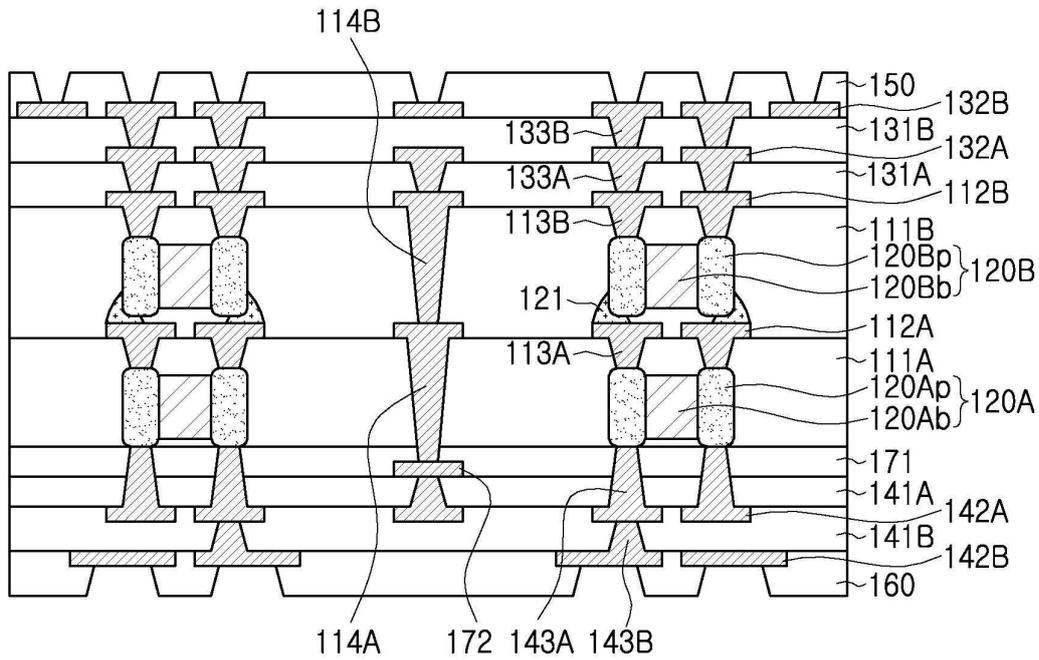
도면12



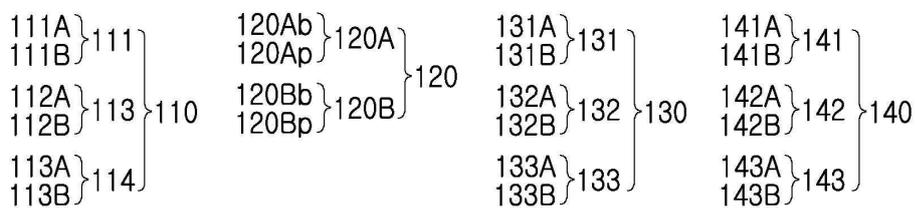
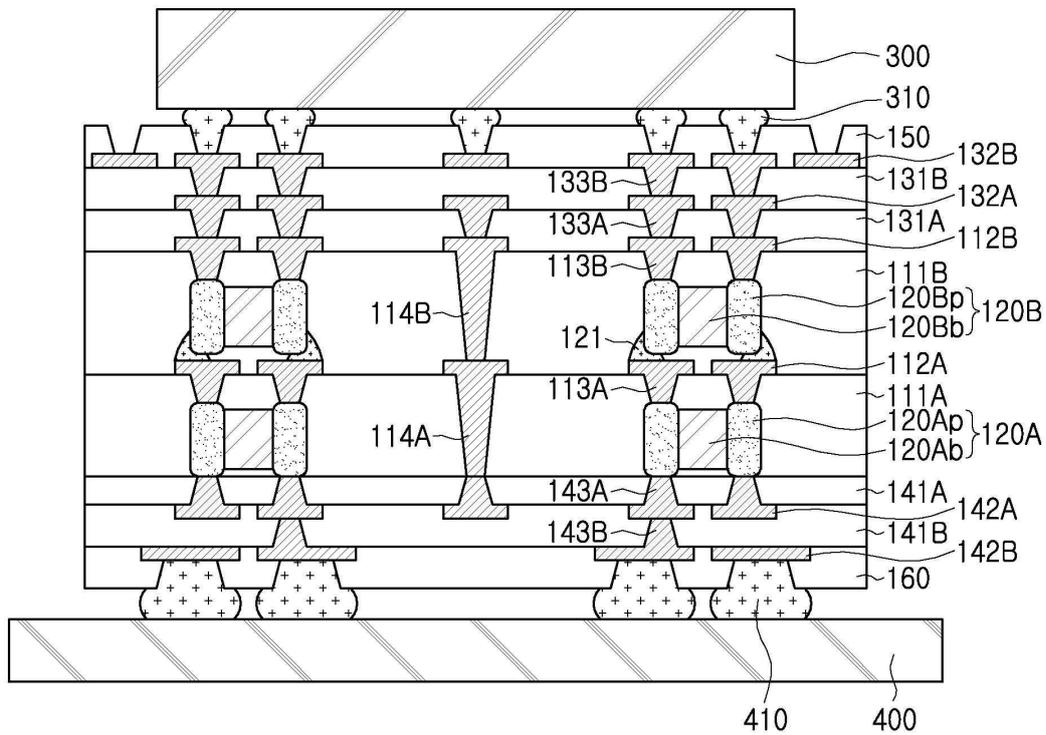
도면13



도면14



도면15



도면16

