

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3947417号  
(P3947417)

(45) 発行日 平成19年7月18日(2007.7.18)

(24) 登録日 平成19年4月20日(2007.4.20)

(51) Int. Cl.		F I			
HO4J	3/00	(2006.01)	HO4J	3/00	U
HO4J	14/08	(2006.01)	HO4B	9/00	D
HO4L	7/02	(2006.01)	HO4L	7/02	Z

請求項の数 3 (全 21 頁)

<p>(21) 出願番号 特願2002-78053 (P2002-78053)</p> <p>(22) 出願日 平成14年3月20日 (2002.3.20)</p> <p>(65) 公開番号 特開2003-283452 (P2003-283452A)</p> <p>(43) 公開日 平成15年10月3日 (2003.10.3)</p> <p>審査請求日 平成17年1月27日 (2005.1.27)</p>	<p>(73) 特許権者 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号</p> <p>(74) 代理人 100090011 弁理士 茂泉 修司</p> <p>(72) 発明者 上釜 貴美男 神奈川県川崎市中原区上小田中4丁目1番地1 富士通株式会社内</p> <p>(72) 発明者 与板 由佳子 神奈川県川崎市中原区上小田中4丁目1番地1 富士通株式会社内</p> <p>審査官 佐々木 洋</p>
--	---

最終頁に続く

(54) 【発明の名称】 波長分割多重システム

(57) 【特許請求の範囲】

【請求項1】

SDH/SONETフレーム信号を送出する入力端局装置と、受信した複数の前記SDH/SONETフレーム信号を多重してSDH/SONETフレーム信号とは異なるフォーマットの第2のフレームに変換し、所定の波長の光信号として送信する時分割多重波長変換装置と、複数の前記時分割多重波長変換装置からの、異なる波長の前記光信号を波長多重して送信する波長分割多重装置とからなる波長分割多重システムであって、

前記時分割多重波長変換装置は、

前記SDH/SONETフレーム信号のオーバーヘッドからパリティを示すバイトを終端するオーバーヘッド終端部と、前記SDH/SONETフレーム信号のパリティ検査を行い、前記オーバーヘッド終端部で終端したパリティを示すバイトと前記パリティ検査結果とを比較するパリティ検出部とを各々が備え、受信するSDH/SONETフレーム信号毎に設けられた複数のSDH/SONETフレーム受信部と、

前記複数のSDH/SONETフレーム受信部からの出力信号をビット多重して前記第2のフレームに変換して出力する時分割多重部と、

前記第2のフレームを、前記波長分割多重装置の多重可能な前記所定の波長に変換するE/O変換部と、

からなることを特徴とする波長分割多重システム。

【請求項2】

請求項1に記載の波長分割多重システムであって、

10

20

前記第2のフレームは、前記SDH/SONETフレーム信号をビット多重したFECフレームであり、

前記SDH/SONETフレーム受信部は、SDH/SONETフレーム信号の断を検出し、LOS信号として出力するLOS検出部をさらに備えたことを特徴とする波長分割多重システム。

**【請求項3】**

複数のSDH/SONETフレーム信号が、時分割ビット多重された第2のフレーム信号に対応して異なる波長が割り当てられた波長多重信号を受信して各波長に波長分割分離を行う波長分割分離装置と、分離された前記波長毎に設けられ、前記第2のフレームを時分割分離して複数のSDH/SONETフレーム信号に分離し、所定の波長の光信号として送信する時分割分離波長変換装置と、前記所定の波長の光信号それぞれを受信する複数の入力端局装置とからなる波長分割多重システムであって、

前記時分割分離波長変換装置は、

前記第2のフレームを複数のSDH/SONETフレーム信号に時分割ビット分離する時分割分離部と、

前記時分割分離部から出力されたSDH/SONETフレーム信号をそれぞれを受信し、受信したSDH/SONETフレーム信号のオーバーヘッドを終端するオーバーヘッド終端部と、オーバーヘッドを挿入するオーバーヘッド挿入部と、前記SDH/SONETフレーム信号のパリティを発生し、オーバーヘッドに書き込み、出力するパリティ発生部とを各々が備えた複数のSDH/SONETフレーム送信部と、

前記SDH/SONETフレーム送信部からのSDH/SONETフレーム信号を、前記入力端局装置に応じた波長に変換するE/O変換部と、

からなることを特徴とする波長分割多重システム。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

本発明は、波長分割多重システムに関し、特に波長分割多重(WDM: Wavelength Division Multiplexing)伝送システムにおける時分割多重装置及び時分割分離装置並びに時分割多重波長変換装置及び時分割分離波長変換装置に関するものである。

**【0002】**

近年、コンピュータの高性能化及び通信のマルチメディア化等に伴い、伝送される音声、データ、映像等の多様なメディアの情報量は増大している。この増大する伝送情報量に対応するために、バックボーン・ネットワークの大容量化がなされている。バックボーン・ネットワークにおいては、例えばSDH/SONET時分割多重システム、及び波長の異なる複数の光を光ケーブルを通して大容量の情報伝送する波長分割多重伝送システムが重要である。

**【0003】**

**【従来の技術】**

図9は、一般的な波長分割多重伝送システム例を示している。このシステムでは、入力端局41\_1, 41\_2は、入力された回線(チャンネル)ch1~ch4の0C48のSONET信号を波長f0の0C192のSONET信号にSONETフォーマットで多重化している。

**【0004】**

入力端局41\_3, 41\_4(以後、入力端局41\_1, 41\_2とともに符号41で総称することがある。)は、入力された回線ch1~ch16の0C12のSONET信号を波長f0の0C192のSONET信号にSONETフォーマットで多重化している。これらの0C192のSONET信号は、波長変換装置11\_1~11\_4(以後、符号11で総称することがある。)で、互いに異なる波長f1~f4の光SONET信号に変換され、可変アッテネータ(VAT)12を経由して波長分割多重装置13に与えられる。

**【0005】**

波長分割多重装置13は、波長f1~f4の0C192のSONET信号を波長分割多重する。波長分割多重された光信号は、送信アンプ14、中継器(アンプ)30\_1~30\_n、及び受信アンプ23を経由して波長分割分離装置22に送信される。

10

20

30

40

50

なお、送信アンプ14は、ブースタ(BST)ユニット16で制御され、VAT12は、送信アンプ14の光を解析するスペクトラムアナライザユニット(SAU)15の解析結果で制御される。

【0006】

波長分割分離装置22は、波長 $f_1 \sim f_n$ のOC192のSONET信号を波長分割分離して、それぞれ、波長変換装置21\_2, 21\_1, 21\_4, 21\_3に与える。波長変換装置21\_1~21\_4は、それぞれ、OC192のSONET信号を波長 $f_0$ のOC48のSONET信号に変換して出力端局42\_1~42\_4に与える。

【0007】

出力端局42\_1, 42\_2は、OC192のSONET信号を、回線ch1~ch4のOC48のSONET信号にSONETフォーマットで時分割分離して出力する。出力端局42\_3, 42\_4は、OC48のSONET信号を、回線ch1~ch12のOC12のSONET信号に時分割分離して出力する。このように、波長分割多重システムにおける波長多重は、それぞれ、少しずつ異なる所定の波長の入力光信号を波長多重することで実現されており、その入力光信号が定められた波長でない場合には、波長変換装置11を用いて波長多重可能な波長に変換する必要がある。

10

【0008】

また、波長多重できる波長数は、波長分割多重装置13の入力ポート数で制限されている。また、各波長で使用可能な最大伝送速度、例えば、OC192で伝送するためには、入力端局41は、例えば入力されたOC3、OC12、OC48のSONET信号を最大伝送速度のOC192のSONET信号にSONETフォーマットに従って時分割多重化し、波長変換装置11を経由して波長分割多重装置13の各入力ポートに与える必要がある。

【0009】

図10(1)は、図9の入力端局41に含まれる時分割多重装置の構成例を示し、同図(2)は、出力端局42に含まれる時分割分離装置の構成例を示している。

20

同図(1)において、時分割多重装置は、例えば、自装置の前段の光電気(O/E)変換部で光電気変換された、例えば、OC12のSONET信号を受信し、受信したOC12をSONETフォーマットに従って、例えば、OC192のSONET信号に時分割多重して出力する。E/O変換部170aは、OC192の電気信号を、波長 $f_0$ のOC192の光信号に変換する。

【0010】

一般的に、入力端局41\_1~41\_4(図9参照)から出力されるOC192の光信号の波長は、同一の波長 $f_0$ である。

なお、入力端局41\_3に与えられる入力信号は、例えば、OC12のSONET信号であり、受信可能な伝送速度は固定されており、例えば、OC3、又はOC48信号に対応してはいない。

30

【0011】

入力端局41\_3の時分割多重装置の動作を図10(1)に基づき以下に説明する。

時分割多重装置は、OC12のSONET信号を受信する16個のフレーム受信部103\_1~103\_16(以後、符号103で総称することがある。)と、これらのフレーム受信部103からOC12のSONET信号を、出力側のOC192のSONET信号にSONETフォーマットで時分割多重化するSONET多重部510を備えている。

【0012】

さらに、時分割多重装置は、BIP(Bit Interleaved Parity)生成部511、スクランブラ512、及びパリティ生成部513を備えている。

40

フレーム受信部103は、クロック損失検出部501、LOS(Loss of Signal)検出部502、パリティ検出部503、フレーム同期部504、オーバヘッド(OH)終端部506、デスクランブラ505、及びポインタ付替部508を含んでいる。

【0013】

フレーム受信部103は、入力したOC12のSONET信号からラインクロック155MHzを抽出し、クロック損失検出部501は、クロック抽出に失敗したとき、これを検出してクロック損失信号を出力する。また、フレーム受信部103は、検出したクロックに基づきSONET信号を検出し、LOS検出部502は信号の検出に失敗したとき、LOS(Loss of Signal)信号を出力する。

【0014】

フレーム同期部504は、SONET信号に含まれる同期信号に基づきSONETフレームを検出する

50

。パリティ検出部503は、デスクランブ前のパリティ検出を行い、デスクランブラ505は、SONETフレームの所定のフィールドをデスクランブルする。OH終端部506は、フレームに含まれるオーバーヘッドを終端する。フレームのペイロードフィールドに含まれるデータは、ラインクロック155MHzに同期して、FIFO(First in First out)メモリ507に読み込まれる。

**【 0 0 1 5 】**

FIFOメモリ507に読み込まれたデータは、装置側のマスタクロック155MHzに同期して読み出された後、ポインタ付替部508でOC192のSONETフレームに対応したポインタ(OC192フレームに対するデータの先頭位置及びラインクロックとマスタクロックの位相変動に対応するスタッフの指定)に付け替えられて、SONET多重部510に与えられる。

10

**【 0 0 1 6 】**

SONET多重部510は、各フレーム受信部103からのデータ及びポインタを、それぞれ、装置側のSONETフレームのペイロードフィールド及びオーバーヘッドフィールドにSONETフォーマットに従ってバイトインタリーブで時分割多重する。

BIP生成部511及びパリティ生成部513は、SONETフォーマットに従って、BIP生成を行って出力側のOC192のSONETフレームのオーバーヘッドに設定する。オーバーヘッドには、この他にフレーム同期信号、並びに運用上の諸機能である警報発生状態表示及び伝送路切替制御等のバイトが設定される。

**【 0 0 1 7 】**

スクランブラ512は、OC192フレーム内の所定のフィールドをスクランブルする。

20

図10(2)の出力端局42における時分割分離部の動作を以下に説明する。

時分割分離部は、例えば、受信したOC192(又はOC48)のSONETフレームを終端する機能部、すなわち、クロック損失検出部601、LOS(Loss of Signal)検出部602、パリティ検出部603、フレーム同期部604、デスクランブラ605、及びOH終端部606を含んでいる。

**【 0 0 1 8 】**

また、時分割分離部は、ラインクロック155MHzから装置内のマスタクロック155MHzに乗り換えるためのエラスティックストアメモリ607、この終端したフレームを、SONETフォーマットに従って、例えば、OC48、OC12、又はOC3のフレームに分離するSONET分離部610と分離されたフレームにオーバーヘッドを生成する16個のフレーム送信部203\_1~203\_16(以後、符号203で総称することがある。)とを含んでいる。

30

**【 0 0 1 9 】**

フレーム送信部203は、OH挿入部611、スクランブラ612、及びパリティ生成部613を含んでいる。

OC192のフレーム終端の機能部は、OC192のSONET信号からラインクロックを抽出し、クロック損失検出部601は、クロック抽出に失敗したとき、クロック損失信号を出力する。また、フレーム終端の機能部は、抽出したクロックに同期してSONET信号を検出し、LOS検出部602は、信号検出に失敗したとき、LOS信号を出力する。

**【 0 0 2 0 】**

フレーム同期部604は、検出した信号のフレーム同期を行い、パリティ検出部603は、デスクランブル前のフレームのパリティ検査を行い、デスクランブラ605は、フレーム中の所定のフィールドをデスクランブルし、OH終端部606は、OC192フレームの内のオーバーヘッドを終端する。

40

**【 0 0 2 1 】**

OC192フレーム内のペイロードフィールドのデータは、ラインクロックに同期してエラスティックストアメモリ607に読み込まれる。

SONET分離部610は、メモリ607に書き込まれたデータを装置側のマスタクロックに同期して読み出し、読み出したデータを16個のフレーム送信部203にSONETフォーマットに従って時分割分離して与える。

**【 0 0 2 2 】**

フレーム送信部203は、SONETフォーマットに従って、送信側のOC12フレームのペイロード

50

フィールドに受信したデータを挿入し、0H挿入部611は、オーバヘッドを挿入する。スクランブラ612は、所定のフィールドをスクランブルし、パリティ生成部613は、パリティを生成してオーバヘッドの所定の位置に付加する。

【0023】

【発明が解決しようとする課題】

このような従来のWDMシステムにおいては、送信側の入力端局41の時分割多重装置は入力SONET信号をSONETフォーマットに従って時分割多重して送出し、受信側の出力端局42の時分割分離装置は、受信した信号をSONETフォーマットに従って時分割分離していた。

【0024】

また、SONETフォーマットによる時分割多重及び時分割分離は、入力端局41と出力端局42との間の伝送路が、オーバヘッド処理、例えば、警報発生状態表示及び伝送路切替制御等のシステム運用上の処理等が必要でないような伝送路である場合も含まれており、これが時分割多重/分離装置の構成を複雑にしていた。

【0025】

また、波長分割多重装置13(図9参照)に波長多重可能な波長数は、波長分割多重装置13の入力ポート数に制限されており、各波長を伝送可能な最大伝送レートで使用するためには、入力端局側が、入力信号を最大レートまで時分割多重を行う必要があった。

【0026】

また、入力端局41に入力される信号が、例えばOC3、OC12、OC48等の伝送速度である場合、それぞれの伝送速度に対応した入力端局41を用意する必要があった。

従って本発明は、個々のフレームフォーマットのオーバヘッド処理を行わずに、信号伝送に必要な処理のみを行うこと、また、伝送速度の異なる入力信号に対応した波長分割多重システムを実現することを課題とする。

【0027】

【課題を解決するための手段】

上記の課題を解決するため、本発明の波長分割多重システムは、SDH/SONETフレーム信号を送出する入力端局装置と、受信した複数の前記SDH/SONETフレーム信号を多重してSDH/SONETフレーム信号とは異なるフォーマットの第2のフレームに変換し、所定の波長の光信号として送信する時分割多重波長変換装置と、複数の前記時分割多重波長変換装置からの、異なる波長の前記光信号を波長多重して送信する波長分割多重装置とからなる波長分割多重システムであって、前記時分割多重波長変換装置は、前記SDH/SONETフレーム信号のオーバヘッドからパリティを示すバイトを終端するオーバヘッド終端部と、前記SDH/SONETフレーム信号のパリティ検査を行い、前記オーバヘッド終端部で終端したパリティを示すバイトと前記パリティ検査結果とを比較するパリティ検出部とを各々が備え、受信するSDH/SONETフレーム信号毎に設けられた複数のSDH/SONETフレーム受信部と、前記複数のSDH/SONETフレーム受信部からの出力信号をビット多重して前記第2のフレームに変換して出力する時分割多重部と、前記第2のフレームを、前記波長分割多重装置の多重可能な前記所定の波長に変換するE/O変換部と、からなることを特徴としている。

また、上記の波長分割多重システムにおいて、前記第2のフレームは、前記SDH/SONETフレーム信号をビット多重したFECフレームであり、前記SDH/SONETフレーム受信部は、SDH/SONETフレーム信号の断を検出し、LOS信号として出力するLOS検出部をさらに備えることができる。

さらに、本発明の波長分割多重システムは、複数のSDH/SONETフレーム信号が、時分割ビット多重された第2のフレーム信号に対応して異なる波長が割り当てられた波長多重信号を受信して各波長に波長分割分離を行う波長分割分離装置と、分離された前記波長毎に設けられ、前記第2のフレームを時分割分離して複数のSDH/SONETフレーム信号に分離し、所定の波長の光信号として送信する時分割分離波長変換装置と、前記所定の波長の光信号それぞれを受信する複数の入力端局装置とからなる波長分割多重システムであって、前記時分割分離波長変換装置は、前記第2のフレームを複数のSDH/SONETフレーム信号に時分割ビット分離する時分割分離部と、前記時分割分離部から出力されたSDH/SONETフレーム信

10

20

30

40

50

号をそれぞれを受信し、受信したSDH/SONETフレーム信号のオーバヘッドを終端するオーバヘッド終端部と、オーバヘッドを挿入するオーバヘッド挿入部と、前記SDH/SONETフレーム信号のパリティを発生し、オーバヘッドに書き込み、出力するパリティ発生部とを各々が備えた複数のSDH/SONETフレーム送信部と、前記SDH/SONETフレーム送信部からのSDH/SONETフレーム信号を、前記入力端局装置に応じた波長に変換するE/O変換部と、からなることも可能である。

#### 【0043】

##### 【発明の実施の形態】

図1は、本発明の時分割多重装置100の実施例を示している。この時分割多重装置100は、それぞれ、4回線のSONET信号を受信処理する入力処理部101\_1~101\_4(以後、符号101で総称することがある。)と時分割多重部146、FECエンコーダ150、及びP/S変換部160で構成され、最大16回線のSONET信号を1回線のFECフレームに時分割多重する。

#### 【0044】

各入力処理部101は、1回線のOC48又はOC12のSONET信号を受信処理する機能と、3回線のOC12のSONET信号を受信処理する機能を備えている。この構成により、時分割多重装置100は、入力した16回線のOC12のSONET信号、1回線のOC48のSONET信号と12回線のOC12のSONET信号、2回線のOC48のSONET信号と8回線のOC12のSONET信号、3回線のOC48のSONET信号と4回線のOC12のSONET信号、又は4回線のOC48のSONET信号を時分割多重してOC192の伝送速度に相当する1回線のFECフレームで送出することが可能である。

#### 【0045】

なお、同図の括弧内の値は、時分割多重装置100が、OC12又はOC3のSONET信号をOC48の伝送速度に相当するFECフレームに時分割多重して送出する実施例を示している。

この場合、各入力処理部101は、1回線のOC12又はOC3のSONET信号を受信処理する機能と、3回線のOC3のSONET信号を受信処理する機能を備えている。時分割多重装置100が、時分割多重できるOC12のSONET信号とOC3のSONET信号の組み合わせは、上記のOC48のSONET信号とOC12のSONET信号をそれぞれOC12のSONET信号とOC3のSONET信号としたときの組み合わせと同様である。

#### 【0046】

いずれの場合においても、時分割多重装置100の基本的な動作は、入力されるSONET信号及び出力されるFECフレームの伝送速度が異なるため時分割多重のタイミングが異なるのみで、他の動作は同様である。

以後、主にOC48及びOC12のSONET信号をFECフレームに時分割多重する場合について説明し、適宜、OC12及びOC3のSONET信号をFECフレームに時分割多重する場合について説明する。

#### 【0047】

入力処理部101は、OC48又はOC12のSONET信号からクロックを抽出すると共にSONET信号を再生するクロック・データ再生(CDR: Clock and Data Recovery)部120\_1、再生されたデータ(SONET信号)を1:16又は1:8に直/並列変換するS/P変換部130\_1、変換された並列データの受信処理を行うSONET受信処理部141\_1、処理されたデータの速度を変換する速度変換部142、及びクロック乗換部145\_1を含んでいる。

#### 【0048】

さらに、入力処理部101は、それぞれ、各OC12のSONET信号に対応するクロック・データ再生部120\_2~4(以後、符号120\_1~120\_4を符号120で総称することがある。)、1:8に直/並列変換するS/P変換部130\_2~4(以後、符号130\_1~130\_4を符号130で総称することがある。)、SONET受信処理部141\_2~141\_4(以後、処理部141\_1~141\_4を符号141で総称することがある。)、受信処理部141で処理されたデータをそのまま1:1又は1:2に直/並列変換するS/P変換部143\_2~143\_4(以後、符号143で総称することがある。)、速度変換部142からのデータ及びS/P変換部143からのデータのいずれかを選択するセレクタ144\_2~144\_4(以後、符号144で総称することがある。)、及びクロック乗換部145\_2~145\_4(以後、符号145\_1~145\_4を符号145で総称することがある。))を含んでいる。

## 【 0 0 4 9 】

なお、入力処理部101\_1～101\_4のSONET受信処理部141\_1～141\_4、速度変換部142、S/P変換部143\_2～143\_4、セレクタ144\_2～144\_4、及びクロック乗換部145\_1～145\_4、並びに時分割多重部146はLSI140で構成されている。

以下に、時分割多重装置100が、入力処理部101\_1に入力された1回線のOC48のSONET信号と、入力処理部101\_2～101\_4に入力された12回線のOC12のSONET信号とをOC192の伝送速度に相当する1回線のFECフレームで送出する場合の動作を説明する。

## 【 0 0 5 0 】

OC48及びOC12の光SONET信号は、それぞれ、O/E変換部110\_1, 110\_5～110\_16(この内の入力処理部101\_2～101\_4に対応するO/E変換部110\_5～110\_16は図示せず。)で光電気変換され、OC48及びOC12の電気SONET信号が時分割多重装置100に入力される。また、時分割多重装置100の出力信号(FECフレーム)は、電気光(E/O)変換部170で電気光変換される。

10

## 【 0 0 5 1 】

入力処理部101\_1のCDR120\_1は、OC48のSONET信号を受信するように設定され、入力処理部101\_1のCDR120\_2～120\_4及び入力処理部101\_2～101\_4のCDR120\_1～120\_4は、OC12のSONET信号を受信するように設定されている。なお、以後、CDR120\_1～CDR120\_4の符号を符号120で総称することがある。

## 【 0 0 5 2 】

図2は、CDR120の構成例を示している。このCDR120は、受信したOC48、OC12又はOC3のSONET信号からラインクロックを抽出すると共にSONET信号を再生するものであり、再生するSONET信号が、OC48、OC12、又はOC3のいずれの信号であるかは、CDR120に入力された基準クロック710の周波数及び基準選択信号711の設定で決まる。

20

## 【 0 0 5 3 】

なお、CDR120の設定は、CDR120自身が検出した入力信号の周波数に基づき自動的にSONET信号の伝送速度を決定することにより行ってよい。

CDR120は、入力されたSONET信号(=入力データDI)を増幅するアンプ121と、位相/周波数検出部122、ループフィルタ123、及び電圧制御発振器(VCO: Voltage Controlled Oscillator)124で構成されるPLL部と、PLL部で抽出されたクロック702を位相調整信号712に基づき位相シフトしたクロック703を出力する位相シフタ125、クロック703を増幅したクロック700を出力するアンプ126aを含んでいる。

30

## 【 0 0 5 4 】

また、CDR120は、アンプ121で増幅されたSONET信号751を抽出されたクロック703で再タイミング(retiming)するデータ再タイミング部127、再タイミングされたSONET信号752を増幅してSONET信号750を出力するアンプ126b、基準クロック710及び基準選択信号711を入力して位相/周波数検出部122に所定の周波数のクロック701を供給する可変分周器128、並びにクロック701及び702を入力してクロック抽出に失敗したことを示す信号LOL及び基準クロック710が入力されていないか、又は抽出したクロック702の周波数が所定の周波数から外れたことを示す信号NOREFを出力するロック(Lock)検出部129を含んでいる。

## 【 0 0 5 5 】

図1において、CDR120\_1は、入力処理部101\_1のO/E変換部110\_1を経由して受信したOC48(2.4Gbps)のSONET信号からクロック700及びSONET信号750を再生する。S/P変換部130\_1は、SONET信号750を1:16の直/並列変換して、SONET受信処理部141\_1に与える。

40

## 【 0 0 5 6 】

このとき、16ビット並列のSONET信号の各ビットの伝送速度は、155Mbps(2.4Gbps÷16)である。

SONET受信処理部141\_1は、16ビット並列のSONET信号の受信処理、例えば、フレーム同期、OH終端、デスクランブル、及びエラー符号訂正等の処理を実行した後、SONET信号のOC48フレームは維持したまま速度変換部142に与える。速度変換部142は、SONET信号を64ビット並列のSONET信号に速度変換して出力する。このときの各ビットの伝送速度は、39Mbps(155Mbps÷4)である。

50

## 【 0 0 5 7 】

64ビット並列のSONET信号の内の1組の16ビットが、クロック乗換部145\_1に直接与えられ、他の3組の16ビットが、それぞれ、セレクタ144\_2~144\_4で選択されてクロック乗換部145\_2~145\_4に与えられる。

なお、入力処理部101\_1が0C48のSONET信号を入力処理を行う場合、他の3つの0C12のSONET信号は入力されない。従って、セレクタ144\_2~144\_4は、常に速度変換部142からの16ビット並列データを選択するように設定されている。

## 【 0 0 5 8 】

なお、この設定も、CDR120\_1が入力信号が0C48であると判断したとき、セレクタ144が速度変換部142からの16ビット並列データを自動的に選択するようにすることが可能である。

10

同様に、入力処理部101\_2~101\_4のCDR120\_1は、受信した0C12(622Mbps)のSONET信号からクロックを抽出すると共にSONET信号を再生し、S/P変換部130\_1は、SONET信号を直/並列変換して16ビット並列のSONET信号に変換する。このときの各ビットの伝送速度は、39Mbps ( $622\text{Mbps} \div 16$ )である。

## 【 0 0 5 9 】

SONET受信処理部141は、フレーム同期、OH終端、デスクランブラ、及びエラー検出等の処理を実行する。

速度変換部142は、16ビット並列のSONET信号を同じ伝送速度でクロック乗換部145\_1に与える。

20

## 【 0 0 6 0 】

入力処理部101\_2~101\_4のCDR120\_2~120\_4は、それぞれ、受信した0C12(622Mbps)のSONET信号からクロック700を抽出するとともに、SONET信号750を再生を行う。S/P変換部130\_2~130\_4は、それぞれ、SONET信号750を8ビット並列のSONET信号に直/並列変換する。このときの各ビットの伝送速度は、78Mbps ( $622\text{Mbps} \div 8$ )である。

## 【 0 0 6 1 】

SONET受信処理部141\_2~142\_4は、フレーム同期、デスクランブル、OH終端、及びエラー検出等の処理を行う。

S/P変換部143\_2~143\_4は、8ビット並列のSONET信号を16ビット並列のSONET信号に直/並列変換する。このときの各ビットの伝送速度は、39Mbps ( $78\text{Mbps} \div 2$ )である。セレクタ144\_2~144\_4は、それぞれ、S/P変換部143\_2~143\_4からの出力データを選択するように設定されている。

30

## 【 0 0 6 2 】

従って、S/P変換部143\_2~143\_4が出力した16ビット並列のSONET信号は、それぞれ、クロック乗換部145\_2~145\_4に与えられる。

なお、以上の動作は、各CDR120で抽出されたクロック700に同期して行われる。

## 【 0 0 6 3 】

入力処理部101\_1~101\_4において、各クロック乗換部145は、入力された16ビット並列のSONET信号を装置内のマスタクロック155MHzに同期して時分割多重部146に与える。これにより、時分割多重装置に入力された1回線の0C48のSONET信号は4×16ビット並列のSONET信号、12回線の0C12のSONET信号は、それぞれ、16ビット並列のSONET信号で時分割多重部146に与えられたことになる。

40

## 【 0 0 6 4 】

すなわち、256ビット(=16ビット×4+16ビット×4×3)並列のデータが、伝送速度39Mbpsで時分割多重部146に与えられたことになる。

時分割多重部146は、入力されたデータを伝送速度155Mbpsの64ビット並列データに時分割ビット多重する。FECエンコーダ150は、時分割多重された64ビット並列データを64ビット並列のFECフレームの情報フィールドに搭載する。このFECフレームの各ビットの伝送速度は、オーバーヘッド等が付加されるため、155Mbpsより高速の167Mbpsである。

## 【 0 0 6 5 】

50

P/S変換部160は、FECフレームを64:1に並/直列変換して出力する。出力信号の伝送速度は、OC192の伝送速度10Gbpsより少し速い10.7Gbps( 167Mbps×64)である。

これにより、1つのOC48のSONET信号及び12個のOC12のSONET信号は、通常のSONET信号の多重化処理、すなわち、オーバーヘッドバイトの多重、データ(ペイロード)のバイト多重、及びデータの先頭認識等を行う処理と異なり、単純にビット多重されてFECフレームの情報フィールドに搭載するという簡単な処理で送出されたことになる。

【0066】

また、CDRを用いることで、例えばOC48, OC12, 及びOC3のいずれの信号が入力されても受信可能であり、O/E変換部及びCDRの共通化が可能となり、対向装置の伝送速度毎にパッケージを用意する必要がなく、ユニバーサル化を実現している。

10

【0067】

また、図1のLSI140においては、入出力ピンの信号速度を、各入力ビットレートに応じて変化させることにより、ビットレート毎に入出力ピンを設ける必要がなくなり、ピン数の削減が可能なる。

図1において時分割多重装置100が、例えば、上記の実施例の1回線のOC48(2.4Gbps)及び12回線のOC12(622Mbps)のSONET信号の代わりに、それぞれ、1回線のOC12及び12回線のOC3(155Mbps)のSONET信号を2.7GbpsのFECフレームに時分割多重する場合を簡単に説明する。

【0068】

入力処理部101\_1において、CDR120\_1で受信された1回線のOC12のSONET信号は、S/P変換部130\_1で、8ビット並列のSONET信号(各ビットの伝送速度78Mbps( 622Mbps÷8))に変換され、SONET受信処理部141\_1で受信処理された後、速度変換部142で32ビット並列のSONET信号(各ビットの伝送速度19Mbps( 78Mbps÷4))に速度変換される。

20

【0069】

この32ビット並列のSONET信号は、クロック乗換部145\_1のみ、又は、それぞれセレクタ144\_2~144\_4及びクロック乗換部145\_2~145\_4を経由して時分割多重部146に与えられる。入力処理部101\_2~101\_4において、CDR120\_1~120\_4で受信された12回線のOC3のSONET信号は、それぞれ、S/P変換部130\_1~130\_4で、8ビット並列のSONET信号(各ビットの伝送速度19Mbps( 155Mbps÷8))に変換され、SONET受信処理部141\_1~141\_4で受信処理された後、それぞれ、速度変換部142、及びS/P変換部143\_2~143\_4で変換されずに8ビット並列のSONET信号のまま、クロック乗換部145\_1に直接、及びセレクタ144\_2~144\_4~145\_4を経由してクロック乗換部145\_2~145\_4に与えられる。

30

【0070】

この結果、時分割多重部146は、各ビットの伝送速度19Mbpsである128(=32+8×12)ビット並列のデータを受信する。

時分割多重部146は、128ビット並列のデータを、各ビットの伝送速度155Mbps( 19Mbps×128÷16)の16ビット並列データに時分割ビット多重する。

【0071】

FECエンコーダ160は、16ビット並列データを16ビット並列のFECフレームの情報フィールドに搭載する。FECフレームの各ビットの伝送速度は、167Mbpsである。P/S変換部160は、16ビット並列のFECフレームを伝送速度2.7Gbps( 167Mbps×16)の直列のFECフレームに並/直列変換する。

40

【0072】

これにより、時分割多重装置100は、入力された1回線のOC12及び12回線のOC3のSONET信号をOC48に相当する2.7GbpsのFECフレームに時分割ビット多重したことになる。

上記のSONET受信処理部141及びFECエンコーダ150のより詳細な動作を以下に説明する。

【0073】

図3(1)は、図1と同様に時分割多重装置100の構成例を示している。この構成例では、特に、同図に示したLSI140内のSONET受信処理部141の処理動作がより詳細に示され、他の処理動作は省略又は簡略化されて示されている。

50

フレーム受信部102\_1~102\_4, ..., 102\_13~102\_16(以後、符号102で総称することがある。)は、それぞれ、図1に示した入力処理部101\_1, ..., 101\_4に対応している。すなわち、フレーム受信部102は、入力処理部101\_1の内の1回線のSONET信号を処理する部分に相当する。

【0074】

また、時分割多重部310は、同図の時分割多重部146に対応し、パリティ発生部311及びFECエンコーダ312は、FECエンコーダ150及びP/S変換部160に対応している。

フレーム受信部102は、クロック損失検出部301、LOS検出部302、パリティ検出部303、フレーム同期部304、デスクランブラ305、オーバヘッド終端部306、及びビットバッファ307で構成されている。

10

【0075】

クロック損失検出部301は、図1に示したCDR120内のロック検出部129(図2参照)に対応しており、ラインクロック抽出に失敗したことを検出する。フレーム同期部304は、抽出されたクロックに基づき、SONET信号のフレームの同期を行う。LOS検出部302は、クロック抽出の失敗、SONET信号が送信されていない等でSONET信号断を検出したとき、これを示すLOS信号を出力する。

【0076】

パリティ検出部303は、デスクランブル前のフレームのパリティ検査を行い、デスクランブラ305は、フレームの所定のフィールドをデスクランブルし、SONETフレームを、そのままビットバッファ307に与える。

20

オーバヘッド終端部306は、例えば、デスクランブル後のオーバヘッド内のB1バイトを終端してパリティ検出部303でパリティ検査結果と比較する。

【0077】

ビットバッファ307は、図1のクロック乗換部145に対応しており、ラインクロック155MHzに同期してSONETフレームを順次読み込み、マスタクロック155MHzに同期してSONETフレームを順次読み出す。

フレーム受信部102\_1~102\_16の各ビットバッファ307は、多重部310にSONETフレームを与える。時分割多重部310は、各ビットバッファ307からのSONETフレームを、時分割ビット多重して、パリティ発生部311に与え、FECエンコーダ312は、時分割多重されたSONETフレームをFECフレームに搭載して出力する。

30

【0078】

図4は、FECフレームの構成例を示しており、同図(1)は、2.4Gbpsのデータを伝送するFECフレームを示し、同図(2)は、10Gbpsのデータを伝送するFECフレームを示している。以後、同図(1)及び(2)で示したフレームを、それぞれ、2.4GbpsFECフレーム及び10GbpsFECフレームと称することがある。

【0079】

2.4Gbps及び10GbpsFECフレームは、共に、同期フィールドFAW(Frame Alignment Word)、識別子フィールドID、及びフィールドOHから成るオーバヘッドフィールド、情報フィールド、並びにシンドロームビットフィールドで構成され、その時間的なフレーム長 = 12.24  $\mu$ sである。

40

【0080】

2.4GbpsFECフレームの全ビット数は、32640ビットであり、10GbpsFECフレームの全ビット数は、2.4GbpsFECフレームの全ビット数の4倍の130560ビットである。従って、2.4GbpsFECフレーム及び10GbpsFECフレームのビットレートは、それぞれ、2.666Gbps及び10.66Gbpsである。

【0081】

2.4GbpsFECフレームの同期フィールドFAW、識別子フィールドID、フィールドOH、情報フィールド、及びシンドロームビットフィールドのビット数は、それぞれ、40, 8, 80, 32640, 2048ビットであり、10GbpsFECフレームの各フィールドのビット数は、それぞれ、2.4GbpsFECフレームの各フィールドの4倍の160, 32, 352, 121856, 8192ビットである。

50

## 【 0 0 8 2 】

2.4GbpsFECフレームの同期フィールドFAWは、A1 = “ 11110110 ”、A2 = “ 00101000 ” とした場合、“ A1,A1,A2,A2,A2 ” 又は “ A1,A1,A1,A2,A2 ” である。

10GbpsFECフレームの同期フィールドFAWは、

“ A1,A1,A1,A1,A1,A1,A1,A1,A1,A2,A2,A2,A2,A2,A2,A2,A2,A2,A2,A2,A2 ”

又は “ A1,A1,A1,A1,A1,A1,A1,A1,A1,A1,A1,A1,A1,A2,A2,A2,A2,A2,A2,A2,A2 ” である。

## 【 0 0 8 3 】

2.4GbpsFECフレーム及び10GbpsFECフレームのスクランブル範囲は、情報フィールド及びシンドロームビットフィールドであり、エラー訂正範囲は全フレームである。エラー訂正用符号は、リードソロモン符号 [ 255 , 239 ] を用いる。

10

図 5 は、FECフレームのオーパヘッドインタフェース例を示している。

## 【 0 0 8 4 】

同図(1)は、FECエンコード側のインタフェースを示し、データが20.8Mbpsで入力され、20.8MHzのクロック信号及び81kHzのフレームタイミング信号が出力される。同図(2)は、FECデコード側のインタフェースを示し、データが20.8Mbpsで出力され、20.8MHzのクロック信号及び81kHzのフレームタイミング信号が出力される。

## 【 0 0 8 5 】

同図(3)は、図4(1)に示した2.4GbpsFECフレームを示している。図5(4)及び同図(6)は、20.8Mbpsデータの出力タイミングを示しており、80ビットのオーパヘッドの後にデータが出力される。

20

同図(7)は、20.8MHzクロック信号のタイミングを示しており、クロック間隔は48nsである。同図(8)は、81kHzフレームタイミング信号を示しており、クロック間隔は12.24  $\mu$ sである。

## 【 0 0 8 6 】

図 6 は、本発明の時分割分離装置200の実施例を示している。この時分割分離装置200は、図 1 に示した時分割多重装置100から送出されたFECフレームに搭載された時分割多重化された0C48及び0C12のSONET信号を、元の0C48又は0C12のSONET信号を時分割分離する。

## 【 0 0 8 7 】

時分割分離装置200は1:64のS/P変換部260、FECデコーダ250、1:2のS/P変換部245、クロック乗換部244、分離部243、及び出力処理部201\_1~201\_4(以後、符号201で総称すること

30

がある。)で構成されている。各出力処理部201は、SONET送信処理部242\_1~242\_4、速度変換部241、16:1のP/S変換部230\_1、及び8:1のP/S変換部230\_2~230\_4(以後、符号230で総称することがある。)で構成されている。

## 【 0 0 8 8 】

なお、出力処理部201\_1~201\_4の速度変換部241、及びSONET送信処理部242\_1~242\_4、並びに時分割分離部243、クロック乗換部244、及びS/P変換部245はLSI240で構成されている。

時分割分離装置200は、O/E変換部270で光電気変換されたFECフレームを受信する。また、時分割分離装置200から送出された0C12又は0C3のSONET信号は、E/O変換部210\_1~210\_16(この内のE/O変換部210\_5~210\_16は図示せず。)で電気光変換される。

40

## 【 0 0 8 9 】

時分割分離装置200の動作を図 1 で送出された10GbpsのFECフレーム(1回線の0C48のSONET信号及び12回線の0C12のSONET信号を時分割多重したもの)を受信した場合について以下に説明する。

図 6 には、時分割分離装置200が、10GbpsのFECフレームを受信した場合の装置内における伝送速度及びデータの並列ビット数が示されているが、この下の括弧内に、2.4GbpsFECフレームを受信した場合の装置内における伝送速度及びデータの並列ビット数が示されている。

## 【 0 0 9 0 】

50

S/P変換部260は、受信した直列データのFECフレームを64ビット並列のFECデータに直/並列変換する。このときの各ビットの伝送速度は167Mbps( $10.7\text{Gbps} \div 64$ )である。FECデコーダ250は、64ビット並列データで受信したFECフレームを終端し、すなわち、クロックの抽出、デスクランブル、フレーム同期、エラー訂正、データ(情報ビット)の読出等を行い、図5(2)に示した20.8Mbpsのデータ(64ビット並列データ)、20.8MHzのクロック、及び81kHzのフレームタイミング信号を出力する。このときのデータの各ビットの伝送速度は155Mbpsである。

**【0091】**

S/P変換部245は、64ビット並列のデータを、128ビット並列データに直/並列変換する。このときのデータの各ビットの伝送速度は78Mbps( $155\text{Mbps} \div 2$ )である。クロック乗換部244は、128ビット並列データをラインクロックから装置側のマスタクロックに乗り換える。

10

**【0092】**

時分割分離部243は、128ビット並列データから、図1の時分割多重部146で行われた時分割多重の逆の時分割分離を行い、出力処理部201\_1に32ビット並列の1回線のOC48のSONET信号を与え、出力処理部201\_2~201\_4には、それぞれ、8ビット並列の4回線のOC3のSONET信号を与える。このときの各ビットの伝送速度は78Mbps( $78\text{Mbps} \times 128 \div 128$ )である。

**【0093】**

このように、時分割分離部243は、FECフレームに基づきSONET信号の中身を認識するが、単純な時分割ビット分離のみを行い、SONETフォーマットを認識してオーバーヘッドバイトの分離、バイト分離、データの先頭認識等を行う必要はない。

20

**【0094】**

出力処理部201\_1のSONET送信処理部242\_1~242\_4は、それぞれ分離部243から32ビット並列のOC48のSONET信号内の16ビットを受信しており、この信号のSONET送信処理、例えば、スクランブル及びスクランブル後のパリティ生成等を処理部242\_1~242\_4全体で行って速度変換部241に与える。

**【0095】**

速度変換部241は、受信した32ビット並列のSONET信号(各ビット当たりの伝送速度78Mbps)の伝送速度を各ビット当たり155Mbps( $78\text{Mbps} \times 32 \div 16$ )の16ビット並列のSONET信号に変換する。

30

P/S変換部230\_1は、155Mbpsの16ビット並列データのSONET信号を2.4Gbps( $155\text{Mbps} \times 16$ )の直列データに変換する。

**【0096】**

出力処理部201\_2~201\_4の速度変換部241は、SONET送信処理部242\_1のみからの信号をP/S変換部230\_1に与えるように予め設定され、P/S変換部230\_1は、8:1の直/並列変換を行うように予め設定されている。

出力処理部201\_2~201\_4のSONET送信処理部242\_1~242\_4は、それぞれ、受信した8ビット並列のOC12のSONET信号の送信処理を行い、P/S変換部230\_1~230\_4は、それぞれ、8ビット並列のOC12のSONET信号(各ビット当たりの伝送速度は78Mbps)を直列のOC12のSONET信号(伝送速度622Mbps  $78\text{Mbps} \times 8$ )に変換して出力する。

40

**【0097】**

これにより、時分割多重装置100(図1参照)がFECフレームに時分割多重で送信した1回線のOC48のSONET信号及び12回線のOC12のSONET信号は、時分割分離装置200で再生されて出力されたことになる。

なお、図6のLSI240においては、入出力ピンの信号速度を、各入力ビットレートに応じて変化させることにより、ビットレート毎に入出力ピンを設ける必要がなくなり、ピン数の削減が可能になる。

**【0098】**

図3(2)は、図6と同様に時分割分離装置200の構成例を示している。この構成例では、特に、同図に示したLSI240の内のSONET送信処理部242、及びFECデコーダ250の処理動作がよ

50

り詳細に示され、他の処理動作は簡略化又は省略されている。

【 0 0 9 9 】

図3(2)のFECデコーダ401、パリティ検出部402、クロック損失検出部403、及びLOS検出部404が、図6の1:16のS/P変換部260、FECデコーダ250、及び1:2のS/P変換部245に対応し、図3(2)のエラスティックストアメモリ405及び時分割分離部410が、それぞれ、図6のクロック乗換部244及び時分割分離部243に対応している。

【 0 1 0 0 】

また、図3(2)のフレーム送信部202\_1~202\_16(以後、符号202で総称することがある。)は、それぞれ、図6の出力処理部201\_1のSONET送信処理部242\_1~242\_4、...、出力処理部201\_4のSONET送信処理部242\_1~242\_4に対応している。

10

図3(2)のFECデコーダ401は、同図(1)のFECエンコーダ312でパリティビット(シンドロームビット)の付加及びスクランブルされたFECフレームを終端する。クロック損失検出部403は、ラインクロックの抽出の失敗を検出し、LOS検出部404は入力信号断を検出し、パリティ検出部402は符号誤りの検出及び訂正を行う。

【 0 1 0 1 】

エラスティックストアメモリ405は、FECデコーダ401からの0C48及び0C12のデータをラインクロック155MHzからマスタクロック155MHzに乗換えて時分割分離部410に与える。時分割分離部410は、同図(1)の時分割多重に対応する時分割分離を行い、分離したフレームをフレーム送信部202に与える。

【 0 1 0 2 】

20

フレーム送信部202において、フレーム同期部411は、SONET信号のフレーム同期を行い、OH終端部412は、オーバヘッドを終端する。OH挿入部413は、フレームにオーバヘッドを挿入し、スクランブラ414は、フレームの所定のフィールドをスクランブルし、パリティ発生部415は、スクランブル後のフレームのパリティを発生してオーバヘッドに書き込む。

【 0 1 0 3 】

図7は、上述した時分割多重装置100及び時分割分離装置200をそれぞれ用いた時分割多重波長変換装置800a及び時分割分離波長変換装置900aを用いた波長分割多重システムの実施例を示している。

同図において、2.4Gの入出力端局40a\_1, 40a\_2は、それぞれ、回線ch1~ch4を經由して0C48の光SONET信号を波長f0で時分割多重波長変換装置800a\_1, 800a\_2に送出し、2.4Gの入出力端局40a\_3, 40a\_4は、それぞれ、回線ch1~ch16を經由して0C12の光SONET信号を波長f0で時分割多重波長変換装置800a\_3, 800a\_4に送出する。

30

【 0 1 0 4 】

時分割多重波長変換装置800a\_1~800a\_4(以後、符号800aで総称することがある。)の構成は、図1に示した時分割多重装置100と、その入力側にO/E変換部110\_1~110\_16及び出力側にE/O変換部170(同図参照)が付加された構成である。なお、時分割多重波長変換装置800a\_1~800a\_4のE/O変換部170は、それぞれ、その光出力信号の波長を、例えば異なる波長f1, f2, f3, f4に設定することが可能であるものとする。

【 0 1 0 5 】

時分割多重波長変換装置800a\_1, 800a\_2において、入力処理部101\_1~101\_4のCDR120\_1(同図参照)は、それぞれ、O/E変換部110\_1, 110\_5, 110\_9, 及び110\_13(O/E変換部110\_5, 110\_9, 及び110\_13は図示せず。)を經由して、回線ch1~ch4から0C48のSONET信号を受信し、これらの4回線の0C48フレームを時分割ビット多重して、0C192の伝送速度に対応する10GbpsFECフレームに搭載して出力する。

40

【 0 1 0 6 】

時分割多重波長変換装置800a\_3, 800a\_4において、入力処理部101\_1~101\_4のCDR120\_1~120\_4は、それぞれ、O/E変換部110\_1~110\_16(O/E変換部110\_5~10\_16は図示せず。)を經由して回線ch1~ch16から0C12のSONET信号を受信し、これらの16回線の0C12フレームを時分割ビット多重して、0C192の伝送速度に対応する10GbpsFECフレームに搭載して出力する。

50

## 【 0 1 0 7 】

このように、時分割多重波長変換装置800aは、同一の構成で、異なる伝送速度、例えばOC48又はOC12に対応することが可能である。さらに、時分割多重波長変換装置800aは、入出力端局40と回線ch1～ch13で接続され、例えば、図1の実施例で示したように回線ch1からOC48のSONET信号、回線ch2～ch13からOC12のSONET信号を受信して、OC192に相当するFECフレームに時分割多重することも可能である。

## 【 0 1 0 8 】

すなわち、同一の入出力端局40aから異なる速度のSONET信号を混在して受信し、FECフレームに時分割多重することが可能である。

時分割多重波長変換装置800a\_1～800a\_4から出力されたOC192に相当するOC48又はOC12を時分割多重したFECフレームは、互いに異なる波長f1～f4に変換されて出力され、VAT12を経由して波長分割多重装置13に与えられる。

10

## 【 0 1 0 9 】

波長f1～f4のSONET信号は、波長分割多重装置13で波長分割多重されて送出され、送信アンプ14、例えば、受信アンプ23を経由して波長分割分離装置22に与えられ、波長分割分離装置22で、波長f1～f4のSONET信号に波長分割分離される。例えば、波長f1～f4のSONET信号は、それぞれ、時分割分離波長変換装置900a\_2, 900a\_1, 900a\_4, 900a\_3に入力される。

## 【 0 1 1 0 】

時分割分離波長変換装置900a\_1～900a\_4の構成は、図6に示した時分割分離装置200と、この装置の入力側にO/E変換部270及び出力側にE/O変換部210\_1～210\_16(同図参照、この内のE/O変換部210\_5～210\_16は図示せず。)を付加したものと同様である。

20

## 【 0 1 1 1 】

時分割分離波長変換装置900a\_2は、受信した波長f1の光FECフレームを電気信号に変換し、FECフレームに時分割ビット多重されて搭載された4回線のOC48のSONET信号を時分割分離する。さらに、時分割分離波長変換装置900a\_2は、それぞれ、分離された各OC48のSONET信号を波長f0の光SONET信号に電気光変換して回線ch1～ch4に出力する。入出力端局40a\_2は、ch1～ch4のOC48光SONET信号を受信する。

## 【 0 1 1 2 】

この結果、入出力端局40a\_1から送出された4回線のOC48のSONET信号が、入出力端局40a\_2に受信されたことになる。同様に、入出力端局40a\_2から送出された4回線のOC48のSONET信号を入出力端局40a\_1が受信することが可能である。

30

また、入出力端局40a\_3から送出された16回線のOC12のSONET信号を、入出力端局40a\_4が受信することや、入出力端局40a\_4から送信された16回線のOC12のSONET信号を、入出力端局40a\_3が受信することが可能である。

## 【 0 1 1 3 】

図8は、図7と同様に図1及び図6でそれぞれ示した時分割多重装置100及び時分割分離装置200を用いた時分割多重波長変換装置800b\_1～800b\_4(以後、符号800bで総称することがある。)及び時分割分離波長変換装置900b\_1～900b\_4の実施例を示している。

## 【 0 1 1 4 】

これらの時分割多重波長変換装置800b及び時分割分離波長変換装置900bが、図7に示した時分割多重波長変換装置800a及び時分割分離波長変換装置900aと異なる点は、処理可能なSONET信号がOC48及びOC12に設定されている代わりに、OC12及びOC3に設定されていることであり、基本的な構成は同様である。

40

## 【 0 1 1 5 】

また、図8のネットワーク構成は、図7のネットワーク構成と同様であるが、図8の入出力端局40b\_1, 40b\_2が600Mに対応し、入出力端局40b\_3, 40b\_4が150Mに対応していることが、図7の2.4Gの入出力端局40a\_1～40a\_4と異なっている。時分割多重波長変換装置800b\_1, 800b\_2、及び時分割分離波長変換装置900b\_1, 900b\_2は、それぞれ、入出力端局40b\_1, 40b\_2と回線ch1～ch4でOC12のSONET信号を送受信し、時分割多重波長変換装置800b\_3

50

、800b\_4、及び時分割分離波長変換装置900b\_4、900b\_4は、それぞれ、入出力端局40b\_3、40b\_3と回線ch1～ch16でOC3のSONET信号を送受信している。

【0116】

図8の時分割多重波長変換装置800b\_1～800b\_4及び時分割分離波長変換装置900b\_1～900b\_4の動作は、図7の時分割多重波長変換装置800a\_1～800a\_4及び時分割分離波長変換装置900a\_1～900a\_4と同様である。

(付記1)

複数の回線からそれぞれ受信した第1のフォーマットを有するフレームを時分割で多重化したデータに変換する時分割多重部と、

該データを第2のフォーマットの1つ以上のフレームに搭載して1つの回線に出力するエンコーダと、

を有することを特徴とした時分割多重装置。

【0117】

(付記2) 上記の付記1において、

該第1のフォーマットがSDH/SONETフォーマットであることを特徴とした時分割多重装置。

(付記3) 上記の付記1において、

該第2のフォーマットがFECフォーマットであることを特徴とした時分割多重装置。

【0118】

(付記4) 上記の付記1において、

該多重化がビット多重であることを特徴とした時分割多重装置。

(付記5) 上記の付記1において、

異なる所定の伝送速度のフレームを受信し、クロック及びデータを再生して該時分割多重部に出力するクロック・データ再生部をさらに設けたことを特徴とする時分割多重装置。

【0119】

(付記6) 上記の付記1において、

該第1のフォーマットが、階層化されたフォーマットを有し、該フレームは、異なる階層のフレームが混在していることを特徴とした時分割多重装置。

(付記7) 上記の付記1において、

該第1のフォーマットのフレームのエラー検出、エラー訂正、又はデスクランブラ処理を行う受信処理部を、さらに備えたことを特徴とする時分割多重装置。

【0120】

(付記8)

第1のフォーマットを有する複数のフレームを時分割多重化したデータが搭載された第2のフォーマットのフレームをデコードするデコーダと、

該データから複数の該第1のフォーマットのフレームを時分割分離する時分割分離部と、を有することを特徴とした時分割分離装置。

【0121】

(付記9) 上記の付記8において、

該第1のフォーマットがSDH/SONETフォーマットであることを特徴とした時分割分離装置。

(付記10) 上記の付記8において、

該第2のフォーマットがFECフォーマットであることを特徴とした時分割分離装置。

【0122】

(付記11) 上記の付記8において、

該時分割多重化がビット多重であることを特徴とした時分割分離装置。

(付記12)

所定の波長の光信号であって、複数の回線からそれぞれ受信した第1のフォーマットを有するフレームをそれぞれ電気信号に変換する複数の光電気変換部と、複数の該電気信号のフレームを時分割多重化したデータに変換する時分割多重部と、

10

20

30

40

50

該データを第2のフォーマットの1つ以上のフレームに搭載して1つの回線に出力するエンコーダと、  
 該第2のフォーマットのフレームを該所定の波長と異なる波長の光信号に変換する電気光変換部と、  
 を有することを特徴とした時分割多重波長変換装置。

【0123】

(付記13) 上記の付記12において、  
 該電気信号の異なる所定の伝送速度のフレームを受信しクロック及びデータを再生して該時分割多重部<sub>10</sub>に出力するクロック・データ再生部をさらに設けたことを特徴とする時分割多重波長変換装置。

【0124】

(付記14)  
 所定の波長の光信号であって、第1のフォーマットを有する複数のフレームを時分割多重化したデータが搭載された第2のフォーマットを有するフレームを電気信号に変換する光電気変換部と、  
 該第2のフォーマットのフレームをデコードするデコーダと、  
 該データから複数の該第1のフォーマットのフレームを時分割分離する時分割分離部と、  
 複数の該第1のフォーマットのフレームの電気信号を該所定の波長と異なる波長の光信号に変換する電気光変換部と、  
 を有することを特徴とした時分割分離波長変換装置。<sub>20</sub>

【0125】

【発明の効果】

以上説明したように、本発明の波長分割多重システムにおいては、第1のフレームのオーバーヘッド処理、すなわち、警報の発生状態表示や伝送路切替制御等の運用上の処理を行わないため回路規模の縮小化が可能になる。

【0126】

例えば、第1のフォーマットがSONETフォーマットである場合、SONETフォーマットに従わない必要最低限の処理のみを行うことで回路の簡素化が可能となる。また、クロック・データ再生部が、異なる所定の伝送速度のフレームを受信し、クロック及びデータを再生して該時分割多重部<sub>30</sub>に出力するように構成したので、伝送速度の異なる第1のフォーマットのフレームに対応することが可能になり、時分割多重装置を伝送速度の異なるフレームに対して共通化することが可能になる。この結果、入出力ピンの共通化によるピン数削減が可能になり、LSIの小型化及び低価格化を実現することができる。

【0127】

また、波長分割多重システムが伝送可能な最大伝送速度で波長分割多重化を行うことが可能になる。

【0128】

すなわち、波長変換部に時分割多重機能/時分割分離機能を加えることにより、入出力端局に接続される時分割多重装置/時分割分離装置を削減することにより、システムの低価格化を実現できる。また、入力端局は、波長分割多重装置に送る光信号を最大伝送速度<sub>40</sub>にする必要がなくなる。

【図面の簡単な説明】

【図1】本発明に係る時分割多重装置の実施例を示したブロック図である。

【図2】本発明に係る時分割多重装置におけるクロック・データ再生部の実施例を示したブロック図である。

【図3】本発明に係る時分割多重装置及び時分割分離装置をLSIで構成した場合のその内部の概略機能を示してブロック図である。

【図4】本発明に係る時分割多重装置及び時分割多重装置で用いられるFECフレームの構成を示した図である。

【図5】本発明に係る時分割多重装置及び時分割多重装置で用いられるFECフレームのイ<sub>50</sub>

インタフェースを示した図である。

【図6】本発明に係る時分割多重装置の実施例を示したブロック図である。

【図7】本発明に係る時分割多重波長変換装置及び時分割分離波長変換装置を用いた波長分割多重システムの実施例を示したブロック図である。

【図8】本発明に係る時分割多重波長変換装置及び時分割分離波長変換装置を用いた波長分割多重システムの実施例を示したブロック図である。

【図9】従来の波長分割多重ネットワーク例を示したブロック図である。

【図10】従来の時分割多重装置及び時分割分離装置のLSIで構成した場合のその内部の概略機能を示したブロック図である。

【符号の説明】

100 時分割多重装置	101, 101_1~101_4 入力処理部	
102, 102_1~102_16 フレーム受信部		
103, 103_1~103_16 フレーム受信部		
110, 110a, 110_1~110_4 O/E変換部		
120, 120_1~120_4 クロック・データ再生部、CDR		
121 アンプ	122 位相/周波数検出部	
123 ループフィルタ	124 電圧制御発振器、VCO	
125 位相シフタ	126a アンプ	
126b アンプ	127 データ再タイミング部	
128 可変分周器	129 ロック検出部	20
130, 130_1~130_4 S/P変換部	141, 141_1~141_4 SONET受信処理部	
142 速度変換部	143, 143_2~143_4 S/P変換部	
144, 144_1~144_4 セレクタ	145, 145_1~145_4 クロック乗換部	
146 時分割多重部	150 FECエンコーダ	
160 P/S変換部	170, 170a E/O変換部	
200 時分割分離装置	201, 201_1~201_4 出力処理部	
202, 202_1~202_16 フレーム送信部		
203, 203_1~203_16 フレーム送信部		
210, 210a, 210_1~210_4 E/O変換部		
230, 230_1~230_4 P/S変換部	241 速度変換部	30
242, 242_1~242_4 SONET送信処理部		
243 分離部	244 クロック乗換部	
245 S/P変換部	250 FECデコーダ	
260 S/P変換部	270, 270a O/E変換部	
11, 11_1~11_4 波長変換装置	12 可変アッテネータ、VAT	
13 波長分割多重装置	14 送信アンプ	
15 スペクトラムアナライザユニット、SAU		
16 ブースタユニット、BST	21, 21_1~21_4 波長変換装置	
22 波長分割分離装置	23 受信アンプ	
24 ブースタユニット、BST	30_1~30_n 中継器	40
40a, 40b, 40a_1~40a_4, 40b_1~40b_4 入出力端局		
41, 41_1~41_4 入力端局	42, 42_1~42_4 出力端局	
301 クロック損失検出部	302 LOS検出部	
303 パリティ検出部	304 フレーム同期部	
305 デスクランブラ	306 OH終端部	
307 ビットバッファ	310 多重部	
311 パリティ生成部	312 FECエンコーダ	
401 FECデコーダ	402 パリティ検出部	
403 クロック損失検出部	404 LOS検出部	
405 エラスティックストアメモリ		50

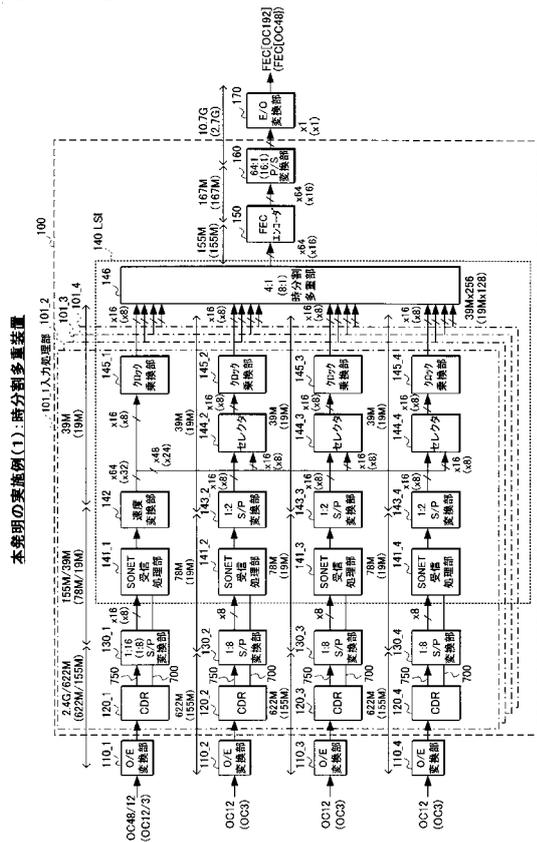
- 410 時分割分離部
- 411 フレーム同期部
- 412 OH終端部
- 413 OH挿入部
- 414 スクランプラ
- 415 パリティ生成部
- 501 クロック損失検出部
- 502 LOS検出部
- 503 パリティ検出部
- 504 フレーム同期部
- 505 デスクランブラ
- 506 オーバヘッド終端部、OH終端部
- 507 FIFOメモリ
- 508 ポインタ付替部
- 510 SONET多重部
- 511 BIP生成部
- 512 スクランプラ
- 513 パリティ生成部
- 601 クロック損失検出部
- 602 LOS検出部
- 603 パリティ検出部
- 604 フレーム同期部
- 605 デスクランブラ
- 606 オーバヘッド終端部
- 607 エラスティックストアメモリ
- 610 SONET分離部
- 611 OH挿入部
- 612 スクランプラ
- 613 パリティ生成部
- 700~703 クロック
- 750~752 データ、SONET信号
- 710 基準クロック
- 711 基準選択信号
- 712 位相調整信号
- NOREF 信号
- 800a, 800b, 800a\_1~800a\_4, 800b\_1~800b\_4 時分割多重波長変換装置
- 900a, 900b, 900a\_1~900a\_4, 900b\_1~900b\_4 時分割分離波長変換装置

10

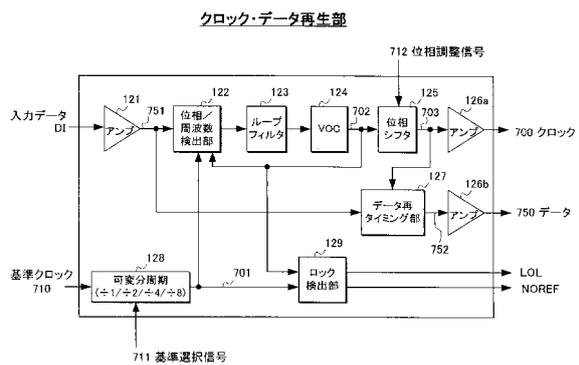
20

図中、同一符号は同一又は相当部分を示す。

【図1】

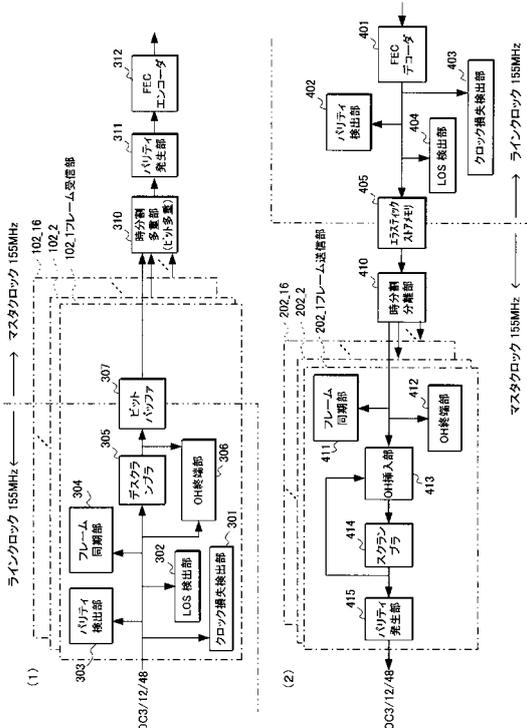


【図2】



【 図 3 】

本発明のLSI内部の概略機能図



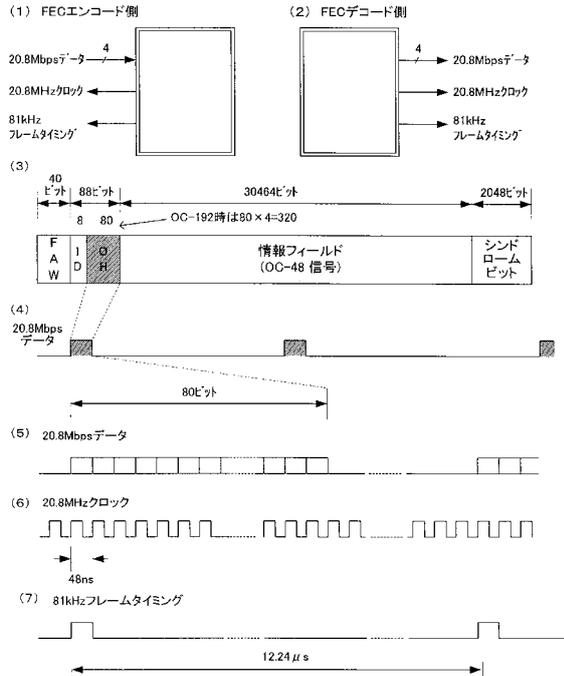
【 図 4 】

FEC フレーム構成例



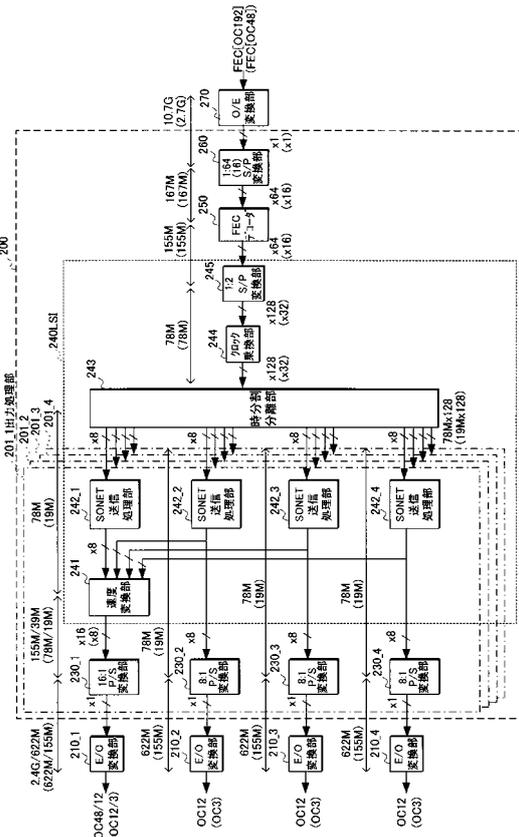
【 図 5 】

FECのOHインタフェース例



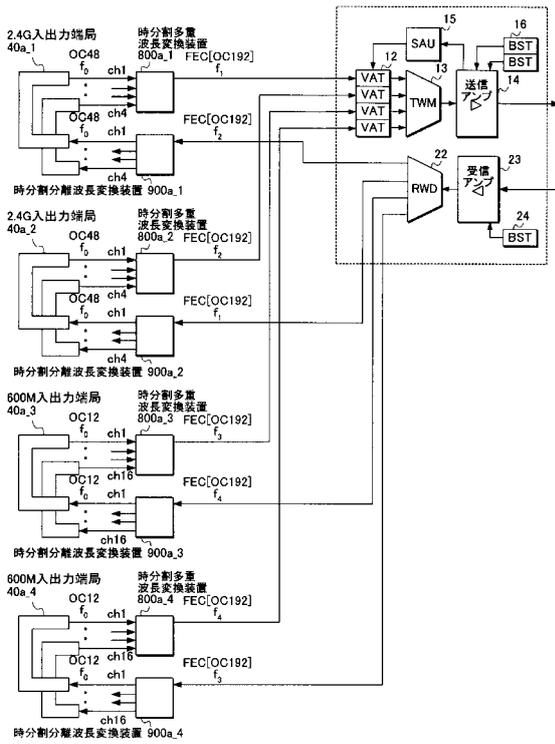
【 図 6 】

本発明の実施例(2): 時分割分離装置



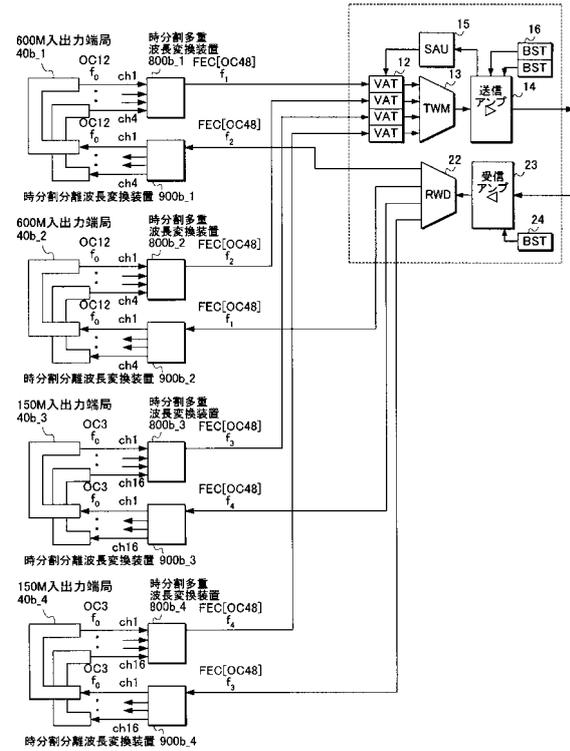
【図7】

本発明の実施例(3):  
時分割多重波長変換装置及び時分割分離波長変換装置



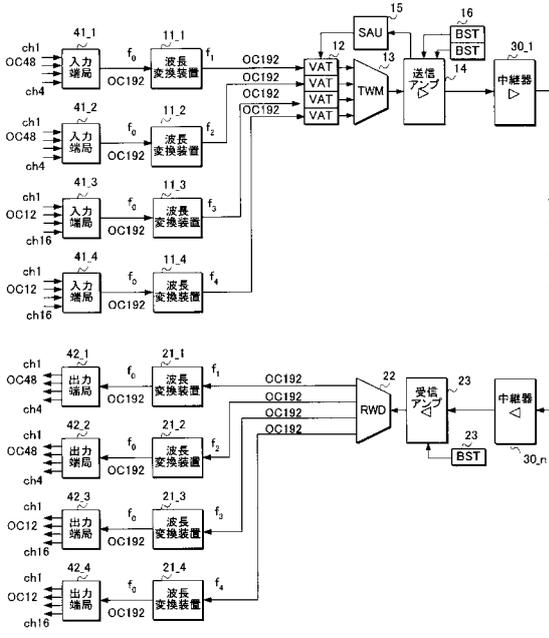
【図8】

本発明の実施例(4):  
時分割多重波長変換装置及び時分割分離波長変換装置

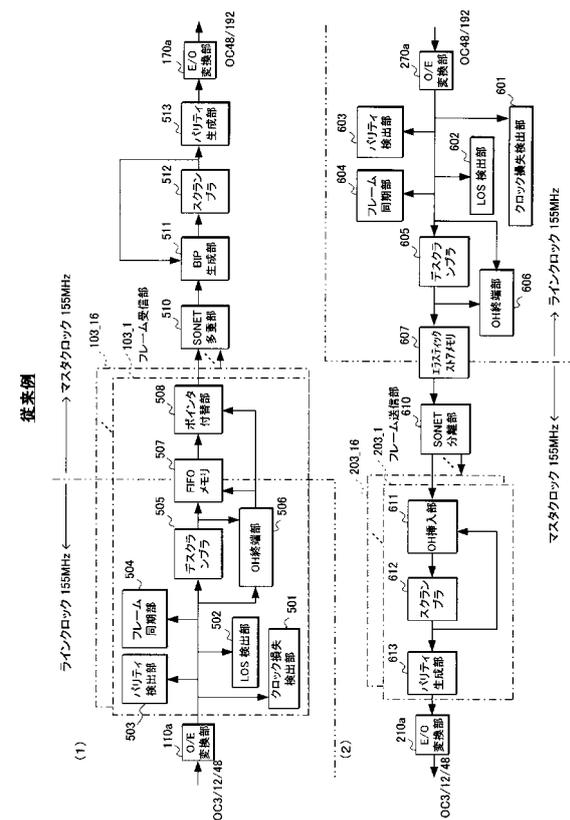


【図9】

従来例



【図10】



---

フロントページの続き

- (56)参考文献 特開2001-168734(JP,A)  
特開平05-336058(JP,A)  
特開平05-308335(JP,A)  
特開2001-244906(JP,A)  
特開2001-197049(JP,A)  
特開平08-204677(JP,A)  
特開平11-331132(JP,A)  
特開2000-124869(JP,A)  
上村有朋 他,「FECフレームを利用したビット多重端局の検討」,電子情報通信学会2000年総合大会講演論文集,電子情報通信学会,2000年 3月 7日,B-8-33

(58)調査した分野(Int.Cl.,DB名)

H04J 3/00-3/26  
H04L 5/22-5/26  
H04B 10/00-10/28  
H04J 14/00-14/08