



(10) **DE 10 2011 087 431 A1** 2012.05.31

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2011 087 431.3**

(22) Anmeldetag: **30.11.2011**

(43) Offenlegungstag: **31.05.2012**

(51) Int Cl.: **H02M 1/08 (2012.01)**

(30) Unionspriorität:

US, 12/956,696 30.11.2010 US

(74) Vertreter:

Westphal, Mussnug & Partner, 80331, München, DE

(71) Anmelder:

Infineon Technologies AG, 85579, Neubiberg, DE

(72) Erfinder:

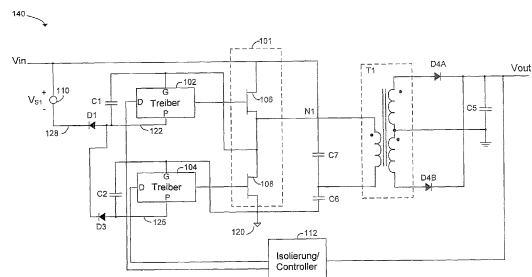
Draxelmayr, Dieter, Villach, AT

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Anordnung und Verfahren zum Treiben eines Kaskodenschalters**

(57) Zusammenfassung: Gemäß einer Ausführungsform umfasst ein Verfahren zum Treiben von Schaltern das Abtasten eines Kontroll-Knotens eines ersten Schalters, das Abtasten eines Kontroll-Knotens eines zweiten Schalters und das Treiben des Kontroll-Knotens des ersten Schalters in einen ersten aktiven Zustand, nachdem der Kontroll-Knoten des zweiten Schalters in einen zweiten aktiven Zustand übergegangen ist. Das Verfahren umfasst weiterhin das Treiben des Kontroll-Knotens des zweiten Schalters in einen zweiten inaktiven Zustand, nachdem der Kontroll-Knoten des ersten Schalters in einen ersten inaktiven Zustand übergegangen ist. Das Treiben des Kontroll-Knotens des ersten Schalters basiert auf dem Abtasten des Kontroll-Knotens des zweiten Schalters und das Treiben des Kontroll-Knotens des zweiten Schalters basiert auf dem Abtasten des Kontroll-Knotens des ersten Schalters.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich allgemein auf elektronische Schaltungen, insbesondere auf eine Anordnung und ein Verfahren zum Treiben eines Kaskodenschalters.

[0002] Leistungsversorgungssysteme (engl.: power supply systems) sind in vielen elektronischen Anwendungen vorhanden, von Computern bis zu Automobilen. Im Allgemeinen werden Spannungen in einem Leistungsversorgungssystem mittels einer DC-DC-, einer DC-AC-, und/oder AC-DC-Wandlung erzeugt, indem ein Schalter betätigt wird, an den eine Induktivität oder ein Transformator angeschlossen ist. In manchen Leistungsversorgungssystemen sind Kombinationen von Schaltern in einer Brückenschaltung angeordnet, wie z. B. einer Halbbrücke, einer Vollbrücke, oder einer Mehrphasenbrücke. Wenn von der Leistungsversorgung sehr hohe Spannungen erzeugt werden, ist es vorteilhaft Schalter zu nutzen, die zugleich eine hohe Durchbruchspannung und einen niedrigen Einschaltwiderstand haben, wie z. B. Sperrschicht-Feldeffekttransistoren (JFETs). Die hohe Durchbruchspannung eines JFET erlaubt einen zuverlässigen Betrieb, auch mit Ausgangsspannungen von mehreren hundert oder sogar über tausend Volt. Der niedrige Einschaltwiderstand von JFET-Bausteinen erlaubt einen effizienten Betrieb des Leistungsversorgungssystems.

[0003] JFET-Bausteine haben die Eigenschaft, dass sie selbstleitende, oder "normally on"-Bauelemente sind, was bedeutet, dass die Bauelemente Strom leiten, wenn die Gate-Source-Spannung des JFET bei ungefähr Null Volt liegt. Eine solche Eigenschaft bereitet Probleme, da die Schalttransistoren als Kurzschlüsse auftreten bevor das Leistungsversorgungssystem komplett vorgespannt ist, was zur Folge hat, dass beim Starten der Leistungsversorgung hohe Ströme verursacht werden. In einigen Hochleistungs-JFET-Bausteinen, welche zum Schalten von Leistungsversorgungen verwendet werden, kann diese so genannte Pinch-Off-Spannung um die -15 Volt betragen. Aus diesem Grund wird diese negative Spannung bereits erzeugt, bevor die Leistungsversorgung den vollen Betrieb beginnt und der JFET noch komplett ausgeschaltet sein kann.

[0004] In einigen Leistungsversorgungen werden durch das Verwenden von Transformatoren beim Start Vorspannungen gebildet. Die Verwendung von Transformatoren ist jedoch teuer. In anderen Leistungsversorgungen werden Spannungen beim Start durch die Verwendung von Bootstrapping-Methoden erzeugt, bei welchen die Energie von Vermittlungsknoten in der Leistungsversorgungsschaltung genutzt wird um Kondensatoren zu laden, welche eine lokale Leistungsversorgung für die Schalttransistoren darstellen. Wenn JFETs zum Einsatz kommen,

sind solche Bootstrapping-Methoden jedoch schwer anzuwenden. Wenn zum Beispiel die interne Versorgungsspannung des Leistungsversorgungssystems beim Start niedrig ist, könnten die JFET-Schalter nicht funktionieren, weil die Spannung, die benötigt wird um ein Ein- und Ausschalten des JFET zu ermöglichen, noch nicht aufgebaut wurde. Wenn die JFET-Schalter nicht schalten, können die internen Versorgungsspannungen, die benötigt werden um den Schalter zu betätigen, nicht gebildet werden.

[0005] Gemäß einer Ausgestaltung umfasst ein Verfahren zum Treiben von Schaltern das Abtasten eines Kontroll-Knotens eines ersten Schalters, das Abtasten eines Kontroll-Knotens eines zweiten Schalters und das Treiben des Kontroll-Knotens des ersten Schalters in einen ersten aktiven Zustand, nachdem der Kontroll-Knoten des zweiten Schalters in einen ersten aktiven Zustand übergegangen ist. Das Verfahren weist weiterhin das Treiben des Kontroll-Knotens des zweiten Schalters in einen zweiten inaktiven Zustand auf, nachdem der Kontroll-Knoten des ersten Schalters in einen ersten inaktiven Zustand übergegangen ist. Das Treiben des Kontroll-Knotens des ersten Schalters basiert auf dem Abtasten des Kontroll-Knotens des zweiten Schalters und das Treiben des Kontroll-Knotens des zweiten Schalters basiert auf dem Abtasten des Kontroll-Knotens des ersten Schalters.

[0006] Durch die vorangehende Darstellung wurden die Eigenschaften einer Ausgestaltung der vorliegenden Erfindung ziemlich breit dargestellt, damit die folgende, detaillierte Beschreibung der Erfindung besser verstanden werden kann. Weitere Eigenschaften und Vorteile von Ausgestaltungen der Erfindung, welche den Gegenstand der Ansprüche der Erfindung bilden, werden im Folgenden beschrieben. Die beschriebene Idee und die spezifischen Ausgestaltungen können dabei leicht als eine Basis zum Modifizieren oder Entwerfen von weiteren Strukturen oder Prozessen zum Ausführen derselben Zwecke der vorliegenden Erfindung genutzt werden.

[0007] Für ein umfassenderes Verständnis der vorliegenden Erfindung und deren Vorteilen, wird nun auf die folgende Beschreibung, in Verbindung mit den zugehörigen Zeichnungen, Bezug genommen, wobei:

[0008] [Fig. 1a–Fig. 1b](#) erfindungsgemäße Ausgestaltungen von Leistungsversorgungssystemen veranschaulichen;

[0009] [Fig. 2](#) eine Ausgestaltung eines Schaltertreibersystems veranschaulicht;

[0010] [Fig. 3a–Fig. 3c](#) Schaltpläne einer Ausgestaltung eines Treibers veranschaulichen;

[0011] [Fig. 4a–Fig. 4c](#) ein Zeitdiagramm und Schaltbilder einer Ausgestaltung einer Schalter-Kontrollschaltung veranschaulichen;

[0012] [Fig. 5](#) eine weitere Ausgestaltung eines Schaltertreibersystems darstellt;

[0013] [Fig. 6](#) eine Ausgestaltung einer Treiberschaltung darstellt;

[0014] [Fig. 7a–Fig. 7b](#) eine Ausgestaltung eines Leistungsversorgungssystems darstellt, welche Ausgestaltungen einer Treiberschaltung verwendet;

[0015] [Fig. 8](#) eine Ausgestaltung eines Diagramms von Wellenformen einer Ausgestaltung einer Treiberschaltung darstellt.

[0016] Gleiche Bezugszeichen und Symbole in den verschiedenen Figuren beziehen sich, soweit nicht anders angegeben, auf gleiche Elemente. Die Figuren sollen die relevanten Aspekte der Ausführungsformen klar darstellen, und sind nicht notwendigerweise maßstabsgetreu gezeichnet.

[0017] Der Aufbau und die Funktion verschiedener Ausführungsformen werden im Folgenden detailliert erörtert. Die vorliegende Erfindung liefert jedoch viele geeignete erfinderische Ideen, die in einer großen Vielfalt spezifischer Zusammenhänge verkörpert sein können. Die diskutierten spezifischen Ausführungsformen sind lediglich Beispiele von verschiedener Art und Weise die Erfindung zu fertigen und zu benutzen, und limitieren nicht den Umfang der Erfindung.

[0018] Die vorliegende Erfindung wird mit Bezug auf verschiedene Ausführungsformen von Schaltertreibern in Schaltnetzteilen beschrieben. Ausführungsformen der Erfindung können ebenfalls in Schaltertreibern in anderen elektronischen Anwendungen Verwendung finden, wie z. B. Solarumrichter, Telekommunikation, Server und unterbrechungsfreie Leistungsversorgungen.

[0019] [Fig. 1a](#) zeigt ein Leistungsversorgungssystem **100** gemäß einer Ausführungsform der vorliegenden Erfindung. Die Eingangsspannung V_{in} wird über einer Halbbrückenschaltung **101** angelegt, welche einen High-Side-Schalter **106** und einen Low-Side-Schalter **108** aufweist. In einer Ausführungsform wird jeder Schalter **106** und **108** aus einem JFET und einem MOSFET, welche in Serie geschaltet sind, gebildet. Alternativ können auch andere Schalterkonfigurationen genutzt werden. Während des Betriebs des Leistungsversorgungssystems steuert der High-Side-Treiber **102** den High-Side-Schalter **106** und der Low-Side-Treiber **104** den Low-Side-Schalter **108**. In einer Ausführungsform werden der High-Side-Schalter **106** und der Low-Side-Schalter **108** abwechselnd angesteuert, so dass zu jedem Zeitpunkt immer nur

ein Schalter leitend ist. In einigen Ausführungsformen wird die Ausgangsspannung V_{out} entsprechend der Einschaltdauer der leitenden Zustände des High-Side-Schalters **106** und des Low-Side-Schalters **108** und gemäß dem Windungsverhältnis des Transformators T1 gesteuert.

[0020] Der Ausgang N1 der Halbbrückenschaltung **101** ist mit der ersten Wicklung des Transformators T1 verbunden. Die zweite Wicklung des Transformators T1 ist mit den Gleichrichtdioden D4A und D4B verbunden. Die Gleichrichtdioden D4A und D4B richten den Ausgang der zweiten Wicklung des Transformators T1 gleich, der Kondensator C5 filtert die gleichgerichteten Ausgangssignale der Dioden D4A und D4B. In einer Ausführungsform wird die Ausgangsspannung V_{out} vom Isolierungs-/Controllerblock **112** gemessen, welcher Eingangssignale für den High-Side-Treiber **102** und den Low-Side-Treiber **104** generiert. In einer Ausführungsform bildet der Isolierungs-/Controllerblock eine elektrische Isolation zwischen der ersten und der zweiten Seite des Transformators T1. Dafür können zum Beispiel Isolationsschaltungen wie beispielsweise Optoisolatoren, Transformatoren und andere bekannte die zur Isolation geeignet sind zum Einsatz kommen. In einer Ausführungsform kann der Isolierungs-/Controllerblock derart konfiguriert werden, dass eine vorgegebene Ausgangsspannung V_{out} ausgegeben wird.

[0021] In einer Ausführungsform wird dem High-Side-Treiber **102** über die Anschlüsse G und P Strom zugeführt, wobei der Anschluss G mit dem Ausgang N1 der Halbbrückenschaltung **101** verbunden ist und der Anschluss P über den Knoten **122** mit dem Kondensator C1 und der Diode D1 verbunden ist. Wenn der Knoten N1 einen Spannungsübergang in positiver Richtung erfährt, wird der Knoten **122** solange hoch getrieben, bis die Diode D1 bei $V_{in} - V_{S1} + V_{DS1}$ vorwärts leitend wird, wobei V_{DS1} die Sperrspannung der Diode D1 und V_{S1} die Spannung der Leistungsversorgung **110** ist. Wenn am Knoten N1 die Spannung V_{in} anliegt, liegt am Kondensator C1 eine Spannung von ungefähr $V_{S1} - V_{DS}$ an. Wenn der Knoten N1 beginnt einen Spannungsübergang in negativer Richtung zu erfahren wird die Diode D1 rückwärts leitend und eine Spannung von ungefähr $V_{S1} - V_{DS1}$ wird am Kondensator C1 aufrecht erhalten. In einigen Ausführungsformen klingt die Spannung über dem Kondensator C1 ab, je nach der Größe des Kondensators C1 und des Stromes der von dem Treiber **102** verbraucht wird. In einer Ausführungsform wird die Spannung V_{S1} derart gewählt, dass sie mindestens ausreichend ist den JFET im High-Side-Schalter **106** auszuschalten. In Ausführungsformen, in welchen der High-Side-Schalter einen JFET enthält, wird die Spannung V_{S1} derart gewählt, dass sie mindestens größer ist als die Größenordnung der Pinch-Off-Spannung des JFET. Dies kann beispielsweise zwischen ungefähr 10 Volt und ungefähr 15 Volt sein. In anderen Aus-

führungsformen können andere Werte gewählt werden, je nach Anwendung, deren Anforderungen und den Merkmalen der einzelnen im Schaltkreis verwendeten Bausteine.

[0022] Bei einer Ausführungsform wird dem Low-Side-Treiber **104** über den Anschluss G und den Anschluss P Strom zugeführt, wobei Anschluss G mit Ground (Masse) **120** verbunden ist und Anschluss P mit dem Kondensator C2 und der Diode D3 verbunden ist. Wenn der Knoten N1 einen Spannungsübergang in positiver Richtung erfährt, erhöht sich die Spannung am Knoten **128** solange, bis die Diode D2 bei einer Spannung von $V_{in} - V_{S1} + V_{DS2}$ vorwärtsleitet, wobei V_{DS2} die Sperrspannung der Diode D2 ist. Wenn am Knoten N1 eine Spannung V_{in} anliegt, liegt am Kondensator C3 eine Spannung von ungefähr $V_{S1} - V_{DS2}$ an. Wenn der Knoten N1 beginnt einen Spannungsübergang in negativer Richtung zu erfahren, wird die Diode D2 rückwärtsleitend und eine Spannung von ungefähr $V_{S1} - V_{DS2}$ wird über dem Kondensator C3 aufrecht erhalten. Der Knoten **128** folgt dem Knoten N1, während dieser seine Spannungsauslenkung in negativer Richtung fortsetzt. Wenn die Spannung am Knoten N1 bei Ground **120** angelangt ist, liegt am Knoten **128** ungefähr eine Spannung von $V_{DS2} - V_{S1}$ an, und der Kondensator C2 lädt sich auf eine Spannung von ungefähr $V_{DS3} + V_{DS2} - V_{S1}$ auf, wenn der Effekt des Entladens des Kondensators C2 und eine kapazitive Ladungsteilung zwischen den Kondensatoren C2 und C3 vernachlässigt wird, wobei V_{DS3} die Sperrspannung der Diode D3 ist. In manchen Ausführungsformen klingt die Spannung über dem Kondensator C2 ab, je nach der Größe des Kondensators C2 und des Stromes der vom Treiber **104** verbraucht wird. Während die Spannung über C2 abklingt, wird jedoch dem Kondensator C2 über die Diode D3 mehr Ladung zugeführt, so dass die Spannung über den Anschlüssen P und G des Treibers **104** auf einem ausreichenden Niveau gehalten wird, um den JFET im Low-Side-Schalter **108** zu betreiben.

[0023] Bei einer Ausführungsform liegen die Werte für C1, C2 und C3 jeweils zwischen ungefähr 10 μ F und ungefähr 100 μ F, und V_{S1} liegt zwischen ungefähr 20 V und ungefähr 30 V. In einer Ausführungsform ist V_{in} ungefähr 400 V und V_{out} ist ungefähr 12 V, 48 V oder 400 V. Bei alternativen Ausführungsformen können abhängig von der spezifischen Anwendung und ihrer Spezifikationen andere Komponenten- und Spannungswerte verwendet werden.

[0024] Die in [Fig. 1a](#) dargestellte Schaltung ist ein Beispiel dafür, wie die erfindungsgemäße Idee auf ein Leistungsversorgungssystem angewendet werden kann. In alternativen Ausführungsformen können andere Topologien von Leistungsversorgungssystemen als die in [Fig. 1a](#) gezeigte zum Einsatz kommen. [Fig. 1b](#) zeigt zum Beispiel eine alternative Ausfüh-

rungsform eines Leistungsversorgungssystems **140**, welches dem Leistungsversorgungssystem **100** aus [Fig. 1a](#) ähnlich ist, mit dem Unterschied, dass der Kondensator C3 und die Diode D2 fehlen und die Diode D3 zwischen die Knoten **125** und **122** geschaltet ist. Die Ausführungsform in [Fig. 1b](#) verwendet somit weniger Komponenten als die Ausführungsform in [Fig. 1a](#).

[0025] Weitere Ausführungsformen der vorliegenden Erfindung können auf Konverter, wie z. B. Abwärtswandler, Aufwärtswandler und Buck-Boost-Wandler angewendet werden, wobei sich dies nicht auf diese Wandler beschränkt. Alternative Ausführungsformen von Leistungsversorgungstopologien können auch Leistungsversorgungen enthalten, welche Induktivitäten statt Transformatoren oder sowohl Induktivitäten als auch Transformatoren nutzen.

[0026] [Fig. 2](#) stellt den Low-Side Teil einer Halbbrücken-Schaltung und die damit verbundenen Treiberschaltungen gemäß einer weiteren Ausführungsform der vorliegenden Erfindung dar. Der Low-Side-Schalter wird hier aus einem n-Kanal JFET **234** und einem PMOS Baustein (PMOS-Bauelement) **236** gebildet und wird vom Treiber **204** angesteuert. Alternativ können anstatt dem PMOS Baustein **236** auch andere Baustein-Typen (Bauelement-Typen), wie zum Beispiel NMOS Bausteine, in Serie zu dem JFET **234** geschaltet werden. Während dem Normalbetrieb des Leistungsversorgungssystems ist der PMOS Baustein **236** dauerhaft eingeschaltet, während der JFET **234** an- und ausgeschaltet wird, wodurch der Kondensator C2 geladen wird, wie bereits in der Beschreibung von [Fig. 1a](#) beschrieben. Mittels dem Signal Data werden dem Treiber **204** die Schaltsignale zugeführt.

[0027] Während dem Start ist der PMOS **236** ausgeschaltet wenn der Knoten **224** nicht genügend negative Spannung besitzt, um den JFET **234** auszuschalten. Durch das Ausschalten des PMOS **236** wird das Auftreten eines Kurzschlusses in der Halbbrücken-Schaltung beim Start vermieden. Unter der Annahme, dass der Knoten N1 beim Start eine ausreichend hohe Spannung besitzt, zum Beispiel höher als 20 V, und das Gate des JFET **234** über den Knoten **216** mit Ground **240** verbunden ist, entspricht die Spannung am Knoten **210** der Pinch-Off-Spannung des JFET **234**. In einer Ausführungsform beträgt diese Spannung **15V**, jedoch kann diese Spannung in anderen Ausführungsformen davon abweichen, je nach den spezifischen Merkmalen des JFETs **234**. Dabei wird die Pinch-Off-Spannung im Kondensator C2 gespeichert, welcher dem Treiber **204** eine ausreichende Spannung liefert, um die interne Logik des Treibers **204** zu betreiben. In einer Ausführungsform ist die Diode D10 zwischen das Gate des JFET **234** und Ground **240** geschaltet, um zu verhindern, dass der

JFET **234** eine Spannung aufweist, welche deutlich über Ground **240** liegt.

[0028] In einer Ausführungsform schaltet der Treiber sowohl den PMOS Baustein als auch den JFET **234** ein und aus, wenn die Spannung am Kondensator C2 eine erste festgelegte Schwelle übersteigt. Diese Schwelle kann beispielsweise bei 8 V liegen. Dabei werden beide Bausteine ein- und ausgeschaltet, wenn die Möglichkeit besteht, dass der JFET **234** nicht komplett ausgeschaltet werden kann, während die interne Leistungsversorgung niedrig ist. In einigen Ausgestaltungen schaltet der Treiber den PMOS Baustein und den JFET **234** beide ein und aus, wenn die Spannung an einem intern regulierten Knoten eine Spannungsschwelle übersteigt. Während die Halbbrücke beginnt ein- und auszuschalten, wird die Spannung am Knoten **227** über den Kondensator C3 und die Diode D3 immer weiter unter Ground **240** gedrückt. Wenn die Spannung am Knoten **227** ausreichend weit unter Ground **240** liegt, zum Beispiel bei ungefähr -18 V, wird der PMOS Baustein **236** dauerhaft eingeschaltet und der Betrieb geht in einen Normalbetrieb über. In einer Ausführungsform wird die Versorgungsschwelle, bei der der PMOS Baustein **236** dauerhaft eingeschaltet wird, durch die Pinch-Off-Spannung des JFET **234** und einer zusätzlichen Spanne zu beispielsweise 18 V bestimmt, um einen zuverlässigen Betrieb zu gewährleisten.

[0029] In einigen Ausführungsformen ist es effizienter nicht den JFET **234** und den PMOS **236** zu schalten, sondern den PMOS Baustein **236** eingeschaltet zu lassen und nur den JFET **234** zu schalten, weil der Treiber **204** die Gate-Kapazität des PMOS Bausteins **236** laden und entladen muss. In einigen Ausführungsbeispielen wird der PMOS Baustein **236** sehr groß gewählt, um den Serienwiderstand des JFET **234** zu reduzieren. Die Gate-Source-Kapazität des PMOS Bausteins **236** kann deshalb sehr hoch sein. Wenn jedoch beide Bausteine während dem Starten geschaltet werden, können beide Bausteine sicher betrieben werden, ohne in manchen Ausführungsformen einen Kurzschluss hervorrufen zu können. Sobald die volle negative Leistungsversorgungsspannung am Knoten **227** anliegt, erlaubt jedoch der dauerhafte Ein-Zustand des PMOS **236** einen effizienteren Betrieb, da der JFET Baustein eine niedrigere Eingangs-Kapazität bei gegebener Treiberleistung hat als der PMOS Baustein **236**. In weiteren Ausführungsformen können am Low-Side-Treiber angewendete Konzepte auch am High-Side-Treiber angewendet werden.

[0030] [Fig. 3a](#) zeigt den Schaltplan einer Ausführungsform der Treiberschaltung **300**. In einer Ausführungsform kann die Treiberschaltung **300** für die Treiberblöcke der [Fig. 1](#) und [Fig. 2](#) verwendet werden. In der Treiberschaltung **300** treibt der Controller **306** den JFET Gate-Treiber **304** und den MOSFET Gate-Trei-

ber **302**. Der Controller **306** legt die zeitliche Steuerung der Treibersignale an die Treiber **302** und **304** in Abhängigkeit eines Betriebszustandes fest. In einem ersten Betriebszustand zum Beispiel, wenn die Anordnung startet, ist das Gate des MOSFET gesperrt indem es auf ein hohes Potential getrieben wird. Ein Schalten des Gates des JFET ist ebenfalls gesperrt, indem der JFET auf eine niedrige Spannung getrieben wird. In einem zweiten Betriebszustand, während die Leistungsversorgung lädt, werden die Gates des MOSFET und des JFET, in Abhängigkeit eines Eingangssignals Din, beide ein- und ausgeschaltet. In einem dritten Betriebszustand, welcher dem Normalbetrieb entspricht, ist das Gate des MOSFET dauerhaft eingeschaltet. In einer Ausführungsform nutzt der Power-Control-Block **308** den Eingang JFS als positive Versorgung und den Knoten P1 als negative Versorgung. In einigen Ausführungsformen weist der Power-Control-Block **308** einen lokalen Spannungsregler sowie Komparatoren auf, die dazu verwendet werden den Betriebszustand zu bestimmen. In der Ausführungsform, die in [Fig. 3a](#) gezeigt ist, gibt der Power-Control-Block **308** ein Signal MODE an den Controller **306** aus. In einigen Ausführungsformen kann das Signal MODE ein digitales Signal sein, welches aus einem oder mehreren Bits besteht. In alternativen Ausführungsformen können Power-Control, Mode-Control und Signal-Control unterschiedlich realisiert und gegliedert werden.

[0031] [Fig. 3b](#) zeigt die Ausführungsform eines Schaltplanes des Power-Control-Blocks **308** in welchem der Referenzspannungsgenerator **322** die zwei Spannungen REF1 und REF2 generiert. In einer Ausführungsform ist REF1 ungefähr 8 V und REF2 ungefähr 18 V, wobei in anderen Ausführungsformen auch andere Spannungen verwendet werden können. Die Komparatoren **324** und **326** vergleichen die Spannungen REF1 und REF2 mit dem Knoten JFS. Die Ergebnisse dieser Vergleiche werden vom Mode-Logic-Block **328** verarbeitet, welcher das Signal MODE ausgibt, welches einen Betriebszustand anzeigt. In alternativen Ausführungsformen können andere Schaltungen zum Einsatz kommen. Anstatt die Spannung JFS direkt zu verwenden kann zum Beispiel ein verringerter Wert von JFS mit niedrigeren Referenzspannungen verglichen werden. In einer Ausführungsform zum Beispiel, wird JFS mittels eines Spannungsteilers um den Faktor **10** verringert und mit 0,8 V und 1,8 V verglichen. In einer derartigen Niedrigspannungs-Anordnung können Niedrigspannungs-Bauteile (Niederspannungs-Bauelemente) verwendet und Sättigungseffekte vermieden werden.

[0032] [Fig. 3c](#) zeigt eine weitere Ausführungsform des Power-Control-Blocks **309**. Der Power-Control-Block **309** ist dem Power-Control-Block **308** aus [Fig. 3b](#) ähnlich, weist aber zusätzlich den Spannungsregler **330** auf, der die geregelte Spannung P2

erzeugt aus welcher die Referenzspannungen REF1 und REF2 abgeleitet werden können. In einigen Ausführungsformen kann die geregelte Spannung P2 dazu verwendet werden, um die Schaltertreiber und/oder andere Schaltungsteile, die mit den Schaltertreibern in Verbindung stehen, zu versorgen. In einigen Ausführungsformen wird der Spannungsregler **330** dazu verwendet, die Schaltertreiber und zugehörige Schaltungen zu versorgen, während die primäre Leistungsversorgung P1 dazu verwendet wird, die Referenzspannungen REF1 und REF2 mittels des Blocks **322**, wie er in [Fig. 3b](#) dargestellt ist, zu generieren.

[0033] In einer Ausführungsform, werden die Gates des JFET und des MOSFET beide angesteuert, zum Beispiel derart, dass der JFET eingeschaltet wird, nachdem der MOSFET eingeschaltet wurde, und der MOSFET ausgeschaltet wird, nachdem der JFET ausgeschaltet wurde. Dies kann beispielsweise im zweiten Betriebszustand der Fall sein, wenn die Versorgung lädt nachdem das Leistungsverorgungssystem gestartet wurde. In einer Ausgestaltung nimmt der MOSFET die Pinch-Off-Spannung des JFET auf, wodurch ein Niederspannungs-MOSFET verwendet werden kann, wenn der JFET ein Hochspannungs-Bauteil (Hochspannungs-Baulement) ist. Indem sichergestellt wird, dass der MOSFET eingeschaltet ist wenn der JFET eingeschaltet ist, wird dementsprechend der Ausfall von Bauteilen und die mögliche Zerstörung des MOSFET-Bauteils verhindert. [Fig. 4a](#) zeigt ein Zeitdiagramm des Controllers **306** und der Treiber **302** und **304** der [Fig. 3a](#), für welche ein PMOS-Baustein verwendet wird. Das Gate des JFET wird hier auf High getrieben, also der JFET eingeschaltet, nachdem das Gate des PMOS zum Zeitpunkt **402** auf Low gegangen ist, der PMOS also ausgeschaltet wurde. In ähnlicher Weise wird das Gate des PMOS auf High getrieben, nachdem das Gate des JFET zum Zeitpunkt **404** auf Low gegangen ist. In Ausführungsbeispielen, in denen der MOSFET-Baustein durch Verwendung eines NMOS-Bauteils realisiert wird, ist die Richtung des PMOS-Gate Signals invertiert.

[0034] [Fig. 4b](#) zeigt einen Schaltplan, der zumindest einen Teil des Controllers **306** gemäß eines Ausführungsbeispiels der vorliegenden Erfindung darstellt. Das Signal Din steuert das UND-Gatter **406** direkt, und das UND-Gatter **408** über den Inverter **410** an. Der Ausgang des UND-Gatters **406** treibt den Treiber/Sensor **412** und den JFET-Gate Treiber **304** ([Fig. 3](#)) und der Ausgang des UND-Gatters **408** treibt den Treiber/Sensor **414** und den MOSFET Treiber **302** ([Fig. 3](#)). Der Ausgang C des Treiber/Sensor **412** wird dem UND-Gatter **408** zugeführt und der Ausgang C des Treiber/Sensor **414** wird dem UND-Gatter **406** zugeführt. In einer Ausführungsform geht der Knoten C des Treiber/Sensor **412** nicht auf Low, bis das Gate des JFET auf Low gegangen ist. Ähnlich dazu geht der Knoten C des Treiber/Sensor **414**

nicht auf High, bis das Gate des MOSFET auf Low gegangen ist. Effektiv geht der Knoten C auf High, wenn der Treiber/Sensor erkennt, dass der zugehörige Knoten am Eingang B auf Low gegangen ist. Indem eine Rückmeldung von den eigentlichen Knoten, welche die Gates treiben, erfolgt, wird verhindert, dass der JFET leitet wenn der MOSFET ausgeschaltet ist.

[0035] [Fig. 4c](#) zeigt ein Ausführungsbeispiel des Treiber/Sensor-Blocks **412**, welcher in [Fig. 4b](#) dargestellt ist. Der Treiber/Sensor ist mit seinem Eingang A über einen Inverter mit dem PMOS Baustein **428** gekoppelt. Der PMOS Baustein ist zwischen VDD und den Eingang eines Latches **430**, welches aus den Back-to-Back Invertern **422** und **424** gebildet wird, geschaltet. Die Gate-Rückführung ist über den NMOS Baustein **421** ebenfalls an das Latch gekoppelt. In einer Ausführungsform ist das NMOS Bauteil ein Hochvolt-Baustein, auch wenn der NMOS Baustein **421** ebenfalls als Niederspannungs-Baustein ausgebildet sein kann. In einigen Ausführungsformen ist ein Puffer **434** zwischen die Knoten A und B geschaltet. Während des Betriebs, wenn der Knoten **432** am Gate des PMOS Bausteins **428** angesteuert wird, wird der Eingang des Latches vom Eingang B angesteuert, was dem Treibersignal des PMOS oder JFET entspricht. In einigen Ausführungsformen kann der PMOS Baustein **428** weggelassen werden wenn der Knoten B den Eingang **430** über den NMOS Baustein **421** auf High treiben kann. Die Verwendung des PMOS Bausteins **428** hilft jedoch dabei, einen fehlerfreien Ruhezustand zu erreichen. In einer Ausführungsform enthält der Inverter **424** einen schwachen PMOS und/oder NMOS Baustein damit die Komponenten **421** und **428** den Ausgang des Inverters **424** überschreiben können. In einigen Ausführungsformen enthält der Inverter **422** auch einen schwachen PMOS und/oder NMOS Baustein, um eine Cross-Conduction während des Schaltens zu minimieren. In einer solchen Ausführungsform kann auf den Inverter **422** eine weitere Pufferschaltung folgen (nicht gezeigt).

[0036] Die in den [Fig. 4b](#) und [Fig. 4c](#) gezeigten Schaltungen stellen lediglich beispielhafte Ausführungsformen dar. In alternativen Ausführungsformen können auch andere Schaltungen und andere Logik verwendet werden, als die in [Fig. 4b](#) gezeigte Schaltung.

[0037] [Fig. 5](#) zeigt eine weitere Ausführungsform eines Systems **500** um eine Halbbrücken-Schaltung **501** anzusteuern. Ein High-Side-Schalter, welcher aus einem JFET **506** und einem PMOS Baustein **508** gebildet wird, wird von einem High-Side-Treiber **502** angesteuert und ein Low-Side-Schalter, welcher aus einem JFET **510** und einem PMOS **512** gebildet wird, wird von einem Low-Side-Treiber **504** angesteuert. Der Betrieb der Treiber **502** und **504** ist ähnlich zu

dem Betrieb des Treibers **204**, wie in [Fig. 2](#) gezeigt, und zum Betrieb der Treiber **102** und **104**, wie in [Fig. 1a](#) gezeigt. Jeder Treiber **502**, **504** hat jedoch zwei Leistungsversorgungs-Anschlüsse P1 und P2 und jeder Schalter hat einen JFET und einen MOSFET. In einer Ausführungsform wird der Leistungsversorgungs-Anschluss P1 dazu verwendet, um dem Treiber eine Primärversorgung zur Verfügung zu stellen und der Leistungsversorgungsanschluss P2 wird dazu verwendet, um dem Treiber eine geregelte Versorgung zur Verfügung zu stellen. In einer Ausführungsform wird die geregelte Versorgung durch die Primärversorgung mittels eines Spannungsreglers im Block **308** aus [Fig. 3a](#) erzeugt. In einer Ausführungsform arbeitet der Leistungsversorgungs-Anschluss P2 zwischen ungefähr -18 V und ungefähr -19 V , und der Leistungsversorgungs-Anschluss P1 arbeitet ungefähr zwischen -24 V und -26 V . In alternativen Ausführungsformen können andere Spannungsbereiche und/oder zusätzliche Versorgungs-Anschlüsse verwendet werden.

[0038] In einer Ausführungsform wird die Versorgung P1 des High-Side-Treibers **502** über die Diode D1 versorgt. Die Versorgung P2 wird über einen internen Regelkreis versorgt und ist vom Knoten **520** durch den Kondensator C1 getrennt. In ähnlicher Weise wird die Versorgung P1 des Low-Side-Treibers **504** über C3 und D3 versorgt. Die Versorgung P2 wird über einen internen Regelkreis versorgt und ist vom Knoten **522** durch den Kondensator C2 getrennt. In einigen Ausführungsformen kann der Power-Control-Block **309**, wie er in [Fig. 3c](#) gezeigt ist, verwendet werden. Die Widerstände R1 und R2 begrenzen die Stromspitzen, welche sonst die Dioden insbesondere beim Start beschädigen oder zerstören könnten. Die Dioden D5, D6, D7 und D8 sind während dem Normalbetrieb rückwärtsleitend, werden aber vorwärtsleitend, wenn die Leistungsversorgungsknoten P1 und P2 eine Spannung aufweisen, welche größer ist als die des Ground-Knotens des Treibers, um die Treiberschaltung vor Latch-Up, Zusammenbruch und Überspannungszuständen zu schützen. Die Dioden D5, D6, D7 und D8 stellen zudem einen Ladepfad für die Kondensatoren C1, C2, C8 und C9 während dem Start dar, wenn keine Bootstrap-Spannung verfügbar ist.

[0039] [Fig. 6](#) zeigt eine Treiberschaltung **600** gemäß einer Ausführungsform der vorliegenden Erfindung. Die Treiberschaltung **600** hat einen Niederspannungs-Bereich **601**, welcher mit einem Hochspannungs-Bereich **603** über den Coreless Transformer **620** verbunden ist. In alternativen Ausgestaltungen kann der Niederspannungs-Bereich **601** mittels eines Optokopplers mit dem Hochspannungs-Bereich verbunden sein. Der Niederspannungs-Bereich **601** empfängt Daten des Treibers über den Pin IN, welcher über einen Puffer **622**, eine Eingangslogik **604** und einen Transformer-Treiber **606** mit dem Co-

reless Transformer **620** verbunden ist. In einer Ausführungsform empfängt der Niederspannungsbereich **601** zusätzlich ein Enable-Signal am Pin EN, welcher über den Puffer **624** mit der Eingangslogik **604** verbunden ist. Die Schaltung **602** zum Abschalten bei Unterspannung (engl. Undervoltage Lockout UVLO) schaltet den Ausgang des Eingangslogik-Blocks **604** ab, wenn die Versorgungsspannung VCC1 unter eine minimale Betriebsspannung fällt. In einigen Ausführungsformen beträgt VCC1 ungefähr 5 V , in alternativen Ausführungsformen können jedoch auch andere Versorgungsspannungen verwendet werden. In einer Ausführungsform wird das Enable-Signal EN dazu verwendet, um die Treiberschaltung **600** zu aktivieren. In einer Ausführungsform wird die Treiberschaltung **600** mit einer Vielzahl an Bauteilen in einem einzigen Package realisiert, wie bei der so genannten System-in-Package (SIP) Methode. In einer Ausführungsform befindet sich der Niederspannungs-Bereich abgesondert auf einer ersten integrierten Schaltung (Integrated Circuit IC) und der Hochspannungs-Bereich **603** auf einer zweiten integrierten Schaltung. Der Coreless Transformer **620** ist auf dem ersten oder dem zweiten IC angeordnet. Alternativ kann die Treiberschaltung **600** als integrierte Schaltung oder in verschiedenen Packages realisiert sein.

[0040] Der Hochspannungs-Bereich **603** enthält einen Empfänger des Coreless Transformers **608**, eine Treiberlogik **614**, einen JFET Treiber **616** und einen MOSFET Treiber **618**. Der Linearregler **612** stellt eine geregelte Spannung VREG über die Leistungsversorgungseingänge VCC2 und VEE2 zur Verfügung. In einer Ausführungsform sind eine Diode **628** und ein Widerstand **623** mit dem Eingang CLJFG gekoppelt um zu vermeiden, dass das Gate des angesteuerten JFET eine Spannung aufnimmt, welche signifikant über dem Drain-Potential des angesteuerten MOSFET liegt. Die ULVO-Schaltung **610** stellt die Leistungsversorgung für den Logik-Block **614**, so dass der Logik-Block **614** abhängig von der Versorgung einen Betriebszustand einnehmen kann. In einer Ausführungsform wird das Bootstrap-Enable Signal BSEN dazu verwendet, um Ausführungsformen von Betriebszuständen zu erlauben. In anderen Ausführungsformen kann das Signal BSEN fehlen.

[0041] [Fig. 7a](#) zeigt eine Ausführungsform einer Leistungsversorgung **700** in Vollbrücken-Anordnung, für welche verschiedene Ausführungsformen von Treibern **702**, **704**, **706** und **708** verwendet werden. Der High-Side-Treiber **702** ist mit dem JFET **710** und dem MOSFET **718** verbunden und der High-Side-Treiber **704** ist mit dem JFET **712** und dem MOSFET **720** verbunden. Der Low-Side-Treiber **706** ist mit dem JFET **714** und dem MOSFET **722** verbunden und der Low-Side-Treiber **708** ist mit dem JFET **716** und dem MOSFET **724** verbunden. In einer Ausführungsform werden eine Last, welche durch eine Induktivität **750** dargestellt wird und/oder eine Last,

die mit den Anschlüssen der Induktivität verbunden ist mit Strom versorgt. Der Transformator **726** lädt die Knoten PM25V und PM25VH, um an den Anschlüssen VEE2 der Treiber **702**, **704**, **706** und **708** eine negative Versorgung zur Verfügung zu stellen. In einer Ausführungsform werden die Knoten PM25V und PM25VH auf ungefähr -25 V, bezogen auf die Primärversorgung **730** und Ground **752**, geladen. Alternativ können die Knoten PM25V und PM25VH auch auf andere Spannungen geladen werden. In einer Ausführungsform wird der zweite Betriebszustand, in welchem der JFET und der MOSFET beide geschaltet werden, nicht eingenommen, wenn die Pins VEE2 der Treiber **706** und **708** Strom vom Knoten PM25V erhalten. Die Primärversorgung **730** arbeitet bei ungefähr 800 V. In anderen Ausführungsformen können jedoch auch andere Spannungen verwendet werden. Die Signale I1, I2, I3 und I4 steuern das Schalten der Leistungsversorgungstreiber **702**, **704**, **706** und **708**.

[0042] [Fig. 7b](#) zeigt die Ausführungsform einer Leistungsversorgung in Vollbrücken-Anordnung, in welcher die Versorgungs-Pins VEE2 der Low-Side-Treiber **706** und **708** Strom nicht über eine zweite Wicklung des Transformators **726** ([Fig. 7a](#)) beziehen, sondern durch Verwenden von Bootstrapping-Verfahren. Der Transformator **770** stellt hier Strom für den Knoten PM25VH zur Verfügung. Der Vorteil einer solchen Ausführungsform liegt unter anderem in der Einsparung von Kosten, durch Verwendung eines kostengünstigeren Transformators.

[0043] In einer alternativen Ausführungsform in Bezug auf die High-Side-Treiber **702** und **704**, kann der Knoten PM25VH als Versorgung sowohl für die Hochspannungs- als auch für die Niederspannungs-Schaltung in den Treibern verwendet werden, wenn die Schaltung zwischen den Knoten VCC1 und GND1 in den Treibern **25V** standhalten kann und wenn die positive Versorgung der Eingänge I1 bis I4 des Controller-Steuersystems mit Vin (Knoten **730**) verbunden sind. In einer solchen Ausführungsform ist eine Diode zwischen die Versorgungen geschaltet. Dadurch kann eine gemeinsame Versorgung für den Controller und den High-Side Schaltertreiber mit einer Bootstrap-Diode dazwischen verwendet werden. In Bezug auf die Low-Side-Treiber **706** und **708** kann ein ähnliches Konzept angewendet werden, wenn der Controller zu Ground statt zu den High-Side Referenzknoten referenziert wird. In einer solchen Ausführungsform ist es nicht notwendig eine Diode zwischen die Versorgungen zu schalten. Dadurch kann eine gemeinsame Versorgung für den Controller und die Low-Side Schaltertreiber verwendet werden.

[0044] [Fig. 8](#) zeigt in einem Diagramm die Wellenformen, welche den Betrieb einer Ausführungsform eines Leistungsversorgungstreiber darstellen. Während dem Zeitabschnitt **802** läuft die Hochspannungssystemversorgung HV hoch und versorgt VEE2,

VREG und JFDrv. Die Knoten werden dabei auf VCC2 bezogen. Während dem Zeitabschnitt **802** wird das Signal JFDrv verringert und das Treibersignal MDv verringert sich nicht, wodurch der angesteuerte MOSFET ausgeschaltet bleibt. Während dem Zeitabschnitt **804** werden MDv und JFDrv hin- und hergeschaltet, wie in Bezug auf andere Ausführungen der vorliegenden Erfindung bereits beschrieben. Des Weiteren werden die Hilfs-Versorgung VCC1 und/oder der Knoten PM25VH, welche mit dem Knoten VEE2 ([Fig. 7b](#)) gekoppelt sind, vollständig aktiviert.

[0045] Sobald VREG seine volle regulierte Spannung erreicht hat und die Schwelle V_{VREGon} überschreitet, beginnt der Treiber im Normalbetrieb **806** zu arbeiten. In diesem Betriebszustand ist das Signal MDv low in Bezug auf VCC2, während JFDrv weiterhin hin- und herschaltet. Dies entspricht einem Betriebszustand, in welchem der MOSFET eingeschaltet bleibt, während der JFET weiterhin schaltet. Während dem Betriebszustand **806** geht I_BSEN auf high, wobei I_BSEN der Ausgangs-Pin der Treiberschaltung ist, welcher anzeigt, dass der Normalbetrieb **806** aktiv ist. In einigen Ausführungsformen wird I_BSEN als bidirektionaler Pin implementiert, welcher eine Spannung aufnehmen kann, wenn er als Eingang verwendet wird und einen Strom erzeugen kann, wenn er als Ausgang verwendet wird.

[0046] Wenn die regulierte Spannung VREG die Schwelle $V_{VREGoff}$ überschreitet, wird wiederum der Betriebszustand **804** eingenommen und die Signale MDv und JFDrv gemeinsam hin- und hergeschaltet. In einigen Ausführungsformen überschreitet VREG die Schwelle $V_{VREGoff}$ wenn VEE2 absinkt, woraus ein Energieverlust an VREG resultiert. Dies kann beispielsweise ebenfalls aus einem Abbruch der Leistungsversorgung **110** ([Fig. 1a](#)) resultieren. In einigen Ausführungsformen wird eine Hysterese erzeugt, indem die Schwelle V_{VREGon} anders gewählt wird als die Schwelle $V_{VREGoff}$, um ein exzessives Hin- und Herschalten zwischen den Betriebszuständen zu vermeiden.

[0047] In einer Ausführungsform können der High-Side-Treiber und der Low-Side-Treiber auf dem selben IC implementiert werden. Alternativ können die beiden Treiber auch auf getrennten ICs implementiert werden. In einigen Ausführungsformen kann sich die Halbbrücken-Schaltung ebenfalls auf dem selben IC wie die beiden Treiber, oder wie einer der beiden Treiber, befinden.

[0048] In alternativen Ausführungsformen können Ausführungsformen von Treibersystemen auch dazu verwendet werden, um andere Arten von Schaltungen anzusteuern, wie zum Beispiel Vollbrücken-Schalter und Motoren.

[0049] Bei einer Ausführungsform umfasst ein Verfahren zum Treiben von Schaltern das Abtasten eines Kontroll-Knotens eines ersten Schalters, das Abtasten eines Kontroll-Knotens eines zweiten Schalters und das Treiben des Kontroll-Knotens des ersten Schalters in einen ersten aktiven Zustand, nachdem der Kontroll-Knoten des zweiten Schalters in einen zweiten aktiven Zustand übergegangen ist. Das Verfahren umfasst zudem das Treiben des Kontroll-Knotens des zweiten Schalters in einen zweiten inaktiven Zustand, nachdem der Kontroll-Knoten des ersten Schalters in einen ersten inaktiven Zustand übergegangen ist. Das Treiben des Kontroll-Knotens des ersten Schalters beruht auf dem Abtasten des Kontroll-Knotens des zweiten Schalters. Das Treiben des Kontroll-Knotens des zweiten Schalters beruht auf dem Abtasten des Kontroll-Knotens des ersten Schalters. Bei einer Ausführungsform umfasst das Verfahren zudem das Treiben des Kontroll-Knotens des zweiten Schalters in den zweiten aktiven Zustand sowie das Treiben des Kontroll-Knotens des ersten Schalters in den ersten inaktiven Zustand, basierend auf einem Logik-Eingang bzw. Logik-Eingangssignal.

[0050] Bei einer weiteren Ausführungsform umfasst das Treiben des Kontroll-Knotens des ersten Schalters das Treiben des Gates eines JFET, und das Treiben des Kontroll-Knotens des zweiten Schalters umfasst das Treiben des Gates eines MOSFET welcher in Serie zu dem JFET geschaltet ist. Bei einigen Ausführungsformen werden der JFET und der MOSFET in einem Schaltnetzteil betrieben.

[0051] Bei einer Ausführungsform umfasst das Abtasten des Kontroll-Knotens des ersten Schalters das Abtasten einer Spannung des Kontroll-Knotens des ersten Schalters mittels eines Reihentransistors (eines in Reihe geschalteten Transistors), sowie eine Zustandsänderung eines Latches, wenn der erste Kontroll-Knoten des ersten Schalters vom ersten aktiven Zustand in den ersten inaktiven Zustand übergeht. Bei einer weiteren Ausführungsform umfasst das Verfahren das Zurücksetzen des Latches und das Ausschalten des Längstransistors, wenn der erste Ausgangstreiber vom ersten inaktiven Zustand in den ersten aktiven Zustand übergeht. Bei einigen Ausführungsformen weist das Latch einen Forward-Inverter und einen Feedback-Inverter auf, wobei der Feedback-Inverter schwache Transistoren aufweist.

[0052] Gemäß einer weiteren Ausführungsform umfasst eine Schaltung zum Treiben eines Schalters, welcher einen JFET in Serie zu einem MOSFET aufweist, einen Controller, welcher den MOSFET und den JFET durch Abtasten der Gate-Spannung des JFETs derart ansteuert, dass er den JFET einschaltet, nachdem er der MOSFET eingeschaltet hat und den MOSFET ausschaltet, nachdem er den JFET ausgeschaltet hat. Bei einigen Ausführungsformen weist der Controller ein erstes Logik-Gatter auf, wo-

bei das erste Logik-Gatter einen ersten Eingang aufweist, an dem ein Eingangssignal der Schaltung anliegt.

[0053] Der Controller weist weiterhin eine erste Gate-Controller-Schaltung, die über einen Gate-Controller-Eingang mit einem Ausgang des ersten Logik-Gatters verbunden ist, einen Gate-Kontroll-Knoten und einen Logik-Kontroll-Ausgangsknoten auf. Der erste Gate-Controller weist weiterhin ein zweites Logik-Gatter mit einem ersten und einem zweiten Eingang auf, wobei an dem ersten Eingang ein Eingangssignal der Schaltung anliegt und der zweite Eingang mit dem Ausgangsknoten des ersten Gate-Controllers verbunden ist. Der Controller umfasst weiterhin einen zweiten Gate-Controller, welcher einen Gate-Controller Eingang aufweist, der mit einem Ausgang des zweiten Logik-Gatters verbunden ist, einen Gate-Kontroll-Knoten und einen Logik-Ausgangsknoten, welcher mit einem zweiten Eingang des ersten Logik-Gatters verbunden ist. Bei einigen Ausführungsformen ist diese Schaltung auf einem IC (Integrated Circuit) angeordnet.

[0054] Bei einer Ausführungsform weist das erste Logik-Gatter ein UND-Gatter auf, das zweite Logik-Gatter weist ein UND-Gatter auf und die Schaltung weist zudem einen Inverter auf, welcher zwischen den ersten Eingang des ersten Logik-Gatters und den zweiten Gate-Controller geschaltet ist. Bei einigen Ausführungsformen weisen der erste und der zweite Gate-Controller jeweils ein Transistor-Netzwerk, welches jeweils zwischen den Gate-Controller Eingang und den Gate-Kontroll-Knoten geschaltet ist, sowie ein Latch auf, welches jeweils zwischen das Transistor-Netzwerk und den Logik-Ausgangsknoten geschaltet ist. Bei einer Ausführungsform weist das Transistor-Netzwerk einen ersten Transistor, einen ersten Ausgang und einen zweiten Ausgang auf, wobei der erste Transistor einen Kontroll-Knoten aufweist der mit dem Stromversorgungsknoten verbunden ist, der erste Ausgang mit dem Gate-Kontroll-Knoten verbunden ist und der zweite Ausgang mit dem Eingang des Latches verbunden ist. Bei einigen Ausführungsformen weist das Latch einen Forward-Inverter und einen Feedback-Inverter auf. In einer Ausführungsform weist der Feedback-Inverter schwache Transistoren auf.

[0055] Bei einer weiteren Ausführungsform weist die Schaltung zum Treiben eines Schalters außerdem einen zweiten Transistor mit einem Kontroll-Knoten, einem ersten Ausgang und einem zweiten Ausgang auf, wobei der Kontroll-Knoten mit dem Gate-Controller-Eingang verbunden ist, der erste Ausgang mit einem Leistungsversorgungsknoten verbunden ist, und der zweite Ausgang mit einem Eingang des Latches verbunden ist. In einigen Ausführungsformen ist der erste Transistor ein Hochspannungs-Bauteil.

[0056] Gemäß einer weiteren Ausführungsform weist eine Schaltung einen ersten Treiber mit einem ersten Ausgang auf, wobei der Ausgang dazu ausgebildet ist, mit einem Kontroll-Knoten eines ersten Schalters verbunden zu werden. Der erste Treiber kann an seinem ersten Ausgang einen ersten aktiven Zustand einnehmen, wobei der erste aktive Zustand dazu ausgebildet ist, den ersten Schalter einzuschalten. Der erste Treiber kann an seinem ersten Ausgang einen ersten inaktiven Zustand einnehmen, wobei der erste inaktive Zustand dazu ausgebildet ist, den ersten Schalter auszuschalten. Die Schaltung weist weiterhin einen ersten Sensor auf, der dazu ausgebildet ist, den Kontroll-Knoten des ersten Schalters und des zweiten Treibers abzutasten. Der zweite Treiber weist einen zweiten Ausgang auf, der dazu ausgebildet ist, mit dem Kontroll-Knoten eines zweiten Schalters verbunden zu werden. Der zweite Treiber kann an seinem zweiten Ausgang einen zweiten aktiven Zustand einnehmen, wobei der zweite aktive Zustand dazu ausgebildet ist, den zweiten Schalter einzuschalten. Der zweite Treiber kann an seinem zweiten Ausgang einen zweiten inaktiven Zustand einnehmen, wobei der zweite inaktive Zustand dazu ausgebildet ist, den zweiten Schalter auszuschalten. Die Schaltung weist weiterhin einen zweiten Sensor auf, wobei der zweite Sensor dazu ausgebildet ist, den Kontroll-Knoten des zweiten Schalters abzutasten. Der erste Treiber ist dazu ausgebildet den ersten aktiven Zustand einzunehmen, wenn der zweite Sensor detektiert, dass sich der Kontroll-Knoten des zweiten Schalters in einem eingeschalteten Zustand befindet und der zweite Treiber ist dazu ausgebildet den zweiten inaktiven Zustand einzunehmen, wenn der erste Sensor detektiert, dass sich der Kontroll-Knoten des ersten Schalters in einem ausgeschalteten Zustand befindet.

[0057] Bei einer Ausführungsform befinden sich der erste Treiber, der zweite Treiber, sowie der erste und zweite Sensor auf einem IC. Bei einigen Ausführungsformen ist der MOSFET ein PMOS Baustein. Bei einer Ausführungsform ist der erste Treiber dazu ausgebildet, einen JFET anzusteuern und der zweite Treiber ist dazu ausgebildet einen MOSFET anzusteuern.

[0058] Einer der Vorteile der vorliegenden Erfindung liegt unter anderem darin, dass es möglich ist einen Low-Side-Treiber ohne die Verwendung zusätzlicher Transformatoren vorzuspannen, indem Ladung von einem Ausgang einer Halbbrücken-Schaltung abgepumpt wird.

[0059] Es wurden verschiedene Ausgestaltungen der vorliegenden Erfindung und deren Vorteile im Detail beschrieben, jedoch sind auch noch weitere Veränderungen, Abänderungen und Verwendungen möglich, ohne vom Wesen und Geist des Erfindungsgedankens abzuweichen, wie er in den beigefügten

Ansprüchen dargestellt ist. So können zum Beispiel viele der oben beschriebenen Merkmale und Funktionen durch Software, Hardware oder Firmware, oder einer Kombination hiervon umgesetzt werden.

[0060] Darüber hinaus ist es nicht beabsichtigt, dass die vorliegende Anmeldung auf die einzelnen beschriebenen Ausgestaltungen der in der Beschreibung dargestellten Prozesse, Vorrichtungen, Fertigungs-Methoden und Beschaffenheiten der Gegenstände, Mittel, Methoden und Schritte beschränkt wird. Wie ohne weiteres erkennbar ist, können Prozesse, Vorrichtungen, Fertigungs-Methoden und Beschaffenheiten von Gegenständen, Mitteln, Methoden und Schritten, welche derzeit bekannt sind oder noch entwickelt werden und welche im Wesentlichen die gleichen Funktionen erfüllen oder im Wesentlichen die gleichen Ergebnisse erzielen wie die vorliegenden Ausgestaltungen, ebenfalls gemäß der vorliegenden Erfindung Verwendung finden. Dementsprechend sollen die beigefügten Ansprüche solche Prozesse, Vorrichtungen, Fertigungs-Methoden und Beschaffenheiten von Gegenständen, Mitteln, Methoden und Schritten ebenfalls mit einschließen.

Patentansprüche

1. Verfahren zum Treiben von Schaltern, wobei das Verfahren aufweist:

Abtasten eines Kontroll-Knotens eines ersten Schalters;

Abtasten eines Kontroll-Knotens eines zweiten Schalters;

Treiben des Kontroll-Knotens des ersten Schalters in einen ersten aktiven Zustand, nachdem der Kontroll-Knoten des zweiten Schalters in einen zweiten aktiven Zustand übergegangen ist, basierend auf dem Abtasten des Kontroll-Knotens des zweiten Schalters; und

Treiben des Kontroll-Knotens des zweiten Schalters in einen zweiten aktiven Zustand, nachdem der Kontroll-Knoten des ersten Schalters in einen ersten inaktiven Zustand übergegangen ist, basierend auf dem Abtasten des Kontroll-Knotens des ersten Schalters.

2. Verfahren nach Anspruch 1, das weiterhin aufweist:

Treiben des Kontroll-Knotens des zweiten Schalters in den zweiten aktiven Zustand, basierend auf einem Logik-Eingangssignal; und

Treiben des Kontroll-Knotens des ersten Schalters in den ersten inaktiven Zustand, basierend auf dem Logik-Eingangssignal.

3. Verfahren nach Anspruch 1 oder 2, bei dem das Treiben des Kontroll-Knotens des ersten Schalters das Treiben des Gates eines JFET beinhaltet; und

das Treiben des Kontroll-Knotens des zweiten Schalters das Treiben des Gates eines MOSFET beinhaltet, der in Reihe zu dem JFET geschaltet ist.

4. Verfahren nach Anspruch 3, das weiterhin das Verwenden des JFET und des MOSFET in einem Schaltnetzteil aufweist.

5. Verfahren nach einem der Ansprüche 1 bis 4, bei dem das Abtasten des Kontroll-Knotens des ersten Schalters aufweist:

Abtasten einer Spannung des Kontroll-Knotens des ersten Schalters mittels eines Reihentransistors; und Ändern des Zustandes eines Latches, wenn der Kontroll-Knoten des ersten Schalters vom ersten aktiven Zustand in den ersten inaktiven Zustand übergeht.

6. Verfahren nach Anspruch 5, das weiterhin aufweist:

das Zurücksetzen des Latches und das Ausschalten des Reihentransistors, wenn der erste Ausgangstreiber vom ersten inaktiven Zustand in den ersten aktiven Zustand übergeht.

7. Verfahren nach Anspruch 5, bei dem das Latch einen Forward-Inverter und einen Feedback-Inverter aufweist; und der Feedback-Inverter schwache Transistoren aufweist.

8. Schaltung zum Treiben eines Schalters, der einen JFET in Reihe zu einem MOSFET aufweist, wobei die Schaltung einen Controller aufweist, der den MOSFET und den JFET derart treibt, dass er durch Abtasten einer Gate-Spannung des MOSFET den JFET einschaltet, nachdem er den MOSFET eingeschaltet hat, und dass er durch Abtasten einer Gate-Spannung des JFET den MOSFET ausschaltet, nachdem er den JFET ausgeschaltet hat.

9. Schaltung nach Anspruch 8, wobei der Controller aufweist:

ein erstes Logik-Gatter, das einen ersten Eingang aufweist, der ein Eingangssignal der Schaltung empfängt;

eine erste Gate-Controller Schaltung, die aufweist: einen Gate-Controller Eingang, der mit einem Ausgang des ersten Logik-Gatters verbunden ist, einen Gate-Kontroll-Knoten, und einen Logik-Kontroll-Ausgangsknoten;

ein zweites Logik-Gatter, das ein Eingangssignal der Schaltung an einem ersten Eingang empfängt und mit einem zweiten Eingang mit dem Ausgangsknoten des ersten Gate-Controllers verbunden ist; und eine zweite Gate-Controller Schaltung, die aufweist: einen Gate-Controller Eingang, der mit einem Ausgang des zweiten Logik-Gatters verbunden ist, einen Gate-Kontroll-Knoten, und

einen Logik-Kontroll-Ausgangsknoten, der mit einem zweiten Eingang des ersten Logik-Gatters verbunden ist.

10. Schaltung nach Anspruch 9, bei der das erste Logik-Gatter ein UND-Gatter aufweist; das zweite Logik-Gatter ein UND-Gatter aufweist; und

die Schaltung weiterhin einen Inverter aufweist, der zwischen den ersten Eingang des ersten Logik-Gatters und den ersten Eingang des zweiten Logik-Gatters geschaltet ist.

11. Schaltung nach Anspruch 9 oder 10, bei der der erste Gate-Controller und der zweite Gate-Controller jeweils aufweisen:

ein Transistor-Netzwerk, das zwischen den Eingang des Gate-Controllers und den Gate-Kontroll-Knoten geschaltet ist; und

ein Latch, das zwischen das Transistor-Netzwerk und den Logik-Ausgangsknoten geschaltet ist.

12. Schaltung nach Anspruch 11, wobei das Transistor-Netzwerk einen ersten Transistor, einen ersten Ausgang und einen zweiten Ausgang aufweist, wobei der erste Transistor einen Kontroll-Knoten aufweist, der mit einem Stromversorgungsknoten verbunden ist, der erste Ausgang mit dem Gate-Kontroll-Knoten verbunden ist und der zweite Ausgang mit einem Eingang des Latches verbunden ist.

13. Schaltung nach Anspruch 12, die weiterhin einen zweiten Transistor, einen ersten Ausgang und einen zweiten Ausgang aufweist, wobei der zweite Transistor einen Kontroll-Knoten aufweist, der mit dem Eingang des Gate-Controllers verbunden ist, der erste Ausgang mit einem Stromversorgungsknoten verbunden ist und der zweite Ausgang mit einem Eingang des Latches verbunden ist.

14. Schaltung nach Anspruch 12, bei der der erste Transistor ein Hochvolt-Bauelement aufweist.

15. Schaltung nach einem der Ansprüche 11 bis 14, bei der das Latch einen Forward-Inverter und einen Feedback-Inverter aufweist, wobei der Feedback-Inverter schwache Transistoren aufweist.

16. Schaltung nach einem der Ansprüche 8 bis 15, bei der sich die Schaltung auf einem IC befindet.

17. Schaltung, die aufweist:

einen ersten Treiber mit einem ersten Ausgang, der dazu ausgebildet ist, mit einem Kontroll-Knoten eines ersten Schalters verbunden zu werden, wobei der erste Treiber einen ersten aktiven Zustand am ersten Ausgang annehmen kann, wobei der erste aktive Zustand dazu ausgebildet ist, den ersten Schalter einzuschalten, und

der erste Treiber einen ersten inaktiven Zustand am ersten Ausgang einnehmen kann, wobei der erste inaktive Zustand dazu ausgebildet ist, den ersten Schalter auszuschalten;
einen ersten Sensor, der dazu ausgebildet ist, den Kontroll-Knoten des ersten Schalters abzutasten;
einen zweiten Treiber mit einem zweiten Ausgang, welcher dazu ausgebildet ist, mit einem Kontroll-Knoten eines zweiten Schalters verbunden zu werden, wobei
der zweite Treiber einen zweiten aktiven Zustand am zweiten Ausgang einnehmen kann, wobei der zweite aktive Zustand dazu ausgebildet ist, den zweiten Schalter einzuschalten, und
der zweite Schalter einen zweiten inaktiven Zustand am zweiten Ausgang einnehmen kann, wobei der zweite inaktive Zustand dazu ausgebildet ist, den zweiten Schalter auszuschalten; und
einen zweiten Sensor, der dazu ausgebildet ist den Kontroll-Knoten des zweiten Schalters abzutasten, wobei
der erste Treiber dazu ausgebildet ist, den ersten aktiven Zustand anzunehmen,
nachdem der zweite Sensor detektiert hat, dass sich der Kontroll-Knoten des zweiten Schalters in einem eingeschalteten Zustand befindet, und
der zweite Treiber dazu ausgebildet ist, den zweiten inaktiven Zustand einzunehmen, nachdem der erste Sensor detektiert hat, dass sich der Kontroll-Knoten des ersten Schalters in einem ausgeschalteten Zustand befindet.

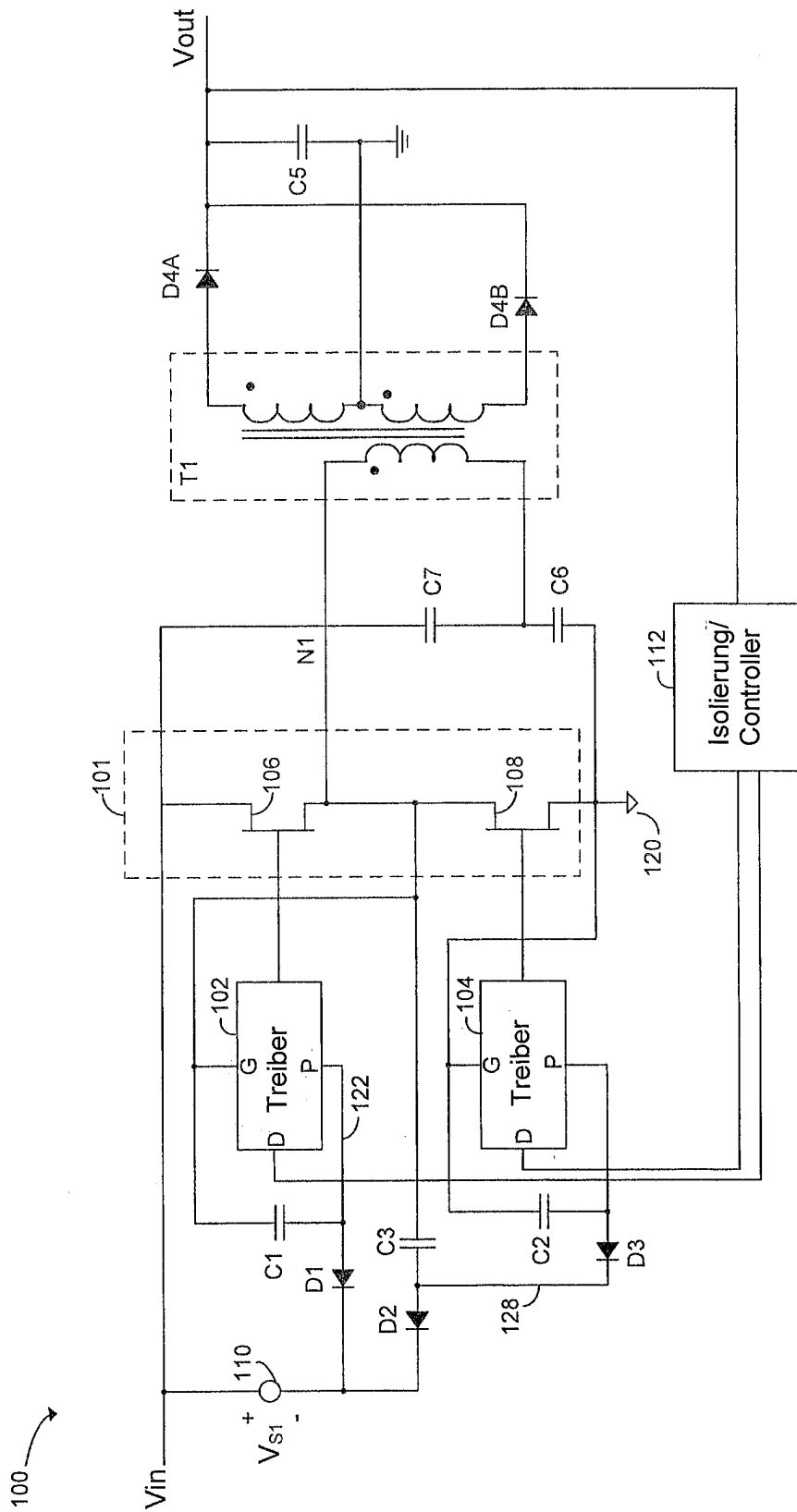
18. Schaltung nach Anspruch 17, wobei der erste Treiber dazu ausgebildet ist, einen JFET zu treiben und der zweite Treiber dazu ausgebildet ist, einen MOSFET zu treiben.

19. Schaltung nach Anspruch 18, bei der der MOSFET ein PMOS-Bauelement aufweist.

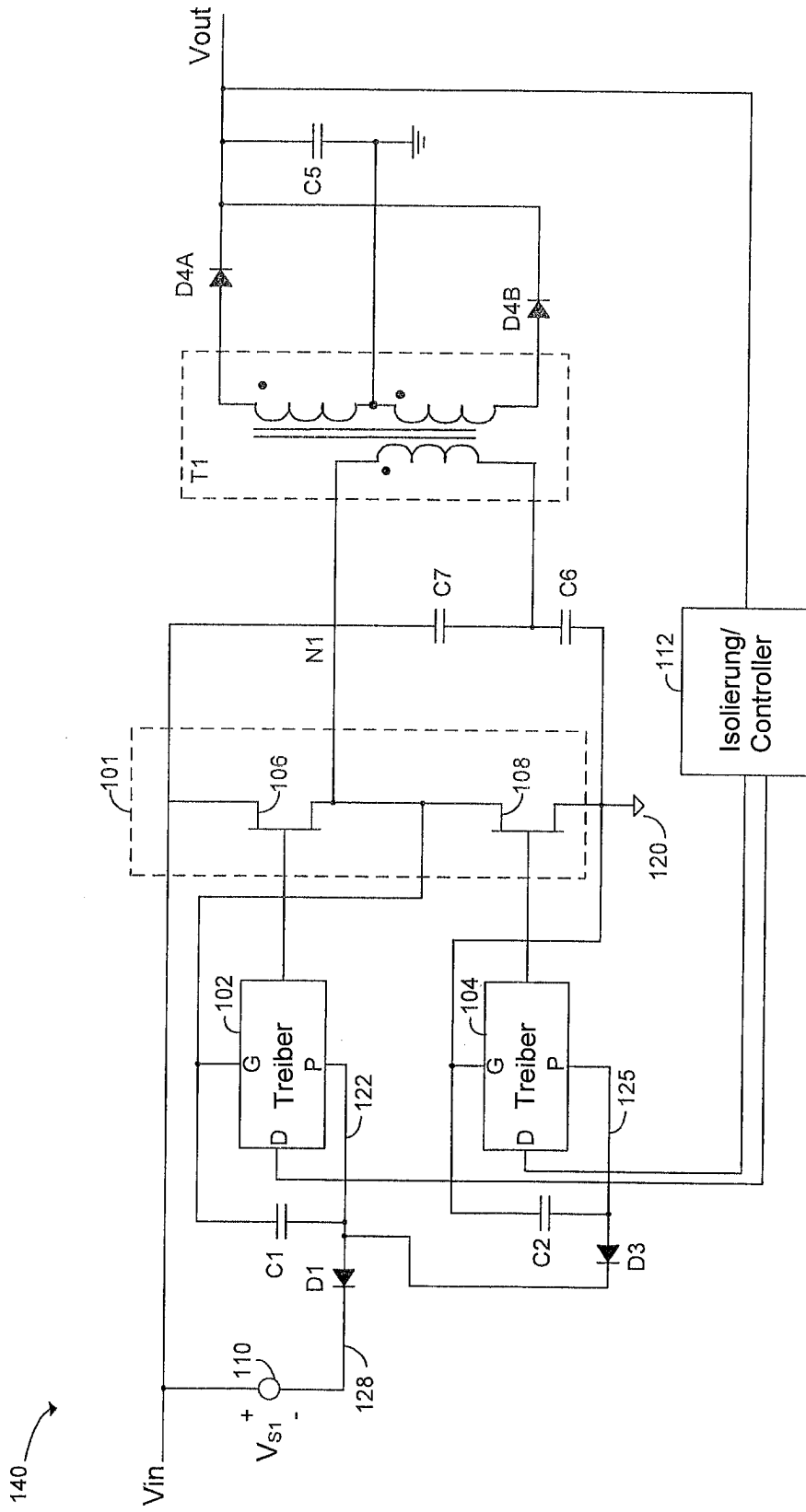
20. Schaltung nach Anspruch 18, bei der sich der erste Treiber, der zweite Treiber, sowie der erste und der zweite Sensor auf einem IC befinden.

Es folgen 11 Blatt Zeichnungen

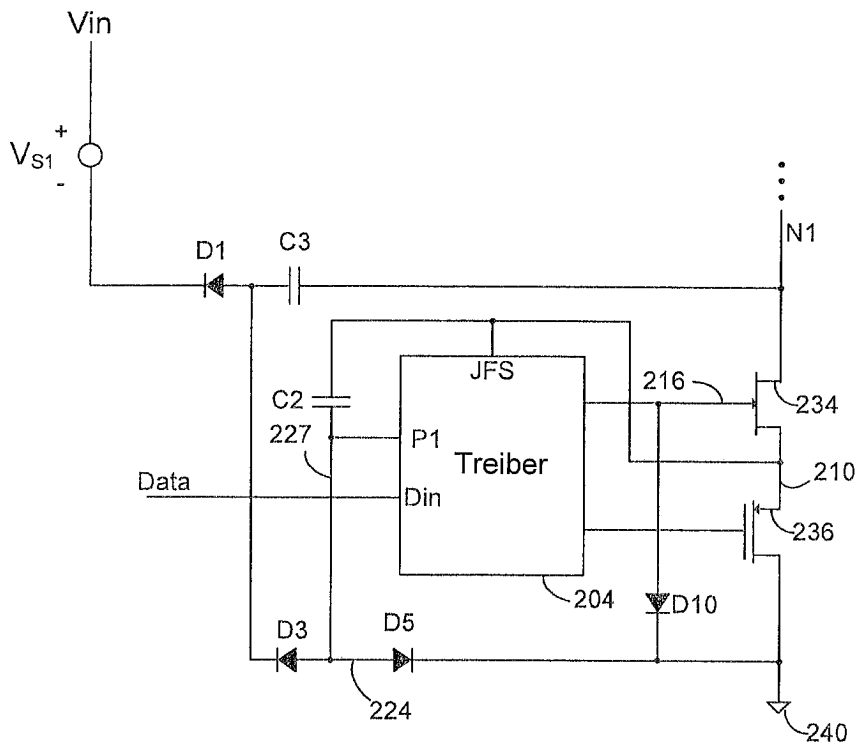
Anhängende Zeichnungen



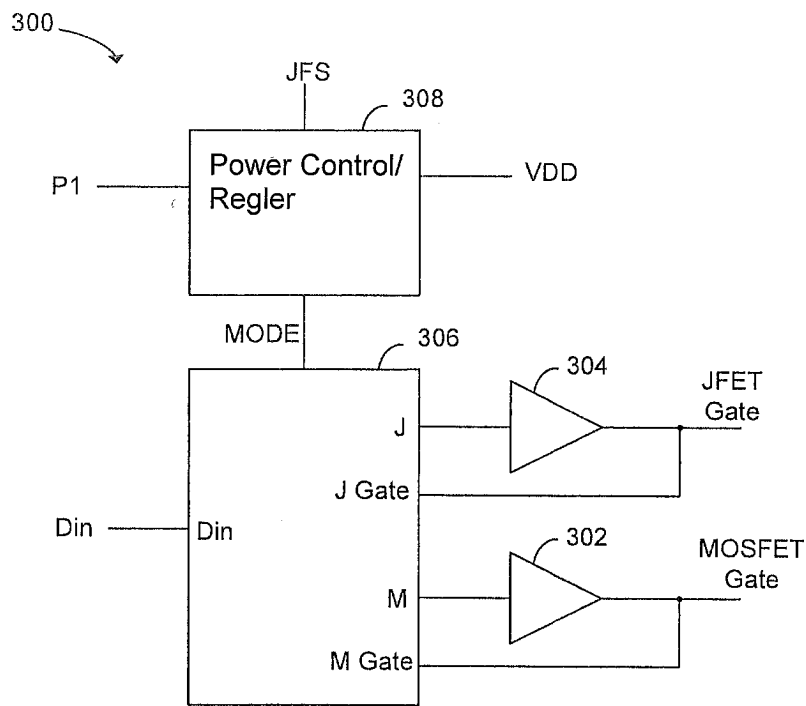
Figur 1a



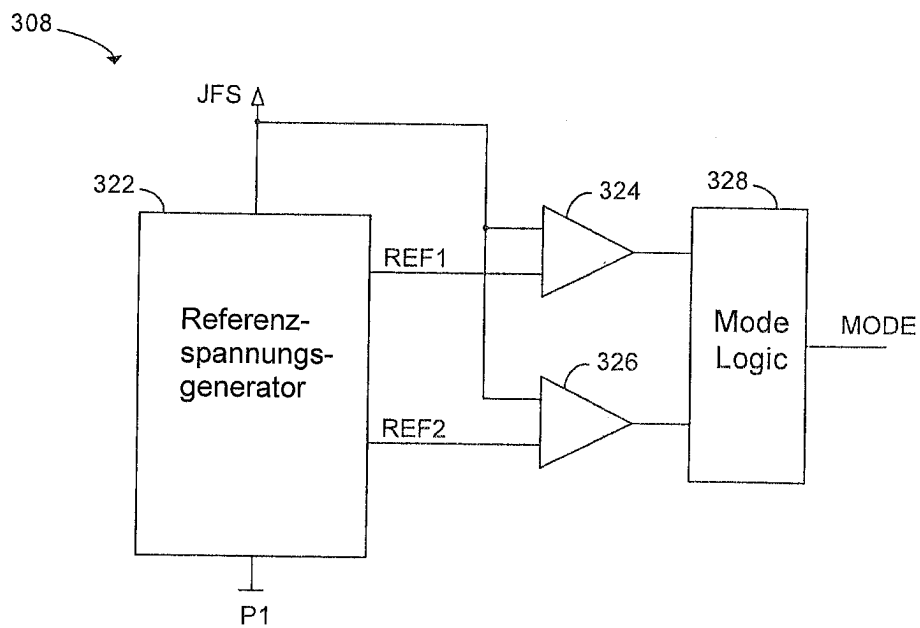
Figur 1b



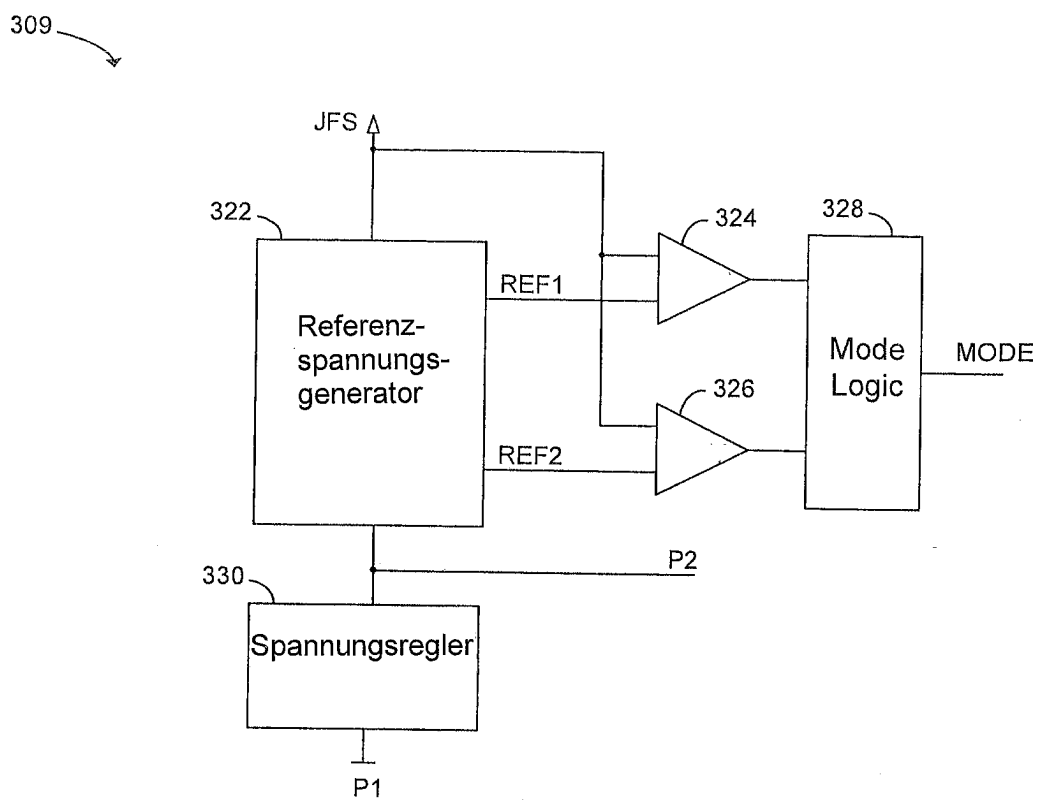
Figur 2



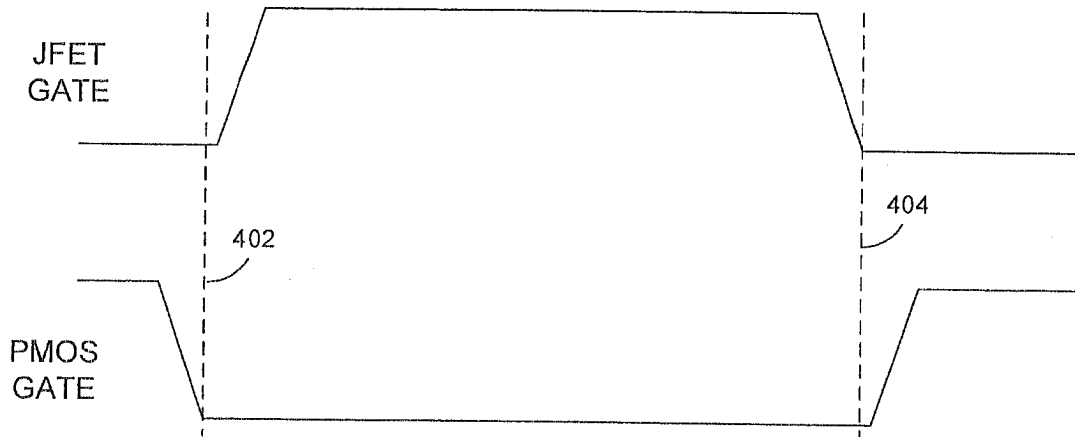
Figur 3a



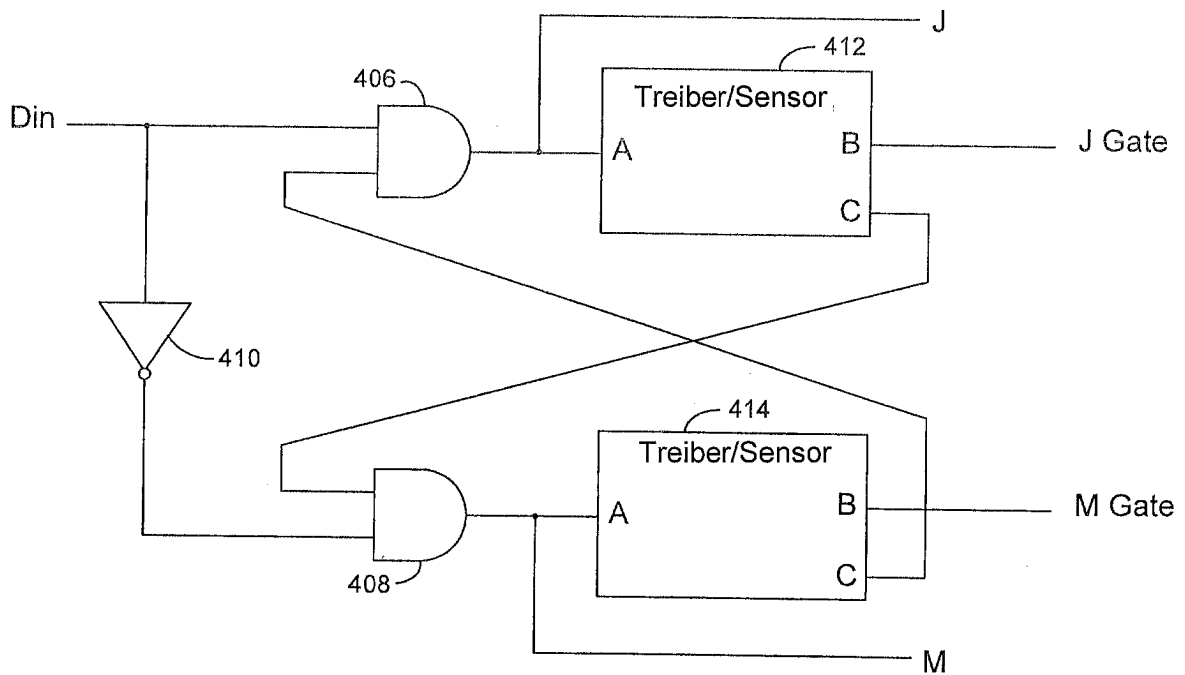
Figur 3b



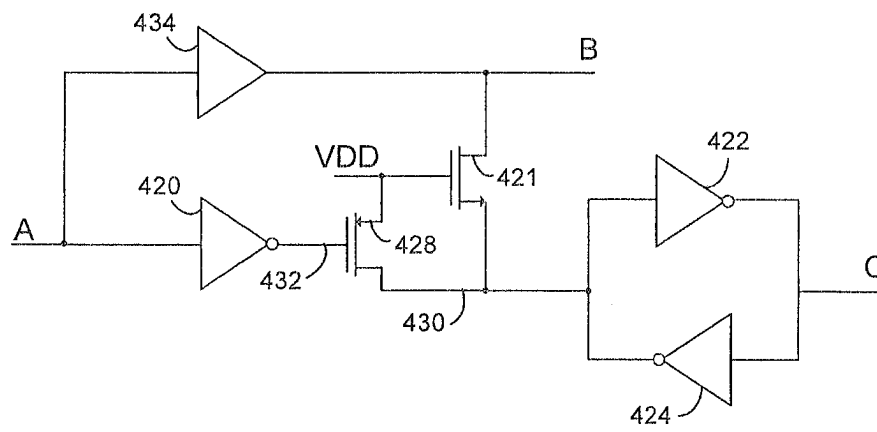
Figur 3c



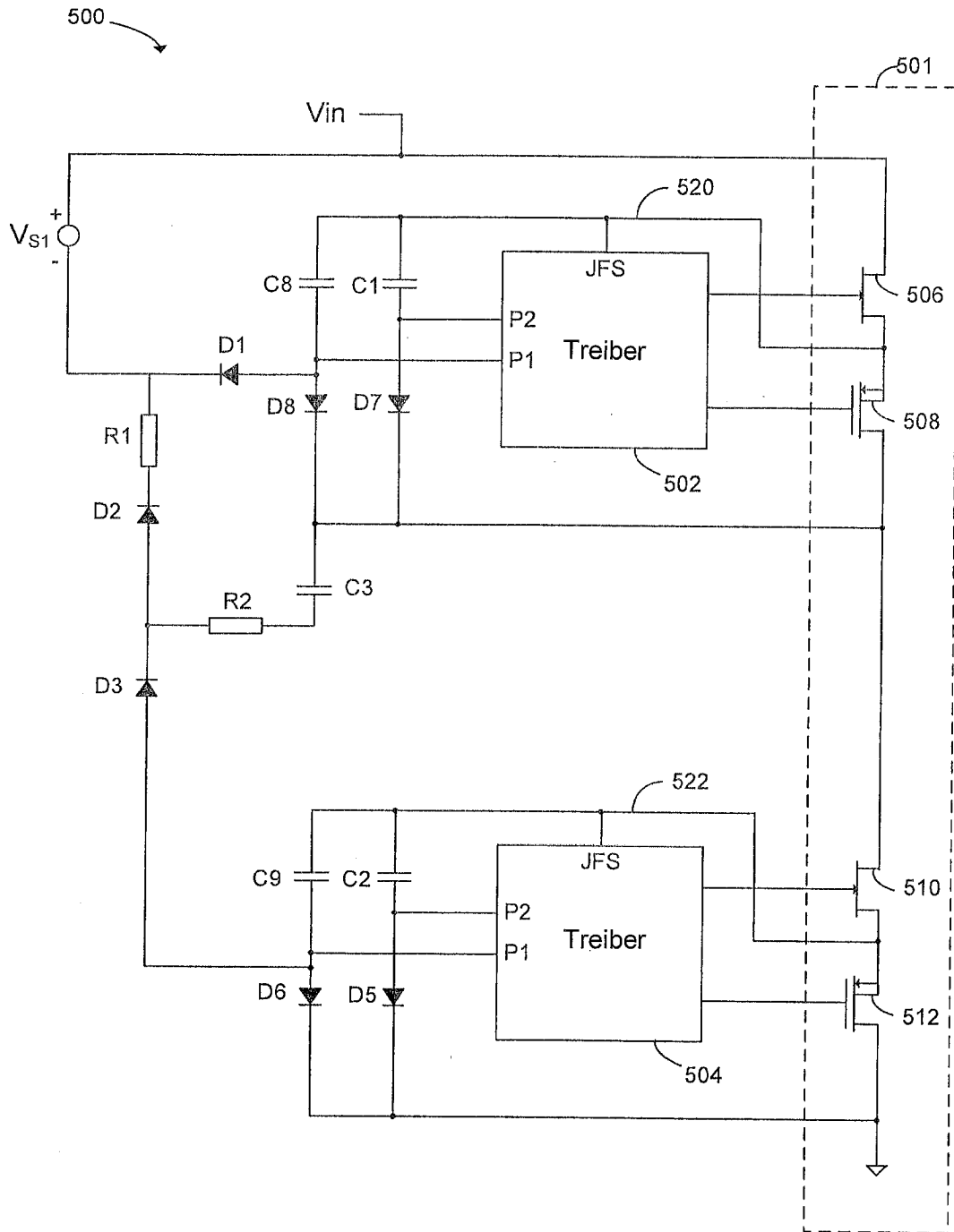
Figur 4a



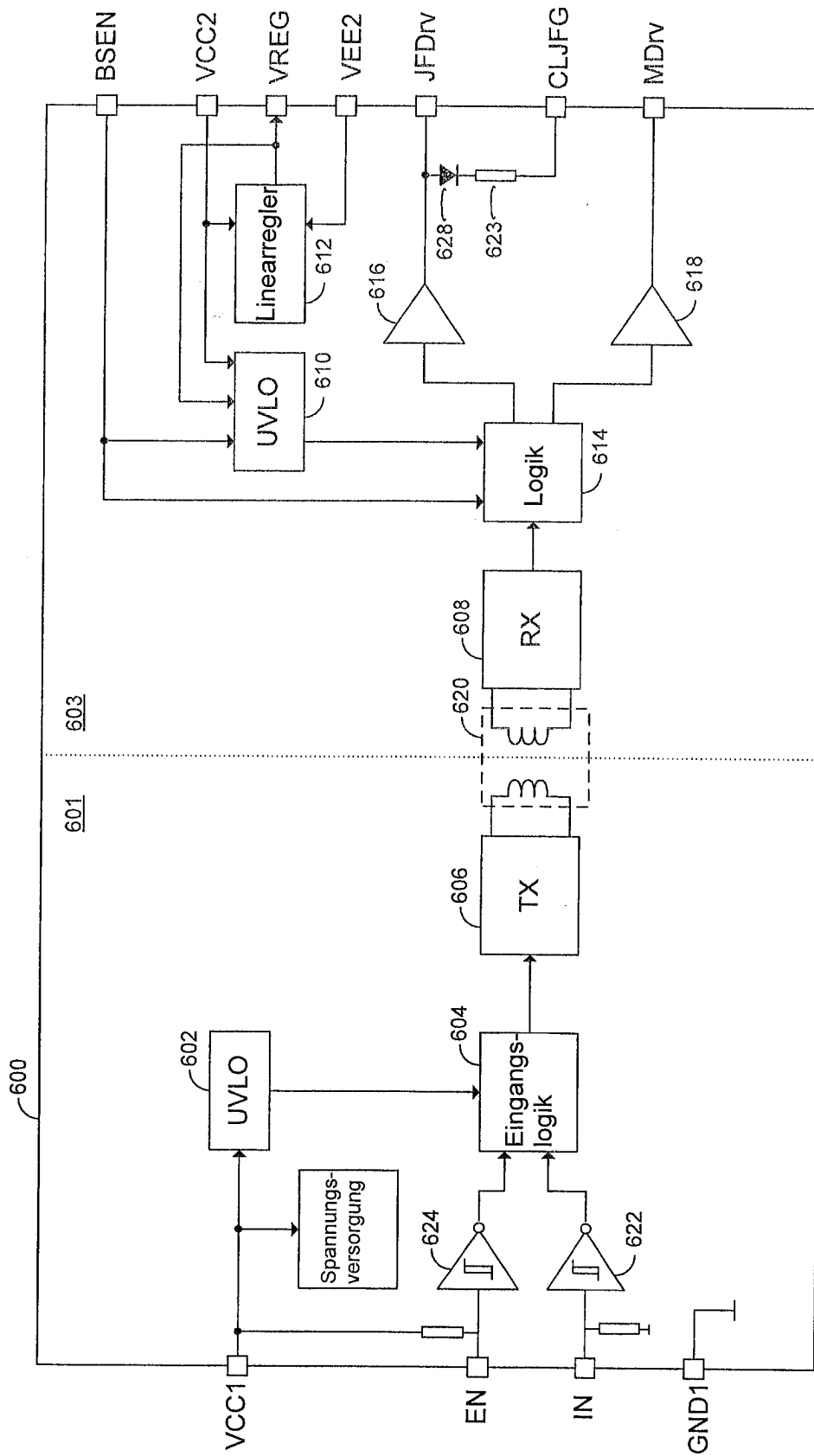
Figur 4b



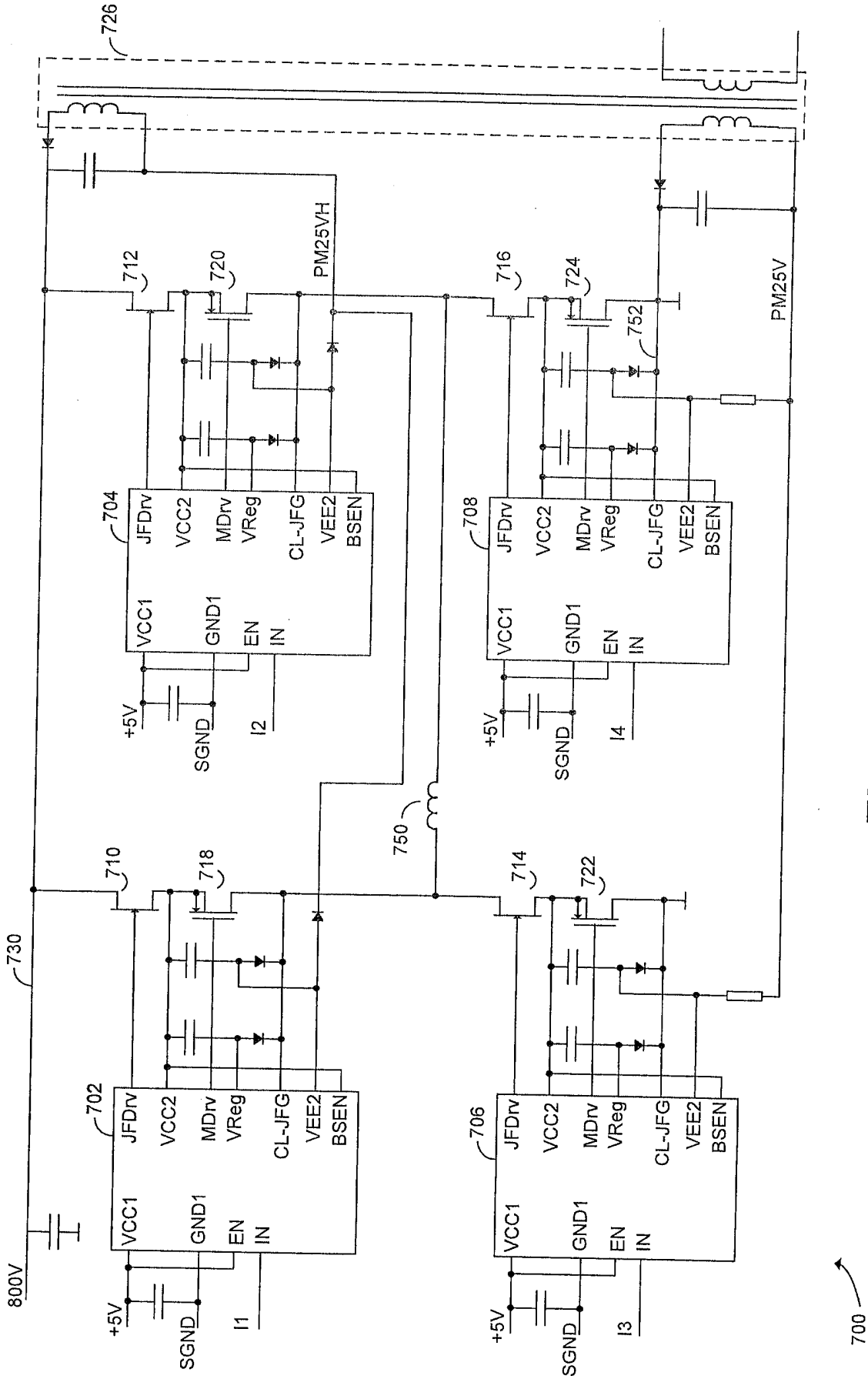
Figur 4c



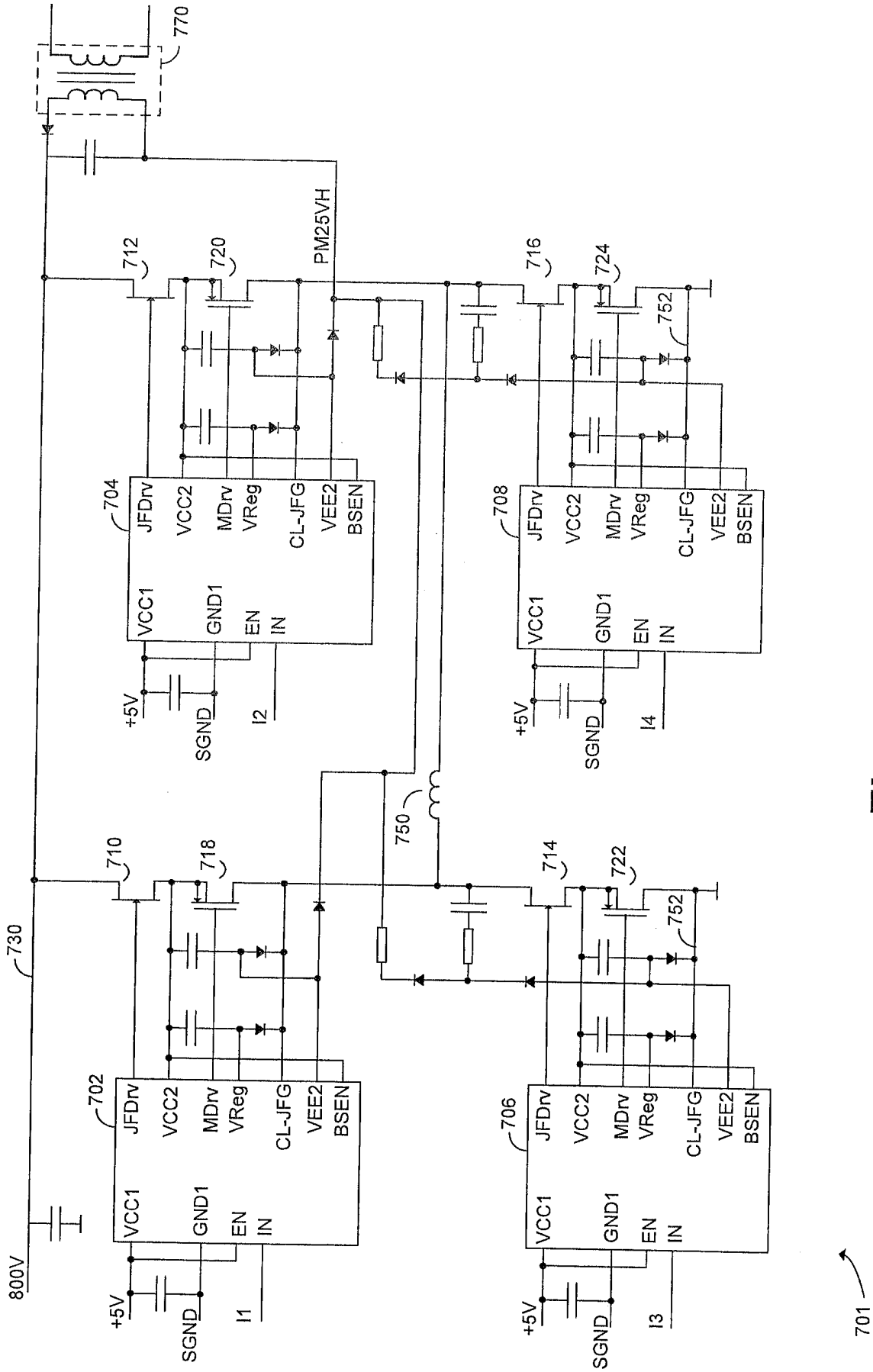
Figur 5



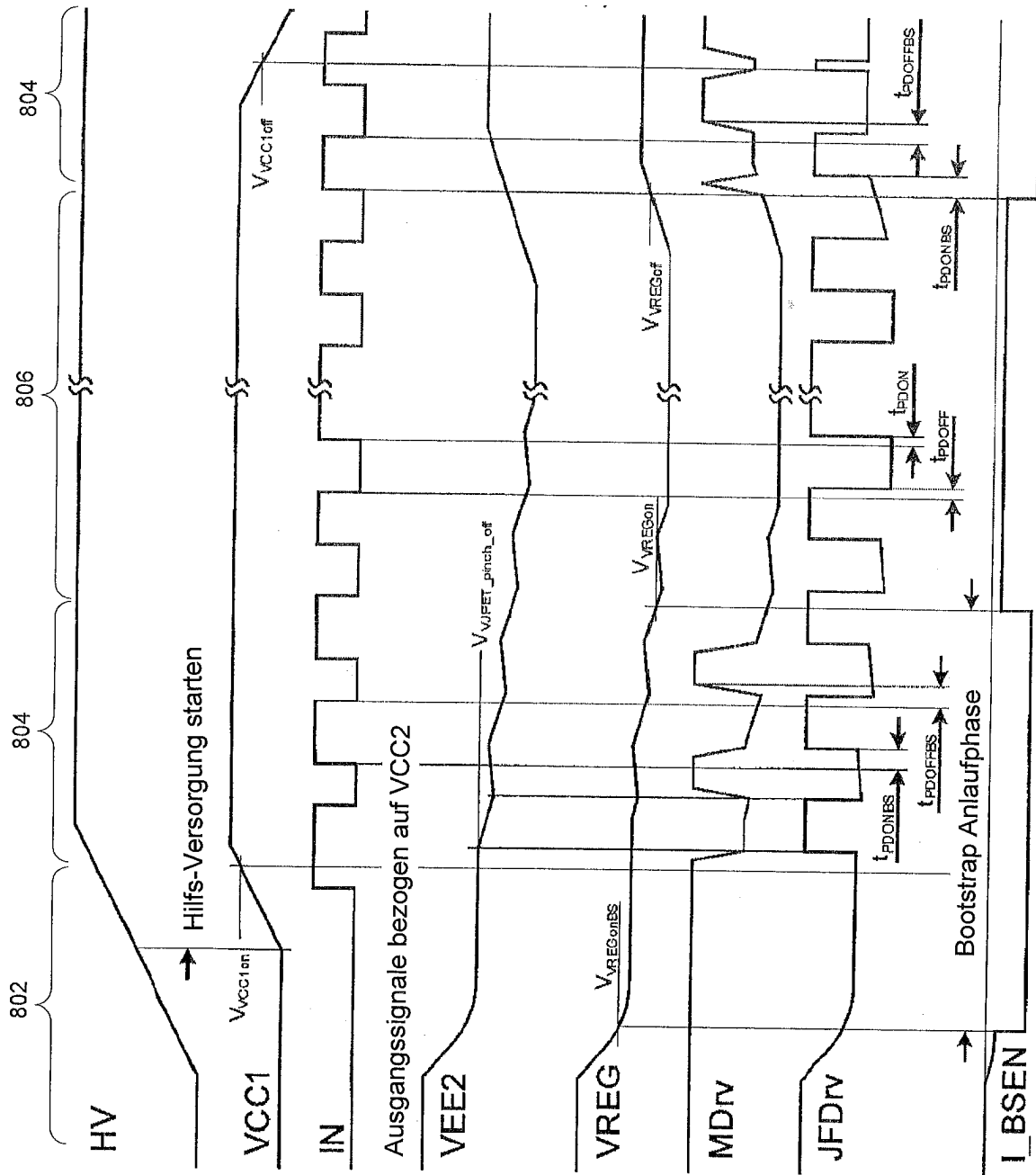
Figur 6



Figur 7a



Figur 7b



Figur 8