



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I425512 B

(45) 公告日：中華民國 103 (2014) 年 02 月 01 日

(21) 申請案號：098120090

(22) 申請日：中華民國 98 (2009) 年 06 月 16 日

(51) Int. Cl. : G11C16/06 (2006.01)

G06F12/00 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：葉志剛 YEH, CHIH KANG (TW)

(74) 代理人：詹銘文；蕭錫清

(56) 參考文獻：

TW I228652B

TW 200519585A

TW 200926175A

US 2008/0320214A1

WO 2009/013879A1

審查人員：鄧嘉琳

申請專利範圍項數：6 項 圖式數：10 共 0 頁

(54) 名稱

快閃記憶體控制電路及其儲存系統與資料傳輸方法

FLASH MEMORY CONTROLLER CIRCUIT AND STORAGE SYSTEM AND DATA TRANSFER METHOD THEREOF

(57) 摘要

一種快閃記憶體控制電路，其包括微處理器單元、第一與第二介面單元、緩衝記憶體、記憶體管理單元以及資料讀寫單元。記憶體管理單元管理多個快閃記憶體單元，其中每一快閃記憶體單元具有至少一快閃記憶體且每一快閃記憶體分別地具有至少包括一上頁與一下頁的多個記憶胞陣列。記憶體管理單元將對應的每一快閃記憶體的其中一個記憶胞陣列進行分群多個資料傳輸單位組，並且資料讀寫單元依據資料傳輸單位組將主機系統欲寫入的資料交錯地傳輸至快閃記憶體單元中。基此，快閃記憶體控制電路可穩定地傳輸資料而降低緩衝記憶體的使用。

A flash memory controller circuit is provided. The flash memory controller circuit includes a micro processor unit, a first interface unit, a second interface unit, a buffer memory, a memory management unit and a data write/read unit. The memory management unit manages flash memory units, wherein each flash memory unit has at least one flash memory, each the flash memory has a plurality of memory array and each memory array has one low page and one upper page. The memory management unit groups the memory arrays of the corresponding flash memories into a plurality of data transfer unit sets based on the flash memory unit, and the data write/read unit interleaves to transfers data to the flash memory units according to the data transfer unit sets. Accordingly, the flash memory controller circuit more stably transfers the data, thereby reducing the usage of the buffer memory.

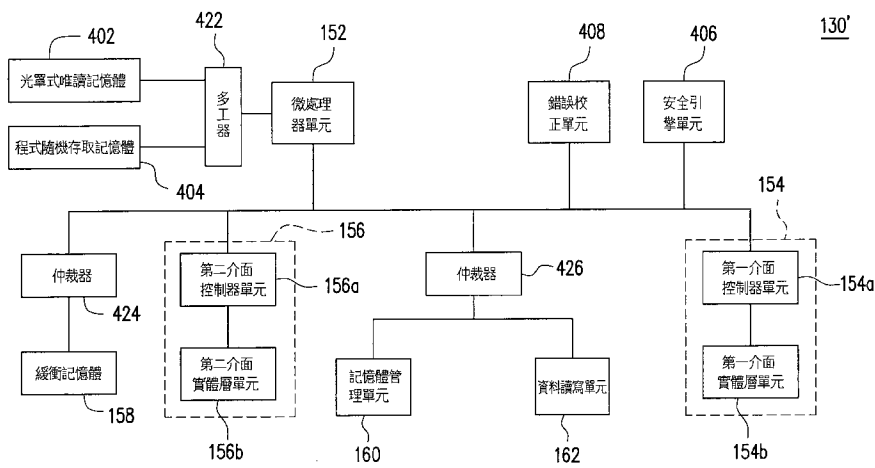


圖 5

- 130' . . . 快閃記憶體控制器
- 152 . . . 微處理器單元
- 154 . . . 第一介面單元
- 154a . . . 第一介面控制器單元
- 154b . . . 第一介面實體層單元
- 156 . . . 第二介面單元
- 156a . . . 第二介面控制器單元
- 156b . . . 第二介面實體層單元
- 158 . . . 緩衝記憶體
- 160 . . . 記憶體管理單元
- 162 . . . 資料讀寫單元
- 402 . . . 光罩式唯讀記憶體
- 404 . . . 程式隨機存取記憶體
- 406 . . . 安全引擎單元
- 408 . . . 錯誤校正單元
- 422 . . . 多工器
- 424、426 . . . 仲裁器

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 098 120090

※ 申請日： 98 6 16 ※IPC 分類： G11C 16/02 (2006.01)

一、發明名稱：

G06F 12/00 (2006.01)

快閃記憶體控制電路及其儲存系統與資料傳輸方法
FLASH MEMORY CONTROLLER CIRCUIT AND
STORAGE SYSTEM AND DATA TRANSFER
METHOD THEREOF

二、中文發明摘要：

一種快閃記憶體控制電路，其包括微處理器單元、第一與第二介面單元、緩衝記憶體、記憶體管理單元以及資料讀寫單元。記憶體管理單元管理多個快閃記憶體單元，其中每一快閃記憶體單元具有至少一快閃記憶體且每一快閃記憶體分別地具有至少包括一上頁與一下頁的多個記憶胞陣列。記憶體管理單元將對應的每一快閃記憶體的其中一個記憶胞陣列進行分群多個資料傳輸單位組，並且資料讀寫單元依據資料傳輸單位組將主機系統欲寫入的資料交錯地傳輸至快閃記憶體單元中。基此，快閃記憶體控制電路可穩定地傳輸資料而降低緩衝記憶體的使用。

三、英文發明摘要：

A flash memory controller circuit is provided. The flash memory controller circuit includes a micro processor unit, a first interface unit, a second interface unit, a buffer memory, a memory management unit and a data write/read unit. The memory management unit manages flash memory units, wherein each flash memory unit has at least one flash memory, each the flash memory has a plurality of memory array and each memory array has one low page and one upper page. The memory management unit groups the memory arrays of the corresponding flash memories into a plurality of data transfer unit sets based on the flash memory unit, and the data write/read unit interleaves to transfers data to the flash memory units according to the data transfer unit sets. Accordingly, the flash memory controller circuit more stably transfers the data, thereby reducing the usage of the buffer memory.

四、指定代表圖：

(一) 本案之指定代表圖：圖 5

(二) 本代表圖之元件符號簡單說明：

130'：快閃記憶體控制器

152：微處理器單元

154：第一介面單元

- 154a：第一介面控制器單元
- 154b：第一介面實體層單元
- 156：第二介面單元
- 156a：第二介面控制器單元
- 156b：第二介面實體層單元
- 158：緩衝記憶體
- 160：記憶體管理單元
- 162：資料讀寫單元
- 402：光罩式唯讀記憶體
- 404：程式隨機存取記憶體
- 406：安全引擎單元
- 408：錯誤校正單元
- 422：多工器
- 424、426：仲裁器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種快閃記憶體控制電路、快閃記憶體儲存系統及其資料傳輸方法，其能夠有效地降低緩衝記憶體的使用並縮短將資料寫入至快閃記憶體的時間。

【先前技術】

數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於快閃記憶體(Flash Memory)具有資料非揮發性、省電、體積小與無機械結構等的特性，適合可攜式應用，最適合使用於這類可攜式由電池供電的產品上。固態硬碟就是一種以 NAND 快閃記憶體作為儲存媒體的儲存裝置。

快閃記憶體儲存裝置中的快閃記憶體會具有多個實體區塊(physical block)，且每一實體區塊具有多個頁面(page)，其中在實體區塊中寫入資料時必須依據頁面的順序依序地寫入資料。

一般來說，寫入資料至頁面的程序可區分為資料傳輸(transfer)以及資料程式化(program)兩個部分。具體來說，當欲在快閃記憶體的頁面中儲存資料時，快閃記憶體儲存裝置的控制電路會將資料傳輸至快閃記憶體內的緩衝區中，之後快閃記憶體會將緩衝區內的資料程式化至頁面中，其中在快閃記憶體將資料程式化至頁面的期間快閃記憶體是處於一忙碌(busy)狀態，且當快閃記憶體處於忙碌

狀態下控制電路無法對其下達任何指令或傳輸任何資料。

此外，快閃記憶體依據每一記憶胞可儲存的位元數可區分為單層記憶胞(Single Level Cell, SLC)NAND 快閃記憶體與多層記憶胞(Multi Level Cell, MLC)NAND 快閃記憶體。MLC NAND 快閃記憶體之實體區塊的程式化可分為多階段。例如，以 2 層記憶胞為例，實體區塊的程式化可分為 2 階段。第一階段是下頁(lower page)的寫入部分，其物理特性類似於 SLC NAND 快閃記憶體，在完成第一階段之後才程式化上頁(upper page)，其中下頁的程式化速度會快於上頁。類似地，在 8 層記憶胞或 16 層記憶胞的案例中，記憶胞包括更多個頁並且會以更多階段來寫入。

基於上述快閃記憶體的特性，傳統上為了提升快閃記憶體儲存裝置的寫入速度，快閃記憶體儲存裝置會配置多個快閃記憶體並且以交錯方式來寫入資料。以主機系統在配置第一與第二快閃記憶體的快閃記憶體儲存裝置中儲存資料為例，當主機系統欲在快閃記憶體儲存裝置中儲存多個頁資料(即，資料長度為大於 1 個頁面的資料)時，控制電路可將其中一個頁資料傳輸至第一快閃記憶體。之後，在第一快閃記憶體處於忙碌期間，控制電路可將另一個頁資料傳輸至第二快閃記憶體。接著，在第二快閃記憶體處於忙碌時，控制電路可將另一個頁資料傳輸至第一快閃記憶體，由此交錯地將欲寫入的頁資料傳輸至第一快閃記憶體與第二快閃記憶體，以縮短寫入資料的時間。在 MLC NAND 快閃記憶體的例子中，當第一與第二快閃記憶體處

於程式化頁資料至其上頁的忙碌狀態時，控制電路必須等待一段較長的時間(即，等候第一與第二快閃記憶體的其中一個完成程式化)後才能繼續傳輸資料至第一或第二快閃記憶體中。特別是，在此段時間中，主機系統仍會持續傳送資料至快閃記憶體儲存裝置，因此必須在快閃記憶體儲存裝置中配置緩衝記憶體來暫時地存放主機系統持續傳送的資料，並且隨著 MLC NAND 快閃記憶體之實體區塊可以更多階段來執行程式化而使某些頁面的程式化時間更為增長時，將需配置更大容量的緩衝記憶體。

【發明內容】

本發明提供一種快閃記憶體控制電路，其能夠穩定地傳輸資料至多個快閃記憶體以降低緩衝記憶體的使用。

本發明提供一種快閃記憶體儲存系統，其能夠穩定地傳輸資料至多個快閃記憶體以降低緩衝記憶體的使用。

本發明提供一種資料傳輸方法，其能夠穩定地傳輸資料至多個快閃記憶體以降低緩衝記憶體的使用。

本發明一範例實施例提出一種快閃記憶體控制電路，用於將來自於一主機系統的資料傳輸至多個快閃記憶體單元，其中快閃記憶體單元分別地具有至少一快閃記憶體，且快閃記憶體具有多個記憶胞陣列，且每一記憶胞陣列至少具有一下頁與一上頁，其中下頁的寫入速度大於上頁的寫入速度。本快閃記憶體控制電路包括微處理器單元、第一介面單元、第二介面單元、緩衝記憶體、記憶體

管理單元以及資料讀寫單元。第一介面單元耦接至微處理器單元，並且用以耦接快閃記憶體單元。第二介面單元耦接至微處理器單元，並且用以耦接主機系統。緩衝記憶體耦接至該微處理器單元，並且用以暫存資料。記憶體管理單元耦接至微處理器單元，並且以每一快閃記憶體單元為單位將每一快閃記憶體的其中一個記憶胞陣列分群為一資料傳輸單位組。此外，資料讀寫單元耦接微處理器單元且以每一資料傳輸單位組為單位將資料交錯地傳輸至快閃記憶體單元中。

本發明一範例實施例提出一種快閃記憶體儲存系統，其包括用以連接一主機系統的连接器、多個快閃記憶體單元與快閃記憶體控制器。每一快閃記憶體單元具有至少一快閃記憶體，且每一快閃記憶體具有多個記憶胞陣列，且每一記憶胞陣列至少具有一下頁與一上頁，其中下頁的寫入速度大於上頁的寫入速度。快閃記憶體控制器耦接至连接器與快閃記憶體單元，並且用以從主機系統中接收資料，其中快閃記憶體控制器以每一快閃記憶體單元為單位將每一快閃記憶體的其中一個記憶胞陣列分群為資料傳輸單位組。此外，快閃記憶體控制器以每一資料傳輸單位組為單位將資料交錯地傳輸至快閃記憶體單元中。

本發明一範例實施例提出一種資料傳輸方法，本方法包括提供多個快閃記憶體單元，其中快閃記憶體單元分別地具有至少一快閃記憶體，且每一快閃記憶體具有多個記憶胞陣列，且每一記憶胞陣列至少具有一下頁與一上頁，

其中下頁的寫入速度大於上頁的寫入速度。本方法也包括從一主機系統接收資料，並且以每一快閃記憶體單元為單位將每一快閃記憶體的其中一個記憶胞陣列分群為一資料傳輸單位組。本方法更包括以每一資料傳輸單位組為單位將資料交錯地傳輸至快閃記憶體單元中。

在本發明之一實施例中，上述之每一記憶胞陣列更包括至少一中頁，其中中頁的寫入速度小於下頁的寫入速度並且大於上頁的寫入速度。

在本發明之一實施例中，上述之快閃記憶體寫入方法更包括在資料傳輸單位組的記憶胞陣列中以交錯方式傳輸資料。

本發明一範例實施例提出一種資料傳輸方法，本方法包括提供一第一快閃記憶體單元與一第二快閃記憶體單元，其中第一快閃記憶體單元與第二快閃記憶體單元分別地具有一第一快閃記憶體與一第二快閃記憶體，且第一快閃記憶體與第二快閃記憶體分別地具有多個記憶胞陣列，且每一記憶胞陣列至少具有一下頁與一上頁，其中下頁的寫入速度大於上頁的寫入速度。本方法也包括從一主機系統接收資料。此外，本方法也包括在第一快閃記憶體單元與第二快閃記憶體單元中分別地將記憶胞陣列分群為多個資料傳輸單位組，其中第一快閃記憶體單元的每一資料傳輸單位組包括第一快閃記憶體單元的第二快閃記憶體中的其中一個記憶胞陣列和第一快閃記憶體單元的第二快閃記憶體中的其中一個記憶胞陣列，並且第二快閃記憶體單元

的每一資料傳輸單位組包括第二快閃記憶體單元的第一快閃記憶體中的其中一個記憶胞陣列和第二快閃記憶體單元的第二快閃記憶體中的其中一個記憶胞陣列。再者，本方法更包括以每一資料傳輸單位組為單位將資料交錯地傳輸至第一快閃記憶體單元與第二快閃記憶體單元中。

在本發明之一實施例中，上述之以每一資料傳輸單位組為單位將資料交錯地傳輸至第一快閃記憶體單元與第二快閃記憶體單元中的步驟包括：(a)以每一資料傳輸單位組為單位將部分的資料傳輸至第一快閃記憶體單元的第一快閃記憶體與第二快閃記憶體中並且執行步驟(b)；以及(b)以每一資料傳輸單位組為單位將另一部分的資料傳輸至第二快閃記憶體單元的第一快閃記憶體與第二快閃記憶體中。

在本發明之一實施例中，上述之將部分的資料傳輸至第一快閃記憶體單元的第一快閃記憶體與第二快閃記憶體中的步驟包括：將資料交錯地傳輸至第一快閃記憶體單元的第一快閃記憶體與第二快閃記憶體中的下頁與上頁中。

在本發明之一實施例中，上述之將部分的資料傳輸至第二快閃記憶體單元的第一快閃記憶體與第二快閃記憶體中的步驟包括：將資料交錯地傳輸至第二快閃記憶體單元的第一快閃記憶體與第二快閃記憶體中的下頁與上頁中。

本發明一範例實施例提出一種資料傳輸方法，本方法包括提供一第一快閃記憶體與一第二快閃記憶體，其中第一快閃記憶體與第二快閃記憶體分別地具有多個記憶胞陣

列，且每一記憶胞陣列至少具有一下頁、一中頁與一上頁，其中下頁的寫入速度大於中頁的寫入速度並且中頁的寫入速度大於上頁的寫入速度。本方法也包括從一主機系統接收一資料，並且以每一記憶胞陣列為單位將下頁、中頁與上頁分群為多個第一子資料傳輸單位組與多個第二子資料傳輸單位組，其中每一第一子資料傳輸單位組包括其中一個記憶胞陣列的下頁與中頁且每一第二子資料傳輸單位組包括其中一個記憶胞陣列的上頁。本方法還包括以每一第一子資料傳輸單位組為單位將部分的資料傳輸至第一快閃記憶體與第二快閃記憶體中，並且之後以每一第二子資料傳輸單位組為單位將另一部分的資料傳輸至第一快閃記憶體與第二快閃記憶體中。

基於上述，本發明可以較穩定地傳輸資料至快閃記憶體，由此減少緩衝記憶體的使用並提升寫入資料的速度。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【實施方式】

圖 1 是根據本發明第一範例實施例所繪示的快閃記憶體儲存系統的概要方塊圖。

請參照圖 1，通常快閃記憶體儲存系統 100 會與主機系統 200 一起使用，以使主機系統 200 可將資料寫入至快閃記憶體儲存系統 100 或從快閃記憶體儲存系統 100 中讀取資料。在本實施例中，快閃記憶體儲存系統 100 為固態

硬碟(Solid State Drive, SSD)。但必須瞭解的是，在本發明另一實施例中快閃記憶體儲存系統 100 亦可以是記憶卡或隨身碟。

快閃記憶體儲存系統 100 包括連接器 110、快閃記憶體晶片 120、與快閃記憶體控制器(亦可稱為快閃記憶體控制電路)130。

連接器 110 是耦接至快閃記憶體控制器 130 並且用以透過匯流排 300 連接主機系統 200。在本範例實施例中，連接器 110 為 SATA 連接器。然而，必須瞭解的是本發明不限於此，連接器 110 亦可以是 USB 連接器、IEEE 1394 連接器、PCI Express 連接器、MS 連接器、MMC 連接器、SD 連接器、CF 連接器、IDE 連接器或其他適合的連接器。

快閃記憶體晶片 120 是耦接至快閃記憶體控制器 130，並且用以在快閃記憶體控制器 130 的操作下儲存資料。快閃記憶體晶片 120 具有第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128，並且第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128 分別地具有多個實體區塊。

在本範例實施例中，實體區塊(例如，實體區塊 122-0)為抹除之最小單位。亦即，每一實體區塊含有最小數目之一併被抹除之記憶胞。此外，每一實體區塊會被劃分為數

個頁面(page)，例如，1 個實體區塊具有 192 個頁面。在本範例實施例中，頁面為程式化(program)的最小單元(即，頁面為寫入資料的最小單元)，在本範例實施例中，1 個頁面為 2048 位元組(byte)。

值得一提的是，在本範例實施例中，第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128 為 3 層記憶胞 NAND 快閃記憶體。也就是說，第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128 的每一記憶胞可進行三階段的程式化，因此每一記憶胞可儲存 3 個位元(3bit/cell)的資料。因此，在本範例實施例中，每 16384 個記憶胞可提供 3 個頁面的儲存空間來儲存資料。此外，如上所述，由於 MLC NAND 快閃記憶體在程式化資料時是以多階段來執行，而不同階段的程式化速度會有所不同。在本範例實施例中，每 16384 個記憶胞所提供的 3 個頁面會依據其程式化速度被區分為下頁、中頁與上頁，並且提供此下頁、中頁與上頁的 16384 個記憶胞會被參考為 1 個記憶胞陣列。

圖 2 是根據本發明第一範例實施例所繪示之頁面的排列示意圖。必須瞭解的是，第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128 中每一實體區塊的頁面配置皆為相同，因此圖 2 所示的結構是

適用於本範例實施例中所有的實體區塊。

請參照圖 2，儲存每一列頁面(例如，頁面 0、頁面 1 與頁面 2)的記憶胞為 1 個記憶胞陣列，其中程式化下頁(例如，頁面 0)的速度快於程式化中頁(例如，頁面 1)的速度並且程式化中頁的速度快於程式化上頁(例如，頁面 2)的速度。例如，程式化下頁的速度約為 0.3 毫秒(millisecond)，程式化中頁的速度約為 1.5 毫秒並且程式化上頁的速度約為 4 毫秒。特別是，依據快閃記憶體的物理特性，在實體區塊寫入資料時必須依據頁面的排列順序依序地將頁資料程式化至頁面中。

另外，如上所述，在程式化快閃記憶體(即，第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128)時需先將資料傳輸(transfer)至快閃記憶體的緩衝區(未繪示)中，其中在本範例實施例中此資料傳輸時間約為 0.4 毫秒。

在本發明另一範例實施例中，快閃記憶體晶片 120 中的實體區塊也可被分組為數個區域(zone)，以每一獨立的區域來管理實體區塊可增加操作執行的平行程度且簡化管理的複雜度。

請再參照圖 1，快閃記憶體控制器 130 會執行以硬體型式或韌體型式實作的多個邏輯閘或機械指令以配合連接器 110 與快閃記憶體晶片 120 來進行資料的寫入、讀取與抹除等運作。特別是，在本範例實施例中，快閃記憶體控

制器 130 是透過 1 個 I/O 資料匯流排 400 來將頁資料傳遞給第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128，因此根據本範例實施例的快閃記憶體控制器 130 會以一交錯(interleave)方式將頁資料傳輸至第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128，以將頁資料程式化在第一 MLC NAND 快閃記憶體 122、第二 MLC NAND 快閃記憶體 124、第三 MLC NAND 快閃記憶體 126 與第四 MLC NAND 快閃記憶體 128 中。

快閃記憶體控制器 130 包括微處理器單元 152、第一介面單元 154、第二介面單元 156、緩衝記憶體 158、記憶體管理單元 160 與資料讀寫單元 162。

微處理器單元 152 用以控制快閃記憶體控制器 130 的整體運作。也就是說，快閃記憶體控制器 130 內之組件的運作可由微處理器單元 152 直接或間接來控制。

第一介面單元 154 是耦接至微處理器單元 152 且包括第一介面控制器單元 154a 以及耦接至第一介面控制器單元 154a 的第一介面實體層單元 154b，其中第一介面實體層單元 154b 是用以耦接至快閃記憶體晶片 120，而第一介面控制器單元 154a 用以處理傳送至快閃記憶體晶片 120 的資料或識別從快閃記憶體晶片 120 所接收的資料。也就是說，欲寫入至快閃記憶體晶片 120 的資料會經由第一介

面單元 154 轉換為快閃記憶體晶片 120 所能接受的格式。

第二介面單元 156 是耦接至微處理器單元 152 且包括第二介面控制器單元 156a 以及耦接至第二介面控制器單元 156a 的第二介面實體層單元 156b，其中第二介面實體層單元 156b 是用以耦接至連接器 110 以連接主機系統 200，而第二介面控制器單元 156a 用以處理傳送至主機系統 200 或從主機系統 200 所接收的資料。也就是說，主機系統 200 所傳送的指令與資料會透過第二介面單元 156 來傳送至微處理器單元 152。在本範例實施例中，第二介面單元 156 是符合為 SATA 介面標準，以對應連接器 110。然而，必須瞭解的是本發明不限於此，第二介面單元 156 亦可配合連接器 110 而以 USB 介面標準、IEEE 1394 介面標準、PCI Express 介面標準、MS 介面標準、MMC 介面標準、SD 介面標準、CF 介面標準、IDE 介面標準或其他適合的資料傳輸介面標準來實作。

緩衝記憶體 158 是耦接至微處理器單元 152 並且用以暫存主機系統 200 欲寫入至快閃記憶體晶片 120 的資料或主機系統 200 欲從讀取快閃記憶體晶片 120 中讀取的資料。緩衝記憶體 158 為靜態隨機存取記憶體(Static Random Access memory, SRAM)。然而，必須瞭解的是，本發明不限於此，動態隨機存取記憶體(Dynamic Random Access memory, DRAM)、磁阻式記憶體(Magnetoresistive Random Access Memory, MRAM)、相變化記憶體(Phase Change Random Access Memory, PCRAM)、單層記憶胞(Single

Level Cell, SLC) NAND 快閃記憶體或其他適合的記憶體亦可應用於本發明。

記憶體管理單元 160 是耦接至微處理器單元 152 且用以操作與管理快閃記憶體晶片 120，例如，記憶體管理單元 160 會維護用於快閃記憶體晶片 120 的邏輯位址-實體位址對映表(logical address-physical address mapping table)，並且依據邏輯位址-實體位址對映表將主機系統 200 欲存取的邏輯位址(例如，邏輯區塊)轉換為實體位址(例如，實體區塊)以利資料讀寫單元 162 進行資料的寫入與讀取。

值得一提的是，在本範例實施例中，記憶體管理單元 160 將第一快閃記憶體 122 與第二快閃記憶體 124 分組為第一快閃記憶體單元 120a 並且將第三快閃記憶體 126 與第四快閃記憶體 128 分組為第二快閃記憶體單元 120b 來進行管理。

此外，記憶體管理單元 160 會在每一快閃記憶體單元中將每一快閃記憶體中對應的記憶胞陣列分組為多個資料傳輸單位組(data transfer unit set, DTUS)。例如，記憶體管理單元 160 將第一快閃記憶體 122 的實體區塊 122-0 中的第 0 記憶胞陣列(即，實體區塊 122-0 的第 0 頁面、第 1 頁面與第 2 頁面)和第二快閃記憶體 124 的實體區塊 124-0 中的第 0 記憶胞陣列(即，實體區塊 124-0 的第 0 頁面、第 1 頁面與第 2 頁面)分組為 1 個資料傳輸單位組。此外，記憶體管理單元 160 會將資料傳輸單位組的分組資訊傳遞給資料讀寫單元 162。

資料讀寫單元 162 是耦接至微處理器單元 152 並且用以將主機系統 200 欲存取的資料傳輸至快閃記憶體晶片 120，以及透過第一介面單元 154 從快閃記憶體晶片 120 中讀取資料。

值得一提的是，當主機系統 200 欲寫入連續的多個頁資料至快閃記憶體儲存系統 100 時，資料讀寫單元 162 會依據記憶體管理單元 160 所傳遞的分組資訊以資料傳輸單位組為單位將主機系統 200 欲寫入的頁資料交錯地傳輸至第一快閃記憶體單元 120a 與第二快閃記憶體單元 120b 中。

圖 3 是根據本發明第一範例實施例所繪示之分組範例並且圖 4 是根據本發明第一範例實施例所繪示之以交錯方式傳輸與程式化頁資料的範例。

在圖 3 與 4 的範例中，假設主機系統 200 欲寫入頁資料 PD1~頁資料 PD18 至快閃記憶體儲存系統 100，並且記憶體管理單元 160 使用第一快閃記憶體 122 的實體區塊 122-0、第二快閃記憶體 124 的實體區塊 124-0、第三快閃記憶體 126 的實體區塊 126-0 以及第四快閃記憶體 128 的實體區塊 128-0 來寫入頁資料 PD1~頁資料 PD18 以提升資料的寫入速度。

請參照圖 3，如上所述，每一記憶胞陣列具有 3 個頁面的儲存容量，因此記憶體管理單元 160 會需使用 6 個記憶胞陣列來儲存頁資料 PD1~頁資料 PD18。此外，在實體區塊中必須根據頁面的順序依序地寫入資料，因此記憶體管理單元 160 會依序地使用實體區塊 122-0 的第 0 記憶胞

陣列(即，實體區塊 122-0 的第 0 頁面、第 1 頁面與第 2 頁面)、實體區塊 124-0 的第 0 記憶胞陣列(即，實體區塊 124-0 的第 0 頁面、第 1 頁面與第 2 頁面)、實體區塊 126-0 的第 0 記憶胞陣列(即，實體區塊 126-0 的第 0 頁面、第 1 頁面與第 2 頁面)、實體區塊 128-0 的第 0 記憶胞陣列(即，實體區塊 128-0 的第 0 頁面、第 1 頁面與第 2 頁面)、實體區塊 122-0 的第 1 記憶胞陣列(即，實體區塊 122-0 的第 3 頁面、第 4 頁面與第 5 頁面)和實體區塊 124-0 的第 1 記憶胞陣列(即，實體區塊 124-0 的第 3 頁面、第 4 頁面與第 5 頁面)來儲存頁資料 PD1~頁資料 PD18。

特別是，在本範例實施例中，記憶體管理單元 160 會將實體區塊 122-0 的第 0 記憶胞陣列與實體區塊 124-0 的第 0 記憶胞陣列分組為此次資料寫入程序的第 1 資料傳輸單位組，將實體區塊 126-0 的第 0 記憶胞陣列和實體區塊 128-0 的第 0 記憶胞陣列分組為此次資料寫入程序的第 2 資料傳輸單位組，並且將實體區塊 122-0 的第 1 記憶胞陣列和實體區塊 124-0 的第 1 記憶胞陣列分組為此次資料寫入程序的第 3 個資料傳輸單位組。

當資料讀寫單元 162 從記憶體管理單元 160 中接收到此次資料寫入程序的分組資訊(即，上述第 1 資料傳輸單位組、第 2 資料傳輸單位組與第 3 資料傳輸單位組)時，資料讀寫單元 162 會交錯地將預計寫入至每一資料傳輸單位組的頁資料傳輸至對應的快閃記憶體單元。請參照圖 4，資料讀寫單元 162 會先將預計寫入至第 1 資料傳輸單位組的

頁資料傳輸至第一快閃記憶體單元 120a(即，第一快閃記憶體 122 與第二快閃記憶體 124)，之後，將預計寫入至第 2 資料傳輸單位組的頁資料傳輸至第二快閃記憶體單元 120b(即，第三快閃記憶體 126 與第四快閃記憶體 128)，最後，將預計寫入至第 3 資料傳輸單位組的頁資料傳輸至第一快閃記憶體單元 120a。

具體來說，資料讀寫單元 162 會先將預計寫入至實體區塊 122-0 的第 0 頁面、第 1 頁面與第 2 頁面以及預計寫入至實體區塊 124-0 的第 0 頁面、第 1 頁面與第 2 頁面的頁資料傳輸(即，傳輸 T1、T2、T3、T4、T5 與 T6)至第一快閃記憶體 122 與第二快閃記憶體 124。然後，資料讀寫單元 162 會將預計寫入至實體區塊 126-0 的第 0 頁面、第 1 頁面與第 2 頁面以及預計寫入至實體區塊 128-0 的第 0 頁面、第 1 頁面與第 2 頁面的頁資料傳輸(即，傳輸 T7、T8、T9、T10、T11 與 T12)至第三快閃記憶體 126 與第四快閃記憶體 128。最後，資料讀寫單元 162 會將預計寫入至實體區塊 122-0 的第 3 頁面、第 4 頁面與第 5 頁面以及預計寫入至實體區塊 124-0 的第 3 頁面、第 4 頁面與第 5 頁面的頁資料傳輸(即，傳輸 T13、T14、T15、T16、T17 與 T18)至第一快閃記憶體 122 與第二快閃記憶體 124。

另外，在本範例實施例中，資料讀寫單元 162 會以交錯方式將資料傳輸至每一快閃記憶體單元的快閃記憶體。如圖 4 所示，將預計寫入至實體區塊 122-0 的第 0 頁面、第 1 頁面與第 2 頁面以及預計寫入至實體區塊 124-0 的第

0 頁面、第 1 頁面與第 2 頁面的頁資料傳輸至第一快閃記憶體 122 與第二快閃記憶體 124 的過程中，資料讀寫單元 162 會依序地將預計寫入至實體區塊 122-0 的第 0 頁面的頁資料傳輸(即，傳輸 T1)至第一快閃記憶體 122、將預計寫入至實體區塊 124-0 的第 0 頁面的頁資料傳輸(即，傳輸 T2)至第二快閃記憶體 124、將預計寫入至實體區塊 122-0 的第 1 頁面的頁資料傳輸(即，傳輸 T3)至第一快閃記憶體 122、將預計寫入至實體區塊 124-0 的第 1 頁面的頁資料傳輸(即，傳輸 T4)至第二快閃記憶體 124、將預計寫入至實體區塊 122-0 的第 2 頁面的頁資料傳輸(即，傳輸 T5)至第一快閃記憶體 122 以及將預計寫入至與實體區塊 124-0 的第 2 頁面的頁資料傳輸(即，傳輸 T6)至第二快閃記憶體 124。傳輸 T7~T12 以及傳輸 T13~T18 亦是相同於上述以交錯方式來執行，在此不再詳細描述。

如圖 4 所示，傳輸 T1~T18 可以較穩定的方式被執行，不會因為所有快閃記憶體皆處於忙碌狀態而長時間的中斷傳輸。因此，根據本範例實施例的快閃記憶體儲存系統 100 能夠使主機系統 200 所傳送的欲寫入資料以較穩定的方式傳輸至快閃記憶體晶片 120，而有效地減少緩衝記憶體 158 的使用。

值得一提的是，如上所述，儘管記憶體管理單元 160 與資料讀寫單元 162 是以一硬體型式實作在快閃記憶體控制器 130 中，然而本發明不限於此。在另一範例實施例中，記憶體管理單元 160 與資料讀寫單元 162 可以是以一軟體

型式實作在控制器 130 中。例如，將完成記憶體管理單元 160 與資料讀寫單元 162 之功能的多個程式燒錄至一程式記憶體(例如，唯讀記憶體(Read Only Memory, ROM))中並且將此程式記憶體嵌入在快閃記憶體控制器 130 中，當快閃記憶體儲存系統 100 運作時，此些程式會由微處理器單元 152 來執行以完成根據本發明實施例的資料傳輸機制。

在本發明另一實施例中，完成記憶體管理單元 160 與資料讀寫單元 162 之功能的多個程式亦可以軟體型式儲存於快閃記憶體晶片 120 的特定區域(例如，快閃記憶體中專用於存放系統資料的系統區)中。同樣的，當快閃記憶體儲存系統 100 運作時，此些程式會由微處理器單元 152 來執行。

此外，在本發明另一範例實施例中，快閃記憶體控制器亦可包括其他電路單元。圖 5 是根據本發明另一範例實施例所繪示的快閃記憶體控制器的方塊圖。請參照圖 5，除了上述微處理器單元 152、第一介面單元 154、第二介面單元 156、緩衝記憶體 158、記憶體管理單元 160 與資料讀寫單元 162 之外，快閃記憶體控制器 130' 更包括光罩式唯讀記憶體(Mask ROM)402、程式隨機存取記憶體(Program Random Access Memory)404 與安全引擎(Security Engine)單元 406。並且快閃記憶體控制器 130' 配置仲裁器(Arbiter)424 與 426 來將緩衝記憶體 158、記憶體管理單元 160 與資料讀寫單元 162 耦接至微處理器單元 152。

光罩式唯讀記憶體 402 與程式隨機存取記憶體 404 是

透過多工器(MUX)422 耦接至微處理器單元 152。光罩式唯讀記憶體 402 是用以儲存用於快閃記憶體控制器 130'的資訊或程式碼，特別是，此些資訊或程式碼是不允許被更動的。程式隨機存取記憶體 404 是用以暫時地存放微處理器單元 152 所正執行的韌體碼。具體來說，由於隨機存取記憶體的運作速度較快，因此將微處理器單元 152 所正在執行的韌體碼先載入至程式隨機存取記憶體可提升快閃記憶體控制器 130'的運作效率。例如，在以韌體或軟體型式實作記憶體管理單元 160 與資料讀寫單元 162 的例子中，在快閃記憶體儲存系統 100 初始化時，完成此些單元之功能的程式會被載入至程式隨機存取記憶體後，再由微處理器單元 152 來執行。

安全引擎單元 406 是耦接至微處理器單元 152 並且用以加解密寫入至快閃記憶體晶片 120 中的資料，以確保資料的可靠性。在本範例實施例中，安全引擎單元 406 所使用的加解密技術為高階加密標準(Advanced Encryption Standard, AES)，然而本發明不限於此，國家標準局資料加密標準(data encryption standard, DES)或其他加密技術亦可應用於本發明。

錯誤校正單元 408 是耦接至微處理器單元 152 並且用以依據主機系統 200 欲寫入至快閃記憶體晶片 120 的資料產生錯誤校正碼(Error Correcting Code)，並且於主機系統 200 欲從快閃記憶體晶片 120 中讀取資料時依據所產生的錯誤校正碼執行一錯誤校正程序以確保資料的正確性。

圖 6 是根據本發明第一範例實施例所繪示之資料傳輸的流程圖。

請參照圖 6，當主機系統 200 欲寫入大量頁資料至快閃記憶體儲存系統 100 時，在步驟 S601 中記憶體管理單元 160 會依據邏輯位址-實體位址對映表及相關快閃記憶體的配置資訊從第一快閃記憶體 122、第二快閃記憶體 124、第三快閃記憶體 126 與第四快閃記憶體 128 中選擇可使用的實體區塊。

之後，在步驟 S603 中記憶體管理單元 160 會將所選擇之實體區塊中的記憶胞陣列分組為數個資料傳輸單位組。將記憶胞陣列分組為數個資料傳輸單位組的方法已配合圖 3 描述如前，在此不重複描述。

接著，在步驟 S605 中資料讀寫單元 162 會依據記憶體管理單元 160 所產生的分組資訊以資料傳輸單位組為單位將主機系統 200 欲寫入之頁資料交錯地傳輸至快閃記憶體單元 120a 與 120b 中。

值得一提的是，圖 3 與圖 4 的範例中是使用第一快閃記憶體 122、第二快閃記憶體 124、第三快閃記憶體 126 與第四快閃記憶體 128 等 4 個快閃記憶體的彼此交錯方式來傳輸與程式化主機系統 200 欲寫入的資料。然而，本發明不限於此，例如，當主機系統 200 欲寫入的資料量較少時，記憶體管理單元 160 與資料讀寫單元 162 可僅使用 2 個快閃記憶體的彼此交錯方式來傳輸與程式化主機系統 200 欲寫入的資料。或者，當快閃記憶體儲存系統配置更

多數目之快閃記憶體時，記憶體管理單元 160 與資料讀寫單元 162 可使用更多數目快閃記憶體來以交錯方式來傳輸與程式化主機系統 200 欲寫入的資料。

圖 7 是根據本發明第二範例實施例所繪示之快閃記憶體儲存系統的概要方塊圖。

請參照圖 7，快閃記憶體儲存系統 700 包括連接器 110、快閃記憶體晶片 720、與快閃記憶體控制器 730。快閃記憶體儲存系統 700 與快閃記憶體儲存系統 100 的差異在於快閃記憶體儲存系統 700 的快閃記憶體晶片 720 僅包括 2 個快閃記憶體，因此，快閃記憶體控制器 730 的記憶體管理單元 160' 與資料讀寫單元 162' 僅會對 2 個快閃記憶體進行上述分組與資料傳輸，除此之外，快閃記憶體儲存系統 700 的結構與功能本質上是相同於快閃記憶體儲存系統 100，在此不再重複描述。

在快閃記憶體儲存系統 700 中，快閃記憶體晶片 720 包括第一快閃記憶體 122 與第二快閃記憶體 124，因此記憶體管理單元 160' 會將第一快閃記憶體 122 分組為第一快閃記憶體單元 120c 並且將第二快閃記憶體 124 分組為第二快閃記憶體單元 120d。也就是說，在快閃記憶體儲存系統 700 中每一快閃記憶體單元僅包括 1 個快閃記憶體。

圖 8 是根據本發明第二範例實施例所繪示之以交錯方式傳輸與程式化頁資料的範例。在此範例中，假設主機系統 200 欲寫入快閃記憶體儲存系統 700 的資料為頁資料 PD1~PD9 且記憶體管理單元 160' 使用第一快閃記憶體

122 的實體區塊 122-1 中的第 0 記憶胞陣列與第 1 記憶胞陣列與第二快閃記憶體 124 的實體區塊 124-1 中的第 0 記憶胞陣列來寫入頁資料 PD1~頁資料 PD9。

類似於圖 3 所示的方式，記憶體管理單元 160' 會將實體區塊 122-1 的第 0 記憶胞陣列(即，實體區塊 122-1 的第 0 頁面、第 1 頁面與第 2 頁面)與第 1 記憶胞陣列(即，實體區塊 122-1 的第 3 頁面、第 4 頁面與第 5 頁面)以及實體區塊 124-1 的第 0 記憶胞陣列(即，實體區塊 124-1 的第 0 頁面、第 1 頁面與第 2 頁面)進行分組。具體來說，在此範例中，實體區塊 122-1 的第 0 頁面、第 1 頁面與第 2 頁面會被分組為此次寫入程序的第 1 資料傳輸單位組，實體區塊 124-1 的第 0 頁面、第 1 頁面與第 2 頁面會被分組為此次寫入程序的第 2 資料傳輸單位組，並且實體區塊 122-1 的第 3 頁面、第 4 頁面與第 5 頁面會被分組為此次寫入程序的第 3 資料傳輸單位組。

之後，資料讀寫單元 162' 會依據記憶體管理單元 160' 所產生的分組資訊，以資料傳輸單位組為單位使用交錯方式將頁資料 PD1~頁資料 PD9 傳輸至第一記憶體單元 120c 與第二記憶體單元 120d 中。

請參照圖 8，資料讀寫單元 162' 會先將預計寫入至實體區塊 122-1 的第 0 頁面、第 1 頁面與第 2 頁面的頁資料傳輸(即，傳輸 T21、T22 與 T23)至第一快閃記憶體 122。然後，資料讀寫單元 162' 會將預計寫入至實體區塊 124-1 的第 0 頁面、第 1 頁面與第 2 頁面的頁資料傳輸(即，傳輸

T24、T25 與 T26)至第二快閃記憶體 124。最後，資料讀寫單元 162'會將預計寫入至實體區塊 122-1 的第 3 頁面、第 4 頁面與第 5 頁面的頁資料傳輸(即，傳輸 T27、T28 與 T29)至第一快閃記憶體 122。

值得一提的是，在第二範例實施例中，在每一記憶胞陣列中，下頁、中頁與上頁會分組為一資料傳輸單位組。然而，本發明另一實施例中，快閃記憶體儲存系統 700 亦可在每一記憶胞陣列中將下頁與中頁分組為一第一子資料傳輸單位組且將上頁分組為一第二子資料傳輸單位組，且資料讀寫單元 162'會以第一子資料傳輸單位組與第二子資料傳輸單位組來交錯地在第一快閃記憶體 122 與第二快閃記憶體 124 之間傳輸資料。

圖 9 是根據本發明第三範例實施例所繪示之資料傳輸的流程圖，且圖 10 是根據本發明第三範例實施例所繪示之以交錯方式傳輸與程式化頁資料的範例。

請參照圖 9 與圖 10，當主機系統 200 欲寫入大量頁資料至快閃記憶體儲存系統 700 時，在步驟 S901 中記憶體管理單元 160'會依據邏輯位址-實體位址對映表及相關快閃記憶體的配置資訊從第一快閃記憶體 122 與第二快閃記憶體 124 中選擇可使用的實體區塊。

之後，在步驟 S903 中記憶體管理單元 160'會將所選擇之實體區塊中每一記憶胞陣列中的頁面分組為數個第一子資料傳輸單位組與第二子資料傳輸單位組。具體來說，在每一記憶胞陣列中，下頁與中頁會被視為第一子資料傳

輸單位組而上頁會被視為第二子資料傳輸單位組。例如，以第一快閃記憶體 122 的實體區塊 122-1 為例，第 0 頁面與第 1 頁面、第 3 頁面與第 4 頁面、第 6 頁面與第 7 頁面... 會分別地被視為第一子資料傳輸單位組以及第 2 頁面、第 5 頁面、第 8 頁面... 會分別地被視為第二子資料傳輸單位組。

接著，在步驟 S905 中資料讀寫單元 162' 會依據記憶體管理單元 160' 所產生的分組資訊以第一與第二子資料傳輸單位組為單位將主機系統 200 欲寫入之頁資料交錯地傳輸至第一快閃記憶體 122 與第二快閃記憶體 124 中。

例如，資料讀寫單元 162' 先將預計寫入至實體區塊 122-1 的第 0 頁面與第 1 頁面的頁資料傳輸至第一快閃記憶體 122(即，傳輸 T21 與 T22)。之後，資料讀寫單元 162' 會將預計寫入至實體區塊 124-1 的第 0 頁面與第 1 頁面的頁資料傳輸至第二快閃記憶體 124(即，傳輸 T24 與 T25)。然後，資料讀寫單元 162' 會將預計寫入至第 2 頁面的頁資料傳輸至第一快閃記憶體 122(即，傳輸 T23)。之後，資料讀寫單元 162' 會將預計寫入至實體區塊 124-1 的第 2 頁面的頁資料傳輸至第二快閃記憶體 124(即，傳輸 T26)。之後，資料讀寫單元 162' 會將預計寫入至實體區塊 122-1 的第 3 頁面與第 4 頁面的頁資料傳輸至第一快閃記憶體 122(即，傳輸 T27 與 T28)。最後，資料讀寫單元 162' 會將預計寫入至實體區塊 122-1 的第 5 頁面的頁資料傳輸至第一快閃記憶體 122(即，傳輸 T29)。

綜上所述，本發明範例實施例所提出的資料傳輸方法是將多個快閃記憶體中預計寫入的資料依據不同程式化速度的頁面分組為多個資料傳輸單位組，並且依據所分組的資料傳輸單位組來進行資料傳輸，由此可避免所有快閃記憶體皆處於忙碌狀態而長時間的中斷傳輸。因此，根據本範例實施例的快閃記憶體儲存系統能夠以較穩定地方式傳輸主機系統欲寫入的資料至快閃記憶體晶片，而有效地減少緩衝記憶體的使用。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 是根據本發明第一範例實施例所繪示的快閃記憶體儲存系統的概要方塊圖。

圖 2 是根據本發明第一範例實施例所繪示之頁面的排列示意圖。

圖 3 是根據本發明第一範例實施例所繪示之分組範例。

圖 4 是根據本發明第一範例實施例所繪示之以交錯方式傳輸與程式化頁資料的範例。

圖 5 是根據本發明另一範例實施例所繪示的快閃記憶體控制器的方塊圖。

圖 6 是根據本發明第一範例實施例所繪示之資料傳輸的流程圖。

圖 7 是根據本發明第二範例實施例所繪示之快閃記憶體儲存系統的概要方塊圖。

圖 8 是根據本發明第二範例實施例所繪示之以交錯方式傳輸與程式化頁資料的範例。

圖 9 是根據本發明第三範例實施例所繪示之資料傳輸的流程圖。

圖 10 是根據本發明第三範例實施例所繪示之以交錯方式傳輸與程式化頁資料的範例。

【主要元件符號說明】

100、700：快閃記憶體儲存系統

110：連接器

120、720：快閃記憶體晶片

120a、120b、120c、120d：快閃記憶體單元

122、124、126、128：快閃記憶體

122-0、122-1、122-N、124-0、124-1、124-N、126-0、126-1、126-N、128-0、128-1、128-N：實體區塊

130、130'、730：快閃記憶體控制器

152：微處理器單元

154：第一介面單元

154a：第一介面控制器單元

154b：第一介面實體層單元

- 156：第二介面單元
- 156a：第二介面控制器單元
- 156b：第二介面實體層單元
- 158：緩衝記憶體
- 160、160'：記憶體管理單元
- 162、162'：資料讀寫單元
- 200：主機系統
- 300：匯流排
- T1~T18、T21~T29：傳輸
- 402：光罩式唯讀記憶體
- 404：程式隨機存取記憶體
- 406：安全引擎單元
- 408：錯誤校正單元
- 422：多工器
- 424、426：仲裁器
- S601、S603、S605：資料傳輸步驟
- S901、S903、S905：資料傳輸步驟

七、申請專利範圍：

1. 一種快閃記憶體控制電路，用於將來自於一主機系統的資料傳輸至具有一第一快閃記憶體與一第二快閃記憶體的一快閃記憶體單元中，其中該第一快閃記憶體與該第二快閃記憶體分別地具有多個記憶胞陣列，且每一該些記憶胞陣列至少具有一下頁、一中頁與一上頁，其中該些下頁的寫入速度大於該些中頁的寫入速度，該些中頁的寫入速度大於該些上頁的寫入速度，該快閃記憶體控制電路包括：

一微處理器單元；

一第一介面單元，耦接至該微處理器單元，用以耦接該快閃記憶體單元；

一第二介面單元，耦接至該微處理器單元，用以耦接該主機系統；

一緩衝記憶體，耦接至該微處理器單元，用以暫存該資料，其中該資料包括一第一頁資料、一第二頁資料、一第三頁資料、一第四頁資料、一第五頁資料與一第六頁資料；

一記憶體管理單元，耦接至該微處理器單元，

其中該記憶體管理單元將該第一快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第一資料傳輸單元並且將該第二快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第二資料傳輸單元，其中該第一快閃記憶體與該第二快閃記憶體的第零頁為該下頁，該第一快閃記憶體與

該第二快閃記憶體的第一頁為該中頁並且該第一快閃記憶體與該第二快閃記憶體的第二頁為該上頁，

其中該記憶體管理單元透過該第一介面單元傳輸該第一頁資料至該第一快閃記憶體，

其中在該第一頁面資料被程式化至該第一快閃記憶體的該第零頁之後，該記憶體管理單元透過該第一介面單元傳輸該第二頁資料至該第一快閃記憶體，

其中在該第二頁面資料被程式化至該第一快閃記憶體的該第一頁之後，該記憶體管理單元透過該第一介面單元傳輸該第三頁資料至該第一快閃記憶體，

其中在該第三頁面資料被程式化至該第一快閃記憶體的該第二頁期間，該記憶體管理單元透過該第二介面單元傳輸該第四頁資料至該第二快閃記憶體，

其中在該第四頁面資料被程式化至該第二快閃記憶體的該第零頁之後，該記憶體管理單元透過該第二介面單元傳輸該第五頁資料至該第二快閃記憶體，

其中在該第五頁面資料被程式化至該第二快閃記憶體的該第一頁之後，該記憶體管理單元透過該第二介面單元傳輸該第六頁資料至該第二快閃記憶體，

其中該第六頁資料會被程式化至該第二快閃記憶體的第二頁。

2. 一種快閃記憶體儲存系統，包括：

一連接器，用以連接一主機系統；

一快閃記憶體單元，具有一第一快閃記憶體與一第二

快閃記憶體，其中該第一快閃記憶體與該第二快閃記憶體分別地具有多個記憶胞陣列，且每一該些記憶胞陣列至少具有一下頁、一中頁與一上頁，其中該些下頁的寫入速度大於該些中頁的寫入速度，且該些中頁的寫入速度大於該些上頁的寫入速度；以及

一快閃記憶體控制器，耦接至該連接器與該些快閃記憶體單元，用以從該主機系統中接收一資料，其中該資料包括一第一頁資料、一第二頁資料、一第三頁資料、一第四頁資料、一第五頁資料與一第六頁資料，

其中該快閃記憶體控制器將該第一快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第一資料傳輸單元並且將該第二快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第二資料傳輸單元，其中該第一快閃記憶體與該第二快閃記憶體的該第零頁為該下頁，該第一快閃記憶體與該第二快閃記憶體的第一頁為該中頁並且該第一快閃記憶體與該第二快閃記憶體的第二頁為該上頁，

其中該快閃記憶體控制器透過該第一介面單元傳輸該第一頁資料至該第一快閃記憶體，

其中在該第一頁面資料被程式化至該第一快閃記憶體的該第零頁之後，該快閃記憶體控制器透過該第一介面單元傳輸該第二頁資料至該第一快閃記憶體，

其中在該第二頁面資料被程式化至該第一快閃記憶體的該第一頁之後，該快閃記憶體控制器透過該第一介面單元傳輸該第三頁資料至該第一快閃記憶體，

其中在該第三頁面資料被程式化至該第一快閃記憶體的該第二頁期間，該快閃記憶體控制器透過該第二介面單元傳輸該第四頁資料至該第二快閃記憶體，

其中在該第四頁面資料被程式化至該第二快閃記憶體的該第零頁之後，該快閃記憶體控制器透過該第二介面單元傳輸該第五頁資料至該第二快閃記憶體，

其中在該第五頁面資料被程式化至該第二快閃記憶體的該第一頁之後，該快閃記憶體控制器透過該第二介面單元傳輸該第六頁資料至該第二快閃記憶體，

其中該第六頁資料會被程式化至該第二快閃記憶體的第二頁。

3. 一種資料傳輸方法，用於將來自於一主機系統的資料傳輸至具有一第一快閃記憶體與一第二快閃記憶體的一快閃記憶體單元中，其中該第一快閃記憶體與該第二快閃記憶體分別地具有多個記憶胞陣列，且每一該些記憶胞陣列至少具有一下頁、一中頁與一上頁，其中該些下頁的寫入速度大於該些中頁的寫入速度，該些中頁的寫入速度大於該些上頁的寫入速度，該資料傳輸方法包括：

從一主機系統接收一資料，其中該資料包括一第一頁資料、一第二頁資料、一第三頁資料、一第四頁資料、一第五頁資料與一第六頁資料；

將該第一快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第一資料傳輸單元並且將該第二快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第二資料傳輸單

元，其中該第一快閃記憶體與該第二快閃記憶體的第二百零頁為該下頁，該第一快閃記憶體與該第二快閃記憶體的第一頁為該中頁並且該第一快閃記憶體與該第二快閃記憶體的第二頁為該上頁；

透過該第一介面單元傳輸該第一頁資料至該第一快閃記憶體；

在該第一頁面資料被程式化至該第一快閃記憶體的該第二百零頁之後，透過該第一介面單元傳輸該第二頁資料至該第一快閃記憶體；

在該第二頁面資料被程式化至該第一快閃記憶體的該第一頁之後，透過該第一介面單元傳輸該第三頁資料至該第一快閃記憶體；

在該第三頁面資料被程式化至該第一快閃記憶體的該第二頁期間，透過該第二介面單元傳輸該第四頁資料至該第二快閃記憶體；

在該第四頁面資料被程式化至該第二快閃記憶體的該第二百零頁之後，透過該第二介面單元傳輸該第五頁資料至該第二快閃記憶體；以及

在該第五頁面資料被程式化至該第二快閃記憶體的該第一頁之後，透過該第二介面單元傳輸該第六頁資料至該第二快閃記憶體，

其中該第六頁資料會被程式化至該第二快閃記憶體的第二頁。

4. 一種快閃記憶體控制電路，用於將來自於一主機系統的資料傳輸至具有一第一快閃記憶體與一第二快閃記憶體的一快閃記憶體單元中，其中該第一快閃記憶體與該第二快閃記憶體分別地具有多個記憶胞陣列，且每一該些記憶胞陣列至少具有一下頁、一中頁與一上頁，其中該些下頁的寫入速度大於該些中頁的寫入速度，該些中頁的寫入速度大於該些上頁的寫入速度，該快閃記憶體控制電路包括：

一微處理器單元；

一第一介面單元，耦接至該微處理器單元，用以耦接該快閃記憶體單元；

一第二介面單元，耦接至該微處理器單元，用以耦接該主機系統；

一緩衝記憶體，耦接至該微處理器單元，用以暫存該資料，其中該資料包括一第一頁資料、一第二頁資料、一第三頁資料、一第四頁資料、一第五頁資料與一第六頁資料；

一記憶體管理單元，耦接至該微處理器單元，

其中該記憶體管理單元將該第一快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第一資料傳輸單元並且將該第二快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第二資料傳輸單元，其中該第一快閃記憶體與該第二快閃記憶體的第零頁為該下頁，該第一快閃記憶體與該第二快閃記憶體的第一頁為該中頁並且該第一快閃記憶

體與該第二快閃記憶體的第二頁為該上頁，

其中該記憶體管理單元透過該第一介面單元傳輸該第一頁資料至該第一快閃記憶體，

其中在該第一頁面資料被程式化至該第一快閃記憶體的該第零頁之後，該記憶體管理單元透過該第一介面單元傳輸該第二頁資料至該第一快閃記憶體，

其中在該第二頁面資料被程式化至該第一快閃記憶體的該第一頁期間，該記憶體管理單元透過該第二介面單元傳輸該第四頁資料至該第二快閃記憶體，

其中在該第四頁面資料被程式化至該第二快閃記憶體的該第零頁之後，該記憶體管理單元透過該第二介面單元傳輸該第五頁資料至該第二快閃記憶體，

其中在該第五頁面資料被程式化至該第二快閃記憶體的該第一頁期間，該記憶體管理單元透過該第一介面單元傳輸該第三頁資料至該第一快閃記憶體，

其中在該第三頁面資料被程式化至該第一快閃記憶體的該第二頁期間，該記憶體管理單元透過該第二介面單元傳輸該第六頁資料至該第二快閃記憶體，

其中該第六頁資料會被程式化至該第二快閃記憶體的第二頁。

5. 一種快閃記憶體儲存系統，包括：

一連接器，用以連接一主機系統；

一快閃記憶體單元，具有一第一快閃記憶體與一第二快閃記憶體，其中該第一快閃記憶體與該第二快閃記憶體

分別地具有多個記憶胞陣列，且每一該些記憶胞陣列至少具有一下頁、一中頁與一上頁，其中該些下頁的寫入速度大於該些中頁的寫入速度，且該些中頁的寫入速度大於該些上頁的寫入速度；以及

一快閃記憶體控制器，耦接至該連接器與該些快閃記憶體單元，用以從該主機系統中接收一資料，其中該資料包括一第一頁資料、一第二頁資料、一第三頁資料、一第四頁資料、一第五頁資料與一第六頁資料，

其中該快閃記憶體控制器將該第一快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第一資料傳輸單元並且將該第二快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第二資料傳輸單元，其中該第一快閃記憶體與該第二快閃記憶體的該第零頁為該下頁，該第一快閃記憶體與該第二快閃記憶體的第一頁為該中頁並且該第一快閃記憶體與該第二快閃記憶體的第二頁為該上頁，

其中該快閃記憶體控制器透過該第一介面單元傳輸該第一頁資料至該第一快閃記憶體，

其中在該第一頁面資料被程式化至該第一快閃記憶體的該第零頁之後，該快閃記憶體控制器透過該第一介面單元傳輸該第二頁資料至該第一快閃記憶體，

其中在該第二頁面資料被程式化至該第一快閃記憶體的該第一頁期間，該快閃記憶體控制器透過該第二介面單元傳輸該第四頁資料至該第二快閃記憶體，

其中在該第四頁面資料被程式化至該第二快閃記憶

體的該第零頁之後，該快閃記憶體控制器透過該第二介面單元傳輸該第五頁資料至該第二快閃記憶體，

其中在該第五頁面資料被程式化至該第二快閃記憶體的該第一頁期間，該快閃記憶體控制器透過該第一介面單元傳輸該第三頁資料至該第一快閃記憶體，

其中在該第三頁面資料被程式化至該第一快閃記憶體的該第二頁期間，該快閃記憶體控制器透過該第二介面單元傳輸該第六頁資料至該第二快閃記憶體，

其中該第六頁資料會被程式化至該第二快閃記憶體的第二頁。

6. 一種資料傳輸方法，用於將來自於一主機系統的資料傳輸至具有一第一快閃記憶體與一第二快閃記憶體的一快閃記憶體單元中，其中該第一快閃記憶體與該第二快閃記憶體分別地具有多個記憶胞陣列，且每一該些記憶胞陣列至少具有一下頁、一中頁與一上頁，其中該些下頁的寫入速度大於該些中頁的寫入速度，該些中頁的寫入速度大於該些上頁的寫入速度，該資料傳輸方法包括：

從一主機系統接收一資料，其中該資料包括一第一頁資料、一第二頁資料、一第三頁資料、一第四頁資料、一第五頁資料與一第六頁資料；

將該第一快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第一資料傳輸單元並且將該第二快閃記憶體的一第零頁、一第一頁與一第二頁分組為一第二資料傳輸單元，其中該第一快閃記憶體與該第二快閃記憶體的第零頁

為該下頁，該第一快閃記憶體與該第二快閃記憶體的第一頁為該中頁並且該第一快閃記憶體與該第二快閃記憶體的
第二頁為該上頁；

透過該第一介面單元傳輸該第一頁資料至該第一快閃記憶體；

在該第一頁面資料被程式化至該第一快閃記憶體的該第零頁之後，透過該第一介面單元傳輸該第二頁資料至該第一快閃記憶體；

在該第二頁面資料被程式化至該第一快閃記憶體的該第一頁期間，透過該第二介面單元傳輸該第四頁資料至該第二快閃記憶體；

在該第四頁面資料被程式化至該第二快閃記憶體的該第零頁之後，透過該第二介面單元傳輸該第五頁資料至該第二快閃記憶體；

在該第五頁面資料被程式化至該第二快閃記憶體的該第一頁期間，透過該第一介面單元傳輸該第三頁資料至該第一快閃記憶體；

在該第三頁面資料被程式化至該第一快閃記憶體的該第二頁期間，透過該第二介面單元傳輸該第六頁資料至該第二快閃記憶體，

其中該第六頁資料會被程式化至該第二快閃記憶體的第二頁。

八、圖式：

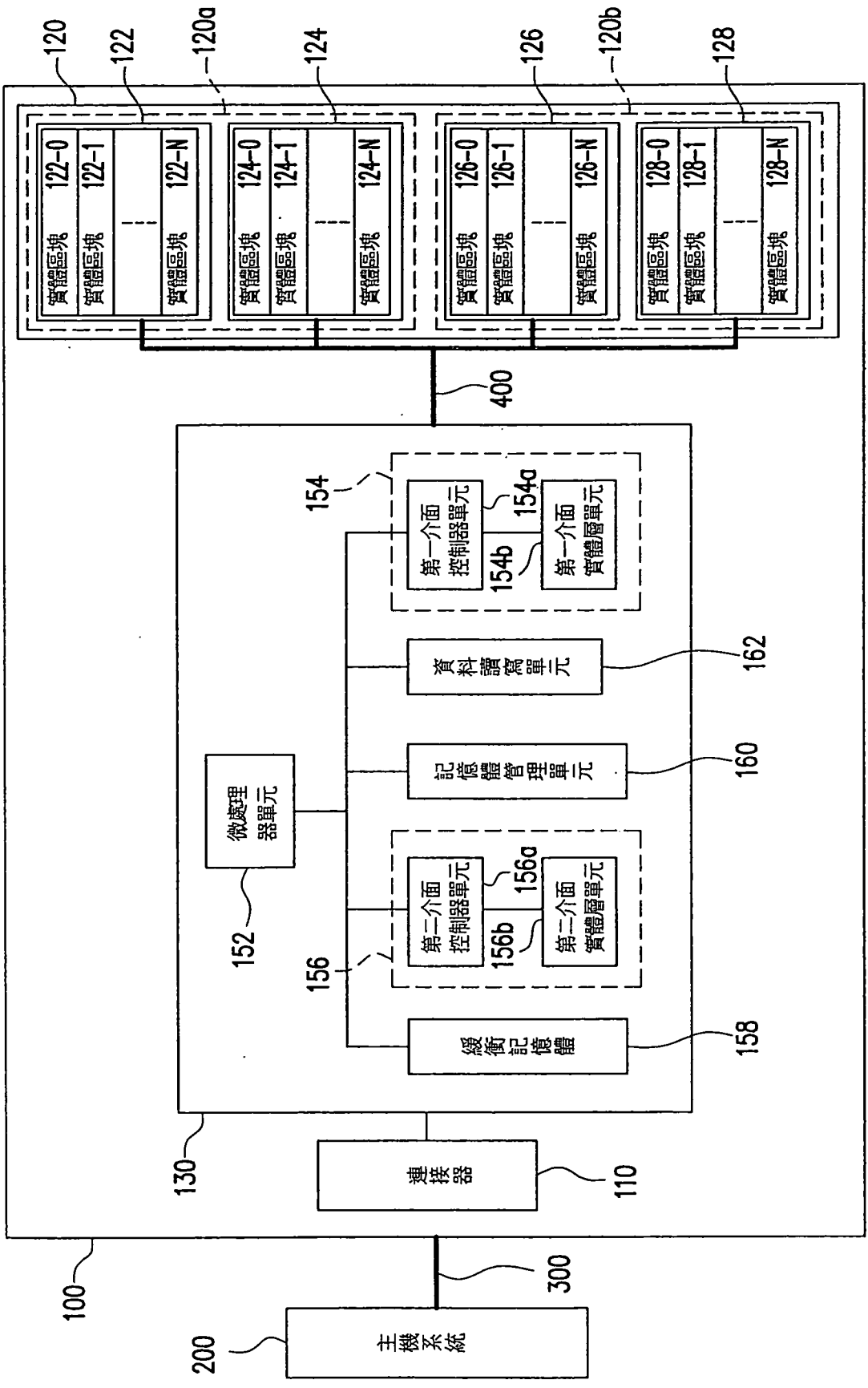


圖 1

	下頁	中頁	上頁	下頁	中頁	上頁	
第0記憶胞陣列	0	1	2	96	97	98	第32記憶胞陣列
第1記憶胞陣列	3	4	5	99	100	101	第33記憶胞陣列
第2記憶胞陣列	6	7	8	102	103	104	第34記憶胞陣列
第3記憶胞陣列	9	10	11	105	106	107	第35記憶胞陣列
第4記憶胞陣列	12	13	14	108	109	110	第36記憶胞陣列
第5記憶胞陣列	15	16	17	111	112	113	第37記憶胞陣列
第6記憶胞陣列	18	19	20	114	115	116	第38記憶胞陣列
第7記憶胞陣列	21	22	23	117	118	119	第39記憶胞陣列
第8記憶胞陣列	24	25	26	120	121	122	第40記憶胞陣列
第9記憶胞陣列	27	28	29	123	124	125	第41記憶胞陣列
第10記憶胞陣列	30	31	32	126	127	128	第42記憶胞陣列
第11記憶胞陣列	33	34	35	129	130	131	第43記憶胞陣列
第12記憶胞陣列	36	37	38	132	133	134	第44記憶胞陣列
第13記憶胞陣列	39	40	41	135	136	137	第45記憶胞陣列
第14記憶胞陣列	42	43	44	138	139	140	第46記憶胞陣列
第15記憶胞陣列	45	46	47	141	142	143	第47記憶胞陣列
第16記憶胞陣列	48	49	50	144	145	146	第48記憶胞陣列
第17記憶胞陣列	51	52	53	147	148	149	第49記憶胞陣列
第18記憶胞陣列	54	55	56	150	151	152	第50記憶胞陣列
第19記憶胞陣列	57	58	59	153	154	155	第51記憶胞陣列
第20記憶胞陣列	60	61	62	156	157	158	第52記憶胞陣列
第21記憶胞陣列	63	64	65	159	160	161	第53記憶胞陣列
第22記憶胞陣列	66	67	68	162	163	164	第54記憶胞陣列
第23記憶胞陣列	69	70	71	165	166	167	第55記憶胞陣列
第24記憶胞陣列	72	73	74	168	169	170	第56記憶胞陣列
第25記憶胞陣列	75	76	77	171	172	173	第57記憶胞陣列
第26記憶胞陣列	78	79	80	174	175	176	第58記憶胞陣列
第27記憶胞陣列	81	82	83	177	178	179	第59記憶胞陣列
第28記憶胞陣列	84	85	86	180	181	182	第60記憶胞陣列
第29記憶胞陣列	87	88	89	183	184	185	第61記憶胞陣列
第30記憶胞陣列	90	91	92	186	187	188	第62記憶胞陣列
第31記憶胞陣列	93	94	95	189	190	191	第63記憶胞陣列

圖 2

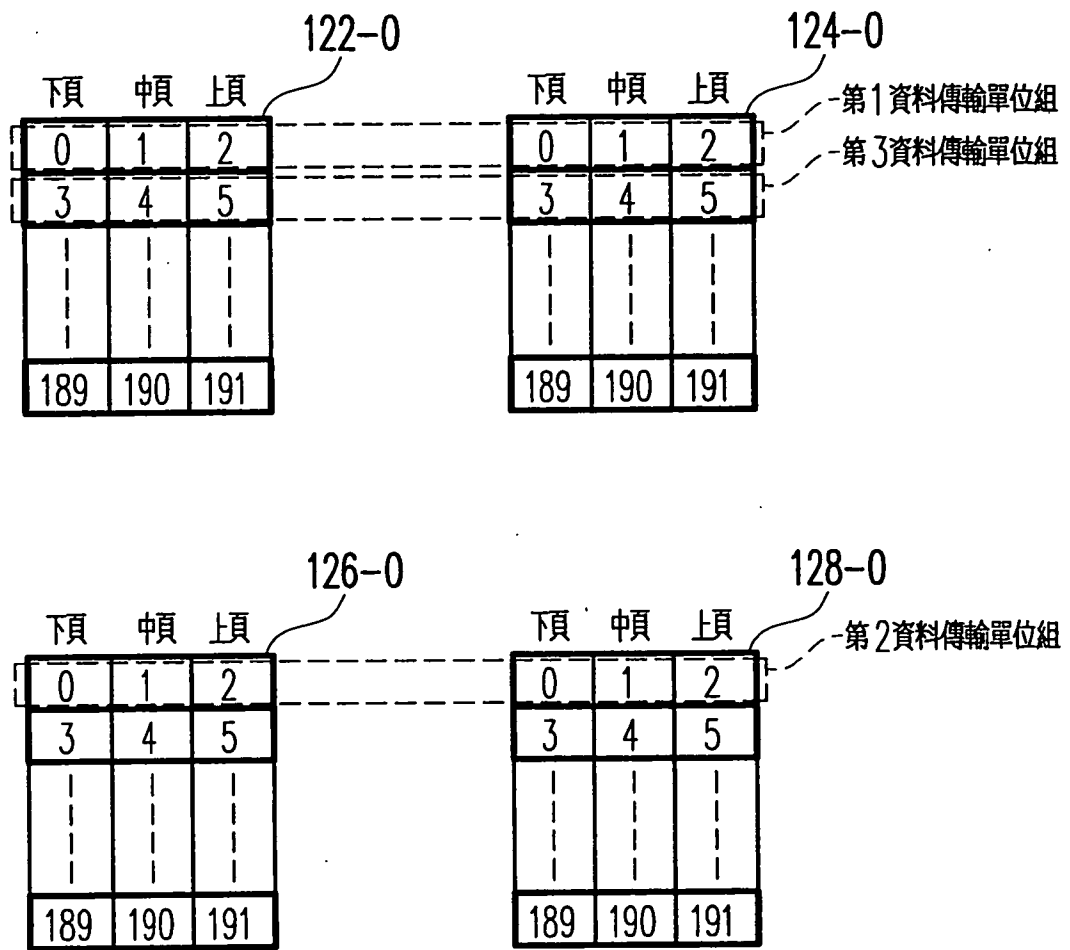


圖 3

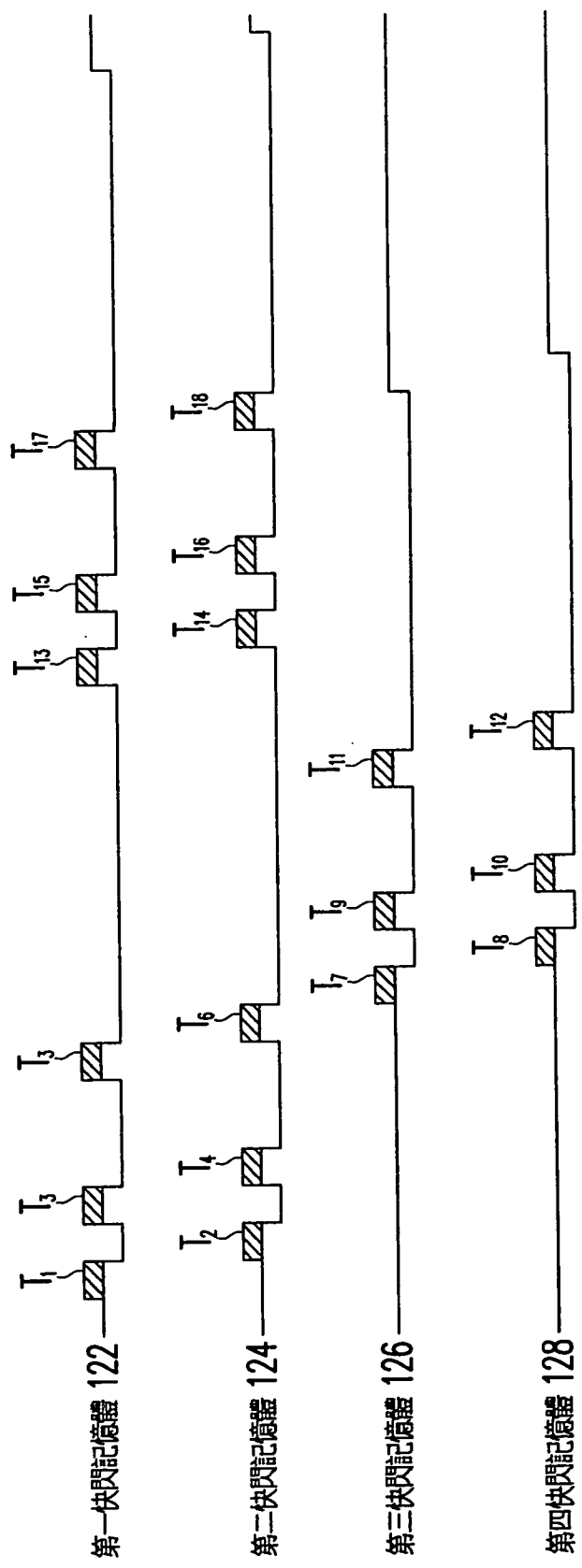


圖 4

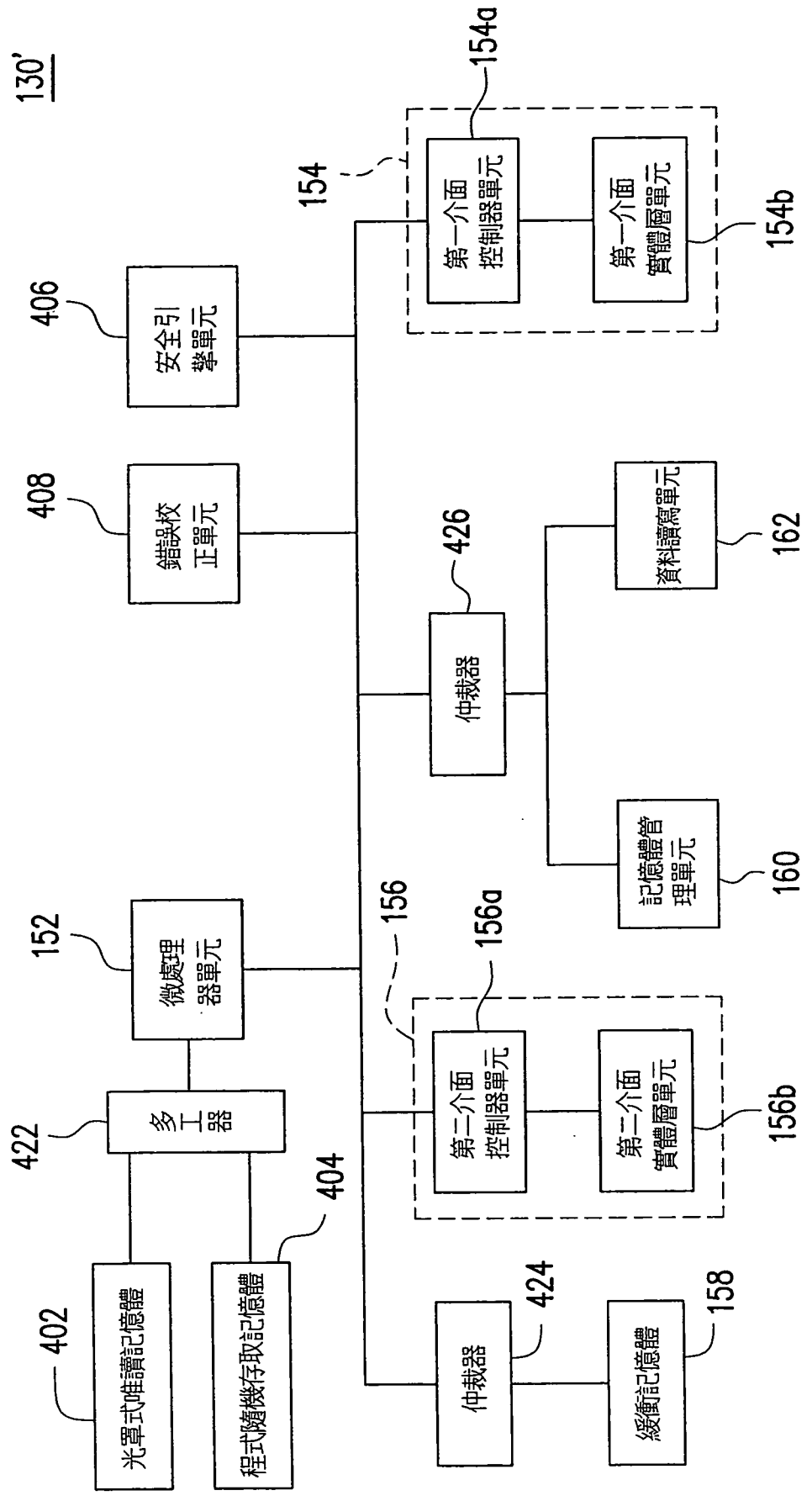


圖 5

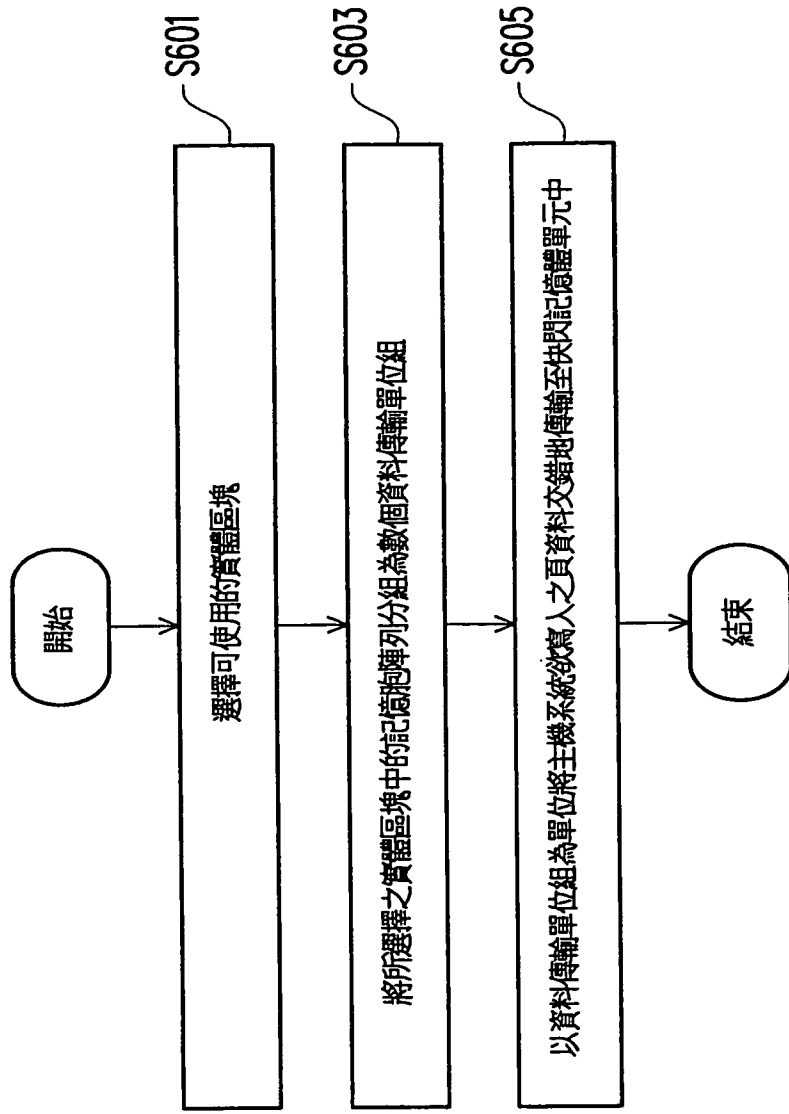


圖 6

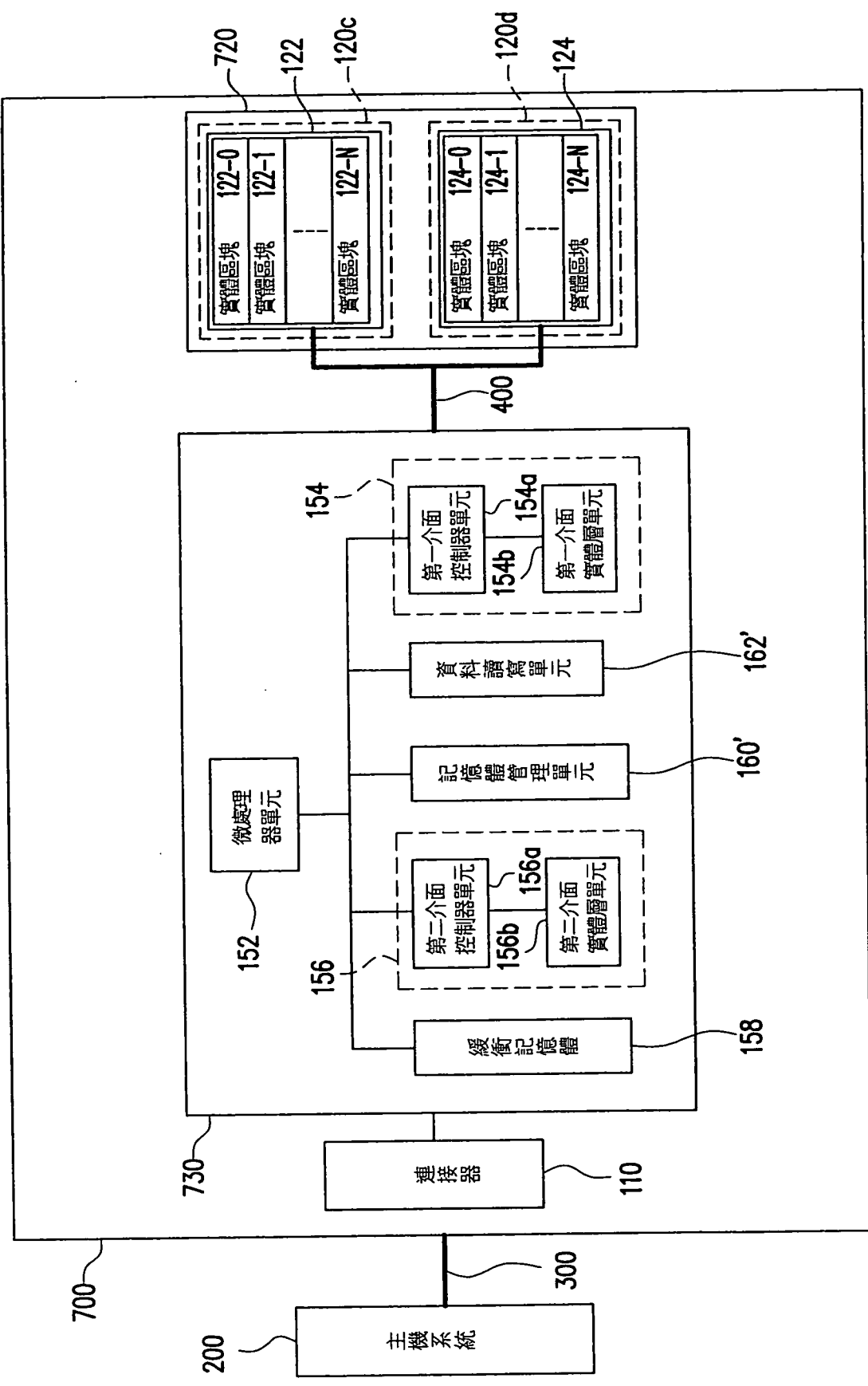


圖 7

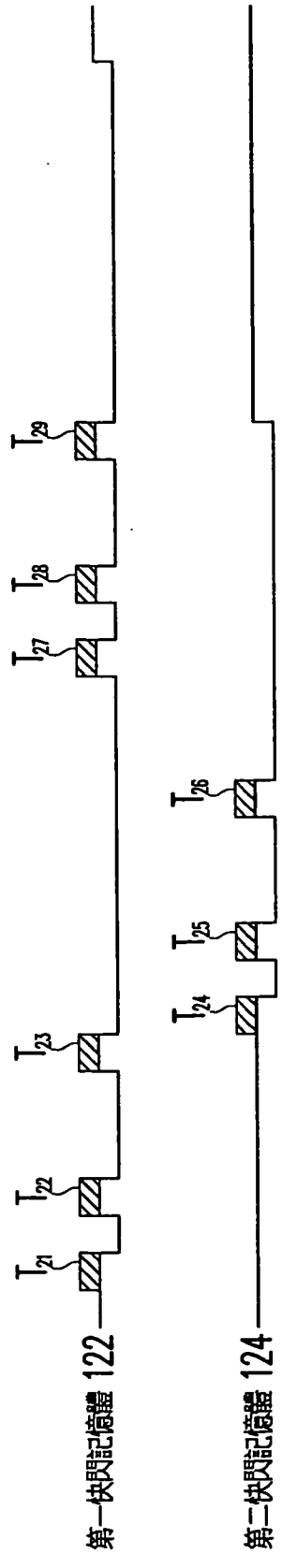


圖 8

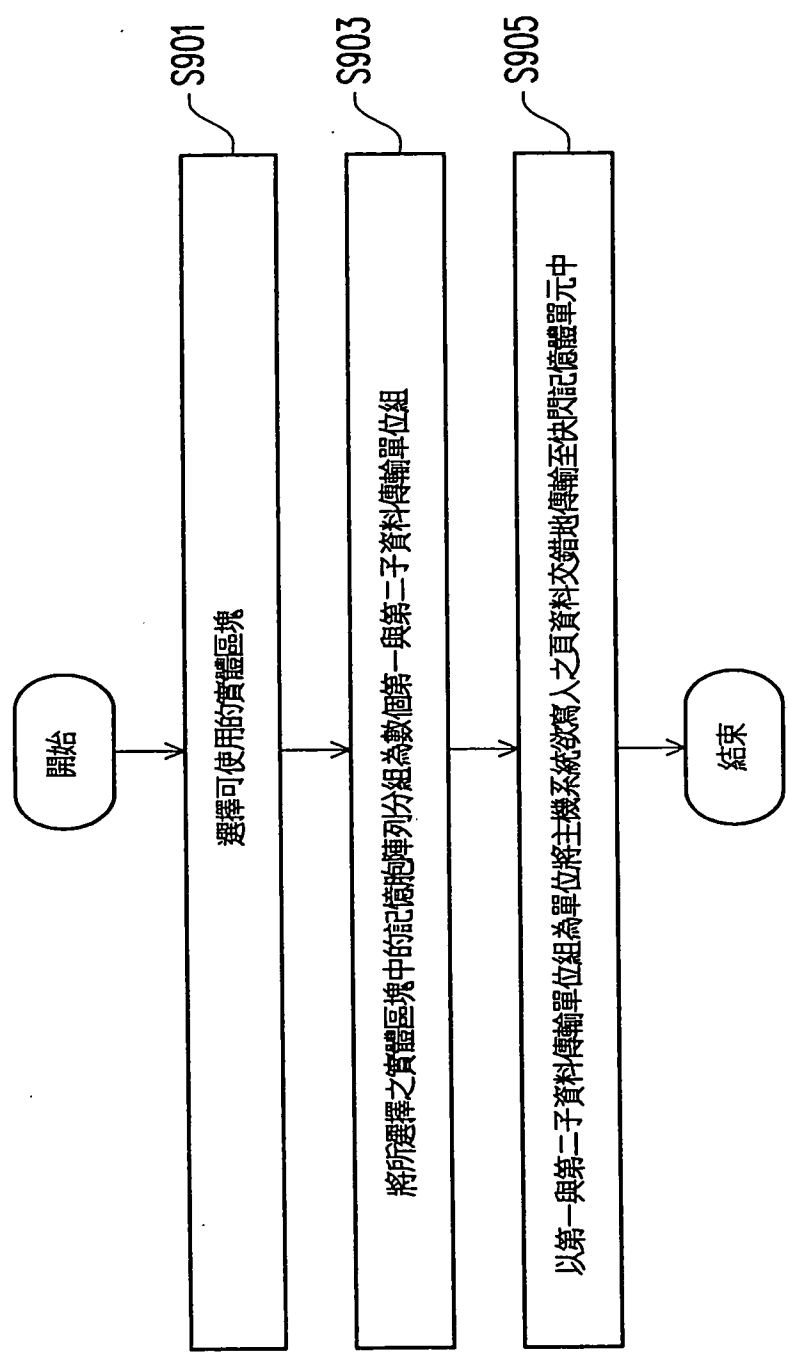


圖 9

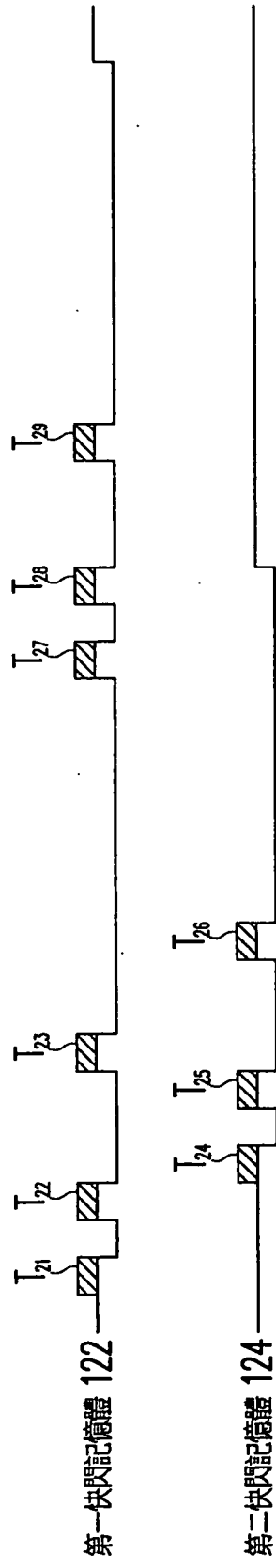


圖 10