

반도체 집적 회로 장치가 제공된다. 반도체 집적 회로 장치는 반도체 기판과, 반도체 기판 내에 형성된 소오스/드레인 영역과, 소오스/드레인 영역 사이의 채널 영역 상에 형성된 게이트 절연막과, 게이트 절연막 상에 형성되고, 폴리 실리콘, 오믹층, 배리어층 및 금속층이 적층되어 형성되며, 배리어층의 측면이 함몰된 게이트 전극 및 게이트 전극 상부에 형성된 하드 마스크 및 게이트 전극의 금속층, 배리어층, 오믹층 및 폴리 실리콘의 일부 측면에 형성된 제1 스페이서를 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 기판;

상기 반도체 기판 내에 형성된 소오스/드레인 영역;

상기 소오스/드레인 영역 사이의 채널 영역 상에 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성되고, 폴리 실리콘, 오믹층, 배리어층 및 금속층이 적층되어 형성되며, 상기 배리어층의 측면이 함몰된 게이트 전극; 및

상기 게이트 전극 상부에 형성된 하드 마스크 및 상기 게이트 전극의 금속층, 배리어층, 오믹층 및 폴리 실리콘의 일부 측면에 형성된 제1 스페이서를 포함하는 반도체 집적 회로 장치.

청구항 2.

제 1항에 있어서,

상기 금속층은 W인 반도체 집적 회로 장치.

청구항 3.

제 1항에 있어서,

상기 배리어층은 TiN, TaN, BN인 반도체 집적 회로 장치.

청구항 4.

제 1항에 있어서,

상기 오믹층은 TiSix, TaSix, CoSix, WSix, MoSix인 반도체 집적 회로 장치.

청구항 5.

제 1항에 있어서,

상기 제1 스페이서 및 측면에 제1 스페이서가 형성되지 않은 상기 폴리 실리콘의 일부 측면에 형성된 제2 스페이서; 및
측면에 제1 스페이서가 형성되지 않은 상기 폴리 실리콘의 일부 측면 및 상기 제2 스페이서의 밑면에 형성된 산화막을 더
포함하는 반도체 집적 회로 장치.

청구항 6.

제 1항에 있어서,

상기 배리어층의 끝단에서 상기 제1 스페이서의 두께는 산화 블록킹 두께인 반도체 집적 회로 장치.

청구항 7.

제 1항에 있어서,

상기 제1 스페이서는 산화막 또는 질화막인 반도체 집적 회로 장치.

청구항 8.

반도체 기판 상에 게이트 절연막, 폴리 실리콘, 오믹층, 배리어층 및 금속층을 형성하고,

상기 금속층 상부에 하드 마스크를 형성하여 상기 금속층, 배리어층, 오믹층 및 폴리 실리콘의 일부를 패터닝하고,

상기 배리어층의 측면이 함몰되도록 형성하고,

상기 하드 마스크, 패터닝된 금속층, 배리어층, 오믹층 및 폴리 실리콘의 일부 측면에 제1 스페이서를 형성하고,

상기 제1 스페이서 및 상기 하드 마스크를 식각 마스크로 하여 패터닝되지 않은 상기 폴리 실리콘 및 상기 게이트 절연막
을 식각하는 것을 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 9.

제 8항에 있어서,

상기 배리어층의 측면이 함몰되도록 형성할 때에는 상기 배리어층만 선택적으로 식각하는 물질로 식각을 진행하여 상기
배리어층의 일부를 식각하는 반도체 집적 회로 장치의 제조 방법.

청구항 10.

제 8항에 있어서,

상기 제1 스페이서를 형성하는 것은,

상기 하드 마스크, 패터닝된 금속층, 배리어층, 오믹층, 폴리 실리콘의 일부 및 상기 기판 전면에 컨포말하게 절연막을 형
성하고,

상기 절연막을 이방성 식각하여 제1 스페이서를 형성하는 것을 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 11.

제 8항에 있어서,

상기 제1 스페이서를 형성할 때에는,

상기 배리어층의 끝단에서의 상기 제1 스페이서의 두께는 후속 공정인 산화 공정 진행시 상기 배리어층이 산화되지 않을 수 있는 두께로 형성하는 반도체 집적 회로 장치의 제조 방법.

청구항 12.

제 8항에 있어서,

상기 제1 스페이서 및 상기 하드 마스크를 식각 마스크로 하여 패터닝되지 않은 상기 폴리 실리콘 및 상기 게이트 절연막을 식각한 후에는

상기 기판 상에 산화 공정을 진행하여 측면에 상기 제1 스페이서가 형성되지 않은 상기 폴리 실리콘의 일부 측면 및 상기 기판 상에 산화막을 형성하고,

상기 제1 스페이서의 측면 및 상기 제1 스페이서가 형성되지 않은 상기 폴리 실리콘의 일부 측면의 상기 산화막 상에 제2 스페이서를 형성하고,

상기 기판 상에 드러난 산화막을 제거하는 것을 더 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 13.

제 12항에 있어서,

상기 제2 스페이서를 형성하는 것은,

상기 게이트 전극 및 상기 기판 전면에 컨포말하게 절연막을 형성하고,

상기 절연막을 이방성 식각하여 제2 스페이서를 형성하는 것을 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 14.

제 12항에 있어서,

상기 제2 스페이서를 형성한 후에는

상기 기판 상에 소오스/드레인 영역을 형성하는 것을 더 포함하는 반도체 집적 회로 장치의 제조 방법.

청구항 15.

제 14항에 있어서,

상기 기판 상에 소오스/드레인 영역을 형성할 때에는 상기 산화막을 희생 산화막으로 하여 이온주입을 진행하는 반도체 집적 회로 장치의 제조 방법.

청구항 16.

제 8항에 있어서,

상기 금속층은 W인 반도체 집적 회로 장치의 제조 방법.

청구항 17.

제 8항에 있어서,

상기 배리어층은 TiN, TaN, BN인 반도체 집적 회로 장치의 제조 방법.

청구항 18.

제 8항에 있어서,

상기 오믹층은 TiSix, TaSix, CoSix, WSix, MoSix인 반도체 집적 회로 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치와 그 제조 방법에 관한 것으로, 더욱 상세하게는 반도체 소자의 특성이 향상되고 보다 집적화된 반도체 집적 회로 장치와 그 제조 방법에 관한 것이다.

반도체 소자의 고집적화에 따라 배선의 디자인 룰이 딥 서브 마이크론(deep sub-micron)까지 감소됨에 따라, 배선의 RC 지연이 큰 문제로 제기되고 있다. 이러한 문제를 해결하기 위하여 면저항(sheet resistance)이 작은 텅스텐과 같은 고용점 금속(high fusion point metal)을 배선 물질로 적용되기 시작하였다. 고용점 금속층은 게이트 전극 또는 비트 라인 등에 적용될 수 있다.

게이트 전극에 고용점 금속층만을 적용할 경우에는 게이트 절연막의 오염 문제가 발생할 수 있다. 따라서, 불순물이 도핑된 폴리 실리콘으로 이루어진 게이트 라인을 형성하고 그 위에 고용점 금속 라인을 적층하는 구조를 채용한다. 그러나, 폴리 실리콘 상에 고용점 금속층을 바로 적층시킬 경우 후속 열처리에 의해 고용점 금속층이 실리사이드화 될 수 있다. 따라서, 폴리 실리콘과 금속층 사이에 배리어층을 형성한다.

또한, 폴리 실리콘과 금속층 사이에 배리어층을 형성하면 배리어층과 폴리 실리콘 사이의 계면 저항이 커져 반도체 소자의 특성이 저하될 수 있다. 따라서, 폴리 실리콘과 금속층 사이에 오믹층을 형성하여 계면 저항을 낮추어 준다.

한편, 게이트 전극을 형성하기 위해서는 폴리 실리콘, 오믹층, 배리어층 및 금속층을 적층하고 패터닝 한 후에 산화 공정을 진행한다. 산화 공정을 진행하면 게이트 전극을 형성하는 공정에서 발생할 수 있는 결점(defect)이나 핫 캐리어(hot carrier) 등을 치유하여 반도체 소자의 특성을 향상시킬 수 있다.

그러나, 배리어층으로 사용되는 물질 중에는 산화 공정을 진행시에 같이 산화되어 산화성 결점이 발생하게 되는 물질들이 있어 반도체 소자의 특성이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 반도체 소자의 특성이 향상되고 보다 집적화된 반도체 집적 회로 장치를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 반도체 소자의 특성이 향상되고 보다 집적화된 반도체 집적 회로 장치의 제조 방법을 제공하는 것이다.

본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 집적 회로 장치는, 반도체 기판과, 상기 반도체 기판 내에 형성된 소오스/드레인 영역과, 상기 소오스/드레인 영역 사이의 채널 영역 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성되고, 폴리 실리콘, 오믹층, 배리어층 및 금속층이 적층되어 형성되며, 상기 배리어층의 측면이 함몰된 게이트 전극 및 상기 게이트 전극 상부에 형성된 하드 마스크 및 상기 게이트 전극의 금속층, 배리어층, 오믹층 및 폴리 실리콘의 일부 측면에 형성된 제1 스페이서를 포함한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 제조 방법은 반도체 기판 상에 게이트 절연막, 폴리 실리콘, 오믹층, 배리어층 및 금속층을 형성하고, 상기 금속층 상부에 하드 마스크를 형성하여 상기 금속층, 배리어층, 오믹층 및 폴리 실리콘의 일부를 패터닝하고, 상기 배리어층의 측면이 함몰되도록 형성하고, 상기 하드 마스크, 패터닝된 금속층, 배리어층, 오믹층 및 폴리 실리콘의 일부 측면에 제1 스페이서를 형성하고, 상기 제1 스페이서 및 상기 하드 마스크를 식각 마스크로 하여 패터닝되지 않은 상기 폴리 실리콘 및 상기 게이트 절연막을 식각하는 것을 포함한다.

본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 도 1을 참조하여 본 발명의 일 실시예에 따른 반도체 집적 회로 장치에 대하여 설명한다. 도 1은 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 단면도이다.

기판(100)은 Si, Ge, SiGe, GaP, GaAs, SiC, SiGeC, InAs 및 InP로 이루어지는 군에서 선택되는 하나 이상의 반도체 재료로 이루어진 기판, SOI(Silicon On Insulator) 기판 등이 사용될 수 있으나, 이는 예시적인 것에 불과하다.

또한, 기판(100)은 STI(Shallow Trench Isolation; STI) 또는 FOX(Field OXide; FOX)로 형성된 소자 분리막(미도시)에 의해 활성 영역과 비활성 영역으로 분리된다. 또한, 소자 분리막(미도시)에 의해 정의된 활성 영역에는 문턱 전압 조절 영역이 포함된다. 예를 들어, 기판(100)이 P형 반도체 기판인 경우 P형 불순물을 이온 주입한 문턱 전압 조절 영역이 형성될 수 있다.

소자 분리막(미도시)에 의해 정의된 활성 영역의 기판 상면에는 게이트 절연막(110)이 구비된다. 게이트 절연막(110)은 예를 들어, 실리콘 산화막(SiO₂), 실리콘 산질화막(SiON) 등의 물질일 수 있다.

게이트 절연막(110) 상에는 게이트 전극(120)이 구비된다. 게이트 전극(120)은 게이트 절연막(110) 상부에 적층되어 형성되어 있다. 여기서, 게이트 전극(120)은 폴리 실리콘(122)과 금속층(128)을 포함하는 다층 게이트 전극으로, 폴리 실리콘(122)과 금속층(128) 사이에 배리어층(126)과 오믹층(124)을 구비한다.

금속층(128)은 예를 들어, 텅스텐(W), 레늄(Re), 탄탈륨(Ta), 오스뮴(Os), 몰리브덴(Mo), 니오븀(Nb), 바나듐(V), 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti) 등이 사용될 수 있다. 상기의 금속층(128)들은 면저항이 작아 배선의 RC 지연을 최소화하여 반도체 소자의 동작 속도를 빠르게 할 수 있다. 반도체 소자 제조 공정에서의 적용 용이성을 고려할 때 텅스텐(W)이 금속층(128)으로 범용적으로 사용될 수 있으나, 본 발명의 사상 및 범위 내에서 본 발명에 적합한 어떠한 다른 물질도 사용될 수 있다.

배리어층(126)은 후속 열처리에 의해 금속층(128)이 실리사이드화되는 것을 차단하기 위한 것이다. 따라서, 배리어층(126)은 금속 질화물로 이루어질 수 있다. 금속 질화물로는 예를 들어, 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 보론 질화물(BN) 등이 사용될 수 있다.

여기서, 배리어층(126)은 측면이 함몰되어 형성되어 있다. 즉, 배리어층(126) 상부의 금속층(128)과 하부의 오믹층(124)과 비교하여 양 측면이 함몰되어 형성되어 있다. 따라서, 배리어층(126)의 폭은 게이트 전극(120)의 폭보다 작게 형성된다. 예를 들어, 게이트 전극(120)의 폭이 약 500Å일 때, 배리어층(126)의 폭은 약 350~450Å일 수 있다.

오믹층(124)은 폴리 실리콘(122)과 금속층(128)의 계면 저항을 낮추기 위한 것이다. 오믹층(124)은 금속 실리사이드 물질로 형성될 수 있다. 금속층(128)이 텅스텐(W)으로 형성되는 경우 오믹층(124)도 텅스텐 실리사이드(WSix)로 형성될 수 있다. 또한, 금속층(128)은 예를 들어, 티타늄 실리사이드(TiSix), 탄탈륨 실리사이드(TaSix), 코발트 실리사이드(CoSix), 몰리브덴 실리사이드(MoSix) 등으로 형성될 수 있다.

폴리 실리콘(122)에는 불순물이 도핑되어 있을 수 있다. 예를 들어, N형 폴리 실리콘인 경우 N형 불순물이 단독으로 도핑된 폴리 실리콘(122)일 수도 있고, N형 불순물과 함께 N형 불순물의 농도보다 낮은 농도의 P형 불순물이 도핑되어 있는 폴리 실리콘(122)일 수도 있다.

게이트 전극(120) 상부에는 게이트 전극(120)을 형성하기 위한 하드 마스크(130)가 구비되어 있고, 하드 마스크(130), 금속층(128), 배리어층(126), 오믹층(124) 및 폴리 실리콘(122)의 일부 측면에는 제1 스페이서(140)가 형성되어 있다. 여기서, 제1 스페이서(140)는 예를 들어, 산화막 또는 질화막일 수 있다.

제1 스페이서(140)는 배리어층(126)의 측면의 함몰된 부분을 채우도록 형성되어 있으며, 하드 마스크(130)에서부터 게이트 전극(120)의 폴리 실리콘(122)의 상측 측면에까지 형성되어 있다. 즉, 제1 스페이서(140)의 폭은 하부로 갈수록 점점 넓어지게 형성되어 있으나, 배리어층(126)의 측면에 형성된 제1 스페이서(140)의 폭은 제1 스페이서(140)의 측면이 함몰된 길이만큼 더 넓어지게 된다. 배리어층(126)의 측면에 형성된 제1 스페이서(140)의 폭은 예를 들어, 게이트 전극(120)의 폭이 약 500Å일 때에 약 50~100Å으로 형성될 수 있다. 배리어층(126)의 측면에 형성된 제1 스페이서(140)의 폭을 제외하면 제1 스페이서(140)의 폭은 밑면의 폭이 가장 넓게 형성된다. 여기서, 제1 스페이서(140)의 밑면의 폭은 예를 들어, 게이트 전극(120)의 폭이 약 500Å일 때에 약 25~50Å일 수 있다.

배리어층(126)의 측면이 함몰된 만큼 제1 스페이서(140)의 폭이 커지게 형성되면, 제1 스페이서(140)가 얇게 형성되더라도 배리어층(126)의 측면에는 일정 두께 이상의 제1 스페이서(140)가 형성될 수 있다. 즉, 배리어층(126)의 끝단에서는 산화 블로킹이 될 수 있는 두께의 제1 스페이서(140)가 형성될 수 있음으로써, 반도체 소자의 특성이 좋아질 수 있다. 또한, 제1 스페이서(140)는 얇게 형성될 수 있음으로써, 보다 집적화된 반도체 소자를 제조할 수 있다.

제1 스페이서(140) 측면에는 제2 스페이서(150)가 형성되어 있다. 제2 스페이서(150)는 제1 스페이서(140)의 측면 및 측면에 제1 스페이서(140)가 형성되지 않은 폴리 실리콘(122)의 일부 측면에 형성되어 있다. 여기서, 제2 스페이서(150)는 예를 들어, 산화막 또는 질화막일 수 있는데, 제1 스페이서(140)와 같은 물질일 수도 있으며, 다른 물질일 수도 있다.

또한, 측면에 제1 스페이서(140)가 형성되지 않은 폴리 실리콘(122)의 일부 측면 및 제2 스페이서(150)의 밑면에는 아주 얇은 산화막(160)이 형성되어 있다.

한편, 게이트 전극(120)의 양 옆의 활성 영역에는 불순물이 주입된 소오스/드레인 영역(170)이 구비된다. 소오스/드레인 영역(170)은 예를 들어, 기판(100)이 P형 반도체 기판인 경우, N형 불순물이 이온 주입되어 형성될 수 있다.

배리어층(126)을 양 측면이 함몰되게 형성하고, 제1 스페이서(140)가 배리어층(126)이 함몰된 부분을 채우도록 형성되면, 제1 스페이서(140)를 얇게 형성하더라도 배리어층(126)의 측면에서는 제1 스페이서(140)의 두께가 일정 두께 이상이 되도록 형성될 수 있다. 즉, 제1 스페이서(140)를 얇게 형성할 수 있으므로, 반도체 소자의 크기가 작아질 수 있어, 반도체 집적 회로 장치의 집적도가 높아질 수 있다.

또한, 제1 스페이서(140)가 얇게 형성되더라도, 배리어층(126)이 형성된 부분에서는 산화 블로킹이 가능한 충분한 두께를 확보할 수 있다. 따라서, 배리어층(126)이 산화 공정의 영향을 받지 않아 반도체 집적 회로 장치의 특성이 보다 향상될 수 있다.

이하, 도 2 내지 도 10을 참조하여 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 설명한다. 도 2는 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 설명하기 위한 흐름도이다. 도 3 내지 도 10은 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 순차적으로 나타낸 단면도들이다.

이하 제조 방법 설명 시, 본 발명의 기술분야에서 통상의 지식을 가진 자에게 널리 알려진 공정 단계들에 따라 형성될 수 있는 공정에 대해서는 본 발명이 모호하게 해석되는 것을 피하기 위하여 개략적으로 설명한다.

도 2 및 도 3을 참조하면, 반도체 기판(100) 내에 소자 분리 영역(미도시)을 형성하여 액티브 영역을 정의한 후, 반도체 기판(100) 상에 게이트 절연막(110a), 폴리 실리콘(122a), 오믹층(126a), 배리어층(124a) 및 금속층(128a)을 적층한다(S10).

게이트 절연막(110a)은 기판(100)을 열산화시켜 형성한 실리콘 산화막, SiON, GexOyNz, GexSiyOz, 고유전율 물질, 이들의 조합물 또는 이들이 차례로 적층된 적층막 등이 사용될 수 있다. 고유전율 물질은 HfO₂, ZrO₂, Al₂O₃, Ta₂O₅, 하프늄 실리케이트, 지르코늄 실리케이트 또는 이들의 조합막 등을 예로 들 수 있다.

이어서, 게이트 절연막(110a) 상에 불순물이 도핑된 폴리 실리콘(122a)을 형성한다. 폴리 실리콘(122a)이 N형 폴리 실리콘(122a)인 경우 먼저 폴리 실리콘(122a)을 형성한 후 N형 불순물을 이온 주입에 의해 도핑하거나, 폴리 실리콘(122a) 증착시에 인-시츄로 N형 불순물을 도핑하여 형성할 수 있다. 여기서, N형 불순물로는 인(P) 또는 비소(As) 등을 사용할 수 있다.

이어서, 폴리 실리콘(122a) 상에 오믹층(124a)을 형성한다. 여기서, 오믹층(124a)은 CVD(Chemical Vapor Deposition) 방법 또는 PVD(Physical Vapor Deposition)의 방법으로 형성할 수 있으며, 기판(100) 전면에서 적층한 후, 열 공정을 거치는 방법에 의해서 형성할 수도 있다. 이 때, 오믹층(124a)은 예를 들어, 티타늄 실리사이드(TiSix), 탄탈륨 실리사이드(TaSix), 코발트 실리사이드(CoSix), 텅스텐 실리사이드(WSix), 몰리브덴 실리사이드(MoSix) 등으로 형성할 수 있다.

이어서, 오믹층(124a) 상에 배리어층(126a) 및 금속층(128a)을 차례대로 적층한다. 이 때, 배리어층(126a)은 CVD, PVD 또는 ALD(Atomic Layer Deposition)의 방법으로 형성할 수 있으며, 예를 들어, 티타늄 질화물(TiN), 탄탈륨 질화물(TaN), 보론 질화물(BN) 등으로 형성될 수 있다. 금속층(128a)은 예를 들어, 텅스텐(W), 레늄(Re), 탄탈륨(Ta), 오스뮴(Os), 몰리브덴(Mo), 니오븀(Nb), 바나듐(V), 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti) 등이 사용될 수 있다.

이어서, 금속층(128a) 상에 게이트 전극을 정의하기 위한 하드 마스크(130)를 형성한다. 하드 마스크(130)는 PE-SiN(Plasma Enhanced-SiN) 또는 LP-SiN(Low Pressure-SiN) 등으로 형성할 수 있다.

이어서, 도 2 및 도 4를 참조하면, 하드 마스크(130)를 식각 마스크로 사용하여 금속층(128), 배리어층(126b), 오믹층(124) 및 폴리 실리콘(122b)의 일부를 차례대로 패터닝한다(S20). 이 때, 폴리 실리콘(122b)은 상부 일부만을 패터닝하고, 하부는 패터닝하지 않는다.

이어서, 도 2 및 도 5를 참조하면, 배리어층(126)의 측면이 함몰되도록 형성한다(S30). 배리어층(126)의 측면이 함몰되도록 형성할 때에는 식각 공정을 진행하여 형성하는데 예를 들어, 습식 식각으로 형성할 수 있다. 즉, 배리어층(126)만 선택적으로 식각하는 에천트(etchant)로 배리어층(126)의 끝단을 식각하여 배리어층(126)의 측면이 함몰되도록 형성할 수 있다.

이어서, 도 2, 도 6 및 도 7을 참조하면, 일부 패터닝된 금속층(128), 배리어층(126), 오믹층(124) 및 폴리 실리콘(122b)의 일부 측면에 제1 스페이서(140)를 형성한다(S40).

우선, 도 6을 참조하면, 패터닝된 금속층(128), 배리어층(126), 오믹층(124), 폴리 실리콘(122b)의 일부 및 기판(100) 전면에 컨포말하게 절연막(140a)을 형성한다. 이 때, 절연막(140a)은 예를 들어, 산화막 또는 질화막일 수 있다. 절연막(140a)은 예를 들어, CVD 방법으로 형성될 수 있으며, 기판(100) 전면에 컨포말하게 형성되어 배리어층(126) 측면에 함몰된 부분을 채우도록 형성된다.

이어서, 도 7을 참조하면, 절연막(140a)을 이방성 식각하여 제1 스페이서(140)를 형성한다. 제1 스페이서(140)는 패터닝된 금속층(128), 배리어층(126), 오믹층(124) 및 폴리 실리콘(122b)의 일부 측면에 형성되며, 배리어층(126)의 측면에 함몰된 부분의 두께가 가장 두껍도록 형성된다. 즉, 배리어층(126)의 끝단에서 제1 스페이서(140)의 두께는 후속 공정인 산화 공정 진행시에 배리어층(126)이 산화되지 않을 수 있는 두께로 형성된다.

이어서, 도 8을 참조하면, 제1 스페이서(140) 및 하드 마스크(130)를 식각 마스크로 하여 패터닝되지 않은 폴리 실리콘(122c) 및 게이트 절연막(110)을 식각한다(S50). 이 때, 건식 식각으로 식각을 진행할 수 있다.

이어서, 도 2 및 도 9를 참조하면, 산화 공정을 진행한다(S60). 산화 공정은 게이트 전극(120) 또는 기판(100)에 발생할 수 있는 결점을 치유하여, 핫 캐리어를 없애고 반도체 소자의 신뢰성을 향상시키기 위해 진행된다. 산화 공정을 진행하면, 측면에 제1 스페이서(140)가 형성되지 않은 폴리 실리콘(122)의 측면 및 기판(100) 전면에 얇은 산화막(160)이 형성된다. 산화 공정은 열공정 하에서 진행될 수 있으며, 건식 산화 공정, 습식 산화 공정 또는 라디칼(radical) 산화 공정을 진행하거나, 열 질화(thermal nitridation) 또는 플라즈마 질화(plasma nitridation) 등의 질화 공정(nitridation process)과 조합하여 진행될 수 있다.

이어서, 도 2 및 도 10을 참조하면, 제1 스페이서(140)의 측면 및 제1 스페이서(140)가 형성되지 않은 폴리 실리콘(122)의 일부 측면의 산화막(160) 상에 제2 스페이서(150)를 형성한다(S70). 제2 스페이서(150)를 형성할 때에는 게이트 전극(120) 및 기판(100) 전면에 컨포말하게 절연막을 형성한 후, 이어서, 절연막(140a)을 이방성 식각하여 제2 스페이서(150)를 형성한다.

이어서, 다시 도 1을 참조하면, 기판(100) 상에 소오스/드레인 영역(170)을 형성한다(S80). 소오스/드레인 영역(170)을 형성할 때에는 기판(100) 상의 산화막(160)을 희생 산화막으로 하여 이온 주입을 진행한다. 이어서, 기판(100) 상에 드러난 산화막(160)을 제거하여 트랜지스터를 완성한다.

이후, 반도체 소자의 기술분야에서 통상의 지식을 가진 자에게 널리 알려진 공정 단계들에 따라 트랜지스터에 각각 전기적 신호의 입출력이 가능하도록 하는 배선들을 형성하는 단계, 기판상에 패시베이션층을 형성하는 단계 및 상기 기판을 패키징하는 단계를 더 수행하여 반도체 소자를 완성한다. 이와 같은 후속단계들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 개략적으로 설명한다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

상기한 바와 같은 반도체 집적 회로 장치 및 그 제조 방법에 따르면 다음과 같은 효과가 하나 혹은 그 이상 있다.

첫째, 제1 스페이서를 최대한 얇게 형성할 수 있으므로, 반도체 소자의 크기가 작아질 수 있어, 반도체 집적 회로 장치의 집적도가 높아질 수 있다.

둘째, 제1 스페이서가 얇게 형성되더라도, 배리어층이 형성된 부분에서는 산화 블로킹이 가능한 충분한 두께를 확보할 수 있다. 따라서, 배리어층이 산화 공정의 영향을 받지 않아 반도체 집적 회로 장치의 특성이 보다 향상될 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 단면도이다.

도 2는 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 설명하기 위한 흐름도이다.

도 3 내지 도 10은 본 발명의 일 실시예에 따른 반도체 집적 회로 장치의 제조 방법을 순차적으로 나타낸 단면도들이다.

(도면의 주요부분에 대한 부호의 설명)

100: 기판 110: 게이트 절연막

120: 게이트 전극 122: 폴리 실리콘

124: 오믹층 126: 배리어층

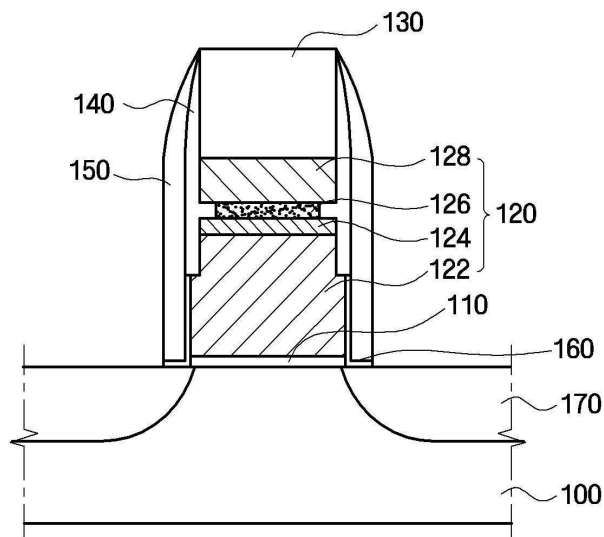
128: 금속층 130: 하드 마스크

140: 제1 스페이서 150: 제2 스페이서

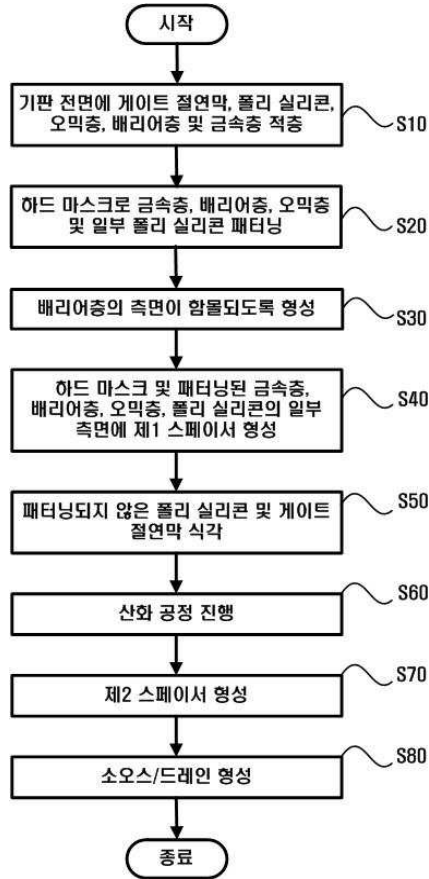
160: 산화막 170: 소오스/드레인 영역

도면

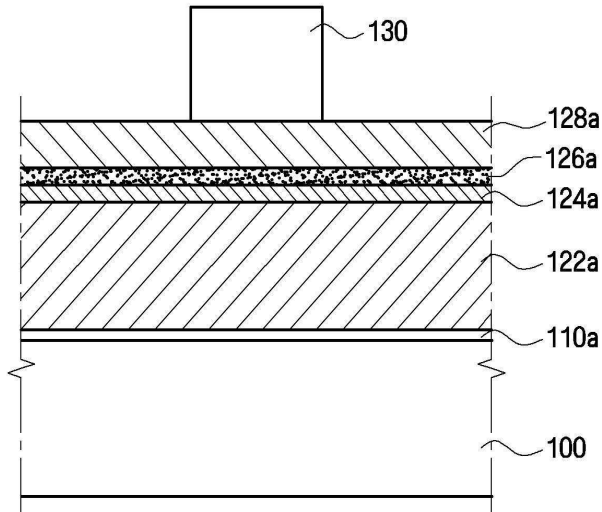
도면1



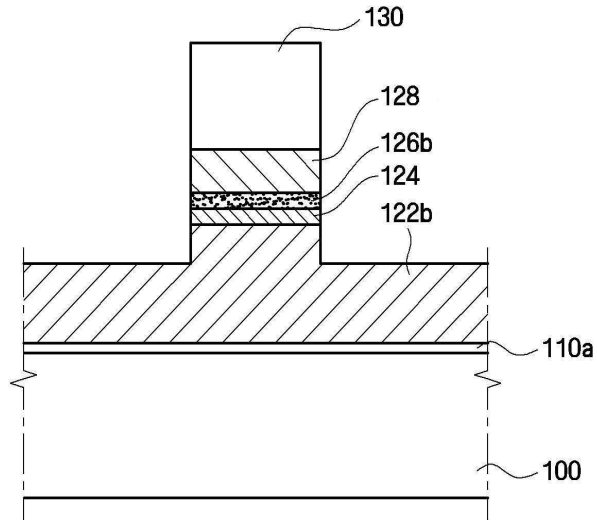
도면2



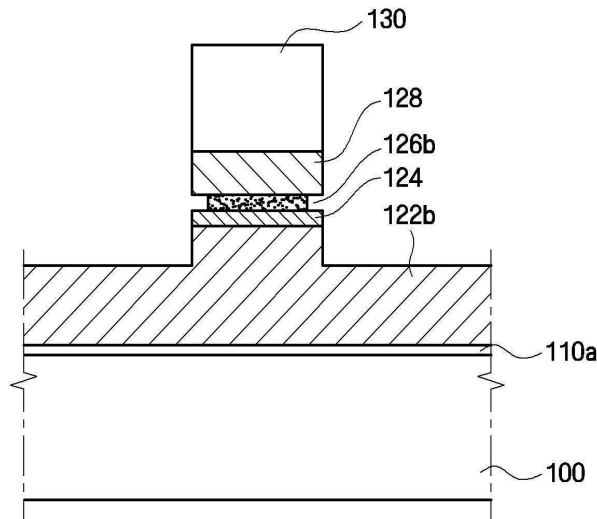
도면3



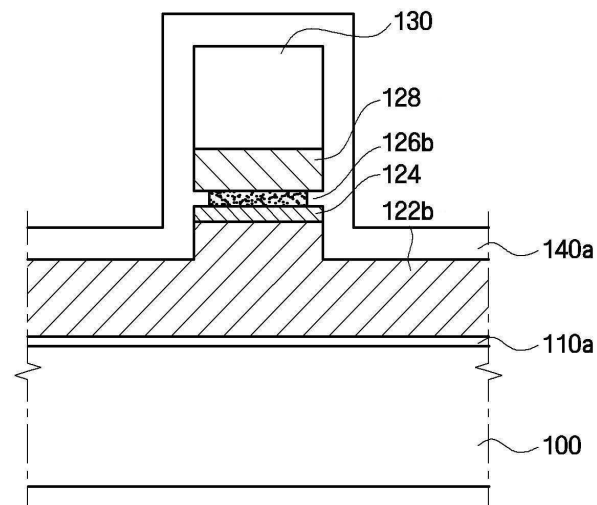
도면4



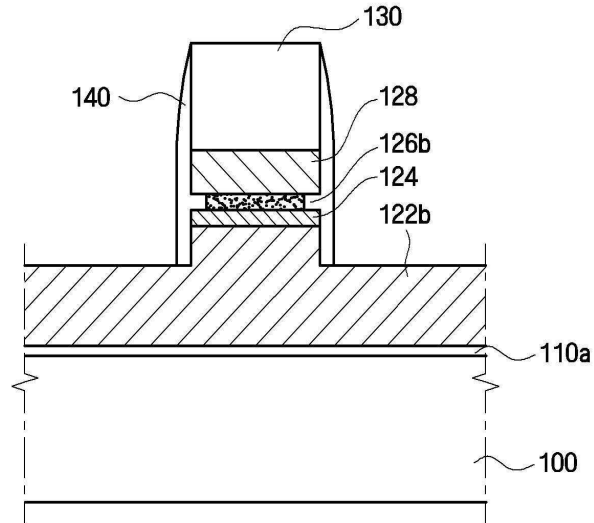
도면5



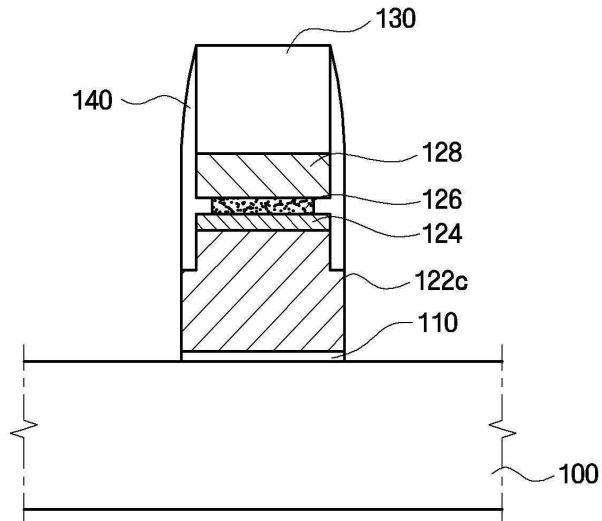
도면6



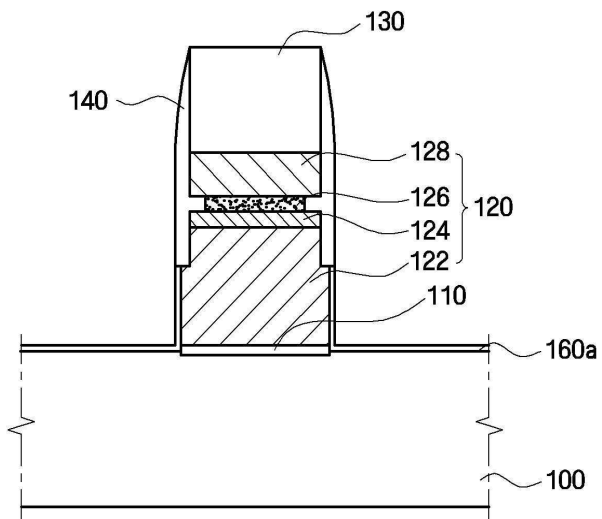
도면7



도면8



도면9



도면10

