(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0032359
(43) 공개일자 2022년03월15일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *G09G 3/3233* (2016.01)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/124 (2013.01)
G09G 3/3233 (2013.01)
(21) 출원번호 10-2020-0114030
(22) 출원일자 2020년09월07일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조재형
경기도 파주시 월롱면 엘지로 245
이원호
경기도 파주시 월롱면 엘지로 245
김원두
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인벤싱크

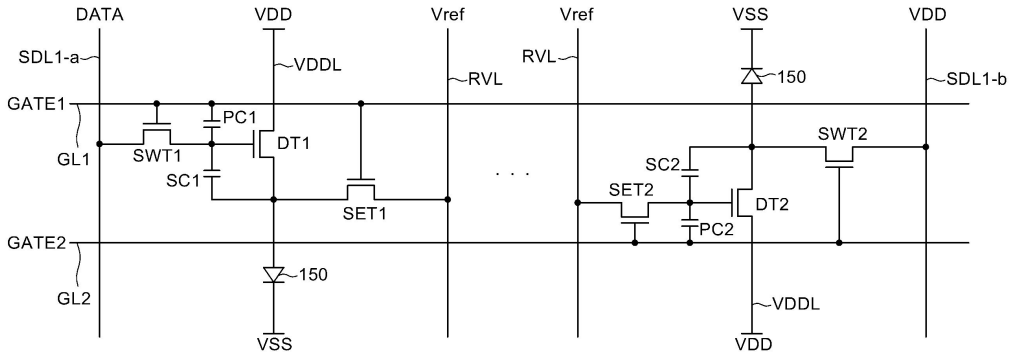
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **전계 발광 표시 장치**

(57) 요 약

본 발명의 일 실시예에 따른 전계 발광 표시 장치는, 서로 다른 색상의 제1 서브 화소, 제2 서브 화소, 제3 서브 화소 및 제4 서브 화소를 구비하는 복수의 화소가 배치되는 표시 패널, 상기 복수의 화소에 복수의 데이터 배선을 통해 데이터 전압을 공급하는 데이터 구동부 및 상기 복수의 화소에 복수의 게이트 배선을 통해 게이트 신호를 공급하는 게이트 구동부를 포함하며, 상기 복수의 데이터 배선 각각은 복수의 서브 데이터 배선으로 분기되고, 상기 복수의 서브 데이터 배선 각각은 동일 색상의 복수의 서브 화소에 연결되며, 상기 서브 화소는 스위칭 트랜지스터를 포함하고, 상기 스위칭 트랜지스터의 소스 전극은, 상기 게이트 배선으로부터 이격 하는 적어도 일측에 구비된 보상 패턴을 더 포함하며, 게이트 배선의 노광 오버레이 시프트에 의한 반전된 동일 색상의 서브 화소 사이의 휘도 차를 개선할 수 있다.

대 표 도



(52) CPC특허분류
H01L 27/3213 (2013.01)
H01L 27/3218 (2013.01)
H01L 27/3272 (2013.01)
H01L 27/3276 (2022.01)

명 세 서

청구범위

청구항 1

서로 다른 색상의 제1 서브 화소, 제2 서브 화소, 제3 서브 화소 및 제4 서브 화소를 구비하는 복수의 화소가 배치되는 표시 패널;

상기 복수의 화소에 복수의 데이터 배선을 통해 데이터 전압을 공급하는 데이터 구동부; 및

상기 복수의 화소에 복수의 게이트 배선을 통해 게이트 신호를 공급하는 게이트 구동부를 포함하며,

상기 복수의 데이터 배선 각각은 복수의 서브 데이터 배선으로 분기되고,

상기 복수의 서브 데이터 배선 각각은 동일 색상의 복수의 서브 화소에 연결되며,

상기 서브 화소는 스위칭 트랜지스터를 포함하고,

상기 스위칭 트랜지스터의 소스 전극은, 상기 게이트 배선으로부터 이격 하는 적어도 일측에 구비된 보상 패턴을 포함하는, 전계 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 화소에 구비되는 복수의 제1 서브 화소는 서로 동일한 열에 배치되고,

상기 복수의 화소에 구비되는 복수의 제2 서브 화소는 서로 동일한 열에 배치되며,

상기 복수의 화소에 구비되는 복수의 제3 서브 화소는 서로 동일한 열에 배치되고,

상기 복수의 화소에 구비되는 복수의 제4 서브 화소는 서로 동일한 열에 배치되는, 전계 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제1 서브 화소는 적색 서브 화소이고,

상기 제2 서브 화소는 백색 서브 화소이며,

상기 제3 서브 화소는 청색 서브 화소이고,

상기 제4 서브 화소는 녹색 서브 화소인, 전계 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 복수의 서브 데이터 배선은,

상기 복수의 화소에 배치되는 복수의 제1 서브 화소에 연결되는 복수의 제1 서브 데이터 배선;

상기 복수의 화소에 배치되는 복수의 제2 서브 화소에 연결되는 복수의 제2 서브 데이터 배선;

상기 복수의 화소에 배치되는 복수의 제3 서브 화소에 연결되는 복수의 제3 서브 데이터 배선; 및

상기 복수의 화소에 배치되는 복수의 제4 서브 화소에 연결되는 복수의 제4 서브 데이터 배선을 포함하는, 전계 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제1 서브 데이터 배선과 상기 제2 서브 데이터 배선은 상기 제1 서브 화소와 상기 제2 서브 화소 사이에 배치되고,

상기 제3 서브 데이터 배선과 상기 제4 서브 데이터 배선은 상기 제3 서브 화소와 상기 제4 서브 화소 사이에 배치되는, 전계 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 복수의 화소 각각은 동일한 게이트 배선에 연결되고,

상기 복수의 화소 중 인접된 두 개의 화소는 서로 다른 게이트 배선에 연결되는, 전계 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 보상 패턴은 6.5㎛~7㎛의 폭을 가지는, 전계 발광 표시 장치.

청구항 8

제 1 항에 있어서,

인접한 동일 색상의 두 서브 화소는, 서로 인접한 제1 게이트 배선과 제2 게이트 배선에 각각 연결되고, 각각의 서브 화소의 구동 회로가 서로 반전되며,

상기 보상 패턴은, 상기 반전된 두 서브 화소간 상기 제1, 제2 게이트 배선과 상기 소스 전극 사이에서 발생하는 기생 커패시턴스의 차이를 보상하는, 전계 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 두 서브 화소 중, 첫 번째 서브 화소는 제1 소스 전극이 상기 제1 게이트 배선 위에 배치되고, 제1 드레인 전극이 상기 제1 게이트 배선 아래에 배치되며,

상기 두 서브 화소 중, 두 번째 서브 화소는 제2 드레인 전극이 상기 제2 게이트 배선 위에 배치되고, 제2 소스 전극이 상기 제2 게이트 배선 아래에 배치되는, 전계 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 보상 패턴은,

상기 제1 소스 전극의 적어도 일측에 구비된 제1 보상 패턴; 및

상기 제2 소스 전극의 적어도 일측에 구비된 제2 보상 패턴을 포함하는, 전계 발광 표시 장치.

청구항 11

제 10 항에 있어서,

상기 제1 소스 전극 및 상기 제2 소스 전극의 하부에 각각 배치되는 제1 차광층 및 제2 차광층을 더 포함하며,

상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 각각 상기 제1 차광층 및 상기 제2 차광층과 중첩되지 않는 상기 제1 소스 전극 및 상기 제2 소스 전극의 적어도 일측에 구비되는, 전계 발광 표시 장치.

청구항 12

제 10 항에 있어서,

상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 상기 제1 게이트 배선 및 상기 제2 게이트 배선의 노광 오버레이 시프트가 발생할 수 있는 최대 위치에 상기 제1 게이트 배선 및 상기 제2 게이트 배선으로부터 이격 하여 구비

되는, 전계 발광 표시 장치.

청구항 13

서로 다른 색상의 복수의 서브 화소를 구비하는 복수의 화소가 배치되는 표시 패널;

상기 복수의 화소에 복수의 데이터 배선을 통해 데이터 전압을 공급하는 데이터 구동부; 및

상기 복수의 화소에 복수의 게이트 배선을 통해 게이트 신호를 공급하는 게이트 구동부를 포함하며,

상기 복수의 데이터 배선 각각은 복수의 서브 데이터 배선으로 분기되고,

상기 복수의 서브 데이터 배선 각각은 동일 색상의 복수의 서브 화소에 연결되며,

상기 서브 화소는 스위칭 트랜지스터를 포함하고,

상기 스위칭 트랜지스터의 소스 전극은, 상기 게이트 배선으로부터 이격 하는 적어도 일측에 구비된 보상 패턴을 포함하며, 인접한 동일 색상의 두 서브 화소간 상기 게이트 배선과 상기 소스 전극 사이의 이격 거리에 따른 상기 게이트 배선과 상기 소스 전극 사이의 기생 커패시턴스의 차이를 보상하는, 전계 발광 표시 장치.

청구항 14

제 13 항에 있어서,

상기 인접한 동일 색상의 두 서브 화소는, 인접한 제1 게이트 배선과 제2 게이트 배선에 각각 연결되고,

상기 두 서브 화소 중, 첫 번째 서브 화소는 제1 소스 전극이 상기 제1 게이트 배선 위에 배치되고, 제1 드레인 전극이 상기 제1 게이트 배선 아래에 배치되며,

상기 두 서브 화소 중, 두 번째 서브 화소는 제2 드레인 전극이 상기 제2 게이트 배선 위에 배치되고, 제2 소스 전극이 상기 제2 게이트 배선 아래에 배치되는, 전계 발광 표시 장치.

청구항 15

제 14 항에 있어서,

상기 보상 패턴은,

상기 제1 소스 전극의 적어도 일측에 구비된 제1 보상 패턴; 및

상기 제2 소스 전극의 적어도 일측에 구비된 제2 보상 패턴을 포함하는, 전계 발광 표시 장치.

청구항 16

제 15 항에 있어서,

상기 제1 소스 전극 및 상기 제2 소스 전극의 하부에 각각 배치되는 제1 차광층 및 제2 차광층을 더 포함하며,

상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 각각 상기 제1 차광층 및 상기 제2 차광층과 중첩되지 않는 상기 제1 소스 전극 및 상기 제2 소스 전극의 적어도 일측에 구비되는, 전계 발광 표시 장치.

청구항 17

제 15 항에 있어서,

상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 상기 제1 게이트 배선 및 상기 제2 게이트 배선의 노광 오버레이 시프트가 발생할 수 있는 최대 위치에 상기 제1 게이트 배선 및 상기 제2 게이트 배선으로부터 이격 하여 구비되는, 전계 발광 표시 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 전계 발광 표시 장치에 관한 것으로서, 보다 상세하게는 DRD(Double Rate Driving) 구조를 가지는 전계 발광 표시 장치에 관한 것이다.

배 경 기 술

[0002] 현재 본격적인 정보화 시대로 접어들면서 전기적 정보신호를 시각적으로 표시하는 표시 장치 분야가 급속도로 발전하고 있으며, 여러 가지 표시 장치에 대해 박형화, 경량화 및 저소비 전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다.

[0003] 대표적인 표시 장치로 액정 표시 장치(Liquid Crystal Display device; LCD), 전기 습윤 표시 장치(Electro-Wetting Display device; EWD) 및 유기 발광 표시 장치(Organic Light Emitting Display Device; OLED) 등이 있다.

[0004] 이중에서 유기 발광 표시 장치를 포함하는 전계 발광 표시 장치는 자체 발광형 표시 장치로서, 액정 표시 장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 전계 발광 표시 장치는 저전압 구동에 의해 소비전력 측면에서 유리할 뿐만 아니라, 색상구현, 응답속도, 시야각(viewing angle), 명암 대비비(Contrast Ratio; CR)도 우수하여, 다양한 분야에서 활용이 기대되고 있다.

[0005] 전계 발광 표시 장치는 애노드(anode)와 캐소드(cathode)로 지칭된 2개의 전극 사이에 유기물을 사용한 발광층을 배치하여 구성된다. 그리고, 애노드에서의 정공(hole)을 발광층으로 주입시키고, 캐소드에서의 전자(electron)를 발광층으로 주입시키면, 주입된 전자와 정공이 서로 재결합(recombination)하면서 발광층에서 여기자(exciton)를 형성하며 발광한다.

[0006] 이러한 발광층에는 호스트(host) 물질과 도펀트(dopant) 물질이 포함되어 두 물질의 상호작용이 발생하게 된다. 호스트는 전자와 정공으로부터 여기자를 생성하고 도펀트로 에너지를 전달하는 역할을 하고, 도펀트는 소량이 첨가되는 염료성 유기물로, 호스트로부터 에너지를 받아서 광으로 전환시키는 역할을 한다.

발명의 내용

해결하려는 과제

[0007] 표시 장치가 대형화되고 CI(Cost Innovation)를 위해 DRD(Double Rate Driving), 특히 120Hz 고속 구동을 하게 되는데, 이 경우 화소 충전 시간인 1H 시간이 1.85μs로 매우 짧으며, 이에 따른 여러 화상 품위의 문제가 대두되고 있다.

[0008] 이를 해결하기 위한 구조로 하나의 데이터 배선을 2개의 서브 데이터 배선으로 분할하는 1S2L(1 Source 2 Data Line) 기술을 개발하기에 이르렀다.

[0009] 다만, 1S2L 기술에서 기본적으로 인접한 동일 색상의 서브 화소는, 서브 화소를 구동하기 위한 게이트 배선이 위, 아래로 양분되어 있어 화소 구동 회로가 반전될 수 밖에 없다. 따라서, 노광 공정 시 상하 방향으로 노광 오버레이 시프트(overlay shift)가 발생할 경우 반전된 동일 색상의 서브 화소간에 기생 커패시턴스가 서로 다르게 작용하여, 결과적으로 한 라인씩 밝고/어두운 휘도 불량이 발생하게 된다.

[0010] 이에, 본 발명이 해결하고자 하는 과제는 DRD 구조를 가지는 전계 발광 표시 장치에서, 노광 오버레이 시프트에 의한 반전된 동일 색상의 서브 화소간의 기생 커패시턴스의 영향을 최소화할 수 있는 전계 발광 표시 장치를 제공하는 것이다.

[0011] 본 발명이 해결하고자 하는 다른 과제는 반전된 동일 색상의 서브 화소 사이의 휘도 차를 개선할 수 있는 전계 발광 표시 장치를 제공하는 것이다.

[0012] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0013] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 전계 발광 표시 장치는, 서로 다른 색상의 제1 서브 화소, 제2 서브 화소, 제3 서브 화소 및 제4 서브 화소를 구비하는 복수의 화소가 배치되는 표시 패널, 상기 복수의 화소에 복수의 데이터 배선을 통해 데이터 전압을 공급하는 데이터 구동부 및 상기 복수의 화소에 복수의 게이트 배선을 통해 게이트 신호를 공급하는 게이트 구동부를 포함하며, 상기 복수의 데이터 배선 각각은 복수의 서브 데이터 배선으로 분기되고, 상기 복수의 서브 데이터 배선 각각은 동일 색상의 복수의 서브 화소에 연결되며, 상기 서브 화소는 스위칭 트랜지스터를 포함하고, 상기 스위칭 트랜지스터의 소스 전극

은, 상기 게이트 배선으로부터 이격 하는 적어도 일측에 구비된 보상 패턴을 포함할 수 있다.

[0014] 본 발명의 다른 일 실시예에 따른 전계 발광 표시 장치는,

[0015] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0016] 본 발명에서는 노광 오버레이 시프트에 의한 반전된 동일 색상의 서브 화소 사이의 휘도 차를 개선할 수 있어, 영상 품질을 향상시킬 수 있다.

[0017] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 발명 내에 포함되어 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략도이다.

도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 서브 화소에 대한 회로도이다.

도 3은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 서브 화소의 배치 관계를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 두 서브 화소에 대한 회로도이다.

도 5a 및 5b는 서브 화소의 일 부분을 확대하여 보여주는 평면도이다.

도 6a 내지 도 6c는 노광 오버레이 시프트에 의한 기생 커패시턴스 값의 변화를 설명하기 위한 평면도이다.

도 7 내지 도 9는 계조에 따른 화소 전류 변동률을 보여주는 그래프이다.

도 10은 계조에 따른 화소 전류 변동률을 보여주는 그래프이다.

도 11은 상대적인 이격 거리에 따른 상대적인 커패시턴스의 변화를 예로 보여주는 그래프이다.

도 12는 보상 패턴의 너비에 따른 커패시턴스의 표준 편차를 보여주는 그래프이다.

도 13은 계조에 따른 화소 전류 변동률을 비교하여 보여주는 그래프이다.

도 14는 계조에 따른 화소 전류 변동률을 보여주는 표다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0020] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다. 또한, 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0021] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0023] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0024] 비록 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.

[0025] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0026] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

[0027] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0028] 본 발명의 전계 발광 표시 장치에서 사용되는 트랜지스터는 n 채널 트랜지스터(NMOS)와 p 채널 트랜지스터(PMOS) 중에 하나 이상의 트랜지스터로 구현될 수 있다. 트랜지스터는 산화물 반도체를 액티브층으로 갖는 산화물 반도체 트랜지스터 또는 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 액티브층으로 갖는 LTPS 트랜지스터로 구현될 수 있다. 트랜지스터는 적어도 게이트 전극, 소스 전극 및 드레인 전극을 포함할 수 있다. 트랜지스터는 표시 패널 상에서 TFT(Thin Film Transistor)로 구현될 수 있다. 트랜지스터에서 소스 전극으로부터 드레인 전극으로 캐리어가 흐른다. n 채널 트랜지스터(NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스 전극으로부터 드레인 전극으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 트랜지스터(NMOS)에서 전류의 방향은 드레인 전극으로부터 소스 전극으로 흐르고, 소스 전극이 출력 단자일 수 있다. p 채널 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스 전극으로부터 드레인 전극으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 트랜지스터(PMOS)에서 정공이 소스 전극으로부터 드레인 전극 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐르고, 드레인 전극이 출력 단자일 수 있다. 따라서, 소스와 드레인은 인가 전압에 따라 변경될 수 있기 때문에 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 본 명세서에서는 트랜지스터가 n 채널 트랜지스터(NMOS)인 것을 가정하여 설명하지만 이에 제한되는 것은 아니고, p 채널 트랜지스터가 사용될 수 있으며, 이에 따라 회로 구성이 변경될 수도 있다.

[0029] 스위치 소자들로 이용되는 트랜지스터의 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙 한다. 게이트 온 전압은 트랜지스터의 문턱 전압(Vth) 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압(Vth) 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프 된다. NMOS의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. PMOS의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

[0030] 이하에서는 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.

[0031] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 개략도이다.

[0032] 도 1을 참조하면, 전계 발광 표시 장치(100)는 표시 패널(110), 게이트 구동부(120), 데이터 구동부(130) 및 타이밍 컨트롤러(140)를 포함할 수 있다.

[0033] 표시 패널(110)은 영상을 표시하기 위한 패널이다. 표시 패널(110)은 기판 상에 배치된 다양한 회로, 배선 및 발광 소자를 포함할 수 있다. 표시 패널(110)은 상호 교차하는 복수의 데이터 배선(DL) 및 복수의 게이트 배선(GL)에 의해 구분될 수 있으며, 복수의 데이터 배선(DL) 및 복수의 게이트 배선(GL)에 연결된 복수의 화소(PX)를 포함할 수 있다. 표시 패널(110)은 복수의 화소(PX)에 의해 정의되는 표시 영역과 각종 신호 배선들이나 패드 등이 형성되는 비표시 영역을 포함할 수 있다. 표시 패널(110)은 액정 표시 장치, 유기 발광 표시 장치, 전기 영동 표시 장치 등과 같은 다양한 표시 장치에서 사용되는 표시 패널(110)로 구현될 수 있다. 이하에서는 표시 패널(110)이 유기 발광 표시 장치에서 사용되는 패널인 것으로 설명하나 이에 제한되는 것은 아니다.

[0034] 타이밍 컨트롤러(140)는 호스트(host) 시스템에 연결된 LVDS(Low Voltage Differential Signaling) 또는 TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 수신 회로를 통해 수직 동기 신호, 수평 동기 신호, 데이터 인에이블(enable) 신호, 도트 클럭(clock) 등의 타이밍 신호를 입력 받는다. 타이밍 컨트롤러(140)는 입력된 타이밍 신호를 기준으로 데이터 구동부(130)와 게이트 구동부(120)를 제어하기 위한 타이밍

제어 신호들을 발생시킬 수 있다.

[0035] 데이터 구동부(130)는 복수의 서브 화소(SP)에 데이터 전압(DATA)을 공급한다. 데이터 구동부(130)는 복수의 소스 드라이브 IC(Integrated Circuit)를 포함할 수 있다. 복수의 소스 드라이브 IC는 타이밍 컨트롤러(140)로부터 디지털 비디오 데이터들과 소스 타이밍 제어 신호를 공급받을 수 있다. 복수의 소스 드라이브 IC는 소스 타이밍 제어 신호에 응답하여 디지털 비디오 데이터들을 감마 전압으로 변환하여 데이터 전압(DATA)을 생성하고, 데이터 전압(DATA)을 표시 패널(110)의 데이터 배선(DL)을 통해 공급할 수 있다. 복수의 소스 드라이브 IC는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 표시 패널(110)의 데이터 배선(DL)에 접속될 수 있다. 또한, 소스 드라이브 IC들은 표시 패널(110) 상에 형성되거나, 별도의 PCB 기판에 형성되어 표시 패널(110)과 연결되는 형태일 수도 있다.

[0036] 게이트 구동부(120)는 복수의 서브 화소(SP)에 게이트 신호를 공급한다. 게이트 구동부(120)는 레벨 시프터 및 시프트 레지스터를 포함할 수 있다. 레벨 시프터는 타이밍 컨트롤러(140)로부터 TTL(Transistor-Transistor-Logic) 레벨로 입력 되는 클럭 신호의 레벨을 시프팅(shifting)한 후에 시프트 레지스터에 공급할 수 있다. 시프트 레지스터는 GIP 방식에 의해 표시 패널(110)의 비표시 영역에 형성될 수 있으나, 이에 제한되는 것은 아니다. 시프트 레지스터는 클럭 신호 및 구동 신호에 대응하여 게이트 신호를 시프트 하여 출력하는 복수의 스테이지로 구성될 수 있다. 시프트 레지스터에 포함된 복수의 스테이지는 복수의 출력단을 통해 게이트 신호를 순차적으로 출력할 수 있다.

[0037] 표시 패널(110)은 복수의 서브 화소(SP)을 포함할 수 있다. 복수의 서브 화소(SP)는 서로 다른 색을 발광하기 위한 서브 화소(SP)일 수 있다. 예를 들어, 복수의 서브 화소(SP)는 각각 적색 서브 화소, 녹색 서브 화소, 청색 서브 화소 및 백색 서브 화소일 수 있으나, 이에 제한되는 것은 아니다. 이러한 복수의 서브 화소(SP)는 화소(PX)를 구성할 수 있다. 즉, 적색 서브 화소, 녹색 서브 화소, 청색 서브 화소 및 백색 서브 화소는 하나의 화소(PX)를 구성할 수 있으며, 표시 패널(110)은 복수의 화소(PX)를 포함할 수 있다.

[0038] 이하에서는 하나의 서브 화소(SP)를 구동하기 위한 구동 회로에 대한 보다 상세한 설명을 위해 도 2를 함께 참조한다.

[0039] 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 서브 화소에 대한 회로도이다.

[0040] 도 2에서는 전계 발광 표시 장치(100)의 복수의 서브 화소(SP) 중 하나의 서브 화소(SP)에 대한 회로도를 도시하였다.

[0041] 도 2를 참조하면, 하나의 서브 화소(SP)는 스위칭 트랜지스터(SWT), 센싱 트랜지스터(SET), 구동 트랜지스터(DT), 스토리지 커패시터(storage capacitor)(SC) 및 발광 소자(150)를 포함할 수 있다.

[0042] 발광 소자(150)는 애노드, 유기층 및 캐소드를 포함할 수 있다. 유기층은 정공 주입층, 정공 수송층, 유기 발광층, 전자 수송층 및 전자 주입층 등과 같은 다양한 층을 포함할 수 있다. 발광 소자(150)의 애노드는 구동 트랜지스터(DT)의 출력 단자와 연결될 수 있고, 캐소드에는 저전위 전압(VSS)이 인가될 수 있다. 도 2에서는 발광 소자(150)가 유기 발광 소자(150)인 것으로 설명하였으나, 이에 제한되지 않으며, 발광 소자(150)로 무기 발광 다이오드, 즉, LED 또한 사용될 수 있다.

[0043] 또한, 도 2를 참조하면, 스위칭 트랜지스터(SWT)는 구동 트랜지스터(DT)의 게이트 전극에 해당하는 제1 노드(N1)로 데이터 전압(DATA)을 전달하기 위한 트랜지스터이다.

[0044] 스위칭 트랜지스터(SWT)는 데이터 배선(DL)과 연결된 드레인 전극, 게이트 배선(GL)과 연결된 게이트 전극 및 구동 트랜지스터(DT)의 게이트 전극과 연결된 소스 전극을 포함할 수 있다. 스위칭 트랜지스터(SWT)는 게이트 배선(GL)로부터 인가된 게이트 전압(GATE)에 의해 턴-온(turn on)되어 데이터 배선(DL)으로부터 공급된 데이터 전압(DATA)을 구동 트랜지스터(DT)의 게이트 전극에 해당하는 제1 노드(N1)로 전달할 수 있다.

[0045] 도 2를 참조하면, 구동 트랜지스터(DT)는 발광 소자(150)에 구동 전류를 공급하여 발광 소자(150)를 구동하기 위한 트랜지스터이다.

[0046] 구동 트랜지스터(DT)는 제1 노드(N1)에 해당하는 게이트 전극, 제2 노드(N2)에 해당하고 출력 단자에 해당하는 소스 전극 및 제3 노드(N3)에 해당하고 입력 단자에 해당하는 드레인 전극을 포함할 수 있다. 또한, 구동 트랜지스터(DT)의 게이트 전극은 스위칭 트랜지스터(SWT)와 연결되고, 드레인 전극은 고전위 전압 배선(VDDL)을 통해 고전위 전압(VDD)을 인가 받고, 소스 전극은 발광 소자(150)의 애노드와 연결될 수 있다.

[0047] 도 2를 참조하면, 스토리지 커패시터(SC)는 데이터 전압(DATA)에 대응되는 전압을 하나의 프레임 동안 유지하기 위한 커패시터이다.

[0048] 스토리지 커패시터(SC)의 일 전극은 제1 노드(N1)에 연결되고, 다른 일 전극은 제2 노드(N2)에 연결될 수 있다.

[0049] 한편, 전계 발광 표시 장치(100)의 경우, 각 서브 화소(SP)의 구동 시간이 길어짐에 따라, 구동 트랜지스터(DT) 등의 회로 소자에 대한 열화(Degradation)가 진행될 수 있다. 이에 따라, 구동 트랜지스터(DT) 등의 회로 소자가 갖는 고유한 특성치가 변할 수 있다. 회로 소자의 고유 특성치는, 구동 트랜지스터(DT)의 문턱 전압(Vth), 구동 트랜지스터(DT)의 이동도(α) 등을 포함할 수 있다. 이러한 회로 소자의 특성치 변화는 해당 서브 화소(SP)의 휘도 변화를 야기할 수 있다. 따라서, 회로 소자의 특성치 변화는 서브 화소(SP)의 휘도 변화와 동일한 개념으로 사용될 수 있다.

[0050] 또한, 각 서브 화소(SP)의 회로 소자간의 특성치 변화의 정도는 각 회로 소자의 열화 정도의 차이에 따라 서로 다를 수 있다. 이러한 회로 소자간의 특성치 변화 정도의 차이는 서브 화소(SP) 사이의 휘도 편차를 야기할 수 있다. 따라서, 회로 소자간의 특성치 편차는 서브 화소(SP) 사이의 휘도 편차와 동일한 개념으로 사용될 수 있다. 회로 소자의 특성치 변화, 즉, 서브 화소(SP)의 휘도 변화와 회로 소자간 특성치 편차, 즉, 서브 화소(SP) 사이의 휘도 편차는, 서브 화소(SP)의 휘도 표현력에 대한 정확도를 떨어뜨리거나 화면 이상 현상을 발생시키는 등의 문제를 발생시킬 수 있다.

[0051] 이에, 본 발명의 일 실시예에 따른 전계 발광 표시 장치(100)의 서브 화소(SP)에서는 서브 화소(SP)에 대한 특성치를 센싱 하는 센싱 기능과 센싱 결과를 이용하여 서브 화소(SP)의 특성치를 보상해주는 보상 기능을 제공할 수 있다.

[0052] 이에, 도 2에 도시된 바와 같이, 서브 화소(SP)는 스위칭 트랜지스터(SWT), 구동 트랜지스터(DT), 스토리지 커패시터(SC) 및 발광 소자(150) 이외에 구동 트랜지스터(DT)의 소스 전극의 전압 상태를 효과적으로 제어하기 위한 센싱 트랜지스터(SET)를 더 포함할 수 있다.

[0053] 도 2를 참조하면, 센싱 트랜지스터(SET)는 구동 트랜지스터(DT)의 소스 전극과 기준 전압(Vref)을 공급하는 기준 전압 배선(RVL) 사이에 연결되고, 게이트 전극은 게이트 배선(GL)과 연결될 수 있다. 이에, 센싱 트랜지스터(SET)는 게이트 배선(GL)을 통해 인가되는 센싱 신호(SENSE)에 의해 턴-온 되어 기준 전압 배선(RVL)을 통해 공급되는 기준 전압(Vref)을 구동 트랜지스터(DT)의 소스 전극에 인가할 수 있다. 또한, 센싱 트랜지스터(SET)는 구동 트랜지스터(DT)의 소스 전극에 대한 전압 센싱 경로 중의 하나로 활용될 수 있다.

[0054] 도 2를 참조하면, 예를 들면, 서브 화소(SP)의 스위칭 트랜지스터(SWT) 및 센싱 트랜지스터(SET)는 하나의 게이트 배선(GL)을 공유할 수 있다. 즉, 스위칭 트랜지스터(SWT) 및 센싱 트랜지스터(SET)는 동일한 게이트 배선(GL)에 인가되어 동일한 게이트 신호를 인가 받을 수 있으나, 이에 제한되지 않는다.

[0055] 설명의 편의를 위해 스위칭 트랜지스터(SWT)의 게이트 전극에 인가되는 전압을 게이트 전압(GATE)으로 지칭하고, 센싱 트랜지스터(SET)의 게이트 전극에 인가되는 전압을 센싱 신호(SENSE)로 지칭하나, 하나의 서브 화소(SP)에 인가되는 게이트 전압(GATE)과 센싱 신호(SENSE)는 동일한 게이트 배선(GL)에서 전달되는 동일한 신호이다.

[0056] 다만, 본 발명이 이에 한정되지 않고, 스위칭 트랜지스터(SWT)만이 게이트 배선(GL)에 연결되고, 센싱 트랜지스터(SET)는 별도의 센싱 배선에 연결될 수도 있다. 이 경우에는, 게이트 배선(GL)을 통해서 스위칭 트랜지스터(SWT)에 게이트 전압(GATE)이 인가될 수 있고, 센싱 배선을 통해서 센싱 트랜지스터(SET)에 센싱 신호(SENSE)가 인가될 수 있다.

[0057] 즉, 센싱 트랜지스터(SET)를 통해 기준 전압(Vref)이 구동 트랜지스터(DT)의 소스 전극으로 인가된다. 그리고, 구동 트랜지스터(DT)의 문턱 전압(Vth) 또는 구동 트랜지스터(DT)의 이동도(α)를 센싱하기 위한 전압을 기준 전압 배선(RVL)을 통해 검출한다. 그리고, 검출된 구동 트랜지스터(DT)의 문턱 전압(Vth) 또는 구동 트랜지스터(DT)의 이동도(α)의 변화 량에 따라 데이터 전압(DATA)을 보상할 수 있다.

[0058] 이하에서는, 복수의 서브 화소의 배치 관계를 설명하기 위해 도 3을 함께 참조한다.

[0059] 도 3은 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 서브 화소의 배치 관계를 설명하기 위한 도면이다.

[0060] 도 3에서는 설명의 편의를 위해, 2x2 매트릭스 형태로 배치된 4개의 화소(PX)에 대해서만 도시하였으나, 실제로 표시 영역에는 2x2 매트릭스 형태로 배치된 4개의 화소(PX)의 배치 관계가 반복될 수 있다. 그리고, 서브 화소

(R, G, B, W)와 데이터 배선(DL1, DL2, D13, DL4) 사이에 배치되는 트랜지스터는 도 2에서 설명한 스위칭 트랜지스터(SWT)를 의미한다.

[0061] 도 3을 참조하면, 하나의 화소(PX)는 4개의 서브 화소(R, G, B, W)를 포함한다. 예를 들어, 화소(PX)는 도 3에 도시된 바와 같이 제1 서브 화소(R), 제2 서브 화소(W), 제3 서브 화소(B) 및 제4 서브 화소(G)를 포함할 수 있다. 또한, 제1 서브 화소(R)는 적색 서브 화소이고, 제2 서브 화소(W)는 백색 서브 화소이며, 제3 서브 화소(B)는 청색 서브 화소이고, 제4 서브 화소(G)는 녹색 서브 화소일 수 있다. 다만 이에 제한되지 않고, 복수의 서브 화소(R, G, B, W)는 다양한 색상(Magenta, Yellow, Cyan)으로 변경될 수도 있다.

[0062] 그리고, 복수의 동일 색상의 서브 화소(R, G, B, W)는 동일한 열에 배치될 수 있다. 즉, 복수의 제1 서브 화소(R)는 동일한 열에 배치되고, 복수의 제2 서브 화소(W)는 동일한 열에 배치되며, 복수의 제3 서브 화소(B)는 동일한 열에 배치되고, 복수의 제4 서브 화소(G)는 동일한 열에 배치될 수 있다.

[0063] 보다 구체적으로, 도3에 도시된 바와 같이, 복수의 제1 서브 화소(R)는 8k-7 번째 열 및 8k-3 번째 열에 배치되고, 복수의 제2 서브 화소(W)는 8k-6 번째 열 및 8k-2 번째 열에 배치되며, 복수의 제3 서브 화소(B)는 8k-5 번째 열 및 8k-1 번째 열에 배치되고, 복수의 제4 서브 화소(G)는 8k-4 번째 열 및 8k 번째 열에 배치된다. 단, k는 1이상의 자연수를 의미한다.

[0064] 하나의 홀수 번째 행(odd) 또는 하나의 짝수 번째 행(even)을 기준으로 제1 서브 화소(R), 제2 서브 화소(W), 제3 서브 화소(B) 및 제4 서브 화소(G)가 순차적으로 반복될 수 있다.

[0065] 또한, 복수의 데이터 배선(DL1, DL2, DL3, DL4) 각각은 복수의 서브 데이터 배선(SDL1-a, SDL1-b, SDL2-a, SDL2-b, SDL3-a, SDL3-b, SDL4-a, SDL4-b)으로 분기될 수 있다. 구체적으로, 제1 데이터 배선(DL1)은 복수의 제1 서브 데이터 배선(SDL1-a, SDL1-b)으로 분기될 수 있고, 제2 데이터 배선(DL2)은 복수의 제2 서브 데이터 배선(SDL2-a, SDL2-b)으로 분기될 수 있고, 제3 데이터 배선(DL3)은 복수의 제3 서브 데이터 배선(SDL3-a, SDL3-b)으로 분기될 수 있고, 제4 데이터 배선(DL4)은 복수의 제4 서브 데이터 배선(SDL4-a, SDL4-b)으로 분기될 수 있다.

[0066] 제1 서브 데이터 배선(SDL1-a, SDL1-b)은 제1-a 서브 데이터 배선(SDL1-a) 및 제1-b 서브 데이터 배선(SDL1-b)을 포함할 수 있으며, 제2 서브 데이터 배선(SDL2-a, SDL2-b)은 제2-a 서브 데이터 배선(SDL2-a) 및 제2-b 서브 데이터 배선(SDL2-b)을 포함할 수 있고, 제3 서브 데이터 배선(SDL3-a, SDL3-b)은 제3-a 서브 데이터 배선(SDL3-a) 및 제3-b 서브 데이터 배선(SDL3-b)을 포함할 수 있고, 제4 서브 데이터 배선(SDL4-a, SDL4-b)은 제4-a 서브 데이터 배선(SDL4-a) 및 제4-b 서브 데이터 배선(SDL4-b)을 포함할 수 있다.

[0067] 그리고, 복수의 제1 서브 데이터 배선(SDL1-a, SDL1-b)은 복수의 제1 서브 화소(R)에 인접되게 배치되어, 복수의 제1 서브 화소(R)에 연결될 수 있다.

[0068] 구체적으로, 제1-a 서브 데이터 배선(SDL1-a)은 8k-7 번째 열에 배치된 복수의 제1 서브 화소(R)와 8k-6 번째 열에 배치된 복수의 제2 서브 화소(W) 사이에 배치되어, 8k-7 번째 열에 배치된 복수의 제1 서브 화소(R)에 전기적으로 연결된다. 그리고, 제1-b 서브 데이터 배선(SDL1-b)은 8k-3 번째 열에 배치된 복수의 제1 서브 화소(R)와 8k-2 번째 열에 배치된 복수의 제2 서브 화소(W) 사이에 배치되어, 8k-3 번째 열에 배치된 복수의 제1 서브 화소(R)에 전기적으로 연결된다.

[0069] 그리고, 복수의 제2 서브 데이터 배선(SDL2-a, SDL2-b)은 복수의 제2 서브 화소(W)에 인접되게 배치되어, 복수의 제2 서브 화소(W)에 연결될 수 있다.

[0070] 구체적으로, 제2-a 서브 데이터 배선(SDL2-a)은 8k-7 번째 열에 배치된 복수의 제1 서브 화소(R)와 8k-6 번째 열에 배치된 복수의 제2 서브 화소(W) 사이에 배치되어, 8k-6 번째 열에 배치된 복수의 제2 서브 화소(W)에 전기적으로 연결된다. 그리고, 제2-b 서브 데이터 배선(SDL2-b)은 8k-3 번째 열에 배치된 복수의 제1 서브 화소(R)와 8k-2 번째 열에 배치된 복수의 제2 서브 화소(W) 사이에 배치되어, 8k-2 번째 열에 배치된 복수의 제2 서브 화소(W)에 전기적으로 연결된다.

[0071] 그리고, 복수의 제3 서브 데이터 배선(SDL3-a, SDL3-b)은 복수의 제3 서브 화소(B)에 인접되게 배치되어, 복수의 제3 서브 화소(B)에 연결될 수 있다.

[0072] 구체적으로, 제3-a 서브 데이터 배선(SDL3-a)은 8k-5 번째 열에 배치된 복수의 제3 서브 화소(B)와 8k-4 번째 열에 배치된 복수의 제4 서브 화소(G) 사이에 배치되어, 8k-5 번째 열에 배치된 복수의 제3 서브 화소(B)에 전기적으로 연결된다. 그리고, 제3-b 서브 데이터 배선(SDL3-b)은 8k-1 번째 열에 배치된 복수의 제3 서브 화소

(B)와 8k 번째 열에 배치된 복수의 제4 서브 화소(G) 사이에 배치되어, 8k-1 번째 열에 배치된 복수의 제3 서브 화소(B)에 전기적으로 연결될 수 있다.

[0073] 그리고, 복수의 제4 서브 데이터 배선(SDL4-a, SDL4-W)은 복수의 제4 서브 화소(G)에 인접되게 배치되어, 복수의 제4 서브 화소(G)에 연결될 수 있다.

[0074] 구체적으로, 제4-a 서브 데이터 배선(SDL4-a)은 8k-5 번째 열에 배치된 복수의 제3 서브 화소(B)와 8k-4 번째 열에 배치된 복수의 제4 서브 화소(G) 사이에 배치되어, 8k-4 번째 열에 배치된 복수의 제4 서브 화소(G)에 전기적으로 연결된다. 그리고, 제4-b 서브 데이터 배선(SDL4-b)은 8k-1 번째 열에 배치된 복수의 제3 서브 화소(B)와 8k 번째 열에 배치된 복수의 제4 서브 화소(G) 사이에 배치되어, 8k 번째 열에 배치된 복수의 제4 서브 화소(G)에 전기적으로 연결된다.

[0075] 그리고, 제1 데이터 배선(DL1)에는 적색의 데이터 전압인 제1 데이터 전압(DATA1)이 인가될 수 있고, 제2 데이터 배선(DL2)에는 백색의 데이터 전압인 제2 데이터 전압(DATA2)이 인가될 수 있으며, 제3 데이터 배선(DL3)에는 청색의 데이터 전압인 제3 데이터 전압(DATA3)이 인가될 수 있으며, 제4 데이터 배선(DL4)에는 녹색의 데이터 전압인 제4 데이터 전압(DATA4)이 인가될 수 있다.

[0076] 이에, 복수의 제1 서브 데이터 배선(SDL1-a, SDL1-b)에도 적색의 데이터 전압인 제1 데이터 전압(DATA1)이 인가될 수 있으며, 복수의 제2 서브 데이터 배선(SDL2-a, SDL2-b)에도 백색의 데이터 전압인 제2 데이터 전압(DATA2)이 인가될 수 있으며, 복수의 제3 서브 데이터 배선(SDL3-a, SDL3-b)에도 청색의 데이터 전압인 제3 데이터 전압(DATA3)이 인가될 수 있으며, 복수의 제4 서브 데이터 배선(SDL4-a, SDL4-b)에 녹색의 데이터 전압인 제4 데이터 전압(DATA4)이 인가될 수 있다.

[0077] 복수의 게이트 배선(GL1 내지 GL4) 각각은 복수의 서브 화소(R, G, B, W)의 상하 양 측에 배치될 수 있고, 복수의 서브 화소(R, G, B, W) 사이에는 2개의 게이트 배선(GL2, GL3)이 배치될 수 있다.

[0078] 구체적으로 도 3을 참조하면, 홀수 번째 행(odd)의 복수의 서브 화소(R, G, B, W)의 양 측에는 제1 게이트 배선(GL1) 및 제2 게이트 배선(GL2)이 배치되고, 짝수 번째 행(even)의 복수의 서브 화소(R, G, B, W)의 양 측에는 제3 게이트 배선(GL3) 및 제4 게이트 배선(GL4)이 배치될 수 있다. 이에, 홀수 번째 행(odd)의 복수의 서브 화소(R, G, B, W)와 짝수 번째 행(even)의 복수의 서브 화소(R, G, B, W)의 사이에는 제2 게이트 배선(GL2) 및 제3 게이트 배선(GL3)이 배치될 수 있다.

[0079] 복수의 화소(PX) 각각은 동일한 게이트 배선(GL1 내지 GL4)에 연결되고, 복수의 화소(PX) 중 인접된 화소(PX)는 서로 다른 게이트 배선(GL1 내지 GL4)에 연결될 수 있다.

[0080] 구체적으로 도 3을 참조하면, 홀수 번째 행(odd)의 8k-7번째 열 내지 8k-4 번째 열에 배치되는 화소(PX)에 포함되는 서브 화소(R, W, B, G)는 제1 게이트 배선(GL1)에 연결될 수 있다. 그리고, 홀수 번째 행(odd)의 8k-3번째 열 내지 8k 번째 열에 배치되는 화소(PX)에 포함되는 서브 화소(R, W, B, G)는 제2 게이트 배선(GL2)에 연결될 수 있다. 그리고, 짝수 번째 행(even)의 8k-7번째 열 내지 8k-4 번째 열에 배치되는 화소(PX)에 포함되는 서브 화소(R, W, B, G)는 제3 게이트 배선(GL3)에 연결될 수 있다. 그리고, 짝수 번째 행(even)의 8k-3번째 열 내지 8k 번째 열에 배치되는 화소(PX)에 포함되는 서브 화소(R, W, B, G)는 제4 게이트 배선(GL4)에 연결될 수 있다.

[0081] 그리고, 복수의 기준 전압 배선(RVL) 각각은 하나의 화소(PX) 내부에 배치되고, 복수의 고전위 전압 배선(VDDL) 각각은 인접된 복수의 화소(PX) 사이에 배치될 수 있다.

[0082] 구체적으로, 복수의 기준 전압 배선(RVL)은 8k-6 번째 열에 배치된 복수의 제2 서브 화소(W)와 8k-5 번째 열에 배치된 복수의 제3 서브 화소(B) 사이에 배치되고, 8k-2 번째 열에 배치된 복수의 제2 서브 화소(W)와 8k-1 번째 열에 배치된 복수의 제3 서브 화소(B) 사이에 배치될 수 있다.

[0083] 그리고, 복수의 고전위 전압 배선(VDDL)은 8k-4 번째 열에 배치된 복수의 제4 서브 화소(G)와 8k-3 번째 열에 배치된 복수의 제1 서브 화소(R) 사이에 배치되고, 8k-7 번째 열에 배치된 복수의 제1 서브 화소(R)의 외측에 배치되고, 8k 번째 열에 배치된 복수의 제4 서브 화소(G)의 외측에 배치될 수 있다.

[0084] 이런 1S2L(1 Source 2 Data Line) 기술을 적용한 DRD(Double Rate Driving) 구조의 전계 발광 표시 장치(100)에서는, 인접한 동일 색상의 서브 화소(SP)간에 게이트 배선(GL1 내지 GL4)이 위, 아래로 양분되어 있어 서브 화소(SP)간의 구동 회로가 서로 반전되며, 노광 오버레이 시프트가 발생할 경우 반전된 동일 색상의 서브 화소(SP)간에 기생 커패시턴스가 서로 다르게 작용하여, 결과적으로 한 라인씩 밝고/어두운 휘도 불량이 발생하게 된다. 즉, 노광 공정 시 노광 오버레이 시프트가 발생할 경우 인접한 동일 색상의 서브 화소(SP)간의 게이트 배

선(GL1 내지 GL4)과 스위칭 트랜지스터(SWT)의 소스 전극 사이의 기생 커패시턴스가 서로 달라지게 된다.

[0085] 이에, 본 발명에서는 스위칭 트랜지스터(SWT)의 소스 전극의 양측에 보상 패턴을 형성하여, 게이트 배선(GL1 내지 GL4)과의 이격거리에 반비례하는 기생 커패시턴스의 영향을 보상함으로써 노광 오버레이 시프트에 의한 반전된 동일 색상의 서브 화소(SP) 사이의 휘도 차를 개선할 수 있는 것을 특징으로 한다.

[0086] 참고로, 기존 구조에서는 저계조에서 휘도 차가 17%나 발생하고 있다.

[0087] 도 4는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 두 서브 화소에 대한 회로도이다.

[0088] 도 5a 및 5b는 서브 화소의 일 부분을 확대하여 보여주는 평면도이다.

[0089] 도 4는 인접한 동일 색상의 두 서브 화소(SP), 즉, 예를 들면, 도 3의 홀수 번째 행(odd)의 8k-7 번째 열에 배치된 제1 서브 화소(R)(이하, 설명의 편의상 (1, 1) 번째 서브 화소라 지칭하기로 한다)와 홀수 번째 행(odd)의 8k-3 번째 열에 배치된 제1 서브 화소(R)(이하, 설명의 편의상 (5, 1) 번째 서브 화소라 지칭하기로 한다)를 보여주고 있다.

[0090] 도 5a는 도 4의 (1, 1) 번째 서브 화소의 스위칭 트랜지스터(SWT1) 주변을 보여주며, 도 5b는 도 4의 (5, 1) 번째 서브 화소의 스위칭 트랜지스터(SWT2) 주변을 확대하여 보여주고 있다.

[0091] 도 4와 도 5a 및 도 5b를 참조하면, (1, 1) 번째 서브 화소는 제1 스위칭 트랜지스터(SWT1), 제1 센싱 트랜지스터(SET1), 제1 구동 트랜지스터(DT1), 제1 스토리지 커패시터(SC1) 및 발광 소자(150)를 포함할 수 있다.

[0092] 이때, 제1 스위칭 트랜지스터(SWT1)는 제1-a 서브 데이터 배선(SDL1-a)과 연결된 제1 드레인 전극(DE1), 제1 게이트 배선(GL1)과 연결된 제1 게이트 전극(GE1) 및 제1 구동 트랜지스터(DT1)의 제1 게이트 전극과 연결된 제1 소스 전극(SE1)을 포함할 수 있다.

[0093] 또한, (5, 1) 번째 서브 화소는 제2 스위칭 트랜지스터(SWT2), 제2 센싱 트랜지스터(SET2), 제2 구동 트랜지스터(DT2), 제2 스토리지 커패시터(SC2) 및 발광 소자(150)를 포함할 수 있다.

[0094] 이때, 제2 스위칭 트랜지스터(SWT2)는 제1-b 서브 데이터 배선(SDL1-b)과 연결된 제2 드레인 전극(DE2), 제2 게이트 배선(GL2)과 연결된 제2 게이트 전극(GE2) 및 제2 구동 트랜지스터(DT2)의 제2 게이트 전극과 연결된 제2 소스 전극(SE2)을 포함할 수 있다.

[0095] 이와 같이 인접한 동일 색상의 두 서브 화소(SP), 즉, 예를 들면, (1, 1) 번째 서브 화소와 (5, 1) 번째 서브 화소는, 위, 아래로 양분되어 있는 제1 게이트 배선(GL1)과 제2 게이트 배선(GL2)에 각각 연결됨에 따라 서브 화소(SP)의 구동 회로가 서로 반전되게 된다. 즉, (1, 1) 번째 서브 화소의 경우에는 제1 소스 전극(SE1)이 제1 게이트 배선(GL1) 위에 배치되고, 제1 드레인 전극(DE1)이 제1 게이트 배선(GL1) 아래에 배치되는 반면에, (5, 1) 번째 서브 화소의 경우에는 제2 드레인 전극(DE2)이 제2 게이트 배선(GL2) 위에 배치되고, 제2 소스 전극(SE2)이 제2 게이트 배선(GL2) 아래에 배치된다.

[0096] 이에 따라, 게이트 배선(GL1, GL2)의 노광 오버레이 시프트가 발생할 경우, 즉, 예를 들면, 게이트 배선(GL1, GL2)이 설정 위치보다 위에 형성되는 경우, (1, 1) 번째 서브 화소에서는 제1 게이트 배선(GL1)과 제1 소스 전극(SE1) 사이의 거리가 가까워지는 반면, (5, 1) 번째 서브 화소에서는 제2 게이트 배선(GL2)과 제2 소스 전극(SE2) 사이의 거리가 멀어지게 된다.

[0097] 따라서, 제2 게이트 배선(GL2)과 제2 소스 전극(SE2) 사이에서 발생하는 제2 기생 커패시턴스(PC2)와 제1 게이트 배선(GL1)과 제1 소스 전극(SE1) 사이에 발생하는 제1 기생 커패시턴스(PC1)의 크기가 서로 달라지게 된다.

[0098] 즉, 제2 게이트 배선(GL2)과 제2 소스 전극(SE2) 사이에서 발생하는 제2 기생 커패시턴스(PC2)가 제1 게이트 배선(GL1)과 제1 소스 전극(SE1) 사이에 발생하는 제1 기생 커패시턴스(PC1)에 비해 커지게 된다.

[0099] 이에, 본 발명은 제1 소스 전극(SE1)의 양측에 제1 보상 패턴(AE1-a, AE1-b)을 형성하는 한편, 제2 소스 전극(SE2)의 양측에 제2 보상 패턴(AE2-a, AE2-b)을 형성하는 것을 특징으로 한다.

[0100] 한편, 제1 소스 전극(SE1) 및 제2 소스 전극(SE2)의 하부에는 각각 제1 차광층(LS1) 및 제2 차광층(LS2)이 배치될 수 있고, 그 상부에는 애노드(미도시)가 배치될 수 있고, 제1 보상 패턴(AE1-a, AE1-b) 및 제2 보상 패턴(AE2-a, AE2-b)이 각각 제1 차광층(LS1) 및 제2 차광층(LS2)과 중첩되지 않는 제1 소스 전극(SE1) 및 제2 소스 전극(SE2)의 측면에 형성될 수 있다. 제1, 제2 차광층(LS1, LS2) 및 애노드와 중첩되는 제1, 제2 소스 전극(SE1, SE2) 부분은 제1, 제2 차광층(LS1, LS2) 및 애노드에 의해 차폐되는 반면에, 제1, 제2 차광층(LS1, LS2)

및 애노드와 중첩되지 않는, 즉, 노출되는 제1, 제2 소스 전극(SE1, SE2) 부분은 프린지(fringe) 필드에 의해 제1, 제2 게이트 배선(GL1, GL2)과의 제1, 제2 기생 커패시턴스(PC1, PC2)에 관여하게 된다.

[0101] 또한, 제1 보상 패턴(AE1-a, AE1-b) 및 제2 보상 패턴(AE2-a, AE2-b)은 제1 게이트 배선(GL1) 및 제2 게이트 배선(GL2)의 노광 오버레이 시프트가 발생할 수 있는 최대 위치에 제1 게이트 배선(GL1) 및 제2 게이트 배선(GL2)으로부터 이격 하여 형성될 수 있으나, 이에 제한되지 않는다.

[0102] 이때, 제1 보상 패턴(AE1-a, AE1-b)은 제1 소스 전극(SE1)의 우측에 형성된 제1-a 보상 패턴(AE1-a) 및 제1 소스 전극(SE1)의 좌측에 형성된 제1-b 보상 패턴(AE1-b)을 포함할 수 있다.

[0103] 또한, 제2 보상 패턴(AE2-a, AE2-b)은 제2 소스 전극(SE2)의 좌측에 형성된 제2-a 보상 패턴(AE2-a) 및 제2 소스 전극(SE2)의 우측에 형성된 제2-b 보상 패턴(AE2-b)을 포함할 수 있다. 다만, 본 발명이 이에 제한되지 않는다.

[0104] 제1-a 보상 패턴(AE1-a) 및 제2-a 보상 패턴(AE2-a)은 서로 동일한 형태를 가질 수 있고, 제1-b 보상 패턴(AE1-b) 및 제2-b 보상 패턴(AE2-b)은 서로 동일한 형태를 가질 수 있다. 다만, 본 발명이 이에 제한되지 않는다.

[0105] 도 5a 및 도 5b에서는 제1-a 보상 패턴(AE1-a) 및 제2-a 보상 패턴(AE2-a)이 제1-b 보상 패턴(AE1-b) 및 제2-b 보상 패턴(AE2-b)에 비해 크기가 큰 경우를 예로 도시하고 있으나, 이에 제한되지 않는다.

[0106] 예를 들면, 제1 보상 패턴(AE1-a, AE1-b)과 제2 보상 패턴(AE2-a, AE2-b)의 각각의 폭은 약 6.5㎛~7.0㎛의 값을 가질 수 있으나, 이에 제한되지 않는다.

[0107] 이하에서, 게이트 배선의 노광 오버레이 시프트에 따른 기생 커패시턴스 값의 변화 및 보상 패턴에 의한 보상을 도면을 참조하여 상세히 설명한다.

[0108] 도 6a 내지 도 6c는 노광 오버레이 시프트에 의한 기생 커패시턴스 값의 변화를 설명하기 위한 평면도이다.

[0109] 도 6a 내지 도 6c는, 예를 들면, (1, 1) 번째 서브 화소를 보여주고 있다.

[0110] 도 6a는 제1 게이트 배선(GL1)이 설정된 위치에 형성된 경우를 보여주고 있으며, 도 6b는 제1 게이트 배선(GL1)이 설정된 위치에서 위로 2㎛ 이동하여 형성된 경우를 예로 보여주고 있으며, 도 6c는 제1 게이트 배선(GL1)이 설정된 위치에서 아래로 2㎛ 이동하여 형성된 경우를 예로 보여주고 있다.

[0111] 도 6a 및 도 6b를 참조하면, 제1 게이트 배선(GL1)이 설정 위치보다 위로 이동하여 형성되는 경우, (1, 1) 번째 서브 화소에서 제1 게이트 배선(GL1)과 제1 소스 전극(SE1) 사이의 거리가 가까워지는 것을 알 수 있다. 이 경우, 제1 게이트 배선(GL1)과 제1 소스 전극(SE1) 사이의 기생 커패시턴스 값이 줄어들게 되나, 제1 소스 전극(SE1)의 양측에 제1 보상 패턴(AE1-a, AE1-b)이 형성되어 추가로 제1 게이트 배선(GL1)과 기생 커패시턴스를 형성하게 됨에 따라 줄어든 기생 커패시턴스 값이 보상될 수 있다.

[0112] 반면, 도 6a 및 도 6c를 참조하면, 제1 게이트 배선(GL1)이 설정 위치보다 아래로 이동하여 형성되는 경우에는, 제1 게이트 배선(GL1)과 제1 소스 전극(SE1) 사이의 거리가 멀어지는 것을 알 수 있다. 이 경우, 제1 게이트 배선(GL1)과 제1 소스 전극(SE1) 사이의 기생 커패시턴스 값이 커지게 되나, 제1 보상 패턴(AE1-a, AE1-b)과 제1 게이트 배선(GL1) 사이의 거리가 멀어짐에 따라 도 6b에 비해 기생 커패시턴스 값에 기여하는 정도가 줄어들게 된다.

[0113] 따라서, 제1 보상 패턴(AE1-a, AE1-b)에 의해 보상되는 기생 커패시턴스를 고려하여 제1 보상 패턴(AE1-a, AE1-b)의 폭을 설정하게 되면, 노광 오버레이 시프트에 의한 반전된 동일 색상의 서브 화소(SP)간의 기생 커패시턴스의 영향을 최소화할 수 있게 된다.

[0114] 한편, 수 많은 기생 커패시턴스에 대해서 모두 보상이 되도록 하는 것은 현실성이 없고, 이중 게이트 배선과 소스 전극간의 기생 커패시턴스가 중요한데, 이를 도면을 참조하여 상세히 설명한다.

[0115] 도 7 내지 도 9는 계조에 따른 화소 전류 변동률을 보여주는 그래프이다.

[0116] 도 7 내지 도 9는 16 계조(gray)에서부터 256 계조까지 기생 커패시턴스 변화에 따른 계조별 화소 전류의 변동률을 보여주고 있다.

[0117] 일 예로, 도 7 내지 도 9는 기생 커패시턴스가 0.03, 0.06, 0.09, 0.12, 0.15 및 0.18만큼 변하는 경우의 계조별 화소 전류의 변동률을 보여주고 있다.

[0118] 도 7은 게이트 배선과 소스 전극간의 기생 커패시턴스에 대한 결과를 보여주고, 도 8은 저전위 전압 배선과 소스 전극간의 기생 커패시턴스에 대한 결과를 보여주며, 도 9는 고전위 전압 배선과 소스 전극간의 기생 커패시턴스에 대한 결과를 보여주고 있다.

[0119] 도 7 내지 도 9를 참조하면, 모든 경우에 계조가 감소할수록 화소 전류의 변동률이 커지는 것을 알 수 있고, 도 9를 제외하고는 기생 커패시턴스의 변화가 클수록 화소 전류의 변동률이 커지는 것을 알 수 있다.

[0120] 따라서, 다른 기생 커패시턴스보다 게이트 배선과 소스 전극간의 기생 커패시턴스가 화소 전류의 변동에 지배적인(dominant) 것을 알 수 있다. 특히, 32 계조 이하의 저계조에서는 게이트 배선과 소스 전극간의 기생 커패시턴스 변화가 화소 전류의 변동에 매우 민감하게 작용하는 것을 알 수 있다.

[0121] 도 10은 계조에 따른 화소 전류 변동률을 보여주는 그래프이다.

[0122] 도 10은 적색 서브 화소의 계조별 화소 전류 변동률을 예로 보여주고 있다.

[0123] 도 10을 참조하면, 게이트 배선의 오버레이 시프트 발생 시 인접한 동일 색상의 서브 화소간 게이트 배선과 소스 전극 사이의 기생 커패시턴스의 차이로 화소 전류가 변하는 것을 알 수 있다.

[0124] 또한, 계조가 감소할수록 화소 전류 변동률이 커지는 것을 알 수 있다. 예를 들면, 64 계조에서 화소 전류 변동률은 5.6%인 반면, 32 계조에서 화소 전류 변동률은 17.0%로 증가하게 된다. 즉, 저계조에서는 휘도 차가 17%나 발생한다는 것을 알 수 있다.

[0125] 한편, 예를 들면, 스토리지 커패시턴스가 11.37fF일 때, 오버레이 시프트에 따른 게이트 배선과 소스 전극간의 기생 커패시턴스 변화는 다음과 같다.

[0126] 오버레이 시프트가 발생하지 않은 경우 기생 커패시턴스는 1.08fF인 반면, 소스 전극 방향으로 +2㎛(도 6b 참조) 및 -2㎛(도 6c 참조)만큼 게이트 배선의 오버레이 시프트가 발생한 경우 기생 커패시턴스는 각각 1.02fF 및 1.14fF인 것을 알 수 있다. 즉, 게이트 배선이 소스 전극으로 가까워질수록 기생 커패시턴스가 감소하는 반면 소스 전극에서 멀어질수록 증가하는 것을 알 수 있다.

[0127] 이때, 스토리지 커패시턴스와 기생 커패시턴스의 차이는 각각 -0.06 및 +0.06이며, 예를 들면, 소스 전극 방향으로 +2㎛만큼 게이트 배선의 오버레이 시프트가 발생한 경우에, 인접한 동일 색상의 서브 화소 사이의 기생 커패시턴스 변화율은 1.06%인 것을 알 수 있다.

[0128] 한편, 본 발명의 경우에는 소스 전극 양측에 보상 패턴을 형성함으로써 그 휘도 차가 5% 미만으로 개선되는 것을 알 수 있으며, 이를 계조로 환산하면 한 계조 미만으로 육안으로 인지가 불가능한 수준이다.

[0129] 이러한 보상 패턴은, 차광층과 중첩되는 않는 부분이며, 게이트 배선으로 돌출한 소스 전극의 적어 일측에 6.5㎛~7㎛ 정도의 폭을 가지도록 형성될 수 있으나, 이에 제한되지 않는다. 본 발명의 보상 패턴은 소스 전극의 일측에만 형성될 수도 있으며, 게이트 배선의 오버레이 시프트가 발생할 수 있는 거리(일 예로, 3.5㎛~4㎛)만큼 게이트 배선으로부터 이격 하여 형성될 수도 있다.

[0130] 도 11은 상대적인 이격 거리에 따른 상대적인 커패시턴스의 변화를 예로 보여주는 그래프이다.

[0131] 도 11은 보상 패턴의 너비(폭)가 4㎛, 6㎛, 7㎛ 및 8㎛일 때의 게이트 배선과 보상 패턴의 상대적인 이격 거리에 따른 커패시턴스의 변화를 보여주고 있다. 이때, 소스 전극의 폭은 약 4.5㎛을 가진 경우를 예로 들고 있다.

[0132] 도 11을 참조하면, 게이트 배선과 보상 패턴 사이 상대적인 이격 거리가 커질수록 상대적인 커패시턴스의 변화가 커지는 것을 알 수 있으며, 예를 들면, 노광 오버레이 시프트가 3.5㎛~4㎛ 정도로 발생할 경우에 게이트 배선과 보상 패턴 사이 상대적인 이격 거리가 0~2.5㎛ 정도에서 유효한, 즉 최소화된 변화를 가지는 것을 알 수 있다.

[0133] 또한, 보상 패턴의 폭이 6㎛~7㎛, 보다 바람직하게는 6.5㎛~7㎛의 범위를 가질 경우에 상대적인 커패시턴스의 변화가 최소화되는 것을 알 수 있다.

[0134] 도 12는 보상 패턴의 너비에 따른 커패시턴스의 표준 편차를 보여주는 그래프이다.

[0135] 도 12를 참조하면, 전술한 도 11에서와 같이 보상 패턴의 폭이 6㎛~7㎛, 보다 바람직하게는 6.5㎛~7㎛의 범위를 가질 경우에 커패시턴스의 표준 편차가 최소화되는 것을 알 수 있다. 또한, 보상 패턴의 폭이 6.5㎛~7㎛

의 범위보다 증가하거나, 또는 감소할수록 커패시턴스의 표준 편차가 급격하게 증가하는 것을 알 수 있다.

[0136] 이에, 소스 전극의 폭이 약 4.5㎛의 값을 가질 때 보상 패턴의 폭은 약 6.5㎛~7㎛의 범위를 가지도록 형성할 수 있다.

[0137] 도 13은 계조에 따른 화소 전류 변동률을 비교하여 보여주는 그래프이다.

[0138] 도 14는 계조에 따른 화소 전류 변동률을 보여주는 표다.

[0139] 도 13은 16 계조에서부터 256 계조까지 계조별 화소 전류의 변동률을 비교예와 비교하여 보여주고 있다.

[0140] 도 13에서 비교예는 보상 패턴이 없는 경우이고, 실험예1은 보상 패턴의 폭이 약 6㎛인 경우이며, 실험예2는 보상 패턴의 폭이 약 7㎛인 경우이다.

[0141] 도 14는 도 13의 비교예 및 실험예2에서의 계조별 화소 전류 변동률을 표로 보여주고 있다.

[0142] 도 13 및 도 14를 참조하면, 비교예, 실험예1 및 실험예2 모든 경우에서 계조가 감소할수록 화소 전류의 변동률이 커지는 것을 알 수 있다.

[0143] 그리고, 실험예1과 실험예2의 경우 비교예에 비해 그 변동률이 개선되는 것을 알 수 있으며, 특히 실험예2의 경우 저계조에서도 화소 전류 변동률이 매우 감소한 것을 알 수 있다.

[0144] 예를 들면, 255 계조에서 비교예 및 실험예2의 화소 전류 변동률은 각각 2.2% 및 0.7%이고, 128 계조에서 비교예 및 실험예2의 화소 전류 변동률은 각각 2.6% 및 0.9%이며, 64 계조에서 비교예 및 실험예2의 화소 전류 변동률은 각각 5.6% 및 2.0%이며 32 계조에서 비교예 및 실험예2의 화소 전류 변동률은 각각 17.0% 및 3.2%이며 16 계조에서 비교예 및 실험예2의 화소 전류 변동률은 각각 31.0% 및 4.8%인 것을 알 수 있다.

[0145] 32 이하의 저계조는 조금의 휘도 변동에도 민감하게 인지되는 영역이며, 계조상 1 계조 인지가 가능하며, 예를 들면, 32 계조 서브 화소와 31 계조 서브 화는 시각적으로 다른 휘도로 인지되며, 휘도로 환산하면 6~7% 정도된다. 따라서, 모든 계조에서 화소 전류 변동률이 6~7% 이하에 위치하는 실험예2의 경우 휘도 변화가 육안으로 인지되지 않게 된다.

[0146] 따라서, 오버레이 시프트에 의한 인접한 동일 색상의 서브 화소 사이의 휘도 차를 개선하기 위해서는 보상 패턴의 폭은 6.5㎛~7㎛의 범위를 가질 수 있다.

[0147] 본 발명의 실시예들에 따른 전계 발광 표시 장치는 다음과 같이 설명될 수 있다.

[0148] 본 발명의 일 실시예에 따른 전계 발광 표시 장치는, 서로 다른 색상의 제1 서브 화소, 제2 서브 화소, 제3 서브 화소 및 제4 서브 화소를 구비하는 복수의 화소가 배치되는 표시 패널, 상기 복수의 화소에 복수의 데이터 배선을 통해 데이터 전압을 공급하는 데이터 구동부 및 상기 복수의 화소에 복수의 게이트 배선을 통해 게이트 신호를 공급하는 게이트 구동부를 포함하며, 상기 복수의 데이터 배선 각각은 복수의 서브 데이터 배선으로 분기되고, 상기 복수의 서브 데이터 배선 각각은 동일 색상의 복수의 서브 화소에 연결되며, 상기 서브 화소는 스위칭 트랜지스터를 포함하고, 상기 스위칭 트랜지스터의 소스 전극은, 상기 게이트 배선으로부터 이격 하는 적어도 일측에 구비된 보상 패턴을 포함할 수 있다.

[0149] 본 발명의 다른 특징에 따르면, 상기 복수의 화소에 구비되는 복수의 제1 서브 화소는 서로 동일한 열에 배치되고, 상기 복수의 화소에 구비되는 복수의 제2 서브 화소는 서로 동일한 열에 배치되며, 상기 복수의 화소에 구비되는 복수의 제3 서브 화소는 서로 동일한 열에 배치되고, 상기 복수의 화소에 구비되는 복수의 제4 서브 화소는 서로 동일한 열에 배치될 수 있다.

[0150] 본 발명의 또 다른 특징에 따르면, 상기 제1 서브 화소는 적색 서브 화소이고, 상기 제2 서브 화소는 백색 서브 화소이며, 상기 제3 서브 화소는 청색 서브 화소이고, 상기 제4 서브 화소는 녹색 서브 화소일 수 있다.

[0151] 본 발명의 또 다른 특징에 따르면, 상기 복수의 서브 데이터 배선은, 상기 복수의 화소에 배치되는 복수의 제1 서브 화소에 연결되는 복수의 제1 서브 데이터 배선, 상기 복수의 화소에 배치되는 복수의 제2 서브 화소에 연결되는 복수의 제2 서브 데이터 배선, 상기 복수의 화소에 배치되는 복수의 제3 서브 화소에 연결되는 복수의 제3 서브 데이터 배선 및 상기 복수의 화소에 배치되는 복수의 제4 서브 화소에 연결되는 복수의 제4 서브 데이터 배선을 포함할 수 있다.

[0152] 본 발명의 또 다른 특징에 따르면, 상기 제1 서브 데이터 배선과 상기 제2 서브 데이터 배선은 상기 제1 서브 화소와 상기 제2 서브 화소 사이에 배치되고, 상기 제3 서브 데이터 배선과 상기 제4 서브 데이터 배선은 상기

제3 서브 화소와 상기 제4 서브 화소 사이에 배치될 수 있다.

[0153] 본 발명의 또 다른 특징에 따르면, 상기 복수의 화소 각각은 동일한 게이트 배선에 연결되고, 상기 복수의 화소 중 인접된 두 개의 화소는 서로 다른 게이트 배선에 연결될 수 있다.

[0154] 본 발명의 또 다른 특징에 따르면, 상기 보상 패턴은 6.5㎛~7㎛의 폭을 가질 수 있다.

[0155] 본 발명의 또 다른 특징에 따르면, 인접한 동일 색상의 두 서브 화소는, 서로 인접한 제1 게이트 배선과 제2 게이트 배선에 각각 연결되고, 각각의 서브 화소의 구동 회로가 서로 반전되며, 상기 보상 패턴은, 상기 반전된 두 서브 화소간 상기 제1, 제2 게이트 배선과 상기 소스 전극 사이에서 발생하는 기생 커패시턴스의 차이를 보상할 수 있다.

[0156] 본 발명의 또 다른 특징에 따르면, 상기 두 서브 화소 중, 첫 번째 서브 화소는 제1 소스 전극이 상기 제1 게이트 배선 위에 배치되고, 제1 드레인 전극이 상기 제1 게이트 배선 아래에 배치되며, 상기 두 서브 화소 중, 두 번째 서브 화소는 제2 드레인 전극이 상기 제2 게이트 배선 위에 배치되고, 제2 소스 전극이 상기 제2 게이트 배선 아래에 배치될 수 있다.

[0157] 본 발명의 또 다른 특징에 따르면, 상기 보상 패턴은, 상기 제1 소스 전극의 적어도 일측에 구비된 제1 보상 패턴 및 상기 제2 소스 전극의 적어도 일측에 구비된 제2 보상 패턴을 포함할 수 있다.

[0158] 본 발명의 또 다른 특징에 따르면, 상기 제1 소스 전극 및 상기 제2 소스 전극의 하부에 각각 배치되는 제1 차광층 및 제2 차광층을 더 포함하며, 상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 각각 상기 제1 차광층 및 상기 제2 차광층과 중첩되지 않는 상기 제1 소스 전극 및 상기 제2 소스 전극의 적어도 일측에 구비될 수 있다.

[0159] 본 발명의 또 다른 특징에 따르면, 상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 상기 제1 게이트 배선 및 상기 제2 게이트 배선의 노광 오버레이 시프트가 발생할 수 있는 최대 위치에 상기 제1 게이트 배선 및 상기 제2 게이트 배선으로부터 이격 하여 구비될 수 있다.

[0160] 본 발명의 다른 일 실시예에 따른 전계 발광 표시 장치는, 서로 다른 색상의 복수의 서브 화소를 구비하는 복수의 화소가 배치되는 표시 패널, 상기 복수의 화소에 복수의 데이터 배선을 통해 데이터 전압을 공급하는 데이터 구동부 및 상기 복수의 화소에 복수의 게이트 배선을 통해 게이트 신호를 공급하는 게이트 구동부를 포함하며, 상기 복수의 데이터 배선 각각은 복수의 서브 데이터 배선으로 분기되고, 상기 복수의 서브 데이터 배선 각각은 동일 색상의 복수의 서브 화소에 연결되며, 상기 서브 화소는 스위칭 트랜지스터를 포함하고, 상기 스위칭 트랜지스터의 소스 전극은, 상기 게이트 배선으로부터 이격 하는 적어도 일측에 구비된 보상 패턴을 포함하며, 인접한 동일 색상의 두 서브 화소간 상기 게이트 배선과 상기 소스 전극 사이의 이격 거리에 따른 상기 게이트 배선과 상기 소스 전극 사이의 기생 커패시턴스의 차이를 보상할 수 있다.

[0161] 본 발명의 다른 특징에 따르면, 상기 인접한 동일 색상의 두 서브 화소는, 인접한 제1 게이트 배선과 제2 게이트 배선에 각각 연결되고, 상기 두 서브 화소 중, 첫 번째 서브 화소는 제1 소스 전극이 상기 제1 게이트 배선 위에 배치되고, 제1 드레인 전극이 상기 제1 게이트 배선 아래에 배치되며, 상기 두 서브 화소 중, 두 번째 서브 화소는 제2 드레인 전극이 상기 제2 게이트 배선 위에 배치되고, 제2 소스 전극이 상기 제2 게이트 배선 아래에 배치될 수 있다.

[0162] 본 발명의 또 다른 특징에 따르면, 상기 보상 패턴은, 상기 제1 소스 전극의 적어도 일측에 구비된 제1 보상 패턴 및 상기 제2 소스 전극의 적어도 일측에 구비된 제2 보상 패턴을 포함할 수 있다.

[0163] 본 발명의 또 다른 특징에 따르면, 상기 제1 소스 전극 및 상기 제2 소스 전극의 하부에 각각 배치되는 제1 차광층 및 제2 차광층을 더 포함하며, 상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 각각 상기 제1 차광층 및 상기 제2 차광층과 중첩되지 않는 상기 제1 소스 전극 및 상기 제2 소스 전극의 적어도 일측에 구비될 수 있다.

[0164] 본 발명의 또 다른 특징에 따르면, 상기 제1 보상 패턴 및 상기 제2 보상 패턴은, 상기 제1 게이트 배선 및 상기 제2 게이트 배선의 노광 오버레이 시프트가 발생할 수 있는 최대 위치에 상기 제1 게이트 배선 및 상기 제2 게이트 배선으로부터 이격 하여 구비될 수 있다.

[0165] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 제한하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 제한되는 것은 아니다. 그러므로, 이상에서 기

술한 실시예들은 모든 면에서 예시적인 것이며 제한적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0166] 100: 표시 장치

110: 표시 패널

120: 게이트 구동부

130: 데이터 구동부

140: 타이밍 컨트롤러

150: 발광 소자

PX: 화소

SP: 서브 화소

R: 제1 서브 화소

W: 제2 서브 화소

B: 제3 서브 화소

G: 제4 서브 화소

DL: 데이터 배선

GL: 게이트 배선

AE1-a, AE1-b: 제1 보상 패턴

AE2-a, AE2-b: 제2 보상 패턴

DE1, DE2: 드레인 전극

GE1, GE2: 게이트 전극

LS1, LS2: 차광층

SE1, SE2: 소스 전극

VDDL: 고전위 전압 배선

RVL: 기준 전압 배선

SWT, SWT1, SWT2: 스위칭 트랜지스터

DT, DT1, DT2: 구동 트랜지스터

SET, SET1, SET2: 센싱 트랜지스터

SC, SC1, SC2: 스토리지 커패시터

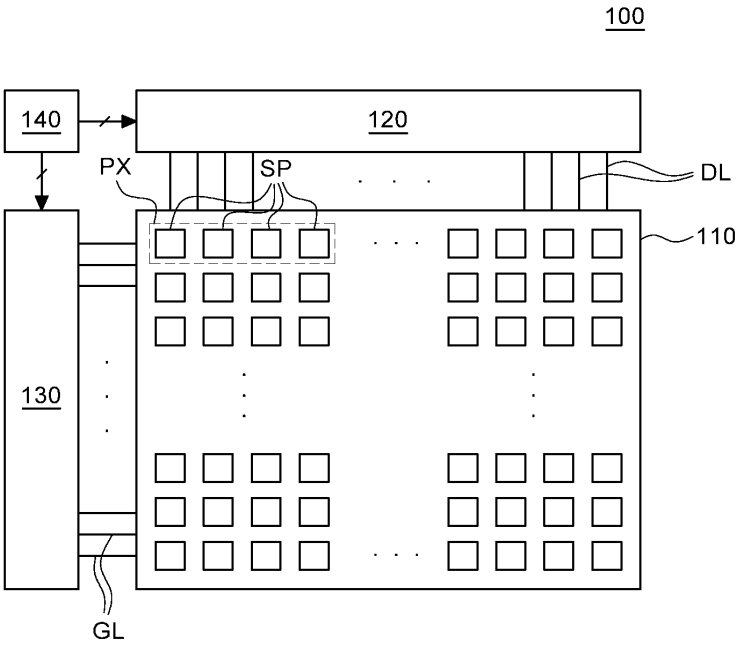
PC1, PC2: 기생 커패시턴스

DATA: 데이터 전압

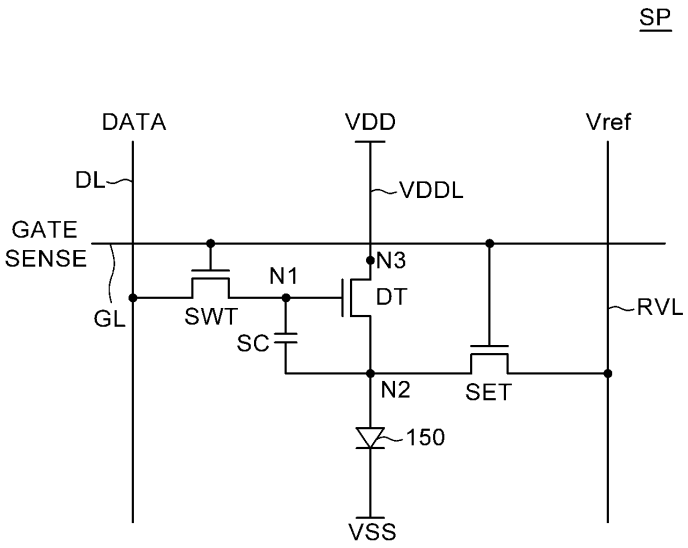
GATE: 게이트 전압

도면

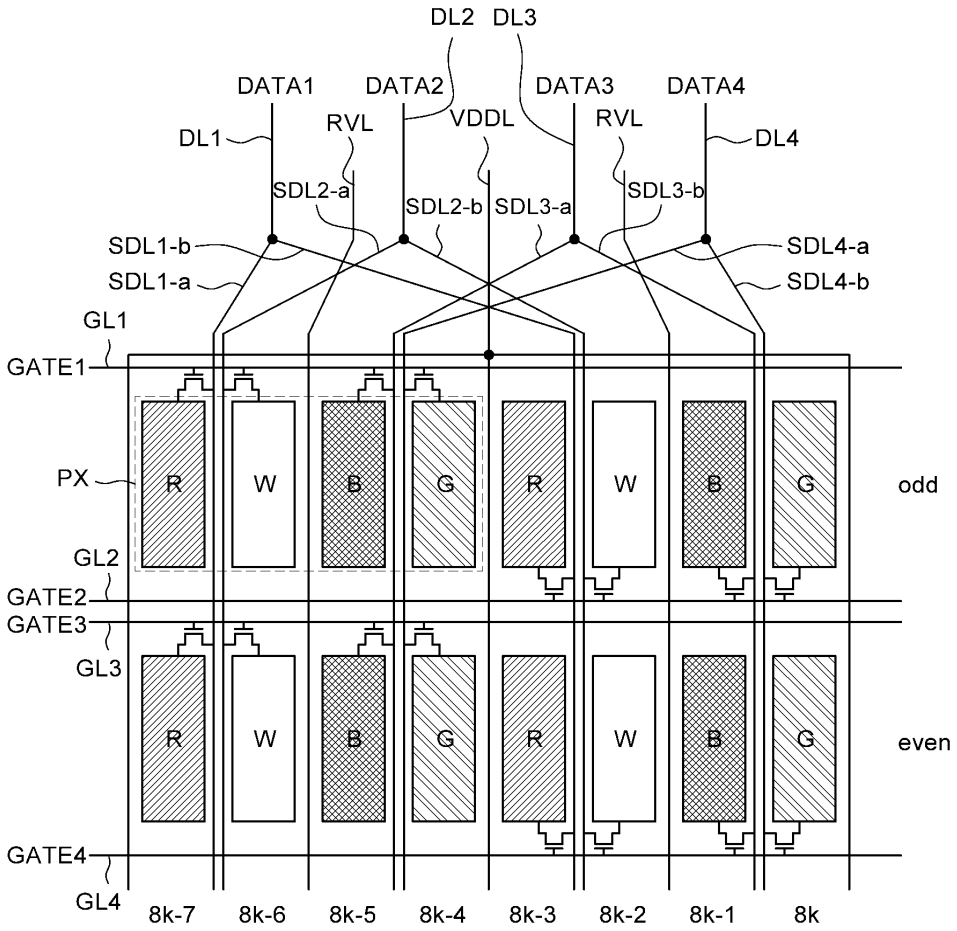
도면1


100
140
120
PX
SP
DL
110
130
GL

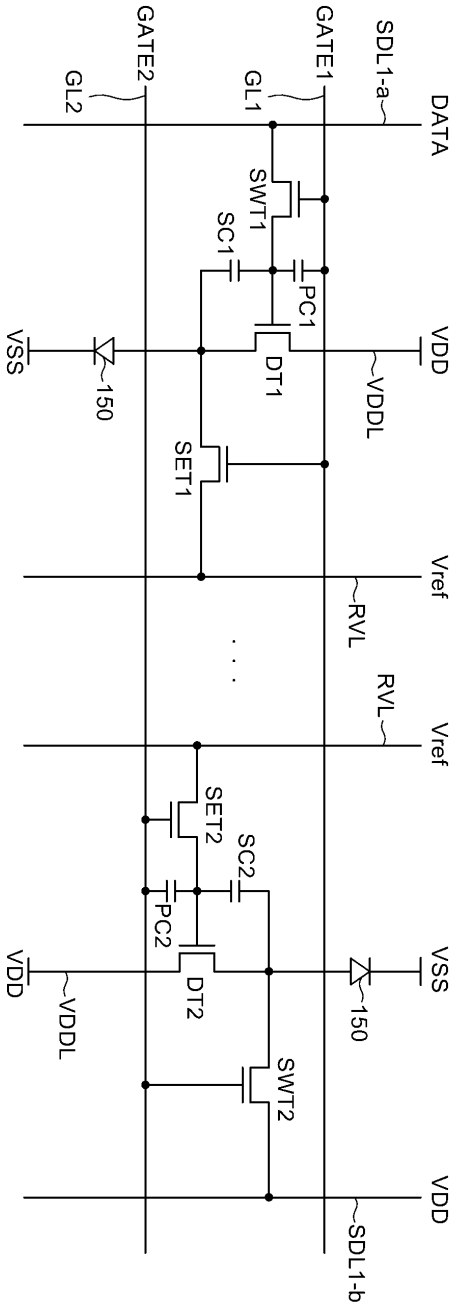
도면2


SP
DATA
VDD
Vref
DL
VDDL
GATE
SENSE
N1
N3
DT
GL
SWT
SC
RVL
N2
SET
150
VSS

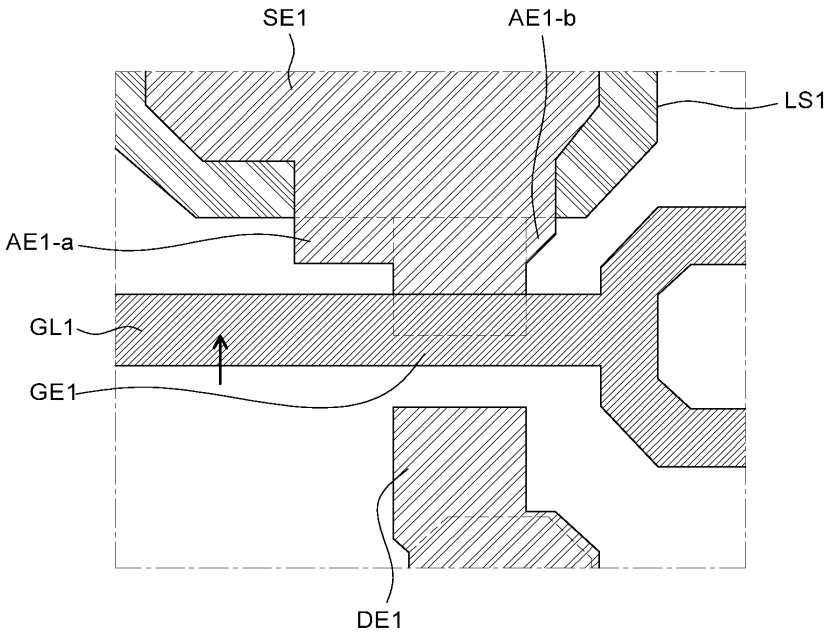
도면3


DL2
DL3
DATA1
DATA2
DATA3
DATA4
DL1
RVL
VDDL
RVL
DL4
SDL2-a
SDL2-b
SDL3-a
SDL3-b
SDL1-b
SDL1-a
SDL4-a
SDL4-b
GL1
GATE1
PX
R
W
B
G
odd
GL2
GATE2
GATE3
GL3
even
GATE4
GL4
8k-7
8k-6
8k-5
8k-4
8k-3
8k-2
8k-1
8k

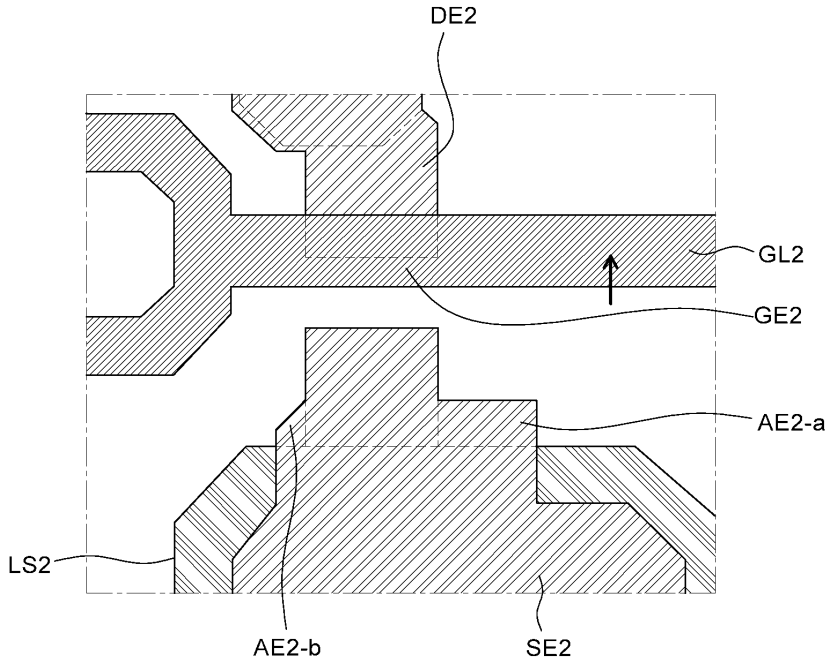
도면4


GATE2
GATE1
SDL1-a
GL2
GL1
DATA
SWT1
SC1
PC1
VSS
150
DT1
VDD
VDDL
SET1
Vref
RVL
RVL
Vref
SET2
SC2
PC2
VDD
VDDL
DT2
VSS
150
SWT2
VDD
SDL1-b

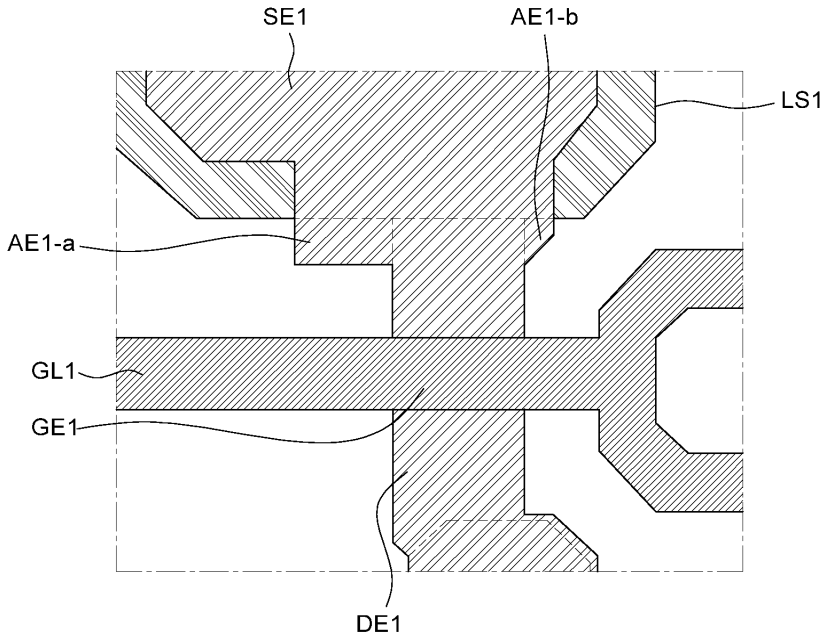
도면5a



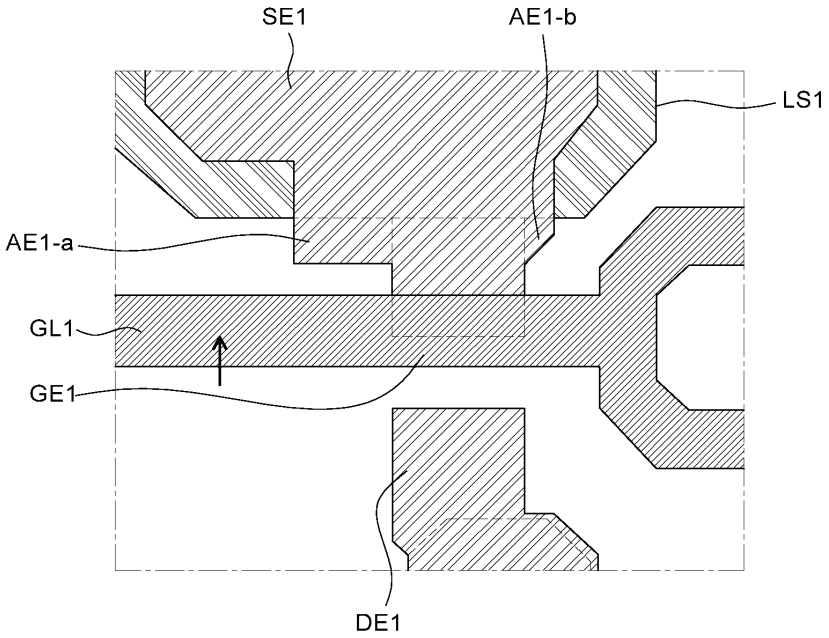
도면5b



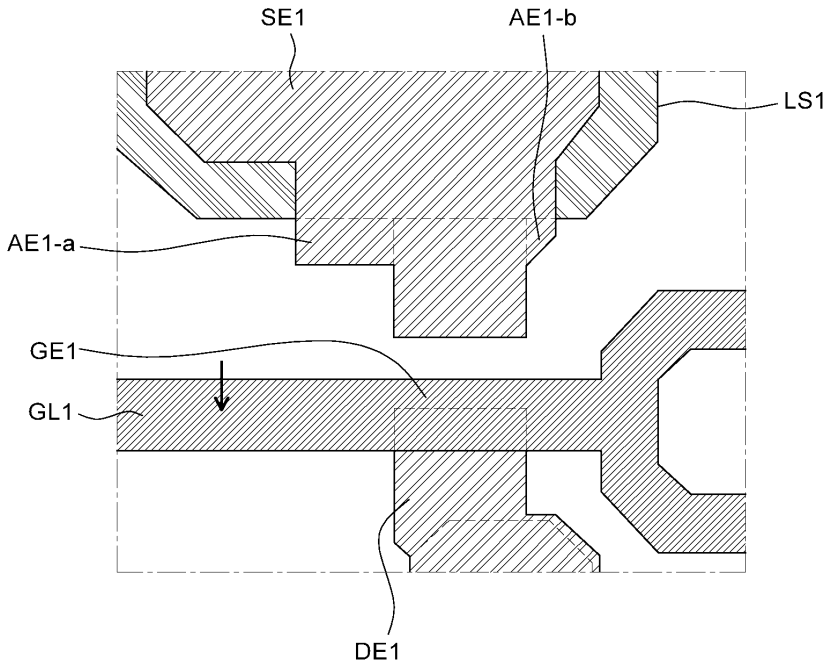
도면6a



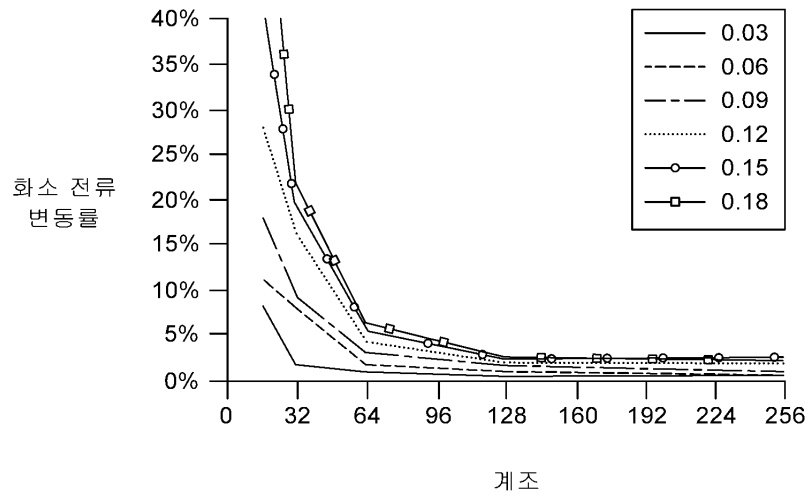
도면6b



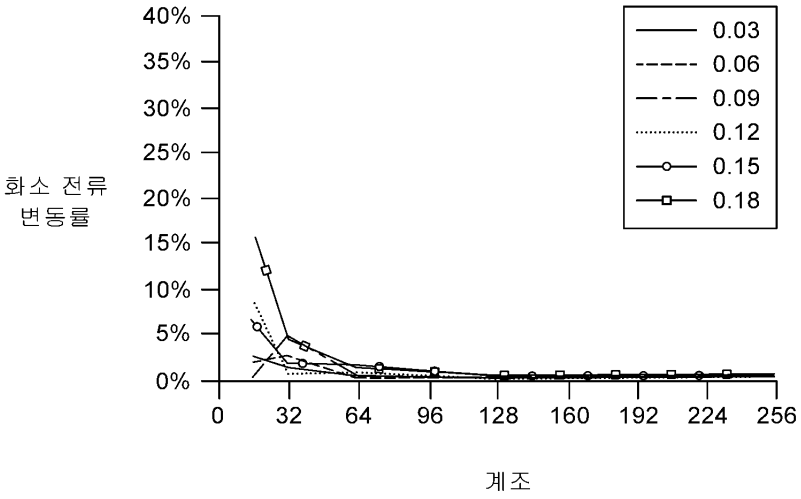
도면6c


SE1
AE1-b
LS1
AE1-a
GE1
GL1
DE1

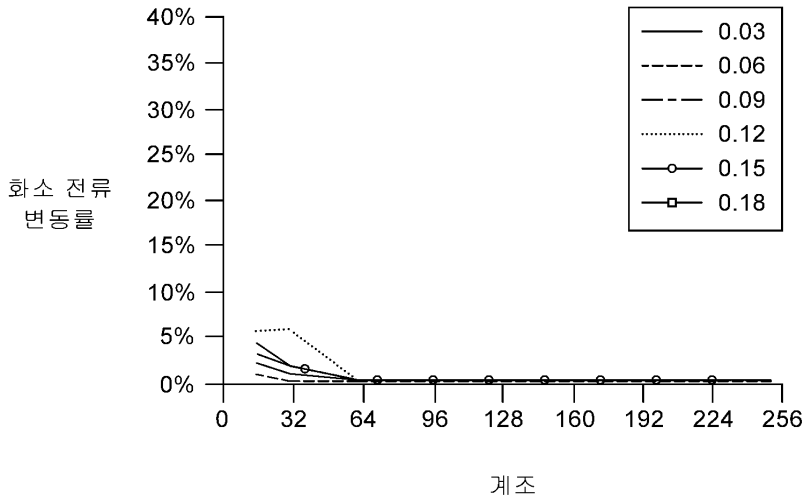
도면7


40%
35%
30%
25%
20%
15%
10%
5%
0%
화소 전류
변동률
0
32
64
96
128
160
192
224
256
계조
0.03
0.06
0.09
0.12
0.15
0.18

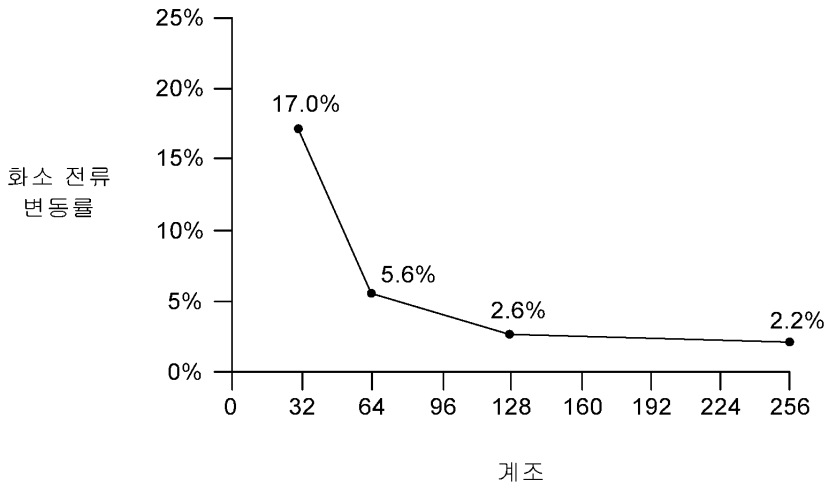
도면8


40%
35%
30%
25%
20%
15%
10%
5%
0%
0
32
64
96
128
160
192
224
256
0.03
0.06
0.09
0.12
0.15
0.18
화소 전류
변동률
계조

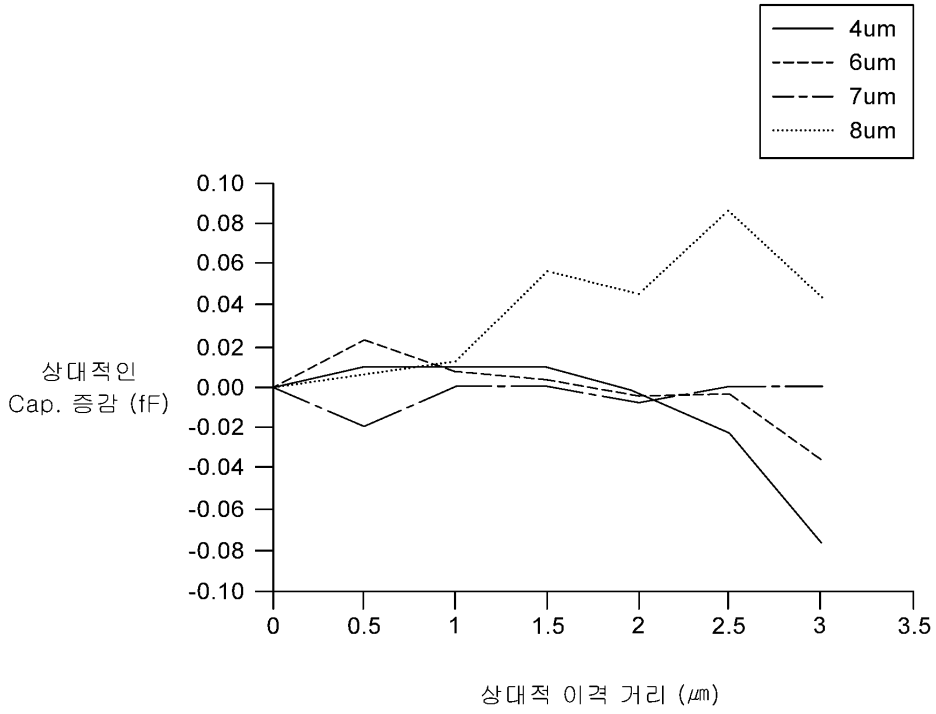
도면9


40%
35%
30%
25%
20%
15%
10%
5%
0%
0
32
64
96
128
160
192
224
256
0.03
0.06
0.09
0.12
0.15
0.18
화소 전류
변동률
계조

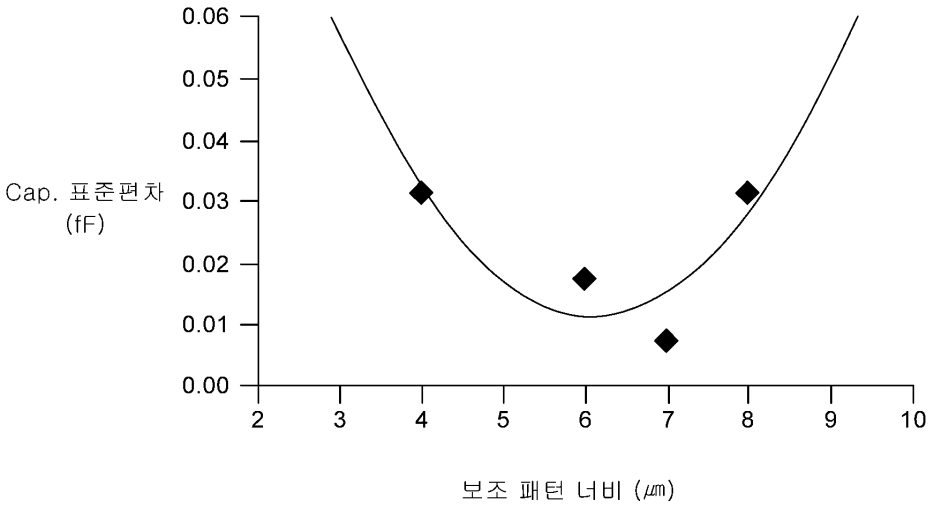
도면10


25%
20%
15%
10%
5%
0%
화소 전류
변동률
17.0%
5.6%
2.6%
2.2%
0
32
64
96
128
160
192
224
256
계조

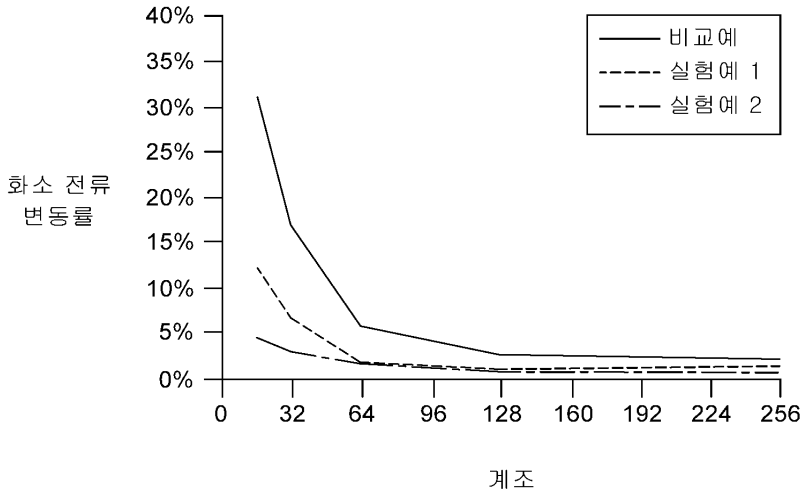
도면11


4um
6um
7um
8um
0.10
0.08
0.06
0.04
0.02
0.00
-0.02
-0.04
-0.06
-0.08
-0.10
상대적인
Cap. 증감 (fF)
0
0.5
1
1.5
2
2.5
3
3.5
상대적 이격 거리 (㎛)

도면12



도면13



도면14

계조	16G	32G	64G	128G	255G
비교예	31.0%	17.0%	5.6%	2.6%	2.2%
실험예 2	4.8%	3.2%	2.0%	0.9%	0.7%