



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년01월04일
(11) 등록번호 10-1912223
(24) 등록일자 2018년10월22일

(51) 국제특허분류(Int. Cl.)
G11C 11/15 (2006.01)
(21) 출원번호 10-2011-0081224
(22) 출원일자 2011년08월16일
심사청구일자 2016년07월28일
(65) 공개번호 10-2013-0019207
(43) 공개일자 2013년02월26일
(56) 선행기술조사문헌
US20040232460 A1*
US20080109775 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
오형록
경기도 용인시 수지구 성북2로 174, 111동 206호
(성북동, 성동마을수지자이아파트)
오세충
경기도 수원시 영통구 태장로71번길 19, 동수원엘
지빌리지2차 207동 401호 (망포동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 8 항

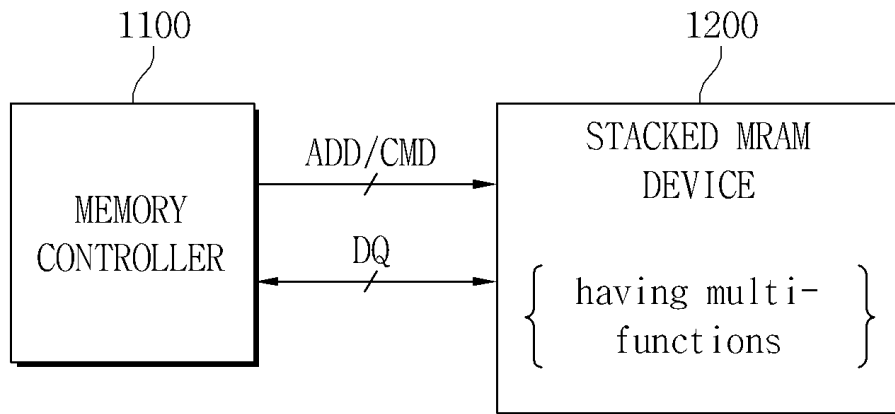
심사관 : 손윤식

(54) 발명의 명칭 **적층 자기 램 장치 및 이를 포함하는 메모리 시스템**

(57) 요약

다양한 특성 또는 기능을 갖는 메모리 셀 어레이들이 메모리 셀 층들에 포함된 적층 MRAM 장치가 개시된다. 적층 MRAM 장치는 반도체 기판 및 하나 이상의 메모리 셀 층들을 포함한다. 반도체 기판은 제 1 메모리 셀 어레이를 포함한다. 메모리 셀 층들 각각은 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 메모리 셀 어레이를 포함하고 상기 반도체 기판의 상부에 적층된다. 따라서, 적층 MRAM 장치는 고 밀도, 고 성능, 및 고 신뢰도를 갖는다.

대표도 - 도1



명세서

청구범위

청구항 1

노말 셀(normal cell)들을 포함하는 제 1 메모리 셀 어레이를 포함하는 반도체 기판; 및
 상기 반도체 기판의 상부에 적층된 제 1 메모리 셀 층 및 제 2 메모리 셀 층을 포함하고,
 상기 제1 메모리 셀 층은, ECC(Error-Correction Code) 데이터가 저장되는 ECC 셀들과 기준 저항 값이 저장되는 기준 셀(reference cell)들을 포함하는 제2 메모리 셀 어레이를 포함하고,
 상기 제2 메모리 셀 층은, OTP(one-time programming) 셀들을 포함하는 제3 메모리 셀 어레이를 포함하는 것을 특징으로 하는 적층 MRAM 장치.

청구항 2

제 1 항에 있어서, 상기 적층 MRAM 장치는
 상기 메모리 셀 층들 중 가장 위에 위치한 메모리 셀 층의 상부에 위치한 연결층을 더 포함하는 것을 특징으로 하는 적층 MRAM 장치.

청구항 3

삭제

청구항 4

제 1 항에 있어서,
 상기 반도체 기판에는 상기 메모리 셀 어레이들을 구동하기 위한 제어 회로가 포함되는 것을 특징으로 하는 적층 MRAM 장치.

청구항 5

제 1 항에 있어서,
 상기 반도체 기판에 포함되는 메모리 셀 어레이의 특성 및 상기 반도체 기판의 상부에 적층되는 메모리 셀 어레이들의 특성은 상기 메모리 셀 어레이들을 구성하는 터널자기저항 소자(tunnel magneto-resistive element: TMR)의 공정 파라미터들(process parameters)에 의해 결정되는 것을 특징으로 하는 적층 MRAM 장치.

청구항 6

제 5 항에 있어서,
 상기 공정 파라미터들은 사이즈(size), AR(aspect ratio), 산화막의 두께(tOX), 및 자유 자화층의 두께(tFL)를 포함하는 것을 특징으로 하는 적층 MRAM 장치.

청구항 7

제 6 항에 있어서,
 수직 자화의 경우, 상기 제 1 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)가 제 1 두께를 가질 때, 상기 제 2 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 두껍고, 상기 제 3 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 얇은 것을 특징으로 하는 적층 MRAM 장치.

청구항 8

제 6 항에 있어서,

수평 자화의 경우, 상기 제 1 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)가 제 1 두께를 가질 때, 상기 제 2 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 얇고, 상기 제 3 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 두꺼운 것을 특징으로 하는 적층 MRAM 장치.

청구항 9

어드레스 신호와 커맨드 신호를 발생하는 메모리 컨트롤러; 및

상기 어드레스 신호와 상기 커맨드 신호에 응답하여 동작하는 적층 MRAM 장치를 포함하고, 상기 적층 MRAM 장치는

노말 셀(normal cell)들을 포함하는 제 1 메모리 셀 어레이를 포함하는 반도체 기판; 및

상기 반도체 기판의 상부에 적층된 제 1 메모리 셀 층 및 제 2 메모리 셀 층을 포함하고,

상기 제1 메모리 셀 층은, ECC(Error-Correction Code) 데이터가 저장되는 ECC 셀들과 기준 저항 값이 저장되는 기준 셀(reference cell)들을 포함하는 제2 메모리 셀 어레이를 포함하고,

상기 제2 메모리 셀 층은, OTP(one-time programming) 셀들을 포함하는 제3 메모리 셀 어레이를 포함하는 것을 특징으로 하는 메모리 시스템.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치에 관한 것으로, 특히 자기터널접합 메모리 셀들을 포함하는 적층 자기 램 장치에 관한 것이다.

배경 기술

[0002] 소비전력이 적고 비휘발성의 데이터 기억 장치로서 MRAM(Magnetic Random Access Memory) 장치가 주목을 받고 있다. MRAM 장치는 반도체 집적 회로에 형성된 복수의 MTJ(Magnetic Tunnel Junction) 메모리 셀을 이용하여 비휘발적으로 데이터를 기억하고, 메모리 셀 각각에 대해 랜덤 액세스가 가능한 기억 장치이다.

[0003] 최근에는 메모리 셀 층들을 3차원적으로 적층하여 메모리 장치의 칩 사이즈를 줄이는 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 다양한 특성을 갖는 메모리 셀 어레이들을 메모리 셀 층들에 배치(dispose)시킴으로써, 고 밀도, 고 성능, 및 고 신뢰도를 갖는 적층 MRAM 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기 적층 MRAM 장치를 포함하는 메모리 시스템을 제공하는 것이다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 적층 MRAM 장치는 반도체 기판 및 하나 이상의 메모리 셀 층들을 포함한다.

[0007] 반도체 기판은 제 1 메모리 셀 어레이를 포함한다. 메모리 셀 층들 각각은 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 메모리 셀 어레이를 포함하고 상기 반도체 기판의 상부에 적층된다.

[0008] 본 발명의 하나의 실시예에 의하면, 상기 메모리 셀 층들은 제 1 메모리 셀 층 및 제 2 메모리 셀 층을 포함할

수 있다.

- [0009] 제 1 메모리 셀 층은 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 제 2 메모리 셀 어레이를 포함하고, 제 2 메모리 셀 층은 상기 제 2 메모리 셀 어레이와 다른 기능을 갖는 제 3 메모리 셀 어레이를 포함한다.
- [0010] 본 발명의 하나의 실시예에 의하면, 상기 제 2 메모리 셀 어레이는 높은 내구성(high endurance)을 갖고, 상기 제 3 메모리 셀 어레이는 높은 유지성(high retention)을 가질 수 있다.
- [0011] 본 발명의 하나의 실시예에 의하면, 상기 제 1 메모리 셀 어레이에는 노말 셀(normal cell)들이 포함되고, 상기 제 2 메모리 셀 어레이에는 ECC(Error-Correction Code) 데이터가 저장되는 ECC 셀들과 기준 저장 값이 저장되는 기준 셀(reference cell)들이 포함되고, 상기 제 3 메모리 셀 어레이에는 OTP(one-time programming) 셀들이 포함할 수 있다.
- [0012] 본 발명의 하나의 실시예에 의하면, 상기 반도체 기판에 포함되는 메모리 셀 어레이의 특성 및 상기 반도체 기판의 상부에 적층되는 메모리 셀 어레이들의 특성은 상기 메모리 셀 어레이들을 구성하는 터널자기저항 소자(tunnel magneto-resistive element: TMR)의 공정 파라미터들(process parameters)에 의해 결정될 수 있다.
- [0013] 본 발명의 하나의 실시예에 의하면, 상기 공정 파라미터들은 사이즈(size), AR(aspect ratio), 산화막의 두께(tOX), 및 자유 자화층의 두께(tFL)를 포함할 수 있다.
- [0014] 본 발명의 하나의 실시예에 의하면, 수직 자화의 경우, 상기 제 1 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)가 제 1 두께를 가질 때, 상기 제 2 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 두껍고, 상기 제 3 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 얇을 수 있다.
- [0015] 본 발명의 하나의 실시예에 의하면, 수평 자화의 경우, 상기 제 1 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)가 제 1 두께를 가질 때, 상기 제 2 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 얇고, 상기 제 3 메모리 셀 어레이에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 두꺼울 수 있다.
- [0016] 본 발명의 하나의 실시예에 의하면, 상기 적층 MRAM 장치는 상기 메모리 셀 층들 중 가장 위에 위치한 메모리 셀 층의 상부에 위치한 연결층을 더 포함할 수 있다.
- [0017] 본 발명의 하나의 실시예에 의하면, 상기 반도체 기판에는 상기 메모리 셀 어레이들을 구동하기 위한 제어 회로가 포함될 수 있다.
- [0018] 본 발명의 하나의 실시형태에 따른 메모리 시스템은 메모리 컨트롤러 및 적층 MRAM 장치를 포함한다.
- [0019] 메모리 컨트롤러는 어드레스 신호와 커맨드 신호를 발생하고, 적층 MRAM 장치는 상기 어드레스 신호와 상기 커맨드 신호에 응답하여 동작한다. 상기 적층 MRAM 장치는 반도체 기판 및 하나 이상의 메모리 셀 층들을 포함한다. 반도체 기판은 제 1 메모리 셀 어레이를 포함하고, 메모리 셀 층들 각각은 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 메모리 셀 어레이를 포함하고 상기 반도체 기판의 상부에 적층된다.
- [0020] 본 발명의 하나의 실시예에 의하면, 상기 메모리 셀 층들은 각각 다양한 기능을 갖는 메모리 셀 어레이를 포함할 수 있다.
- [0021] 본 발명의 하나의 실시예에 의하면, 상기 메모리 셀 층들 중 일부는 높은 내구성(high endurance)을 갖는 메모리 셀 어레이를 포함하고, 일부는 높은 유지성(high retention)을 갖는 메모리 셀 어레이를 포함할 수 있다.
- [0022] 본 발명의 하나의 실시예에 의하면, 상기 높은 내구성(high endurance)을 갖는 메모리 셀 어레이를 포함하는 메모리 셀 층에는 ECC 셀들과 기준 셀(reference cell)들이 포함되고, 상기 높은 유지성(high retention)을 갖는 메모리 셀 어레이를 포함하는 메모리 셀 어레이에는 OTP(one-time programming) 셀들이 포함될 수 있다.
- [0023] 본 발명의 하나의 실시예에 의하면, 상기 적층 MRAM 장치에 포함된 메모리 셀 어레이들의 특성은 상기 메모리 셀 어레이들을 구성하는 터널자기저항 소자(TMR)의 공정 파라미터들(process parameters)에 의해 결정될 수 있다.

발명의 효과

- [0024] 본 발명의 실시예에 따른 적층 MRAM 장치는 다양한 특성 또는 기능을 갖는 메모리 셀 어레이들이 메모리 셀 층

들에 포함되기 때문에, 고 밀도, 고 성능, 및 고 신뢰도를 갖는다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 하나의 실시예에 따른 적층 MRAM 장치를 나타내는 블록도이다.
- 도 2는 도 1의 적층 MRAM 장치의 3차원 구조의 하나의 예를 나타내는 투시도이다.
- 도 3은 도 2에 도시된 적층 MRAM 장치의 각 층에 포함될 수 있는 셀들의 종류 예를 나타내는 정면도이다.
- 도 4는 도 2에 도시된 적층 MRAM 장치에 포함된 메모리 셀 어레이의 하나의 예를 나타내는 회로도이다.
- 도 5는 터널 자기 저항 소자(tunneling magneto-resistive element: TMR)를 포함하는 MRAM(Magnetic Random Access Memory) 셀의 하나의 예를 나타내는 회로도이다.
- 도 6은 자유자화층의 두께와 자화 에너지의 관계를 나타내는 그래프이다.
- 도 7은 공정 파라미터와 메모리 셀들의 특성 및 이들 셀에 적합한 회로들을 나타내는 표이다.
- 도 8은 도 2에 도시된 적층 MRAM 장치에 포함된 메모리 셀 어레이의 다른 하나의 예를 나타내는 회로도이다.
- 도 9는 도 1의 적층 MRAM 장치의 3차원 구조의 다른 하나의 예를 나타내는 투시도이다.
- 도 10은 도 9에 도시된 적층 MRAM 장치가 반도체 기판 위에 적층된 2 개의 메모리 셀 어레이 층을 가질 때 I-I'을 따라 절단한 단면도이다.
- 도 11은 본 발명의 하나의 실시예에 따른 적층 MRAM 장치의 회로 구성을 나타내는 블록도이다.
- 도 12는 본 발명의 다른 하나의 실시예에 따른 적층 MRAM 장치의 회로 구성을 나타내는 블록도이다.
- 도 13은 본 발명의 또 다른 하나의 실시예에 따른 적층 MRAM 장치의 회로 구성을 나타내는 블록도이다.
- 도 14는 도 1의 적층 MRAM 장치의 3차원 구조의 또 다른 하나의 예를 나타내는 투시도이다.
- 도 15는 본 발명의 실시 예들에 따른 적층 MRAM 장치를 포함하는 전자 시스템의 하나의 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시 예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.
- [0027] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0028] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0029] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0030] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 개시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는

이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0032] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0034] 도 1은 본 발명의 하나의 실시예에 따른 적층 MRAM 장치를 나타내는 블록도이다.
- [0035] 도 1을 참조하면, 메모리 시스템은 메모리 컨트롤러(1100) 및 적층 MRAM 장치(1200)를 포함한다.
- [0036] 메모리 컨트롤러(1100)는 어드레스(ADD)와 커맨드(CMD)를 발생하고 데이터(DQ)를 적층 MRAM 장치(1200)에 전송하거나 적층 MRAM 장치(1200)로부터 데이터(DQ)를 수신한다. 적층 MRAM 장치(1200)는 어드레스(ADD)와 커맨드(CMD)에 기초하여 동작하고, 반도체 기판 및 하나 이상의 메모리 셀 층들을 포함한다.
- [0037] 반도체 기판은 제 1 메모리 셀 어레이를 포함한다. 메모리 셀 층들 각각은 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 메모리 셀 어레이를 포함하고 상기 반도체 기판의 상부에 적층된다.
- [0038] 도 2는 도 1의 적층 MRAM 장치(1200)의 3차원 구조의 하나의 예를 나타내는 투시도이다.
- [0039] 도 2를 참조하면, 적층 MRAM 장치(1200)는 반도체 기판(1210), 제 1 메모리 셀 층(1220) 및 제 2 메모리 셀 층(1230)을 포함할 수 있다.
- [0040] 반도체 기판(1210)은 제 1 메모리 셀 어레이를 포함한다. 제 1 메모리 셀 층(1220)은 반도체 기판(1210)의 상부에 적층되고, 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 제 2 메모리 셀 어레이를 포함한다. 제 2 메모리 셀 층(1230)은 제 1 메모리 셀 층(1220)의 상부에 적층되고, 상기 제 2 메모리 셀 어레이와 다른 기능을 갖는 제 3 메모리 셀 어레이를 포함한다.
- [0041] 도 3은 도 2에 도시된 적층 MRAM 장치(1200)의 각 층에 포함될 수 있는 셀들의 종류 예를 나타내는 정면도이다.
- [0042] 도 3을 참조하면, 반도체 기판(1210)에는 노말(normal) 셀들 및 메모리 셀 어레이들을 구동하기 위한 제어 회로가 포함될 수 있다. 제 1 메모리 셀 층(1220)에는 ECC(Error-Correction Code) 데이터가 저장되는 ECC 셀들과 기준 저항 값이 저장되는 기준 셀(reference cell)들이 포함될 수 있다. 제 2 메모리 셀 층(1230)에는 OTP(one-time programming) 셀들이 포함될 수 있다.
- [0043] 도 4는 도 2에 도시된 적층 MRAM 장치(1200)에 포함된 메모리 셀 어레이의 하나의 예를 나타내는 회로도이다.
- [0044] 도 4를 참조하면, 제 1 메모리 셀 층(1220)은 메모리 셀 어레이(111) 및 비트라인들(BL1~BLn)에 연결된 센스 앰프들(SA)을 포함할 수 있다.
- [0045] 메모리 셀 어레이(111)는 복수의 터널 자기 저항 소자(tunneling magneto-resistance element)(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn), 및 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 각각에 직렬 연결된 트랜지스터들(MN11~MN1n, MN21~MN2n, ... MNm1~MNmn)을 포함한다. 메모리 셀 어레이(111)는 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 중 선택된 메모리 셀의 터널 자기 저항 소자의 저항값의 변화에 기인한 전류의 변화를 대응하는 비트라인에 출력한다. 센스 앰프들(SA)은 대응하는 비트라인들의 전압신호를 센싱하고 증폭한다.
- [0046] 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 각각은 복수의 비트라인(BL1~BLn) 각각에 연결된 제 1 단자를 가지며, NMOS 트랜지스터들(MN11~MN1n, MN21~MN2n, ... MNm1~MNmn)은 각각 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 각각의 제2단자에 연결된 드레인, 복수의 워드라인(WL1~WLm) 각각에 연결된 게이트, 및 소스 라인(SL)에 연결된 소스를 가질 수 있다.
- [0047] 도 5는 터널 자기 저항 소자(tunneling magneto-resistive element: TMR)를 포함하는 MRAM(Magnetic Random

Access Memory) 셀의 하나의 예를 나타내는 회로도이다.

- [0048] 도 5를 참조하면, 메모리 셀, 즉 MRAM 셀은 터널 자기 저항 소자(TMR) 및 NMOS 트랜지스터(NMOS)를 포함한다. 터널 자기 저항 소자(TMR)는 비트라인(BL)에 연결된 제 1 단자를 가지며, NMOS 트랜지스터(NMOS)는 터널 자기 저항 소자(TMR)의 제2단자에 연결된 드레인, 워드라인(WL)에 연결된 게이트, 및 소스 라인(SL)에 연결된 소스를 가질 수 있다.
- [0049] 터널 자기 저항 소자(TMR)은 고정된 일정한 자화 방향을 갖는 고정자화 층(pinned magnetic layer: PL), 외부로부터 인가되는 자계의 방향으로 자화되는 자유자화 층(free magnetic layer: FL), 및 고정자화 층(PL)과 자유자화 층(FL) 사이에 절연체 막(insulating film)으로 형성된 터널 배리어 층(TB)을 포함할 수 있다.
- [0050] 도 6은 자유자화층의 두께와 자화 에너지의 관계를 나타내는 그래프이다. 도 6에서, 가로축은 강자성 물질(ferromagnetic material)의 하나인 코발트-철-붕소 합금(CoFeB)로 이루어진 자유자화층의 두께(tFL)를 나타내고, 세로축은 자화에너지(Ku)를 나타낸다.
- [0051] 도 6을 참조하면, 수직 자화(perpendicular magnetization)의 경우, 자유자화층의 두께(tFL)가 얇아질수록 자화에너지(Ku)의 절대값이 증가한다. 따라서, 수직 자화의 경우, 자유자화층의 두께(tFL)가 얇아질수록 MRAM 셀의 신뢰도(reliability)가 증가하고, 자유자화층의 두께(tFL)가 두꺼워질수록 MRAM 셀의 신뢰도가 감소한다. 수평 자화(planar magnetization)의 경우, 자유자화층의 두께(tFL)가 얇아질수록 자화에너지(Ku)의 절대값이 감소한다. 따라서, 수평 자화의 경우, 자유자화층의 두께(tFL)가 얇아질수록 MRAM 셀의 신뢰도가 감소하고, 자유자화층의 두께(tFL)가 두꺼워질수록 MRAM 셀의 신뢰도가 증가한다.
- [0052] 도 7은 공정 파라미터와 메모리 셀들의 특성 및 이들 셀에 적합한 회로들을 나타내는 표이다. 도 7에서, SIZE는 터널 자기 저항 소자(TMR)의 사이즈를, AR(aspect ratio)은 터널 자기 저항 소자(TMR)의 일측단의 가로와 세로의 비를, tOX는 터널 자기 저항 소자(TMR)의 터널 배리어 층(TB), 즉 산화막(oxide)의 두께를, tFL은 터널 자기 저항 소자(TMR)의 자유자화층의 두께를 나타낸다. 또한, med는 medium, Speed는 동작속도, Power는 인가되는 전원전압을 나타낸다.
- [0053] 도 7에서, 자화 물질이 수평 방향으로 자화되는 수평 자화의 경우, SIZE=42, AR=1, tOX=med을 사용하였다. 자화 물질이 수직 방향으로 자화되는 수직 자화의 경우, SIZE=20, AR=1, tOX=med을 사용하였다.
- [0054] 도 7을 참조하면, 노말 셀(normal cell)은 중간의 내구성(high endurance)과 중간의 유지성(high retention)을 가지며, 제 0 메모리 셀 층에 배치(dispose)될 수 있다. ECC(Error-Correction Code) 데이터가 저장되는 ECC 셀들과 기준 저항 값이 저장된 기준 셀(reference cell)들은 높은 내구성과 낮은 유지성을 가지며, 제 1 메모리 셀 층에 배치(dispose)될 수 있다. OTP(one-time programming) 셀들은 높은 유지성과 중간의 내구성을 가지며, 제 1 메모리 셀 층에 배치(dispose)될 수 있다.
- [0055] 수직 자화의 경우, 제 0 메모리 셀 층(0)에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)가 제 1 두께를 가질 때, 제 1 메모리 셀 층(1)에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 두껍고, 제 2 메모리 셀 층(2)에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 얇을 수 있다.
- [0056] 수평 자화의 경우, 제 0 메모리 셀 층(0)에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)가 제 1 두께를 가질 때, 제 1 메모리 셀 층(1)에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 얇고, 제 2 메모리 셀 층(2)에 포함된 터널자기저항 소자(TMR)의 자유 자화층의 두께(tFL)는 상기 제 1 두께보다 두꺼울 수 있다.
- [0057] 도 7의 표에서, 제 0 메모리 셀 층(0)은 도 2의 반도체 기판(1210)에 대응되고, 제 1 메모리 셀 층(1)은 도 2의 제 1 메모리 셀 층(1220)에 대응되고, 제 2 메모리 셀 층(2)은 도 2의 제 2 메모리 셀 층(1230)에 대응될 수 있다.
- [0058] 도 8은 도 2에 도시된 적층 MRAM 장치에 포함된 메모리 셀 어레이의 다른 하나의 예를 나타내는 회로도이다.
- [0059] 도 8을 참조하면, 제 1 메모리 셀 층(1220a)은 메모리 셀 어레이(111) 및 비트라인들(BL1~BLn)에 연결된 센스 앰프들(SA)을 포함할 수 있다.
- [0060] 메모리 셀 어레이(111)는 복수의 터널 자기 저항 소자(tunneling magneto-resistance element)(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn), 및 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 각각에

직렬 연결된 다이오드들(D11~D1n, D21~D2n, ... Dm1~Dmn)을 포함한다. 메모리 셀 어레이(111)는 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 중 선택된 메모리 셀의 터널 자기 저항 소자의 저항값의 변화에 기인한 전류의 변화를 대응하는 비트라인에 출력한다. 센스 앰프들(SA)은 대응하는 비트라인들의 전압신호를 센싱하고 증폭한다.

- [0061] 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 각각은 복수의 비트라인(BL1~BLn) 각각에 연결된 제 1 단자를 가지며, 다이오드들(D11~D1n, D21~D2n, ... Dm1~Dmn)은 각각 터널 자기 저항 소자들(TMR11~TMR1n, TMR21~TMR2n, ... TMRm1~TMRmn) 각각의 제2단자에 연결된 애노드(anode), 복수의 워드라인(WL1~WLm) 각각에 연결된 캐소드(cathode)를 가질 수 있다.
- [0062] 도 9는 도 1의 적층 MRAM 장치의 3차원 구조의 다른 하나의 예를 나타내는 투시도이다.
- [0063] 도 9를 참조하면, 적층 MRAM 장치(1200b)는 반도체 기판(1210), 제 1 메모리 셀 층(1220), 제 2 메모리 셀 층(1230) 및 연결 층(1240)을 포함할 수 있다.
- [0064] 반도체 기판(1210)은 제 1 메모리 셀 어레이를 포함한다. 제 1 메모리 셀 층(1220)은 반도체 기판(1210)의 상부에 적층되고, 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 제 2 메모리 셀 어레이를 포함한다. 제 2 메모리 셀 층(1230)은 제 1 메모리 셀 층(1220)의 상부에 적층되고, 상기 제 2 메모리 셀 어레이와 다른 기능을 갖는 제 3 메모리 셀 어레이를 포함한다.
- [0065] 도 10은 도 9에 도시된 적층 MRAM 장치가 반도체 기판 위에 적층된 2 개의 메모리 셀 어레이 층을 가질 때 I-I'을 따라 절단한 단면도이다.
- [0066] 도 10을 참조하면, 적층 MRAM 장치(1200c)는 반도체 기판(1210), 메모리 셀 층들(1220, 1230) 및 연결 층(1240)을 포함한다.
- [0067] 반도체 기판(1210)은 제어 회로(111)를 포함하고, 메모리 셀 층(1220)은 셀 어레이 영역(121)을 포함하고, 메모리 셀 층(1230)은 셀 어레이 영역(131)을 포함한다. 메모리 셀 층들(1220, 1230)은 반도체 기판(1210) 위에 적층되어 있다.
- [0068] 연결 층(1240)은 메모리 셀 층들(1220, 1230)과 독립적으로 반도체 기판(1210)의 상부(above)에 배치되고, 메모리 셀 층들(1220, 1230)에 배열되어 있는 메모리 셀 선택 라인들을 반도체 기판(1210)에 포함된 제어 회로와 전기적으로 연결한다.
- [0069] 적층 MRAM 장치(1200c)는 수평 연결라인들과 수직 연결라인들을 통해 메모리 셀 층들(1220, 1230)에 배열되어 있는 메모리 셀 선택 라인들을 반도체 기판(1210)에 형성된 제어 회로(111)와 전기적으로 연결한다. 예를 들면, 셀 어레이 영역(131)에 포함된 메모리 셀 선택 라인들은 수평 연결라인(HC1), 수직 연결라인(VC1), 수평 연결라인(HC2), 수직 연결라인(VC2) 및 수평 연결라인(HC3)을 통해 반도체 기판(1210)에 형성된 제어 회로(111)와 전기적으로 연결된다. 셀 어레이 영역(121)에 포함된 메모리 셀 선택 라인들은 수평 연결라인(HC4), 수직 연결라인(VC3), 수평 연결라인(HC5), 수직 연결라인(VC4) 및 수평 연결라인(HC6)을 통해 반도체 기판(1210)에 형성된 제어 회로(111)와 전기적으로 연결된다.
- [0070] 수평 연결라인(HC1) 및 수평 연결라인(HC5)은 반도체 기판(1210) 내에 형성되고, 수평 연결라인(HC2)은 메모리 셀 어레이 층(130a) 내에 형성되고, 수평 연결라인(HC5)은 메모리 셀 층(1220) 내에 형성된다. 수평 연결라인(HC3) 및 수평 연결라인(HC6)은 연결 층(1240) 내에 형성된다.
- [0071] 도 10에 도시된 적층 MRAM 장치(1200c)는 메모리 셀 층들에 배열되어 있는 메모리 셀 선택 라인들을 반도체 기판(1210)에 형성된 제어 회로와 전기적으로 연결하기 위해, 메모리 셀 어레이 층과 독립된 연결 층을 구비한다. 따라서, 도 10에 도시된 적층 MRAM 장치(1200c)는 디코딩 방식(decoding scheme)이 바뀌더라도 적층에 문제가 발생하지 않는다. 예를 들면, 2 층의 메모리 셀 어레이 층을 형성할 것인가 4 층의 메모리 셀 어레이 층을 형성할 것인가에 따라 제어 회로와 워드라인 사이, 또는 제어 회로와 비트라인 사이의 연결이 바뀔 수 있다. 이 경우, 도 10의 반도체 메모리 장치(100a)는 연결 층(160a)에 있는 제 3 수평 연결라인(HC3) 및 제 6 수평 연결라인(HC6)을 연결하거나 또는 연결하지 않음으로써 적층에 문제가 없다.
- [0072] 따라서, 도 10의 적층 MRAM 장치(1200c)는 반도체 기판 위에 적층되어 있는 메모리 셀 층들에 있는 메모리 셀 선택 라인들을 반도체 기판에 있는 제어 회로와 전기적으로 연결할 때 높은 유연성(flexibility)을 갖는다.
- [0073] 도 11은 본 발명의 하나의 실시예에 따른 적층 MRAM 장치의 회로 구성을 나타내는 블록도이다.

- [0074] 도 11을 참조하면, 적층 MRAM 장치(1200d)는 입출력 회로(1210), 제어 회로(1220), 로우 디코더(1240), 칼럼 디코더(1245) 및 적층 메모리 셀 어레이(1250)를 포함한다.
- [0075] 제어 회로(1220)는 어드레스 신호(ADD) 및 프로그램 정보에 기초하여 메모리 셀 어레이 층들의 프로그램 모드를 설정하고, 어드레스 신호(ADD)의 타이밍과 전압 레벨을 제어하여 로우 제어신호(CONX)와 칼럼 제어신호(CONY)를 발생시키고, 로우 제어신호(CONX) 및 칼럼 제어신호(CONY)에 기초하여 층 선택신호(SEL_LAYER)를 발생시킨다.
- [0076] 로우 디코더(1240)는 로우 제어신호(CONX) 및 층 선택신호(SEL_LAYER)를 디코딩하여 워드라인 구동신호(WL0~WLn)를 발생시키고, 워드라인 구동신호(WL0~WLn)를 적층 메모리 셀 어레이(1250)에 제공한다. 칼럼 디코더(1245)는 칼럼 제어신호(CONY) 및 층 선택신호(SEL_LAYER)를 디코딩하여 칼럼 선택신호(SEL_CO)를 발생시키고, 칼럼 선택신호(SEL_CO)를 적층 메모리 셀 어레이(1250)에 제공한다. 입출력 회로(1210)는 센스 앰프 및 기입 구동회로를 포함하며, 기입 동작 모드에서 칼럼 제어신호(CONY) 및 층 선택신호(SEL_LAYER)에 응답하여 입력 데이터(DI)를 적층 메모리 셀 어레이(1250)에 제공한다. 또한, 입출력 회로(1210)는 독출 동작 모드에서 칼럼 제어신호(CONY) 및 층 선택신호(SEL_LAYER)에 응답하여 비트라인의 전압을 센싱하고 증폭하여 출력 데이터(DO)를 발생시킨다.
- [0077] 도 11에 도시된 적층 MRAM 장치(1200d)는 반도체 기판 및 하나 이상의 메모리 셀 층들을 포함한다. 반도체 기판은 제 1 메모리 셀 어레이를 포함한다. 메모리 셀 층들 각각은 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 메모리 셀 어레이를 포함하고 상기 반도체 기판의 상부에 적층된다.
- [0078] 도 11에서, 적층 MRAM 장치(1200d)는 반도체 기판 및 메모리 셀 층들 내에 형성될 수 있고, 반도체 기판은 메모리 셀 어레이들을 구동하기 위한 제어 회로를 포함할 수 있다.
- [0079] 도 12는 본 발명의 다른 하나의 실시예에 따른 적층 MRAM 장치의 회로 구성을 나타내는 블록도이다.
- [0080] 도 12를 참조하면, 적층 MRAM 장치(1200e)는 적층 메모리 셀 어레이(1250a), 로우 디코더(1240a), 칼럼 디코더(1245a) 및 칼럼 선택 회로(1247a)를 포함할 수 있다. 또한, 도 12의 적층 MRAM 장치(1200e)는 수직 어드레스 신호(ADD<vertical>)를 디코딩하여 로우 디코더(1240a)에 제공하는 수직 디코더(1248a)를 더 포함할 수 있다.
- [0081] 적층 메모리 셀 어레이(1250a)는 메모리 셀 층들(Layer<0>~Layer<N>)을 포함하고, 로우 디코더(1240a) 및 칼럼 선택 회로(1247a)에 의해 제어된다. 로우 디코더(1240a)는 로우 어드레스 신호(ADD<ROW>)를 디코딩하여 워드라인 구동신호들(WL0(0)~WL0(N))을 발생한다. 칼럼 디코더(1245a)는 칼럼 어드레스 신호(ADD<COL>)를 디코딩하여 칼럼 선택신호를 발생한다. 칼럼 선택 회로(1247a)는 칼럼 선택신호를 증폭하고 메모리 셀 어레이로부터의 데이터의 입출력을 제어한다.
- [0082] 도 12의 예에서, 메모리 셀 층을 선택하기 위한 레벨 디코딩은 로우 디코더(1240a), 즉 X-decoder에 의해 이루어질 수 있다.
- [0083] 도 13은 본 발명의 또 다른 하나의 실시예에 따른 적층 MRAM 장치의 회로 구성을 나타내는 블록도이다.
- [0084] 도 13을 참조하면, 적층 MRAM 장치(1200f)는 적층 메모리 셀 어레이(1250b), 로우 디코더(1240b), 칼럼 디코더(1245b) 및 칼럼 선택 회로(1247b)를 포함할 수 있다. 또한, 도 12의 적층 MRAM 장치(1200f)는 수직 어드레스 신호(ADD<vertical>)를 디코딩하여 로우 디코더(1240b)에 제공하는 수직 디코더(1248b)를 더 포함할 수 있다.
- [0085] 적층 메모리 셀 어레이(1250b)는 메모리 셀 층들(Layer<0>~Layer<N>)을 포함하고, 로우 디코더(1240b) 및 칼럼 선택 회로(1247b)에 의해 제어된다. 로우 디코더(1240b)는 로우 어드레스 신호(ADD<ROW>)를 디코딩하여 워드라인 구동신호(WL0)를 발생한다. 칼럼 디코더(1245b)는 칼럼 어드레스 신호(ADD<COL>)를 디코딩하여 칼럼 선택신호(BL0)를 발생한다. 칼럼 선택 회로(1247b)는 칼럼 선택신호에 기초하여 칼럼 선택신호들((BL0(0)~BL0(N))을 발생하고 메모리 셀 어레이로부터의 데이터의 입출력을 제어한다.
- [0086] 도 13의 예에서, 메모리 셀 층을 선택하기 위한 레벨 디코딩은 칼럼 디코더(1245b) 또는 칼럼 선택 회로(1247b)에 의해 이루어질 수 있다.
- [0087] 도 14는 도 1의 적층 MRAM 장치의 3차원 구조의 또 다른 하나의 예를 나타내는 투시도이다.
- [0088] 도 14를 참조하면, 적층 MRAM 장치(1300)는 관통 전극들(Through Silicon Vias)(1301)에 의해 연결된 메모리 칩들(1310, 1320, 1330, 1340)을 포함한다. 도 14에는 두 개의 행으로 배치된 관통 전극들(1301)이 도시되어 있지만, 적층 MRAM 장치(1300)는 임의의 개수의 관통 전극들을 가질 수 있다.

- [0089] 도 14의 적층 MRAM 장치(1300)는 메모리 칩들(1310, 1320, 1330, 1340)이 서로 다른 특성을 가질 수 있다. 예를 들어, 메모리 칩(1310)은 내구성(endurance)과 유지성(retention)이 보통(normal)이고, 메모리 칩(1320)은 내구성(endurance)이 높고 유지성(retention)이 낮으며, 메모리 칩(1330)은 내구성(endurance)이 낮고 유지성(retention)이 높을 수 있다. 메모리 칩(1310)에는 노말(normal cell)이 배치될 수 있고, 메모리 칩(1320)에는 ECC 셀들과 기준 셀(reference cell)이 배치될 수 있고, 메모리 칩(1330)에는 OTP(one-time programming) 셀들이 배치(dispose)될 수 있다.
- [0090] 도 15는 본 발명의 실시 예들에 따른 적층 MRAM 장치를 포함하는 전자 시스템의 하나의 예를 나타내는 블록도이다.
- [0091] 도 15를 참조하면, 본 발명의 실시 예에 따른 전자시스템(1400)은 제어기(1410), 입출력 장치(1420), 기억 장치(1430), 인터페이스(1440), 및 버스(1450)를 구비할 수 있다. 기억 장치(1430)는 본 발명의 실시 예들에 따른 적층 MRAM 장치일 수 있다. 버스(1450)는 제어기(1410), 입출력 장치(1420), 기억 장치(1430), 및 인터페이스(1440) 상호 간에 데이터들이 이동하는 통로를 제공하는 역할을 할 수 있다.
- [0092] 제어기(1410)는 적어도 하나의 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 그리고 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 어느 하나를 포함할 수 있다. 입출력 장치(1420)는 키패드, 키보드 및 표시 장치(display device) 등에서 선택된 적어도 하나를 포함할 수 있다. 기억 장치(1430)는 데이터 및/또는 제어기(1410)에 의해 실행되는 명령어 등을 저장하는 역할을 할 수 있다.
- [0093] 인터페이스(1440)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 역할을 할 수 있다. 인터페이스(1440)는 유무선 형태일 수 있다. 예를 들어, 인터페이스(1440)는 안테나 또는 유무선 트랜시버 등을 포함할 수 있다. 전자 시스템(1400)에는 응용 칩셋(Application Chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 그리고 입출력 장치 등이 더 제공될 수 있다.
- [0094] 전자 시스템(1400)은 모바일 시스템, 개인용 컴퓨터, 산업용 컴퓨터 또는 다양한 기능을 수행하는 로직 시스템 등으로 구현될 수 있다. 예컨대, 모바일 시스템은 개인 휴대용 정보 단말기(PDA; Personal Digital Assistant), 휴대용 컴퓨터, 웹 타블렛(web tablet), 모바일폰(mobile phone), 무선폰(wireless phone), 랩톱(laptop) 컴퓨터, 메모리 카드, 디지털 뮤직 시스템(digital music system) 그리고 정보 전송/수신 시스템 중 어느 하나일 수 있다. 전자 시스템(1400)이 무선 통신을 수행할 수 있는 장비인 경우에, 상기 전자 시스템(1100)은 CDMA(Code Division Multiple Access), GSM(Global System for Mobile communication), NADC(North American Digital Cellular), E-TDMA(Enhanced-Time Division Multiple Access), WCDMA(Wideband Code Division Multiple Access), CDMA2000과 같은 통신 시스템에서 사용될 수 있다.
- [0095] 상기와 같이, 본 발명의 실시예들에 따른 적층 MRAM 장치는 반도체 기판 및 하나 이상의 메모리 셀 층들을 포함한다. 반도체 기판은 제 1 메모리 셀 어레이를 포함한다. 메모리 셀 층들 각각은 상기 제 1 메모리 셀 어레이와 다른 기능을 갖는 메모리 셀 어레이를 포함하고 상기 반도체 기판의 상부에 적층된다. 따라서, 적층 MRAM 장치는 다양한 특성을 갖는 메모리 셀 어레이들을 메모리 셀 층들에 포함시킴으로써, 고 밀도, 고 성능, 및 고 신뢰도를 갖는다.

산업상 이용가능성

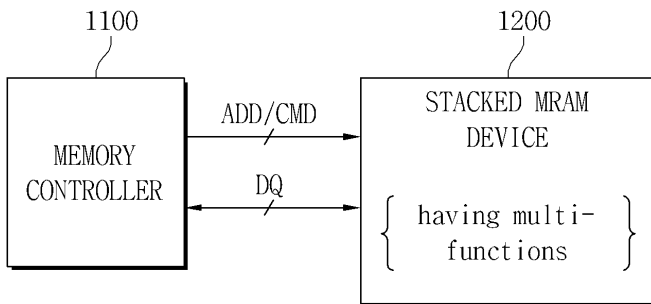
- [0096] 본 발명은 메모리 장치에 적용이 가능하며, 특히 적층 MRAM 장치 및 이를 포함하는 메모리 시스템에 적용이 가능하다.
- [0097] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

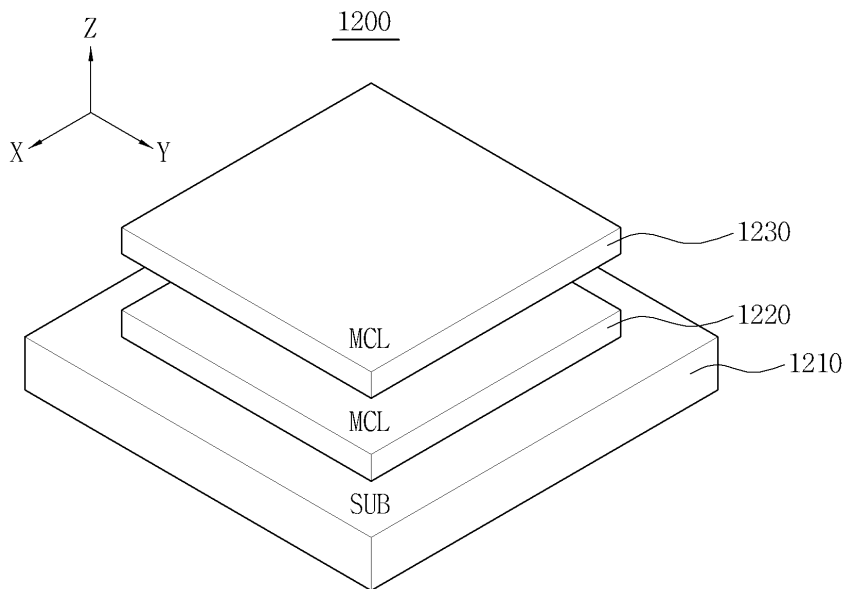
- [0098] 1100: 메모리 컨트롤러
- 1200, 1200a, 1200b, 1200c, 1200d, 1200e, 1200f: 적층 MRAM 장치
- 1300: 적층 MRAM 장치
- 1400: 메모리 시스템

도면

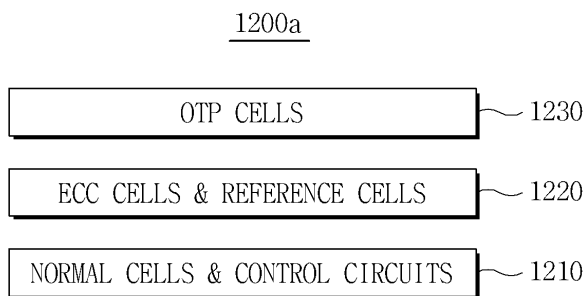
도면1



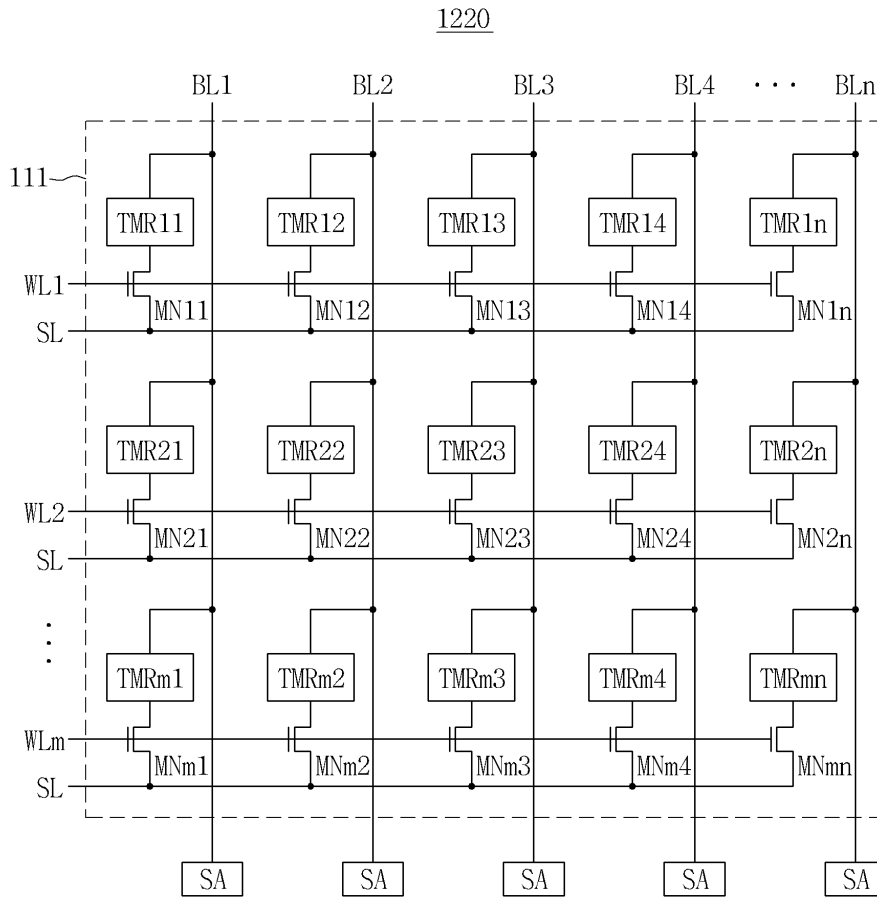
도면2



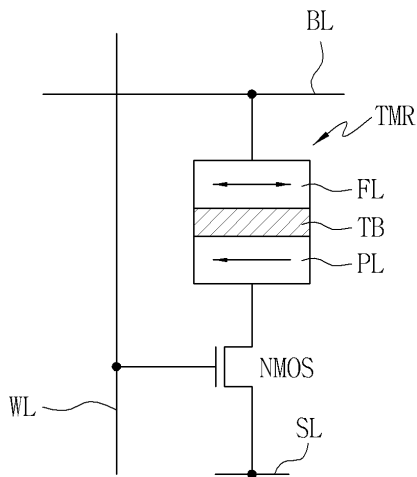
도면3



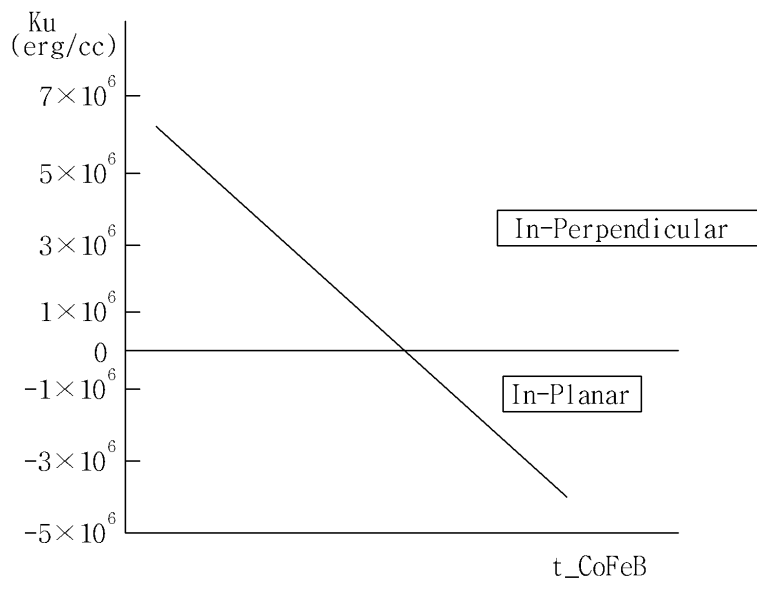
도면4



도면5



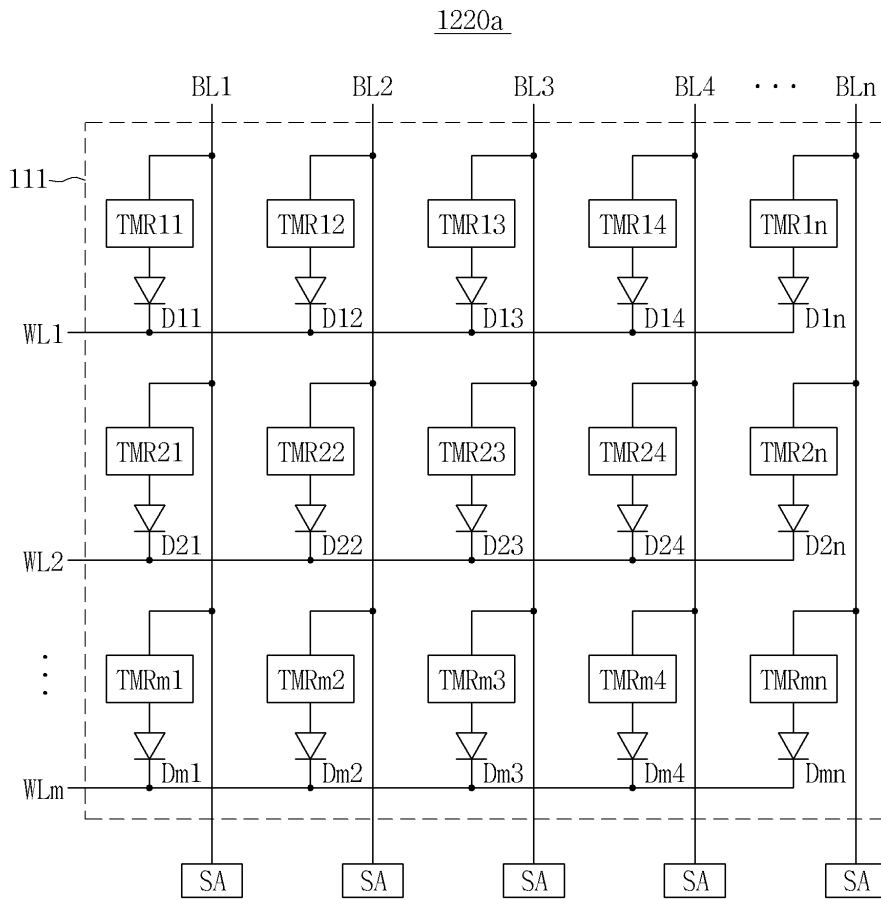
도면6



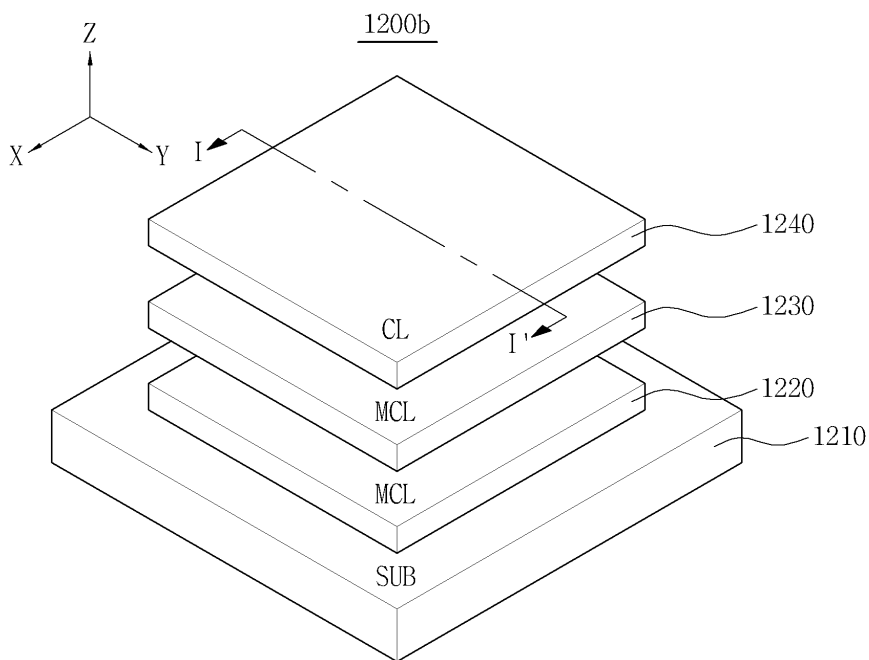
도면7

Mag.Direction	Process Parameter				Performance		Reliability		No of Layer	Application
	SIZE	AR	tOX	tFL	Speed	Power	Endurance	Retention		
In-Planar	40	3	med	med	med	med	med	med	0	Normal cell
	40	3	med	thin	med	low	high	med	1	Ecc/Ref. cell
	40	3	med	thick	med	med	med	high	2	OTP cell
In-Perpendicular	20	1	med	med	med	med	med	med	0	Normal cell
	20	1	med	thick	med	low	high	low	1	Ecc/Ref. cell
	20	1	med	thin	med	high	med	high	2	OTP cell

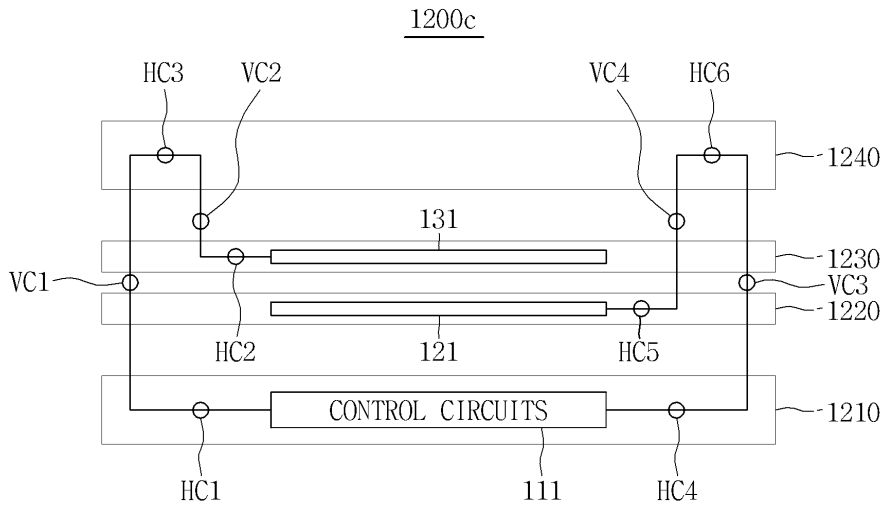
도면8



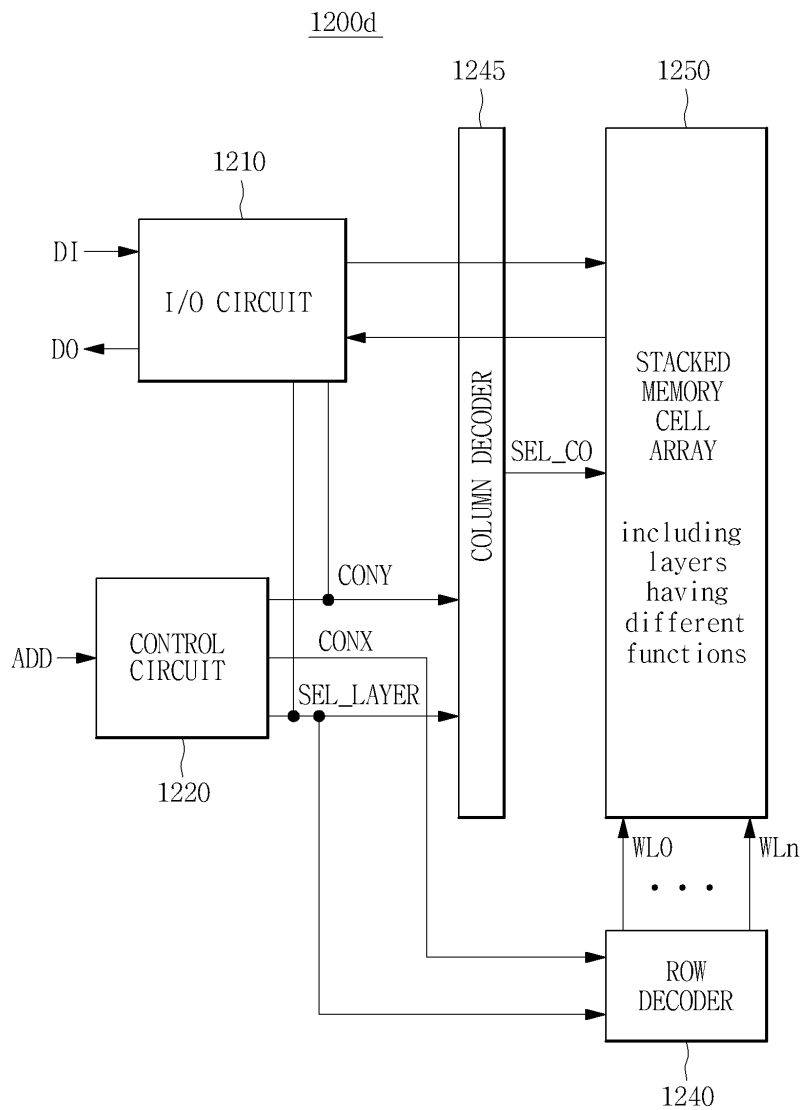
도면9



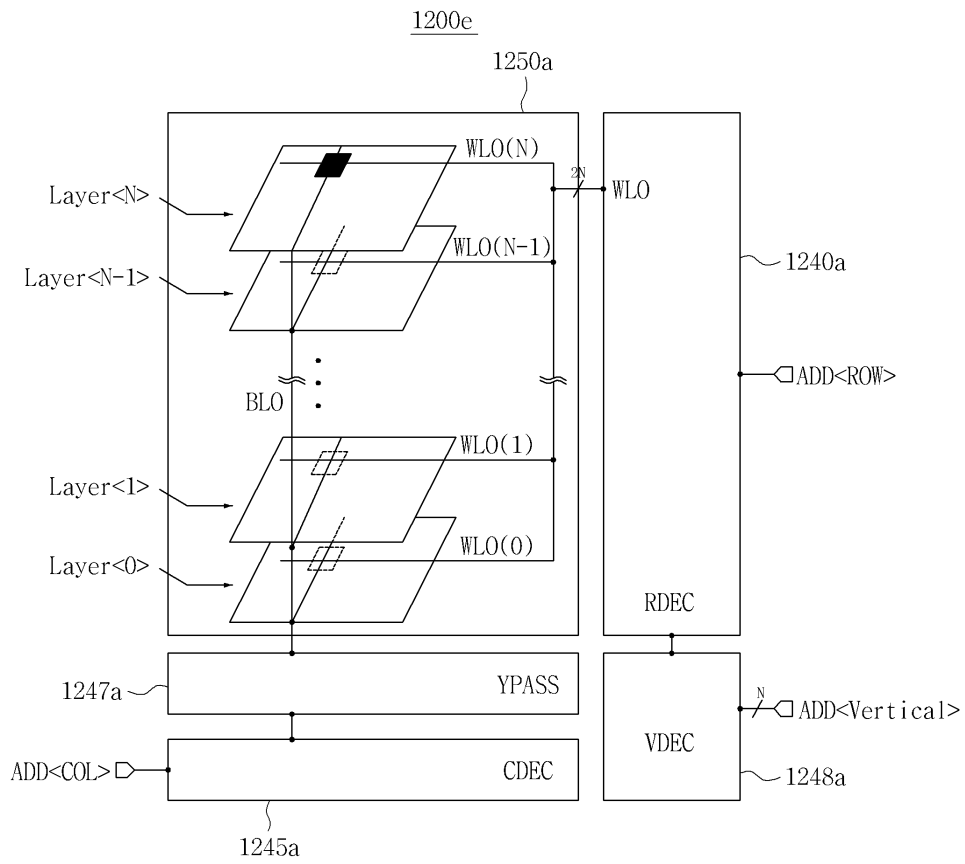
도면10



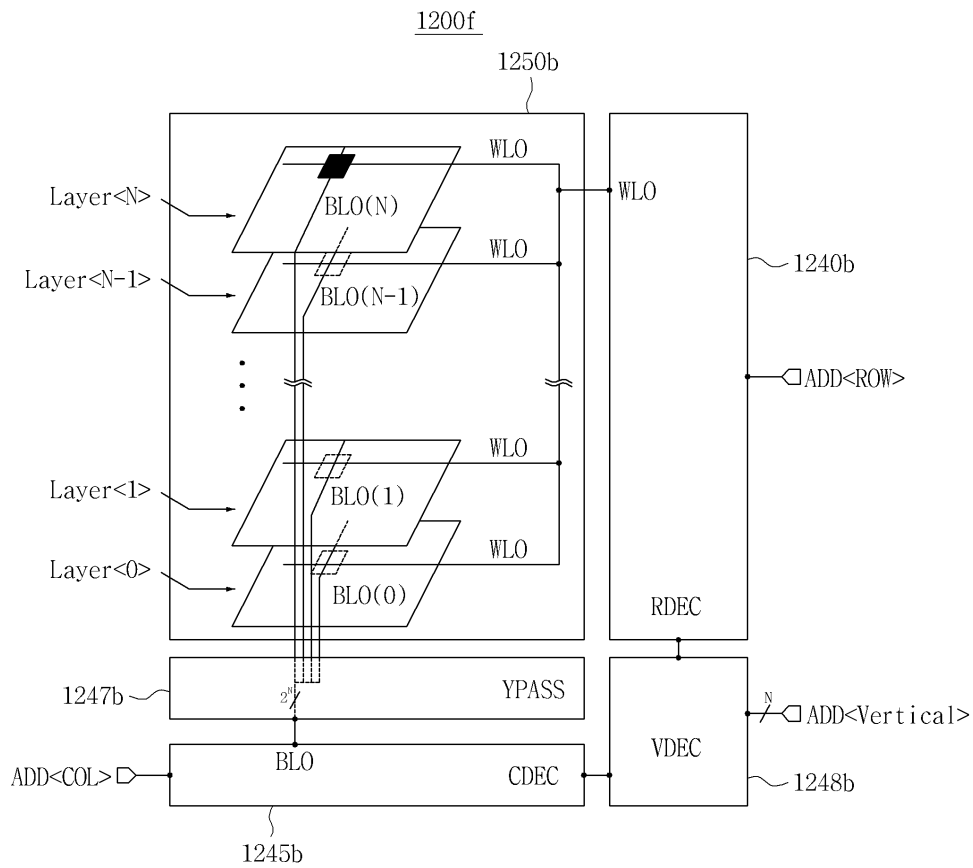
도면11



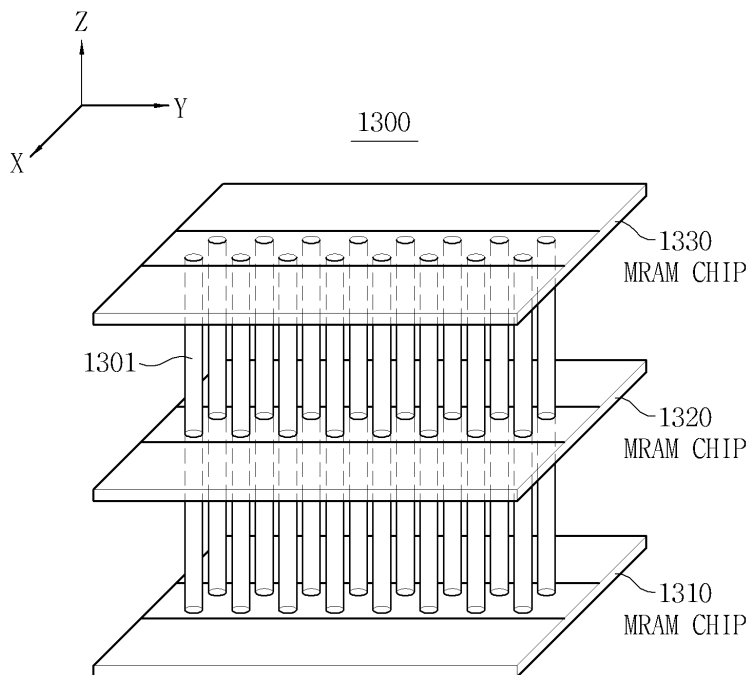
도면12



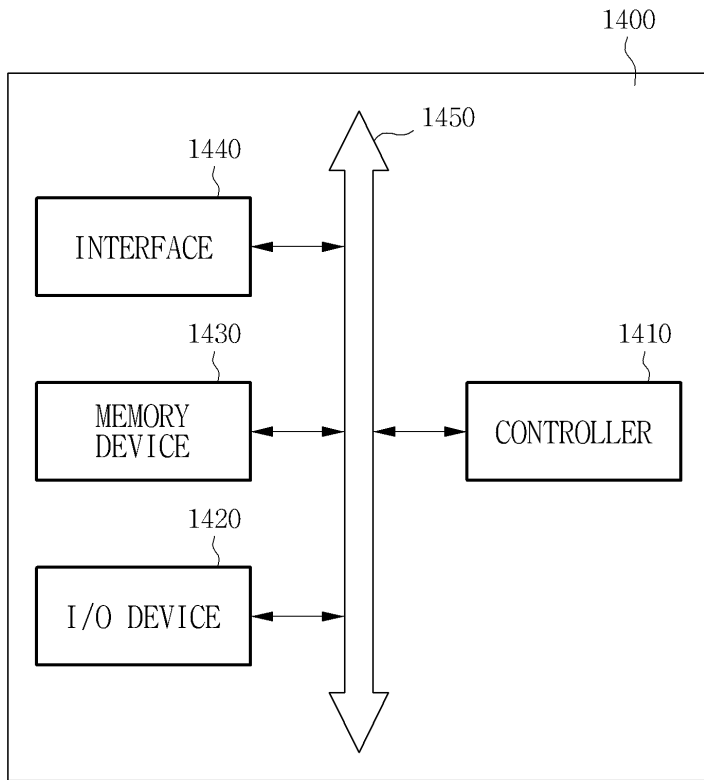
도면13



도면14



도면15



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제9항, 열 두번째 줄

【변경전】

특징으로 하는 것을 특징으로 하는

【변경후】

특징으로 하는