



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0024039
(43) 공개일자 2015년03월06일

(51) 국제특허분류(Int. Cl.)
H01G 4/30 (2006.01) H05K 3/46 (2006.01)
(21) 출원번호 10-2013-0100977
(22) 출원일자 2013년08월26일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
이해준
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
이병화
경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

전체 청구항 수 : 총 13 항

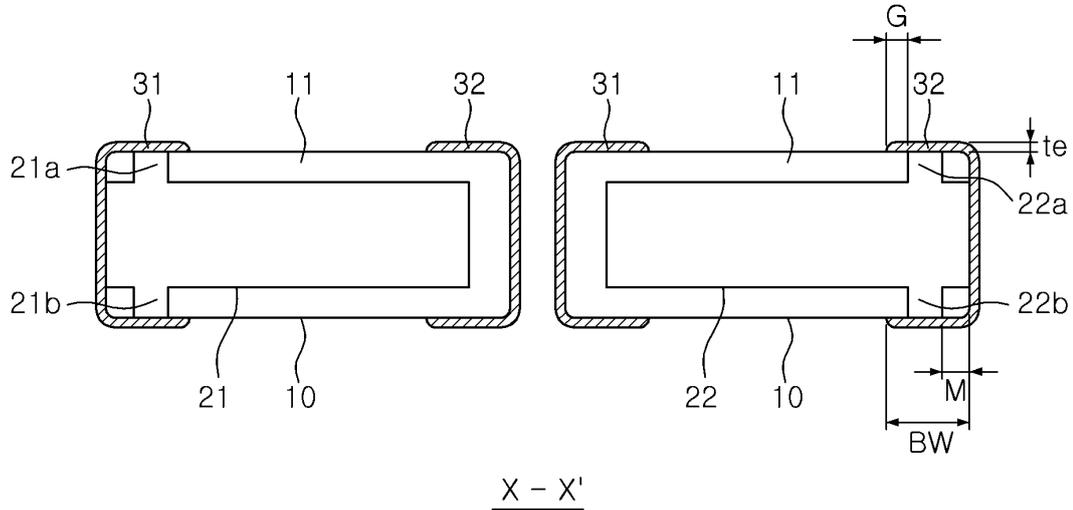
(54) 발명의 명칭 **기판 내장용 적층 세라믹 전자부품 및 적층 세라믹 전자부품 내장형 인쇄회로기판**

(57) 요약

본 발명은 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 적층되며, 상기 세라믹 본체의 제1 및 제2 주면으로 노출된 제1 및 제2 리드를 갖는 제1 내부전극과 제2 내부 전극; 및 상기 세라믹 본체의 제1 및 제2

(뒷면에 계속)

대표도 - 도3



단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극;을 포함하며, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $30\mu\text{m} \leq G < BW-M$ 을 만족하는 기관 내장용 적층 세라믹 전자부품을 제공한다.

(72) 발명자

김두영

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

이배근

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

채은혁

경기 수원시 영통구 매영로 150, (매탄동, 삼성전기)

특허청구의 범위

청구항 1

유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체;

상기 유전체층을 사이에 두고 적층되며, 상기 세라믹 본체의 제1 및 제2 주면으로 노출된 제1 및 제2 리드를 갖는 제1 내부전극과 제2 내부 전극; 및

상기 세라믹 본체의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극;을 포함하며,

상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $30\mu\text{m} \leq G < BW-M$ 을 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 2

제1항에 있어서,

상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(M)는 $50\mu\text{m} \leq M < BW-G$ 를 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 3

제1항에 있어서,

상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 평균 두께는 $5\mu\text{m}$ 이상인 기관 내장용 적층 세라믹 전자부품.

청구항 4

제1항에 있어서,

상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성된 기관 내장용 적층 세라믹 전자부품.

청구항 5

유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체;

상기 유전체층을 사이에 두고 적층되며, 상기 세라믹 본체의 제1 및 제2 주면 중 어느 하나 이상으로 노출된 리드를 갖는 제1 내부전극과 제2 내부 전극; 및

상기 세라믹 본체의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극;을 포함하며,

상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1

및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $50\mu\text{m} \leq M < BW-G$ 를 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 6

제5항에 있어서,

상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 평균 두께는 $5\mu\text{m}$ 이상인 기관 내장용 적층 세라믹 전자부품.

청구항 7

제5항에 있어서,

상기 제1 및 제2 외부전극은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상을 포함하는 기관 내장용 적층 세라믹 전자부품.

청구항 8

제5항에 있어서,

상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성된 기관 내장용 적층 세라믹 전자부품.

청구항 9

유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체;

상기 유전체층을 사이에 두고 적층되며, 상기 세라믹 본체의 제1 및 제2 주면으로 노출된 제1 및 제2 리드를 갖는 제1 내부전극과 제2 내부 전극; 및

상기 세라믹 본체의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극;을 포함하며,

상기 제1 및 제2 외부전극은 상기 제1 및 제2 내부전극과 상기 세라믹 본체의 제1 및 제2 주면에서 전기적으로 연결되며, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 평균 두께는 $5\mu\text{m}$ 이상인 기관 내장용 적층 세라믹 전자부품.

청구항 10

제9항에 있어서,

상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $30\mu\text{m} \leq G < BW-M$ 및 $50\mu\text{m} \leq M < BW-G$ 를 만족하는 기관 내장용 적층 세라믹 전자부품.

청구항 11

제9항에 있어서,

상기 제1 및 제2 외부전극은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상을 포함하는 기관 내장용 적층 세라믹 전자부품.

청구항 12

제9항에 있어서,

상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성된 기관 내장용 적층 세라믹 전자부품.

청구항 13

절연기관; 및

상기 절연기관 내에 내장된 제1항, 제5항 및 제9항 중 어느 한 항의 기관 내장용 적층 세라믹 전자부품;을 포함하는 적층 세라믹 전자부품 내장형 인쇄회로기판.

명세서

기술분야

[0001] 본 발명은 기관 내장용 적층 세라믹 전자부품 및 적층 세라믹 전자부품 내장형 인쇄회로기판에 관한 것이다.

배경기술

[0002] 전자회로가 고밀도화, 고집적화됨에 따라 인쇄회로 기판에 실장되는 수동 소자들의 실장 공간이 부족하게 되고, 이를 해결하기 위해 기관 속에 내장되는 부품, 즉 임베디드 소자(embedded device)를 구현하고자 하는 노력이 진행되고 있다. 특히, 용량성 부품으로 사용되는 적층 세라믹 전자부품을 기관 내부에 내장하는 방안이 다양하게 제시되고 있다.

[0003] 기관 내에 적층 세라믹 전자부품을 내장하는 방법으로는, 기관 재료 자체를 적층 세라믹 전자부품용 유전체 재료로 사용하고 구리 배선 등을 적층 세라믹 전자부품용 전극으로 사용하는 방법이 있다. 또한, 기관 내장용 적층 세라믹 전자부품을 구현하기 위한 다른 방안으로서, 고유전율의 고분자 시트나 박막의 유전체를 기관 내부에 형성하여 기관 내장용 적층 세라믹 전자부품을 형성하는 방법, 및 적층 세라믹 전자부품을 기관 내에 내장하는 방법 등이 있다.

[0004] 일반적으로 적층 세라믹 전자부품은 세라믹 재질로 된 복수 개의 유전체층과 이 복수 개의 유전체층 사이에 삽입된 내부 전극을 구비한다. 이러한 적층 세라믹 전자부품을 기관 내부에 배치시킴으로써, 높은 정전용량을 갖는 기관 내장용 적층 세라믹 전자부품을 구현할 수 있다.

[0005] 기관 내장용 적층 세라믹 전자부품을 구비하는 인쇄회로기판을 제조하기 위해서는 적층 세라믹 전자부품을 코어 기관 내부에 삽입한 후, 기관 배선과 적층 세라믹 전자부품의 외부 전극을 연결하기 위하여 레이저를 이용하여 상부 적층판 및 하부 적층판에 비아홀(via hole)을 뚫어야 한다. 이러한 레이저 가공은 인쇄회로 기판의 제조 비용을 상당히 증가시키는 요인이 된다.

[0006] 한편, 기관 내장용 적층 세라믹 전자부품은 기관 내 코어 부분에 내장해야 하므로, 기관의 표면에 실장하는 일반적인 적층 세라믹 전자부품과 달리 외부전극 상에 니켈/주석(Ni/Sn) 도금층이 필요치 않게 된다.

[0007] 즉, 기관 내장용 적층 세라믹 전자부품의 외부전극은 기관 내의 회로와 구리 (Cu) 재질의 비아(via)를 통해 전

기적으로 연결되기 때문에, 니켈/주석(Ni/Sn)층 대신 구리(Cu)층이 상기 외부전극 상에 필요하게 된다.

- [0008] 통상 상기 외부전극의 경우에도 구리(Cu)를 주성분으로 하고 있으나, 글라스(glass)가 포함되어 있어 기판 내 비아(via) 형성에 사용되는 레이저 가공시 상기 글라스가 포함하는 성분이 상기 레이저를 흡수함으로써, 비아의 가공 깊이를 조절할 수 없는 문제가 있다.
- [0009] 이러한 이유로, 기판 내장용 적층 세라믹 전자부품의 외부전극 상에는 구리(Cu) 도금층을 별도로 형성하고 있는 실정이다.
- [0010] 그러나, 별도의 구리(Cu) 도금층을 형성함으로써 인해, 비용의 증가 및 도금액 침투에 의한 신뢰성 저하의 문제가 여전히 일어날 수 있어 이러한 문제 해결을 위한 요구는 여전히 실정이다.
- [0011] 한편, 기판 내장용 적층 세라믹 전자부품은 메모리카드, PC 메인보드 및 각종 RF모듈에 사용되는 인쇄회로기판에 내장함으로써 실장형 적층 세라믹 전자부품에 비해, 제품의 크기를 획기적으로 감소시킬 수 있다.
- [0012] 또한, MPU 같은 능동소자의 입력단자와 매우 근접거리에 배치될 수 있으므로, 도선길이에 의한 상호 연결인덕턴스(interconnect inductance)를 저감시킬 수 있다.
- [0013] 이러한 기판 내장용 적층 세라믹 전자부품에서의 인덕턴스 저감효과는 내장방식이라는 고유한 배치관계로 얻어지는 상호 연결인덕턴스 저감으로 인한 효과에 불과하며, 아직까지는 기판 내장용 적층 세라믹 전자부품 자체의 ESL 특성의 개선까지는 미치지 못하고 있는 실정이다.
- [0014] 일반적으로, 기판 내장용 적층 세라믹 전자부품에 있어서, ESL이 낮아지기 위해서는 적층 세라믹 전자부품 내부의 전류 경로가 짧아지도록 할 필요가 있다.
- [0015] 그러나, 기판 내장용 적층 세라믹 전자부품의 외부전극 상에 구리(Cu) 도금층을 별도로 형성함에 따라 외부전극 내부로 도금액이 침투하는 문제가 있어, 내부의 전류 경로를 단축하는 것이 용이하지 않은 실정이다.

선행기술문헌

특허문헌

- [0016] (특허문헌 0001) 한국공개특허 제2006-0073274호

발명의 내용

해결하려는 과제

- [0017] 본 발명은 기판 내장용 적층 세라믹 전자부품 및 적층 세라믹 전자부품 내장형 인쇄회로기판에 관한 것이다.

과제의 해결 수단

- [0018] 본 발명의 일 실시형태는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 적층되며, 상기 세라믹 본체의 제1 및 제2 주면으로 노출된 제1 및 제2 리드를 갖는 제1 내부전극과 제2 내부 전극; 및 상기 세라믹 본체의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극;을 포함하며, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에

대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $30\mu\text{m} \leq G < BW-M$ 을 만족하는 기관 내장용 적층 세라믹 전자부품을 제공한다.

- [0019] 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(M)는 $50\mu\text{m} \leq M < BW-G$ 를 만족할 수 있다.
- [0020] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 평균 두께는 $5\mu\text{m}$ 이상일 수 있다.
- [0021] 상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성될 수 있다.
- [0022] 본 발명의 다른 실시형태는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 적층되며, 상기 세라믹 본체의 제1 및 제2 주면 중 어느 하나 이상으로 노출된 리드를 갖는 제1 내부전극과 제2 내부 전극; 및 상기 세라믹 본체의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극;을 포함하며, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $50\mu\text{m} \leq M < BW-G$ 를 만족하는 기관 내장용 적층 세라믹 전자부품을 제공한다.
- [0023] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 평균 두께는 $5\mu\text{m}$ 이상일 수 있다.
- [0024] 상기 제1 및 제2 외부전극은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상을 포함할 수 있다.
- [0025] 상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성될 수 있다.
- [0026] 본 발명의 다른 실시형태는 유전체층을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체; 상기 유전체층을 사이에 두고 적층되며, 상기 세라믹 본체의 제1 및 제2 주면으로 노출된 제1 및 제2 리드를 갖는 제1 내부전극과 제2 내부 전극; 및 상기 세라믹 본체의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극;을 포함하며, 상기 제1 및 제2 외부전극은 상기 제1 및 제2 내부전극과 상기 세라믹 본체의 제1 및 제2 주면에서 전기적으로 연결되며, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 평균 두께는 $5\mu\text{m}$ 이상인 기관 내장용 적층 세라믹 전자부품을 제공한다.
- [0027] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $30\mu\text{m} \leq G < BW-M$ 및 $50\mu\text{m} \leq M < BW-G$ 를 만족할 수 있다.

[0028] 상기 제1 및 제2 외부전극은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상을 포함할 수 있다.

[0029] 상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성될 수 있다.

[0030] 본 발명의 또 다른 실시형태는 절연기판; 및 상기 절연기판 내에 내장된 상기 기판 내장용 적층 세라믹 전자부품;을 포함하는 적층 세라믹 전자부품 내장형 인쇄회로기판을 제공한다.

발명의 효과

[0031] 본 발명에 따르면 기판 내장용 적층 세라믹 전자부품의 내부전극을 세라믹 본체의 주면으로만 연장하여 노출시킴으로써, 전류 경로(Current Path)를 단축하여 등가직렬 인덕턴스(ESL)를 감소시킬 수 있다.

[0032] 또한, 내부전극을 세라믹 본체의 주면으로만 연장하여 노출시킴으로써, 도금액 침투에 따른 신뢰성 저하를 방지할 수 있다.

도면의 간단한 설명

[0033] 도 1은 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품을 나타내는 사시도이다.

도 2는 본 발명의 일 실시 형태에 따른 기판 내장용 적층 세라믹 전자부품의 세라믹 본체를 나타낸 모식도이다.

도 3은 도 1의 X-X' 단면도로서, 제1 및 제2 내부전극의 형상을 나타내는 단면도이다.

도 4는 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품 내장형 인쇄회로기판을 나타내는 단면도이다.

도 5는 본 발명의 실시예 및 비교예에 따른 등가직렬 인덕턴스(ESL)를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0034] 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0035] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0036] 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙이도록 한다.

[0037] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 설명한다.

[0038] 도 1은 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품을 나타내는 사시도이다.

[0039] 도 2는 도 1의 X-X' 단면도이다.

[0040] 도 1 및 도 2를 참조하면, 본 발명의 일 실시형태에 따른 기판 내장용 적층 세라믹 전자부품은 유전체층(11)을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체(10); 상기 유전체층(11)을 사이에 두고 적층되며, 상기 세라믹 본체(10)의 제1 및 제2 주면으

로 노출된 제1 및 제2 리드(21a, 21b, 22a, 22b)를 갖는 제1 내부전극(21)과 제2 내부 전극(22); 및 상기 세라믹 본체(10)의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극(31, 32);을 포함할 수 있다.

[0041] 이하에서는 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품을 설명하되, 특히 적층 세라믹 커패시터로 설명하지만 이에 제한되는 것은 아니다.

[0042] 본 실시형태에 따른 적층 세라믹 커패시터는 2단자 수직 적층형 커패시터일 수 있다. “수직 적층형 (vertically laminated or vertical multilayer)” 은 커패시터 내의 적층된 내부전극이 회로기판의 실장 영역면에 수직으로 배치되는 것을 의미하고, “2단자(2-terminal)” 는 커패시터의 단자로서 2개의 단자가 회로기판에 접속됨을 의미한다.

[0043] 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터에 있어서, '길이 방향'은 도 1의 'L' 방향, '폭 방향'은 'W' 방향, '두께 방향'은 'T' 방향으로 정의하기로 한다.

[0044] 여기서 '폭 방향'은 유전체층을 쌓아 올리는 방향 즉 '적층 방향'과 동일한 개념으로 사용할 수 있다.

[0045] 본 발명의 일 실시형태에서, 세라믹 본체(10)는 형상에 있어 특별히 제한은 없지만, 도시된 바와 같이 육면체 형상일 수 있다.

[0046] 본 발명의 일 실시형태에서, 세라믹 본체(10)는 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 가질 수 있으며, 상기 제1 및 제2 주면은 상기 세라믹 본체(10)의 상면 및 하면으로 표현될 수도 있다.

[0047] 본 발명의 일 실시형태에 따르면, 상기 유전체층(11)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨($BaTiO_3$) 분말일 수 있다.

[0048] 상기 유전체층(11)을 형성하는 재료는 티탄산바륨($BaTiO_3$) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가스제, 결합제, 분산제 등이 첨가될 수 있다.

[0049] 상기 유전체층(11) 형성에 사용되는 세라믹 분말의 평균 입경은 특별히 제한되지 않으며, 본 발명의 목적 달성을 위해 조절될 수 있으나, 예를 들어, 400 nm 이하로 조절될 수 있다.

[0050] 상기 제1 및 제2 내부전극(21, 22)을 형성하는 재료는 특별히 제한되지 않으며, 예를 들어, 팔라듐(Pd), 팔라듐-은(Pd-Ag)합금 등의 귀금속 재료 및 니켈(Ni), 구리(Cu) 중 하나 이상의 물질로 이루어진 도전성 페이스트를 사용하여 형성될 수 있다.

[0051] 상기 제1 내부전극(21)은 상기 유전체층(11)을 사이에 두고 적층되며, 상기 세라믹 본체(10)의 제1 및 제2 주면으로 노출된 제1 및 제2 리드(21a, 21b)를 갖는다.

[0052] 또한, 상기 제2 내부 전극(22)은 상기 유전체층(11)을 사이에 두고 적층되며, 상기 세라믹 본체(10)의 제1 및

제2 주면으로 노출된 제1 및 제2 리드(22a, 22b)를 갖는다.

- [0053] 또한, 상기 제1 내부전극(21)과 제2 내부 전극(22)이 상기 세라믹 본체(10)의 제1 및 제2 주면으로 노출된 제1 및 제2 리드(21a, 21b, 22a, 22b)를 통해 후술하는 제1 및 제2 외부전극과 전기적으로 연결될 수 있다.
- [0054] 이로 인하여, 내부 전극이 세라믹 본체의 양 단면을 통해 외부전극과 연결되는 일반적인 형태에 비하여 내부전극을 세라믹 본체의 상하면으로 연장하여 노출시킴으로써, 전류 경로(Current Path)를 단축하여 등가직렬 인덕턴스(ESL)를 감소시킬 수 있다.
- [0055] 본 발명의 일 실시형태에 따르면, 상기 세라믹 본체(10)의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장하여 제1 및 제2 외부전극(31, 32)이 형성될 수 있다.
- [0056] 상기 제1 및 제2 외부전극(31, 32)은 도전성 금속 및 글라스를 포함하여 형성될 수 있다.
- [0057] 정전 용량 형성을 위해 제1 및 제2 외부전극(31, 32)이 상기 세라믹 본체(10)의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장하여 형성될 수 있으며, 제1 및 제2 내부전극(21, 22)과 상기 세라믹 본체(10)의 제1 및 제2 주면으로 노출된 제1 및 제2 리드(21a, 21b, 22a, 22b)를 통해 전기적으로 연결될 수 있다.
- [0058] 상기 제1 및 제2 외부전극(31, 32)은 상기 제1 및 제2 내부전극(21, 22)과 동일한 재료의 도전성 물질로 형성될 수 있으나 이에 제한되지는 않으며, 예를 들어, 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상인 도전성 금속으로 형성될 수 있다.
- [0059] 상기 제1 및 제2 외부전극(31, 32)은 상기 도전성 금속 분말에 글라스 프릿을 첨가하여 마련된 도전성 페이스트를 도포한 후 소성함으로써 형성될 수 있다.
- [0060] 본 발명의 일 실시형태에 따르면, 상기 제1 외부전극(31) 및 제2 외부전극(32) 상에 구리(Cu)로 이루어진 금속층이 더 형성될 수 있다.
- [0061] 일반적으로, 적층 세라믹 커패시터는 인쇄회로기판상에 실장되므로, 통상 외부전극 상에 니켈/주석 도금층을 형성한다.
- [0062] 그러나, 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터는 인쇄회로기판 내장용으로서 기판상에 실장을 하지 않으며, 상기 적층 세라믹 커패시터의 상기 제1 외부전극(31) 및 제2 외부전극(32)과 기판의 회로가 구리(Cu) 재질인 비아(via)를 통해 전기적으로 연결된다.
- [0063] 따라서, 본 발명의 일 실시형태에 따르면, 상기 제1 외부전극(31) 및 제2 외부전극(32) 상에 상기 기판 내의 비아의 재질인 구리(Cu)와 전기적 연결성이 좋은 구리(Cu)로 이루어진 금속층이 더 형성될 수 있다.
- [0064] 한편, 상기 제1 외부전극(31) 및 제2 외부전극(32)의 경우에도 구리(Cu)를 주성분으로 하고 있으나, 글라스(glass)가 포함되어 있어 기판 내 비아(via) 형성에 사용되는 레이저 가공시 상기 글라스가 포함하는 성분이 상기 레이저를 흡수함으로써, 비아의 가공 깊이를 조절할 수 없는 문제가 있다.
- [0065] 따라서, 본 발명의 일 실시형태에 따르면, 상기 제1 외부전극(31) 및 제2 외부전극(32) 상에 구리(Cu)로 이루어

진 금속층을 형성함으로써 상기의 문제를 해결할 수 있다.

- [0066] 상기 구리(Cu)로 이루어진 금속층을 형성하는 방법은 특별히 제한되지 않으며, 예를 들어 도금에 의해 형성할 수 있다.
- [0067] 다른 방법으로서, 구리(Cu)를 포함하되, 글라스 프리트를 포함하지 않는 도전성 페이스트를 상기 제1 외부전극(31) 및 제2 외부전극(32) 상에 도포하여 형성할 수도 있으며, 특별히 제한되는 되는 것은 아니다.
- [0068] 상기 도포법에 의한 경우 소성 후의 상기 금속층은 구리(Cu)로만 이루어질 수 있다.
- [0069] 도 3은 도 1의 X-X' 단면도로서, 제1 및 제2 내부전극의 형상을 나타내는 단면도이다.
- [0070] 도 3을 참조하면, 본 발명의 일 실시형태에 따른 적층 세라믹 전자부품의 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 끝단에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이를 G라 하고, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이를 M이라 하면, $30\ \mu\text{m} \leq G < BW-M$ 을 만족할 수 있다.
- [0071] 상기 제1 및 제2 외부전극(31, 32)의 끝단에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(G)가 $30\ \mu\text{m} \leq G < BW-M$ 을 만족하도록 조절함으로써, 도금액 침투에 따른 신뢰성 저하를 막을 수 있다.
- [0072] 상기 제1 및 제2 외부전극(31, 32)의 끝단에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(G)가 $30\ \mu\text{m}$ 미만의 경우에는 도금액 침투로 인하여 신뢰성이 저하될 수 있다.
- [0073] 상기 제1 및 제2 외부전극(31, 32)의 끝단에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(G)가 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 단면까지의 길이(BW)에서 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(M)를 뺀 값과 동일할 경우에는 리드가 형성될 수 없어 세라믹 본체(10)의 상하면으로 내부전극과 외부전극을 연결할 수 없다.
- [0074] 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품은 상기 본 발명의 일 실시형태에 따른 특징에 더하여, 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(M)가 $50\ \mu\text{m} \leq M < BW-G$ 를 만족할 수 있다.
- [0075] 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(M)가 $50\ \mu\text{m} \leq M < BW-G$ 를 만족하도록 조절함으로써, 박리(Delamination) 불량을 막을 수 있어 신뢰성이 우수한 적층 세라믹 전자부품을 구현할 수 있다.
- [0076] 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(M)가 $50\ \mu\text{m}$ 미만의 경우에는 박리 불량이 발생할 수 있어 신뢰성이 저하되는 문제가 있다.
- [0077] 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극

(31, 32)까지의 길이(M)가 BW-G와 일치하는 경우에는 상기 리드가 형성될 수 없어 세라믹 본체(10)의 상하면으로 내부전극과 외부전극을 연결할 수 없다.

- [0078] 한편, 본 발명의 일 실시형태에 따르면 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 평균 두께(te)는 5 μm 이상일 수 있다.
- [0079] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 평균 두께(te)를 5 μm 이상으로 조절함으로써, 도금액 침투에 의한 신뢰성 저하를 막을 수 있다.
- [0080] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 평균 두께(te)가 5 μm 미만의 경우에는 도금액 침투로 인하여 신뢰성이 저하될 수 있다.
- [0081] 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 평균 두께(te), 상기 제1 및 제2 외부전극(31, 32)의 끝단에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(G), 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 단면까지의 길이(BW) 및 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이(M)는 도 3과 같이 세라믹 본체(10)의 길이-폭 방향 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0082] 예를 들어, 도 3 및 도 4와 같이 세라믹 본체(10)의 두께(T) 방향의 중앙부에서 절단한 길이 및 폭 방향(L-W) 단면을 주사전자현미경(SEM, Scanning Electron Microscope)로 스캔한 이미지에서 상기 제1 및 제2 외부전극(31, 32)의 각 부분의 길이 및 두께를 측정하여 얻을 수 있다.
- [0083] 본 발명의 다른 실시형태는 유전체층(11)을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체(10); 상기 유전체층(11)을 사이에 두고 적층되며, 상기 세라믹 본체(10)의 제1 및 제2 주면 중 어느 하나 이상으로 노출된 리드(21a, 21b, 22a, 22b)를 갖는 제1 내부전극(21)과 제2 내부 전극(22); 및 상기 세라믹 본체(10)의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극(31, 32);을 포함하며, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 끝단에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이를 G라 하고, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 상기 세라믹 본체(10)의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체(10)의 단면에서 상기 제1 및 제2 리드(21a, 21b, 22a, 22b)에 대응하는 제1 및 제2 외부전극(31, 32)까지의 길이를 M이라 하면, $50\mu\text{m} \leq M < BW-G$ 를 만족하는 기관 내장용 적층 세라믹 전자부품을 제공한다.
- [0084] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 평균 두께는 5 μm 이상일 수 있다.
- [0085] 상기 제1 및 제2 외부전극은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상을 포함할 수 있다.
- [0086] 상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성될 수 있다.

- [0087] 그 외 상기의 다른 실시형태에 따른 적층 세라믹 커패시터의 특징은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 특징과 동일하므로, 여기서는 생략하도록 한다.
- [0088] 본 발명의 다른 실시형태는 유전체층(11)을 포함하며, 서로 마주보는 제1, 제2 주면, 서로 마주보는 제1 측면, 제2 측면 및 서로 마주보는 제1, 제2 단면을 갖는 세라믹 본체(10); 상기 유전체층(11)을 사이에 두고 적층되며, 상기 세라믹 본체(10)의 제1 및 제2 주면 중 어느 하나 이상으로 노출된 리드(21a, 21b, 22a, 22b)를 갖는 제1 내부전극(21)과 제2 내부 전극(22); 및 상기 세라믹 본체(10)의 제1 및 제2 단면에서 제1, 제2 주면, 제1 및 제2 측면으로 연장 형성된 제1 및 제2 외부전극(31, 32);을 포함하며, 상기 제1 및 제2 외부전극(31, 32)은 상기 제1 및 제2 내부전극(21, 22)과 상기 세라믹 본체(10)의 제1 및 제2 주면에서 전기적으로 연결되며, 상기 세라믹 본체(10)의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극(31, 32)의 평균 두께는 5 μm 이상인 기관 내장용 적층 세라믹 전자부품을 제공한다.
- [0089] 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 끝단에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 G라 하고, 상기 세라믹 본체의 제1 및 제2 주면에 형성된 상기 제1 및 제2 외부전극의 상기 세라믹 본체의 단면까지의 길이를 BW라 하고, 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이를 M이라 하면, $30\mu\text{m} \leq G < BW$ 및 $50\mu\text{m} \leq M < BW-G$ 를 만족할 수 있다.
- [0090] 상기 제1 및 제2 외부전극은 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 균으로부터 선택된 하나 이상을 포함할 수 있다.
- [0091] 상기 제1 및 제2 외부전극 상에는 구리(Cu)로 이루어진 금속층이 더 형성될 수 있다.
- [0092] 그 외 상기의 다른 실시형태에 따른 적층 세라믹 커패시터의 특징은 상술한 본 발명의 일 실시형태에 따른 적층 세라믹 커패시터의 특징과 동일하므로, 여기서는 생략하도록 한다.
- [0093] 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 제조 방법은 우선, 티탄산바륨(BaTiO_3) 등의 파우더를 포함하여 형성된 슬러리를 캐리어 필름(carrier film)상에 도포 및 건조하여 복수 개의 세라믹 그린 시트를 마련하며, 이로써 유전체 층을 형성할 수 있다.
- [0094] 상기 세라믹 그린시트는 세라믹 분말, 바인더, 용제를 혼합하여 슬러리를 제조하고, 상기 슬러리를 닥터 블레이드 법으로 수 μm 의 두께를 갖는 시트(sheet)형으로 제작할 수 있다.
- [0095] 다음으로, 니켈 입자 평균 크기가 0.1 내지 0.2 μm 이며, 40 내지 50 중량부의 니켈 분말을 포함하는 내부전극용 도전성 페이스트를 마련할 수 있다.
- [0096] 상기 그린시트 상에 상기 내부전극용 도전성 페이스트를 스크린 인쇄공법으로 도포하여 내부전극을 형성한 후 200 내지 300층 적층하여 세라믹 본체를 만들었다.
- [0097] 다음으로, 상기 세라믹 본체의 상하면 및 단부에 도전성 금속 및 글라스를 포함하는 제1 외부전극 및 제2 외부전극을 형성할 수 있다.

- [0098] 상기 도전성 금속은 특별히 제한되는 것은 아니나, 예를 들어 구리(Cu), 은(Ag), 니켈(Ni) 및 이들의 합금으로 이루어진 군으로부터 선택된 하나 이상일 수 있다.
- [0099] 상기 글라스는 특별히 제한되는 것은 아니며, 일반적인 적층 세라믹 커패시터의 외부전극 제작에 사용되는 글라스와 동일한 조성의 물질이 사용될 수 있다.
- [0100] 상기 제1 및 제2 외부전극은 상기 세라믹 본체의 상하면 및 단부에 형성됨으로써, 상기 제1 및 제2 내부전극과 각각 전기적으로 연결될 수 있다.
- [0101] 다음으로, 상기 제1 외부전극 및 제2 외부전극 상에 구리(Cu)로 이루어진 금속층을 형성할 수 있다.
- [0102] 그 외 상술한 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품의 특징과 동일한 부분에 대해서는 여기서 생략하도록 한다.
- [0103] 도 4는 본 발명의 또 다른 실시형태에 따른 적층 세라믹 전자부품 내장형 인쇄회로기판(100)을 나타내는 단면도이다.
- [0104] 도 4를 참조하면, 본 발명의 다른 실시형태에 따른 적층 세라믹 전자부품 내장형 인쇄회로기판(100)은 절연기관(110); 및 상기 본 발명의 일 실시형태에 따른 기관 내장용 적층 세라믹 전자부품;을 포함할 수 있다.
- [0105] 상기 절연기관(110)은 절연층(120)이 포함된 구조로 이루어지며, 필요에 따라 도 4에 예시된 바와 같이 다양한 형태의 층간회로를 구성하는 도전성 패턴(130) 및 도전성 비아홀(140)을 포함할 수 있다. 이러한 절연 기관(110)은, 내부에 적층 세라믹 전자부품을 포함하는 인쇄회로기판(100)일 수 있다.
- [0106] 상기 적층 세라믹 전자부품은 인쇄회로기판(100)에 삽입된 후 인쇄회로기판(100)의 열처리 등과 같은 후공정 진행 중의 여러 가혹환경을 동일하게 경험하게 된다.
- [0107] 특히 열처리 공정에서 인쇄회로기판(100)의 수축 및 팽창은 인쇄회로기판(100) 내부에 삽입된 적층 세라믹 전자부품에 직접적으로 전달되어 적층 세라믹 전자부품과 인쇄회로기판(100)의 접촉면에 스트레스를 가하게 된다.
- [0108] 적층 세라믹 전자부품과 인쇄회로기판(100)의 접촉면에 인가된 스트레스가 접착강도보다 높을 경우 접촉면이 떨어지는 들뜸 불량을 발생시키게 된다.
- [0109] 적층 세라믹 전자부품과 인쇄회로기판(100) 사이의 접착강도는 적층 세라믹 전자부품과 인쇄회로기판(100)의 전기화학적 결합력과 접촉면의 유효표면적에 비례하는데, 적층 세라믹 전자부품과 인쇄회로기판(100) 사이 접촉면의 유효표면적을 향상시키기 위해 적층 세라믹 전자부품의 표면조도를 제어하여 적층 세라믹 전자부품과 인쇄회로기판(100) 사이의 들뜸 현상을 개선할 수 있다.
- [0110] 이하, 실시예를 들어 본 발명을 더욱 상세히 설명하지만, 본 발명이 이에 의해 제한되는 것은 아니다.

[0111] 실시예

[0112] 실시예는 기관 내장용 적층 세라믹 전자부품의 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 평균 두께(te)와 상기 제1 및 제2 외부전극의 끝단에서 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(G) 및 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(M)의 수치가 본 발명의 수치 범위를 만족하도록 제작하였다.

[0113] 비교예

[0114] 비교예는 기관 내장용 적층 세라믹 전자부품에 있어서, 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 평균 두께(te)와 상기 제1 및 제2 외부전극의 끝단에서 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(G) 및 상기 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(M)의 수치가 본 발명의 범위를 벗어나는 것을 제외하고는 상기 실시예와 동일한 조건에서 제작하였다.

[0115] 아래의 표 1은 본 발명의 실시 형태에 따라 기관 내장용 적층 세라믹 전자부품의 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 평균 두께(te)와 상기 제1 및 제2 외부전극의 끝단에서 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(G)의 값에 따른 신뢰성을 비교한 것이다.

[0116] 상기 신뢰성 평가는 도금액 침투에 의한 가속수명 저하 여부로서 판단하였으며, 구체적으로 습도 조건 85/85(85℃, 85% 습도)에서 1시간, 정격 전압 인가하여 수행한 것으로서, 불량률이 0.01% 미만인 경우를 ◎, 불량률이 0.01% ~ 1.00%인 경우를 ○, 불량률이 1.00% ~ 50%인 경우를 △ 및 불량률이 50% 이상인 경우를 ×로 표시하였다.

표 1

[0117]

샘플	외부전극의 평균 두께(te) (μm)	G (μm)	신뢰성 평가
*1	1.00	10	×
*2	1.00	20	×
*3	1.00	30	×
*4	1.00	40	×
*5	1.00	50	×
*6	3.00	10	△
*7	3.00	20	△
*8	3.00	30	△
*9	3.00	40	△
*10	3.00	50	△
*11	5.00	10	△
*12	5.00	20	△
13	5.00	30	○
14	5.00	40	◎
15	5.00	50	◎
*16	7.00	10	△
*17	7.00	20	△
18	7.00	30	○
19	7.00	40	◎
20	7.00	50	◎

[0118] *: 비교예

[0119] 상기 표 1을 참조하면, 비교예인 샘플 1 내지 12의 경우는 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 평균 두께(te)가 본 발명의 수치 범위를 벗어나는 것으로서, 도금액 침투에 의한 가속수명 저하로 신뢰성에 있어서 문제가 있음을 알 수 있다.

[0120] 또한, 비교예인 샘플 16 및 17은 제1 및 제2 외부전극의 끝단에서 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(G)가 본 발명의 수치 범위를 벗어나는 것으로서, 신뢰성에 문제가 있음을 알 수 있다.

[0121] 반면, 실시예인 샘플 13 내지 15 및 18 내지 20의 경우에는 본 발명의 수치 범위를 만족하는 것으로서, 신뢰성이 우수함을 알 수 있다.

[0122] 아래의 표 2는 본 발명의 실시 형태에 따라 기관 내장용 적층 세라믹 전자부품의 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(M)의 값에 따른 신뢰성을 비교한 것이다.

[0123] 상기 신뢰성 평가는 박리(Delamination) 여부로서 판단하였으며, 구체적으로 세라믹 본체의 절단면 몰드(Mold) 검사로 박리(Delamination) 여부를 판단하였으며, 불량률이 0.01% 미만인 경우를 ◎, 불량률이 0.01% ~ 1.00%인 경우를 ○, 불량률이 1.00% ~ 50%인 경우를 △ 및 불량률이 50% 이상인 경우를 ×로 표시하였다.

표 2

샘플	M (μm)	신뢰성 평가
*21	20	×
*22	25	×
*23	30	×
*24	35	△
*25	40	△
*26	45	△
27	50	○
28	55	○
29	65	○
30	70	◎
31	75	◎
32	80	◎

[0125] *: 비교예

[0126] 상기 표 2를 참조하면, 비교예인 샘플 21 내지 26의 경우는 세라믹 본체의 단면에서 상기 제1 및 제2 리드에 대응하는 제1 및 제2 외부전극까지의 길이(M)가 본 발명의 수치 범위를 벗어나는 것으로서, 박리(Delamination) 불량에 따라 신뢰성에 있어서 문제가 있음을 알 수 있다.

[0127] 반면, 실시예인 샘플 27 내지 32의 경우에는 본 발명의 수치 범위를 만족하는 것으로서, 신뢰성이 우수함을 알 수 있다.

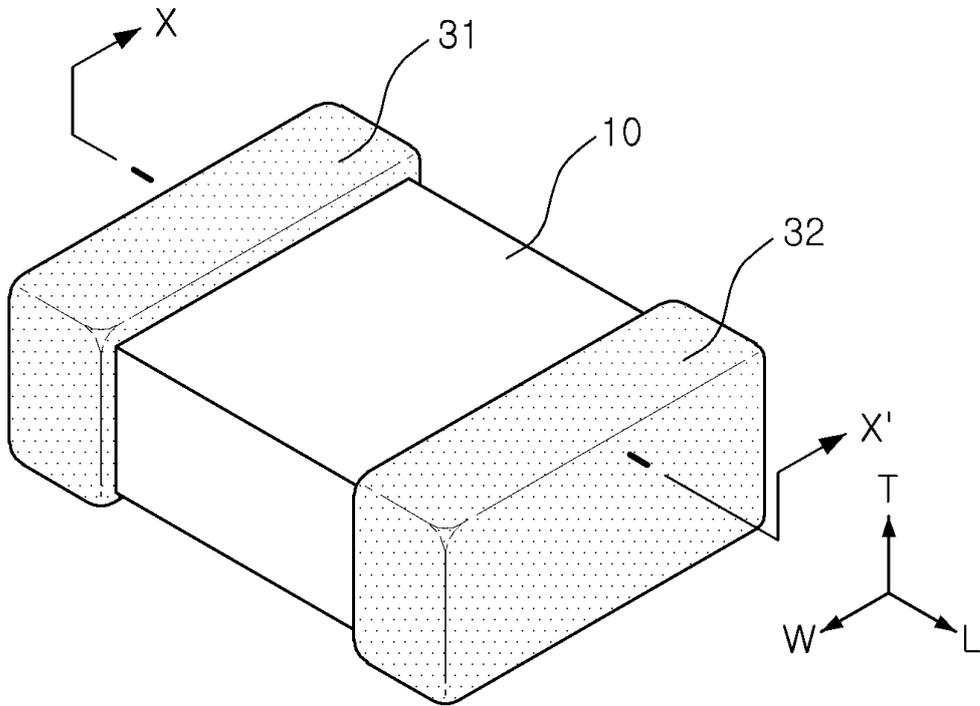
- [0128] 도 5는 본 발명의 실시예 및 비교예에 따른 등가직렬 인덕턴스(ESL)를 나타내는 그래프이다.
- [0129] 도 5를 참조하면, 본 발명의 실시예에 따른 등가직렬 인덕턴스(ESL)가 비교예에 따른 등가직렬 인덕턴스(ESL)에 비하여 더 낮은 것을 알 수 있다.
- [0130] 따라서, 본 발명의 일 실시형태에 따르면 기관 내장용 적층 세라믹 전자부품의 내부전극을 세라믹 본체의 상하면으로 연장하여 노출시킨 수직 적층 형태로 제작함으로써, 전류 경로(Current Path)를 단축하여 등가직렬 인덕턴스(ESL)를 감소시킬 수 있음을 알 수 있다.
- [0131] 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다. 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

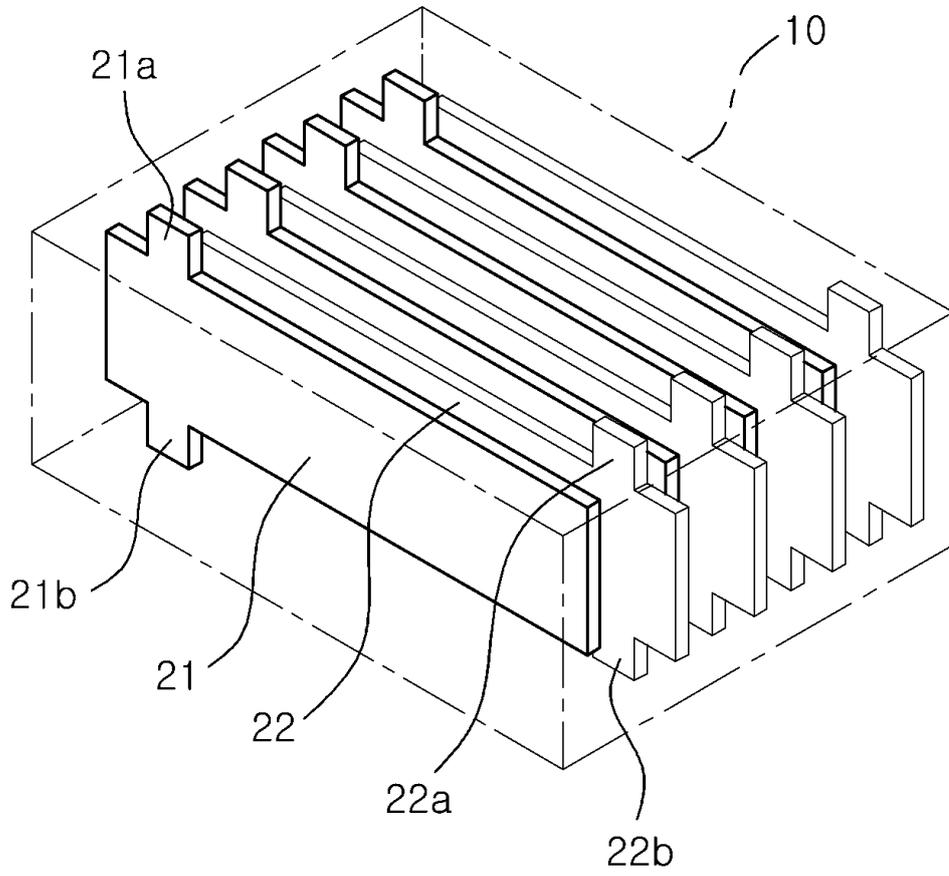
- [0132] 11: 유전체층
 10: 세라믹 본체
 21, 22: 제1 및 제2 내부전극
 21a, 21b, 22a, 22b: 제1 및 제2 리드
 31, 32: 제1 및 제2 외부전극
 100: 인쇄회로기판
 110: 절연기관
 120: 절연층
 130: 도전성 패턴
 140: 도전성 비아홀
 te: 세라믹 본체의 제1 및 제2 주면에 형성된 제1 및 제2 외부전극의 평균 두께

도면

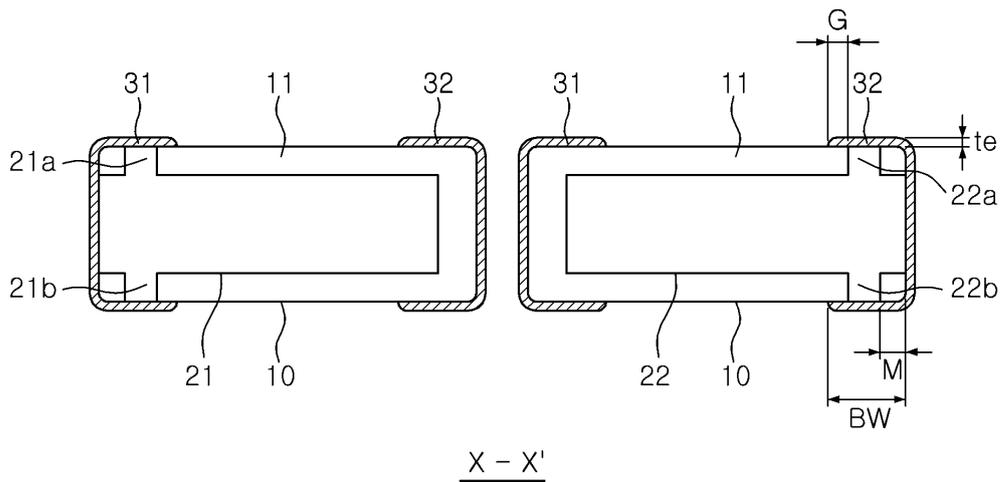
도면1



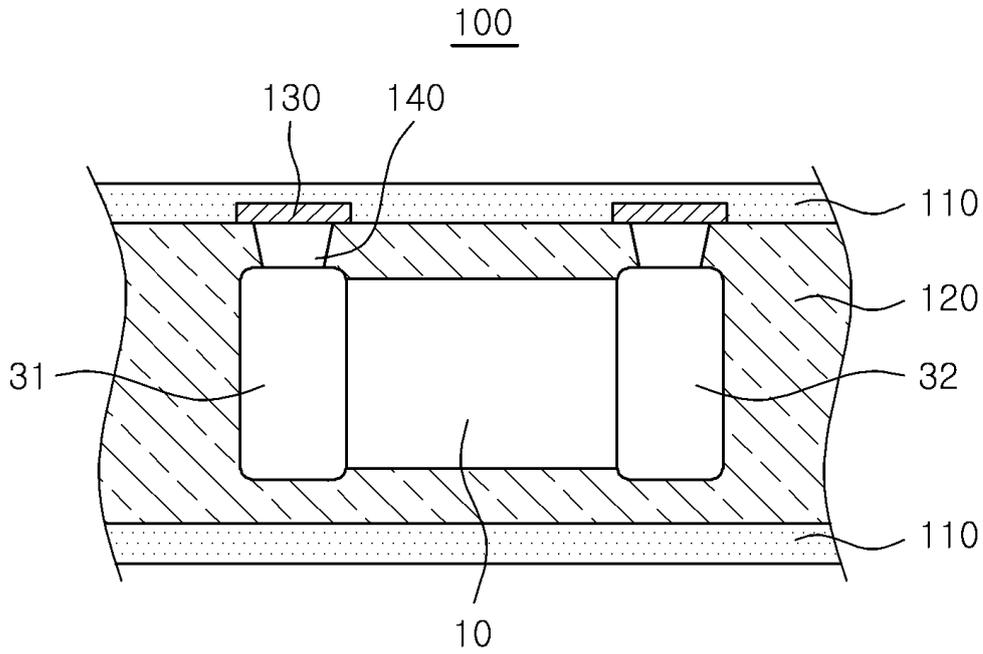
도면2



도면3



도면4



도면5

