



(12)发明专利

(10)授权公告号 CN 104157696 B

(45)授权公告日 2017.02.15

(21)申请号 201410340379.0

H01L 23/552(2006.01)

(22)申请日 2014.07.16

H01L 21/336(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 104157696 A

(43)申请公布日 2014.11.19

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 北京京东方光电科技有限公司

(72)发明人 肖昂

(74)专利代理机构 北京中博世达专利商标代理

有限公司 11274

代理人 申健

(51)Int.Cl.

H01L 29/786(2006.01)

H01L 29/423(2006.01)

(56)对比文件

US 5677211 A,1997.10.14,全文.

US 2013/0043475 A1,2013.02.21,全文.

CN 103792746 A,2014.05.14,全文.

CN 103855225 A,2014.06.11,全文.

CN 103681751 A,2014.03.26,说明书第0002-0027、0070-0081段及附图8-9E.

审查员 靳苹苹

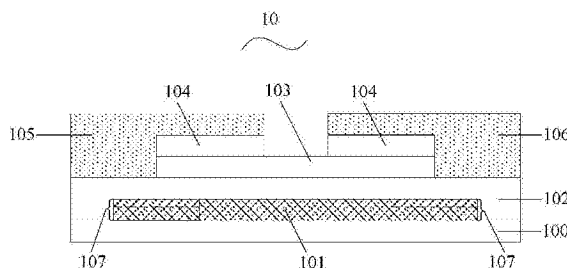
权利要求书1页 说明书8页 附图5页

(54)发明名称

一种薄膜晶体管及制备方法、阵列基板、液晶显示装置

(57)摘要

本发明提供了一种薄膜晶体管及制备方法、阵列基板、液晶显示装置,涉及显示技术领域,可以使薄膜晶体管的制备工艺更为简单,并且可以避免光致漏电流和空穴漏电流的产生;该薄膜晶体管包括:依次设置在衬底基板上的栅极、非晶硅层和欧姆接触层,所述栅极的尺寸小于所述非晶硅层的尺寸;在此基础上,所述薄膜晶体管还包括:设置在所述非晶硅层与所述衬底基板之间的挡光层,所述挡光层与未被所述栅极遮挡的非晶硅层的其余部分对应且超出所述非晶硅层。用于薄膜晶体管、包括该薄膜晶体管的阵列基板、包括该阵列基板的液晶显示装置的设计及制造。



1. 一种薄膜晶体管,包括依次设置在衬底基板上的栅极、非晶硅层和欧姆接触层,其特征在于,所述栅极的尺寸小于所述非晶硅层的尺寸;

所述薄膜晶体管还包括:设置在所述非晶硅层与所述衬底基板之间的挡光层,所述挡光层与未被所述栅极遮挡的非晶硅层的其余部分对应且超出所述非晶硅层;

所述挡光层与所述栅极同层且为一体化结构;其中,所述挡光层远离所述衬底基板的表面的材料为对所述栅极材料进行氧化后得到,所述挡光层的其余部分的材料与所述栅极材料相同。

2. 一种阵列基板,其特征在于,包括权利要求1所述的薄膜晶体管。

3. 一种液晶显示装置,其特征在于,包括权利要求2所述的阵列基板。

4. 一种薄膜晶体管的制备方法,包括在衬底基板上依次形成栅极、非晶硅层和欧姆接触层,其特征在于,所述栅极的尺寸小于所述非晶硅层的尺寸;

所述方法还包括:在所述非晶硅层与所述衬底基板之间形成挡光层,所述挡光层与未被所述栅极遮挡的非晶硅层的其余部分对应且超出所述非晶硅层;

其中,所述挡光层与所述栅极同层且为一体化结构;

形成所述栅极、所述挡光层具体包括:

在衬底基板上形成栅金属薄膜,并在所述栅金属薄膜上形成光刻胶;

采用半阶或灰阶掩模板对形成有所述光刻胶的基板进行曝光,显影后形成光刻胶完全保留部分、光刻胶半保留部分和光刻胶完全去除部分;其中,所述光刻胶完全保留部分对应所述栅极的区域,所述光刻胶半保留部分对应所述挡光层的区域,所述光刻胶完全去除部分对应其他区域;

采用刻蚀工艺去除所述光刻胶完全去除部分的所述栅金属薄膜;

采用等离子体对所述光刻胶半保留部分进行轰击,去除所述光刻胶半保留部分的光刻胶;并调整等离子体参数,使与所述光刻胶半保留部分对应的所述栅金属薄膜的表面氧化形成所述挡光层,与所述光刻胶完全保留部分对应的所述栅金属薄膜形成栅极,同时去除所述光刻胶完全保留部分的光刻胶。

一种薄膜晶体管及制备方法、阵列基板、液晶显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种薄膜晶体管及制备方法、阵列基板、液晶显示装置。

背景技术

[0002] 在液晶显示装置中薄膜晶体管(Thin Film Transistor,简称TFT)的漏电流对薄膜晶体管的特性会产生严重的影响,因此,一直以来如何减小薄膜晶体管的漏电流是本领域技术人员研究的课题。

[0003] 如图1、2、3所示,薄膜晶体管10可以包括设置在衬底基板100上的栅极101、栅绝缘层102、非晶硅层103、欧姆接触层104(n+非晶硅层)、以及源极105和漏极106。

[0004] 理想型的薄膜晶体管10的结构如图1所示,其中,栅极101与非晶硅层103的尺寸一致。这样,一方面,当该薄膜晶体管10应用于阵列基板,该阵列基板应用于液晶显示装置时,不透明的栅极101可以防止底部背光源照射非晶硅层103而产生光致漏电流,另一方面,在栅极101与源极105和漏极106的重叠区域,非晶硅层103中的空穴累积层与欧姆接触层104形成PN结,可以防止空穴累积层中的空穴流入源极105和漏极106中或源极105和漏极106中的电子流入非晶硅层103的空穴累积层中而产生空穴漏电流。

[0005] 然而,在实际工艺中往往会出现如图2和图3所示的情况。其中,图2所示为栅极101尺寸小于非晶硅层103尺寸的情况,由于栅极101不能完全遮挡非晶硅层103,会导致来自底部背光源的光照到非晶硅层103,从而产生光致漏电流。如图3所示为栅极101尺寸大于非晶硅层103尺寸的情况,由于栅极101在超出非晶硅层103的部分仍然与源极105和漏极106有重叠,并且在重叠区域中栅极101与源极105和漏极106之间仅设置有栅绝缘层102且源极105和漏极106直接与非晶硅层103接触,使得非晶硅层103中的空穴累积层与源极105和漏极106之间由于没有PN结的存在而导致空穴流入源极105和漏极106中或源极105和漏极106中的电子流入非晶硅层103的空穴累积层中,产生空穴漏电流。

发明内容

[0006] 本发明的实施例提供一种薄膜晶体管及制备方法、阵列基板、液晶显示装置,可以使薄膜晶体管的制备工艺更为简单,并且可以避免光致漏电流和空穴漏电流的产生。

[0007] 为达到上述目的,本发明的实施例采用如下技术方案:

[0008] 一方面,提供一种薄膜晶体管,包括依次设置在衬底基板上的栅极、非晶硅层和欧姆接触层,所述栅极的尺寸小于所述非晶硅层的尺寸;在此基础上,所述薄膜晶体管还包括:设置在所述非晶硅层与所述衬底基板之间的挡光层,所述挡光层与未被所述栅极遮挡的非晶硅层的其余部分对应且超出所述非晶硅层。

[0009] 优选的,所述挡光层设置在所述衬底基板和所述栅极之间,且所述挡光层还与所述栅极对应。

[0010] 进一步的,所述挡光层的材料为不透明树脂。

[0011] 优选的,所述挡光层与所述栅极同层且为一体化结构;其中,所述挡光层远离所述衬底基板的表面的材料为对所述栅极材料进行氧化后得到,所述挡光层的其余部分的材料与所述栅极材料相同。

[0012] 另一方面,还提供一种阵列基板,包括上述任一项所述的薄膜晶体管。

[0013] 再一方面,还提供一种液晶显示装置,包括上述的阵列基板。

[0014] 又一方面,还提供一种薄膜晶体管的制备方法,包括在衬底基板上依次形成栅极、非晶硅层和欧姆接触层,所述栅极的尺寸小于所述非晶硅层的尺寸;在此基础上,所述方法还包括:在所述非晶硅层与所述衬底基板之间形成挡光层,所述挡光层与未被所述栅极遮挡的非晶硅层的其余部分对应且超出所述非晶硅层。

[0015] 优选的,所述挡光层形成在所述衬底基板和所述栅极之间,且所述挡光层还与所述栅极对应。

[0016] 进一步的,所述挡光层的材料为不透明树脂;在此基础上,形成所述栅极、所述挡光层具体包括:

[0017] 在衬底基板上依次形成挡光层薄膜、栅金属薄膜,并在所述栅金属薄膜上形成光刻胶;采用普通掩模板对形成有所述光刻胶的基板进行曝光,显影后形成光刻胶完全保留部分和光刻胶完全去除部分;其中,所述光刻胶完全保留部分的尺寸大于所述栅极的尺寸,且所述光刻胶完全保留部分完全覆盖所述栅极,所述光刻胶完全去除部分对应其他区域;采用湿法刻蚀工艺对与所述光刻胶完全去除部分对应的所述栅金属薄膜进行刻蚀,形成所述栅极;以所述光刻胶完全保留部分为掩模,采用干法刻蚀工艺对所述挡光层薄膜进行刻蚀,形成所述挡光层;采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

[0018] 优选的,所述挡光层与所述栅极同层且为一体化结构;在此基础上,形成所述栅极、所述挡光层具体包括:

[0019] 在衬底基板上形成栅金属薄膜,并在所述栅金属薄膜上形成光刻胶;采用半阶或灰阶掩模板对形成有所述光刻胶的基板进行曝光,显影后形成光刻胶完全保留部分、光刻胶半保留部分和光刻胶完全去除部分;其中,所述光刻胶完全保留部分对应所述栅极的区域,所述光刻胶半保留部分对应所述挡光层的区域,所述光刻胶完全去除部分对应其他区域;采用刻蚀工艺去除所述光刻胶完全去除部分的所述栅金属薄膜;采用等离子体对所述光刻胶半保留部分进行轰击,去除所述光刻胶半保留部分的光刻胶;并调整等离子体参数,使与所述光刻胶半保留部分对应的所述栅金属薄膜的表面氧化形成所述挡光层,与所述光刻胶完全保留部分对应的所述栅金属薄膜形成栅极,同时去除所述光刻胶完全保留部分的光刻胶。

[0020] 本发明的实施例提供一种薄膜晶体管及制备方法、阵列基板、液晶显示装置,该薄膜晶体管包括依次设置在衬底基板上的栅极、非晶硅层和欧姆接触层,所述栅极的尺寸小于所述非晶硅层的尺寸;在此基础上,所述薄膜晶体管还包括:设置在所述非晶硅层与所述衬底基板之间的挡光层,所述挡光层与未被所述栅极遮挡的非晶硅层的其余部分对应且超出所述非晶硅层。

[0021] 相对于制备尺寸一致的栅极与非晶硅层的薄膜晶体管的工艺复杂度,本发明实施例提供的阵列基板中的薄膜晶体管由于所述栅极的尺寸小于所述非晶硅层的尺寸,使得制备工艺更为简单;在此基础上,一方面,由于所述栅极的尺寸小于所述非晶硅层的尺寸,使

得在所述栅极与所述源极和漏极的重叠区域,非晶硅层中的空穴累积层与欧姆接触层形成PN结,从而避免了空穴漏电流的产生;另一方面,由所述挡光层和所述栅极共用作用,可以阻挡光照射到所述非晶硅层,从而避免了光致漏电流的产生。

附图说明

[0022] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0023] 图1为现有技术中提供的一种理想型薄膜晶体管的结构示意图;

[0024] 图2为现有技术中提供的栅极尺寸小于非晶硅层尺寸的薄膜晶体管的结构示意图;

[0025] 图3为现有技术中提供的栅极尺寸大于非晶硅层尺寸的薄膜晶体管的结构示意图;

[0026] 图4为本发明实施例提供的一种薄膜晶体管的结构示意图一;

[0027] 图5为本发明实施例提供的一种薄膜晶体管的结构示意图二;

[0028] 图6为本发明实施例提供的一种阵列基板的结构示意图一;

[0029] 图7为本发明实施例提供的一种阵列基板的结构示意图二;

[0030] 图8a-8e为本发明实施例提供的一种形成栅极和挡光层的过程示意图一;

[0031] 图9a-9d为本发明实施例提供的一种形成栅极和挡光层的过程示意图二。

[0032] 附图标记:

[0033] 10-薄膜晶体管;100-衬底基板;101-栅极;101a-栅金属薄膜;102-栅绝缘层;103-非晶硅层;104-欧姆接触层;105-源极;106-漏极;107-挡光层;107a-挡光层薄膜;20-像素电极;30-公共电极;40-光刻胶;401-光刻胶完全保留部分;402-光刻胶完全去除部分;403-光刻胶半保留部分。

具体实施方式

[0034] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0035] 本发明实施例提供了一种薄膜晶体管10,如图4和图5所示,该薄膜晶体管10包括:依次设置在衬底基板100上的栅极101、非晶硅层103和欧姆接触层104,所述栅极101的尺寸小于所述非晶硅层103的尺寸;在此基础上,所述薄膜晶体管10还包括:设置在所述非晶硅层103与所述衬底基板100之间的挡光层107,所述挡光层107与未被所述栅极101遮挡的非晶硅层的其余部分对应且超出所述非晶硅层103。

[0036] 当然,所述薄膜晶体管10还包括:设置在所述栅极101和所述非晶硅层103之间的栅绝缘层102、设置在所述欧姆接触层104远离衬底基板100一侧的源极105和漏极106。

[0037] 需要说明的是,第一,所述栅极101的尺寸小于所述非晶硅层103的尺寸,即为:所

述栅极101在衬底基板100上的投影的尺寸小于所述非晶硅层103在衬底基板100上的投影的尺寸。

[0038] 当然,本领域技术人员应该知道,所述非晶硅层103就是半导体有源层,且所述栅极101和所述非晶硅层103是完全对应的,也就是所述栅极101在衬底基板100上的投影完全被所述非晶硅层103在衬底基板100上的投影覆盖。

[0039] 第二,所述挡光层103与未被所述栅极101遮挡的非晶硅层103的其余部分对应且超出所述非晶硅层103,即为:所述挡光层103除包括与未被所述栅极101遮挡的非晶硅层101的其余部分对应的部分外,还包括超过所述非晶硅层103的部分。

[0040] 第三,由于所述栅极101的尺寸小于所述非晶硅层103的尺寸,这种情况下当所述薄膜晶体管10应用于阵列基板,且该阵列基板应用于液晶显示装置时,势必导致来自底部背光源的光照射到非晶硅层103而产生光致漏电流,而本发明的目的之一是解决光致漏电流的问题,因此,本领域技术人员从本发明实施例中提到的挡光层107以及其设置位置,就应该知道设置所述挡光层107的目的之一是用于阻挡来自底部背光源的光照射到未被栅极101遮挡的非晶硅层103的其余部分,从而来避免产生光致漏电流,因此,所述挡光层107的材料应该是能吸收光的不透明材料。

[0041] 在此基础上,由于所述挡光层107除包括与未被所述栅极101遮挡的非晶硅层101的其余部分对应的部分外,还包括超过所述非晶硅层103的部分,在此情况下,若所述挡光层107导电并与所述栅极101接触的话,相当于延伸了栅极101的尺寸而使得延伸后的栅极101尺寸大于所述非晶硅层103,基于此若所述挡光层107与所述源极105和漏极106之间只隔一层栅绝缘层102,则会导致空穴漏电流的产生,因此,本发明实施例中的所述挡光层103若为导体材料,且在其与栅极101接触的情况下,还需在所述挡光层103与所述源极105和漏极106之间形成用于阻隔电场的绝缘层。

[0042] 本发明实施例提供了一种薄膜晶体管10,包括:依次设置在衬底基板100上的栅极101、非晶硅层103和欧姆接触层104,所述栅极101的尺寸小于所述非晶硅层103的尺寸;在此基础上,所述薄膜晶体管10还包括:设置在所述非晶硅层103与所述衬底基板100之间的挡光层107,所述挡光层107与未被所述栅极101遮挡的非晶硅层的其余部分对应且超出所述非晶硅层103。

[0043] 这样,相对于制备尺寸一致的栅极101与非晶硅层103的工艺复杂度,本发明实施例由于所述栅极101的尺寸小于所述非晶硅层103的尺寸,使得制备工艺更为简单;在此基础上,一方面,由于所述栅极101的尺寸小于所述非晶硅层103的尺寸,使得在所述栅极101与所述源极105和漏极106的重叠区域,非晶硅层103中的空穴累积层与欧姆接触层104形成PN结,从而避免了空穴漏电流的产生;另一方面,由所述挡光层107和所述栅极101共用作用,可以阻挡光照射到所述非晶硅层103,从而避免了光致漏电流的产生。

[0044] 优选的,如图4所示,所述挡光层107设置在所述衬底基板101和所述栅极101之间,且所述挡光层107还与所述栅极101对应。

[0045] 即:所述挡光层107的尺寸大于所述非晶硅层103的尺寸,且所述挡光层107在所述衬底基板100上的投影完全覆盖所述非晶硅层103在所述衬底基板100上的投影。

[0046] 在此基础上,若所述挡光层107的材料为绝缘材料,则所述挡光层107可以与所述栅极101直接接触;若所述挡光层107的材料为导体材料,则所述挡光层107和所述栅极101

之间可以设置一层绝缘层,具体可根据实际情况进行设置,在此不做限定。

[0047] 这样,只需在制备薄膜晶体管时,额外制作一层挡光层107,且使所述挡光层107的尺寸大于所述非晶硅层103的尺寸,便可以避免光致漏电流和空穴漏电流的产生,同时使得制备工艺相对简单。

[0048] 进一步的,所述挡光层107的材料为不透明树脂。

[0049] 所述不透明树脂例如可以是与制作黑矩阵相同的材料。

[0050] 优选的,如图5所示,所述挡光层107与所述栅极101同层且为一体化结构;其中,所述挡光层107远离所述衬底基板100的表面的材料为对所述栅极101材料进行氧化后得到,所述挡光层107的其余部分的材料与所述栅极101材料相同。

[0051] 这里,例如可以通过如下方式实现所述挡光层107与所述栅极101的一体化结构,即:在制备薄膜晶体管时,通过一次构图工艺先形成尺寸大于非晶硅层103尺寸的栅金属层,该栅金属层包括待形成的尺寸小于非晶硅层103尺寸的栅极101和位于栅极101周围的待形成的挡光层107,然后通过相关工艺使所述挡光层107区域的栅极材料表面氧化,从而形成挡光层107,并使未被氧化的栅金属层部分形成所述栅极101。

[0052] 需要说明的是,第一,在选择栅极101材料时,应选择氧化后为不导电的栅极101材料。

[0053] 第二、虽然挡光层107的下部即未被氧化部分仍然与栅极101接触,但是由于挡光层107的表面被氧化后形成的绝缘层可以阻隔电场,因此,仍然可以避免空穴漏电流的产生。

[0054] 这样,只需在形成栅极101同时形成所述挡光层107,便可以避免光致漏电流和空穴漏电流的产生,并且还可以避免构图工艺的增加以及薄膜晶体管10整体厚度的增加。

[0055] 本发明实施例还提供了一种阵列基板,如图6所示,该阵列基板包括上述的薄膜晶体管10,当然还可以包括与所述薄膜晶体管10的漏极106电连接的像素电极20。

[0056] 相对于制备尺寸一致的栅极101与非晶硅层103的薄膜晶体管的工艺复杂度,本发明实施例提供的阵列基板中的薄膜晶体管10由于所述栅极101的尺寸小于所述非晶硅层103的尺寸,使得制备工艺更为简单;在此基础上,一方面,由于所述栅极101的尺寸小于所述非晶硅层103的尺寸,使得在所述栅极101与所述源极105和漏极106的重叠区域,非晶硅层103中的空穴累积层与欧姆接触层104形成PN结,从而避免了空穴漏电流的产生;另一方面,由所述挡光层107和所述栅极101共用作用,可以阻挡光照射到所述非晶硅层103,从而避免了光致漏电流的产生。

[0057] 在此基础上,如图7所示,所述阵列基板还可以包括公共电极30。

[0058] 其中,本发明实施例提供的阵列基板可以适用于高级超维场转换技术(Advanced Super Dimensional Switching,简称ADS)型液晶显示装置的生产。其中,高级超维场转换技术,其核心技术特性描述为:通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。高级超维场转换技术可以提高TFT-LCD产品的画面品质,具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹(Push Mura)等优点。

[0059] 本发明实施例还提供了一种液晶显示装置,包括上述的阵列基板。

[0060] 此处,本发明实施例所述显示装置具体可以是液晶显示器、液晶电视、数码相框、手机、平板电脑等具有任何显示功能的产品或者部件。

[0061] 本发明实施例还提供了一种薄膜晶体管10的制备方法,参考图4和图5所示,该方法包括在衬底基板100上依次形成栅极101、非晶硅层103和欧姆接触层104,所述栅极101的尺寸小于所述非晶硅层103的尺寸;在此基础上,所述方法还包括:在所述非晶硅层103与所述衬底基板100之间形成挡光层107,所述挡光层107与未被所述栅极101遮挡的非晶硅层的其余部分对应且超出所述非晶硅层103。

[0062] 当然,所述方法还包括:在所述栅极101和所述非晶硅层103之间的形成栅绝缘层102、在所述欧姆接触层104远离衬底基板100一侧形成源极105和漏极106。

[0063] 相对于制备尺寸一致的栅极101与非晶硅层103的工艺复杂度,本发明实施例由于所述栅极101的尺寸小于所述非晶硅层103的尺寸,使得制备工艺更为简单;在此基础上,一方面,由于所述栅极101的尺寸小于所述非晶硅层103的尺寸,使得在所述栅极101与所述源极105和漏极106的重叠区域,非晶硅层103中的空穴累积层与欧姆接触层104形成PN结,从而避免了空穴漏电流的产生;另一方面,由所述挡光层107和所述栅极101共用作用,可以阻挡光照射到所述非晶硅层103,从而避免了光致漏电流的产生。

[0064] 优选的,参考图4所示,所述挡光层107形成在所述衬底基板100和所述栅极101之间,且所述挡光层107还与所述栅极101对应。

[0065] 即:所述挡光层107的尺寸大于所述非晶硅层103的尺寸,且所述挡光层107在所述衬底基板100上的投影完全覆盖所述非晶硅层103在所述衬底基板100上的投影。

[0066] 在此基础上,若所述挡光层107的材料为绝缘材料,则所述挡光层107可以与所述栅极101直接接触;若所述挡光层107的材料为导体材料,则所述挡光层107和所述栅极101之间可以形成一层绝缘层,具体可根据实际情况进行设置,在此不做限定。

[0067] 这样,只需在制备薄膜晶体管时,额外制作一层挡光层107,且使所述挡光层107的尺寸大于所述非晶硅层103的尺寸,便可以避免光致漏电流和空穴漏电流的产生,同时使得制备工艺相对简单。

[0068] 进一步的,优选所述挡光层107的材料为不透明树脂,即:可以在衬底基板100上先形成所述挡光层107,然后在挡光层107上方形成所述栅极101,且所述挡光层107和所述栅极101接触。

[0069] 具体的,形成所述栅极101、所述挡光层107包括如下步骤:

[0070] S101、如图8a所示,在衬底基板100上依次形成挡光层薄膜107a、栅金属薄膜101a,并在所述栅金属薄膜101a上形成光刻胶40。

[0071] S102、如图8b所示,采用普通掩模板对形成有所述光刻胶40的基板进行曝光,显影后形成光刻胶完全保留部分401和光刻胶完全去除部分402;其中,所述光刻胶完全保留部分401的尺寸大于所述栅极101的尺寸,且所述光刻胶完全保留部分401完全覆盖所述栅极101,所述光刻胶完全去除部分402对应其他区域。

[0072] S103、如图8c所示,采用湿法刻蚀工艺对与所述光刻胶完全去除部分402对应的所述栅金属薄膜101a进行刻蚀,形成所述栅极101。

[0073] 本步骤中采用湿法刻蚀工艺,是因为湿法刻蚀具有各向异性,即不仅有垂直刻蚀,还有横向钻蚀,从而可以不仅刻蚀与所述光刻胶完全去除部分402对应的所述栅金属薄膜

101a,还可以刻蚀位于所述光刻胶完全保留部分401下方的栅金属薄膜101a,进而形成尺寸小于所述光刻胶完全保留部分401的所述栅极101。

[0074] 需要说明的是,通过控制湿法刻蚀的刻蚀参数,可以控制位于所述光刻胶完全保留部分401下方的栅金属薄膜101a被刻蚀的程度,从而控制形成的栅极101的尺寸。

[0075] S104、如图8d所示,以所述光刻胶完全保留部分401为掩模,采用干法刻蚀工艺对所述挡光层薄膜107a进行刻蚀,形成所述挡光层107。

[0076] 本步骤中采用干法刻蚀工艺,是因为干法刻蚀可以仅具有垂直刻蚀,从而仅将与所述光刻胶完全去除部分402对应的挡光层薄膜107a刻蚀掉。

[0077] 需要说明的是,由于光刻胶完全保留部分401的尺寸与所述挡光层107的尺寸一致,而形成所述挡光层107的目的是阻挡光照射到未被栅极101遮挡的非晶硅层103的其余部分,因此,本领域技术人员应该知道,在上述步骤S102中,在控制所述光刻胶完全保留部分401的尺寸大于所述栅极101的尺寸时,需考虑能使后续形成的非晶硅层103的尺寸介于所述栅极101的尺寸和所述光刻胶完全保留部分401的尺寸之间。

[0078] S105、如图8e所示,采用剥离工艺去除所述光刻胶完全保留部分的光刻胶。

[0079] 在此基础上,参考图4所示,在形成所述非晶硅层103时,只需使其尺寸大于所述栅极101的尺寸且小于所述挡光层107的尺寸即可。

[0080] 通过上述步骤S101-S105,可以仅通过一次构图工艺,便可形成所述挡光层107和所述栅极101。

[0081] 优选的,所述挡光层107与所述栅极101同层且为一体化结构。在此基础上,形成所述栅极101、所述挡光层107具体可以包括如下步骤:

[0082] S201、如图9a所示,在衬底基板100上形成栅金属薄膜101a,并在所述栅金属薄膜101a上形成光刻胶40。

[0083] S202、如图9b所示,采用半阶或灰阶掩模板对形成有所述光刻胶的基板进行曝光,显影后形成光刻胶完全保留部分401、光刻胶半保留部分403和光刻胶完全去除部分402;其中,所述光刻胶完全保留部分401对应所述栅极101的区域,所述光刻胶半保留部分403对应所述挡光层107的区域,所述光刻胶完全去除部分402对应其他区域。

[0084] 需要说明的是,由于形成所述挡光层107的目的是阻挡光照射到未被栅极101遮挡的非晶硅层103的其余部分,因此,本领域技术人员应该知道,在设置光刻胶半保留部分403的尺寸时,需考虑能使后续形成的非晶硅层103的尺寸介于所述栅极101的尺寸与所述栅极101和所述挡光层107的整体尺寸之间。

[0085] S203、如图9c所示,采用刻蚀工艺去除所述光刻胶完全去除部分的所述栅金属薄膜101a。

[0086] S204、如图9d所示,采用等离子体对所述光刻胶半保留部分403进行轰击,去除所述光刻胶半保留部分403的光刻胶;并调整等离子体参数,使与所述光刻胶半保留部分403对应的所述栅金属薄膜101a的表面氧化形成所述挡光层107,与所述光刻胶完全保留部分401对应的所述栅金属薄膜101a形成栅极101,同时去除所述光刻胶完全保留部分401的光刻胶。

[0087] 这里,例如可以使用Ar/O₂,或Ar/O₂/N₂等离子体对所述光刻胶半保留部分403进行两步轰击。第一步快速轰击去除所述光刻胶半保留部分403的光刻胶,第二步降低上述等离

子体中的O₂含量,缓慢轰击,使得与所述光刻胶半保留部分403对应的所述栅金属薄膜101a的表面氧化形成所述挡光层107,并同时去除所述光刻胶完全保留部分401的光刻胶。

[0088] 其中,氧化深度例如可以达到50~80nm。

[0089] 需要说明的是,虽然挡光层107的下部即未被氧化部分仍然与栅极101接触,但是由于挡光层107的表面被氧化后形成的绝缘层可以阻隔电场,因此,仍然可以避免空穴漏电流的产生。

[0090] 在此基础上,参考图5所示,在形成所述非晶硅层103时,只需使其尺寸大于所述栅极101的尺寸且小于所述栅极101和所述挡光层107的整体尺寸即可。

[0091] 通过上述步骤S201-S204,可以仅通过一次构图工艺,便可形成所述挡光层107和所述栅极101。

[0092] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

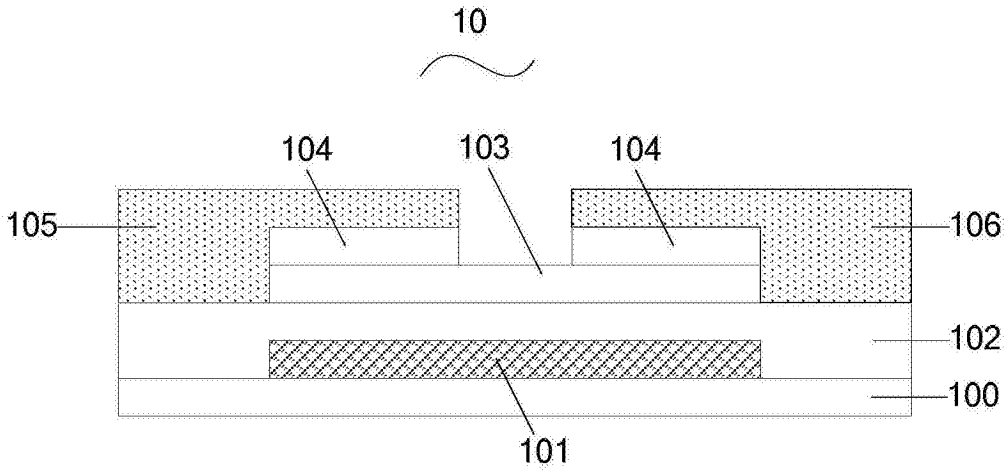


图1

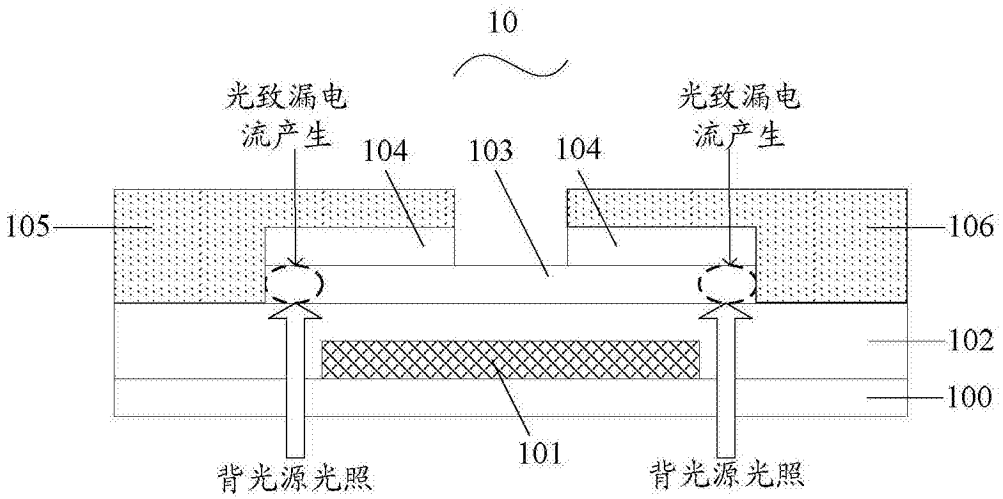


图2

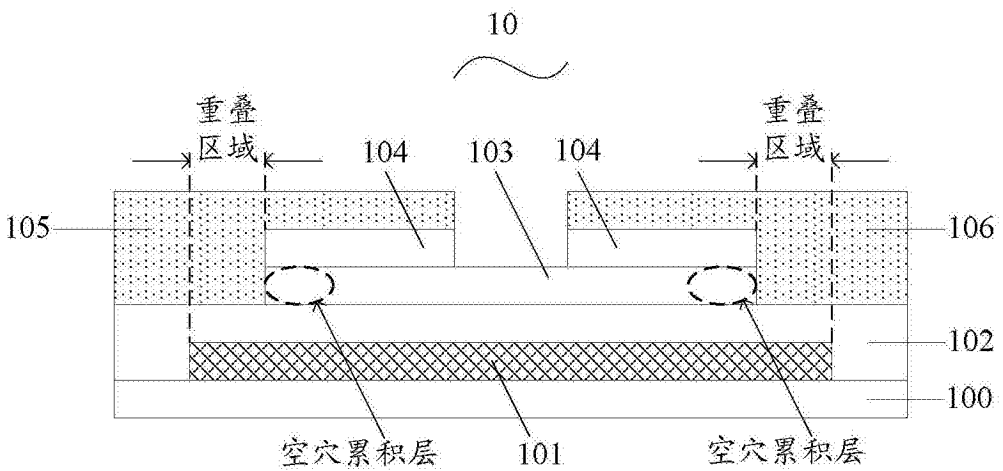


图3

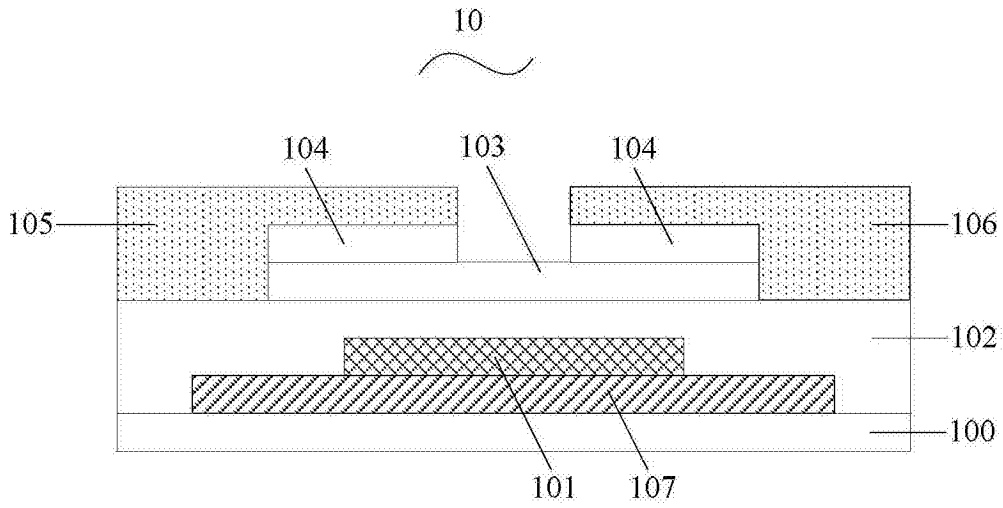


图4

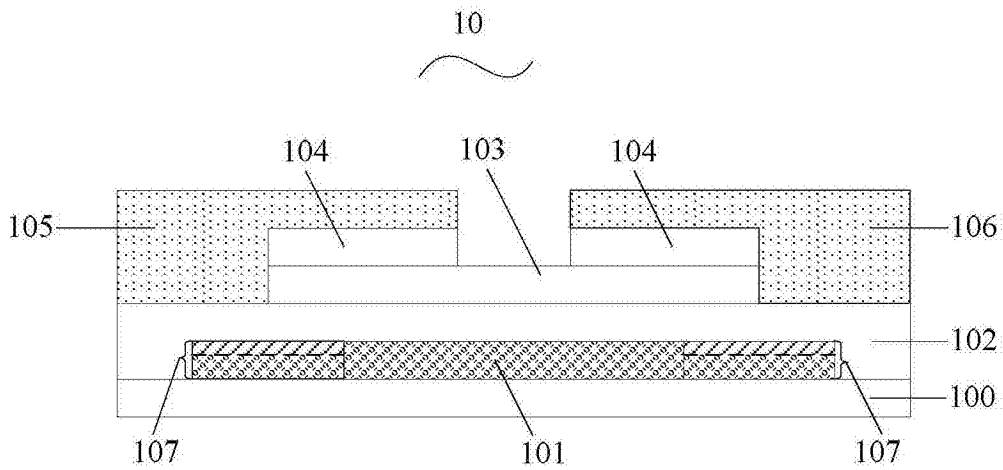


图5

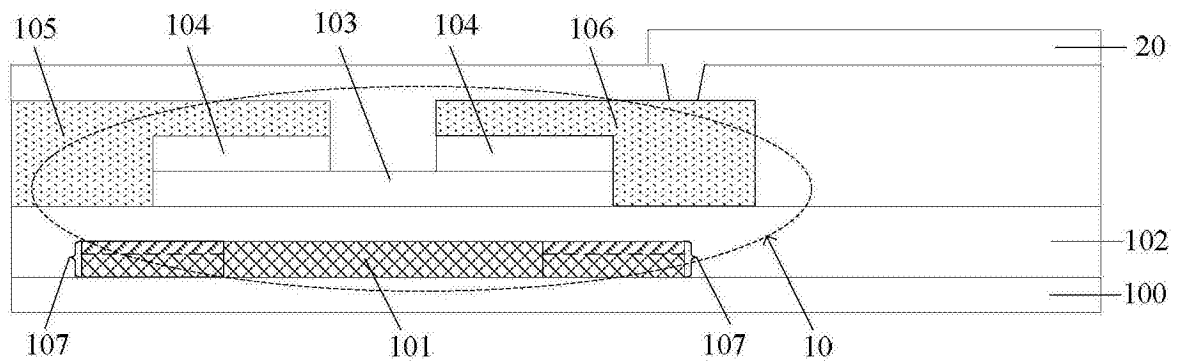


图6

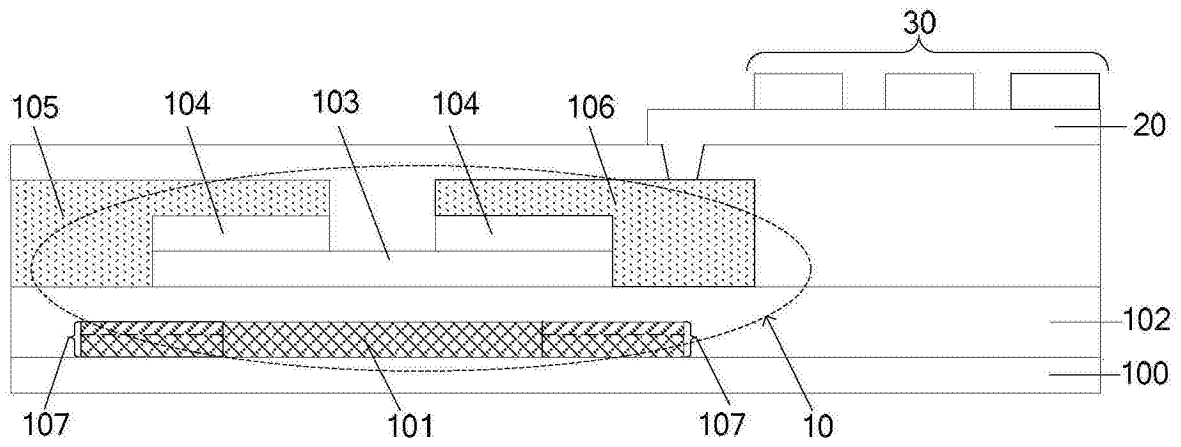


图7

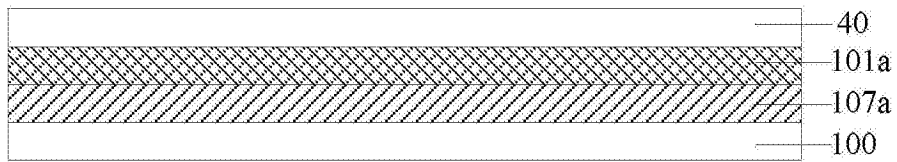


图8a

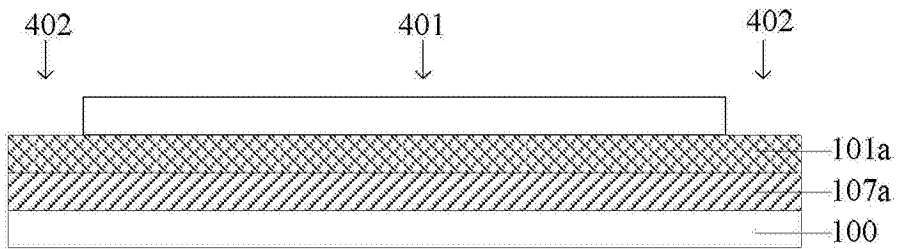


图8b

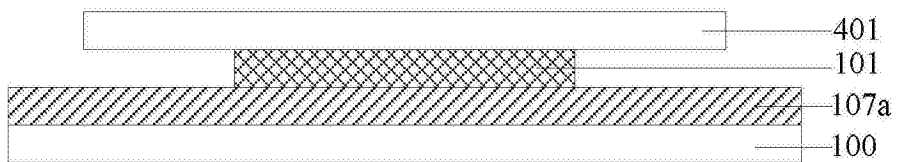


图8c

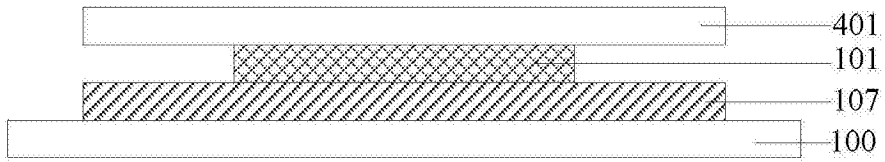


图8d

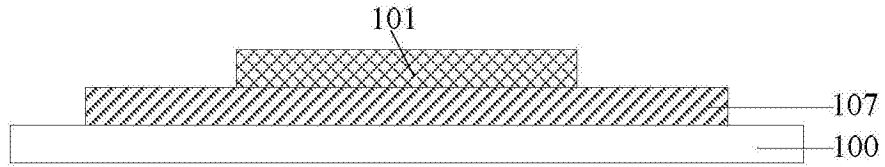


图8e

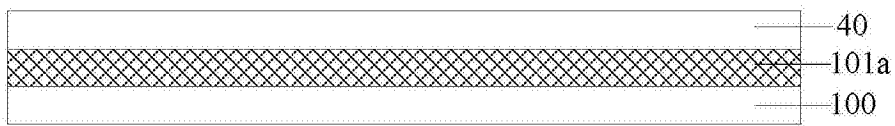


图9a

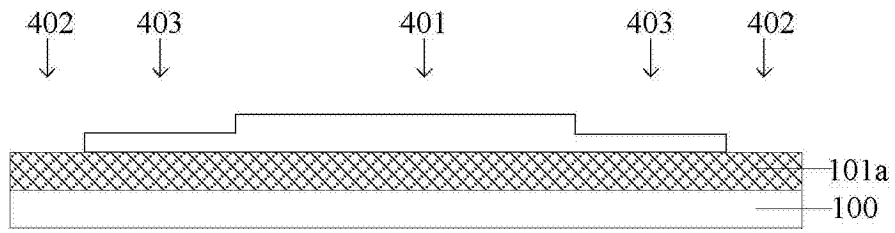


图9b

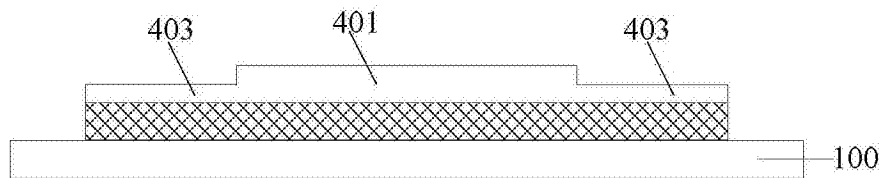


图9c

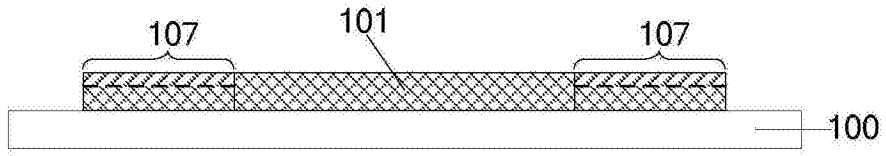


图9d