

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/027 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월12일 10-0598988 2006년07월03일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0041819 2005년05월18일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	임동규 경기 이천시 갈산동 현대아파트 203동 1003호
(74) 대리인	특허법인아주

심사관 : 김준학

(54) 오버레이 버니어 및 이를 이용한 반도체소자의 제조방법

요약

본 발명에 따른 오버레이 버니어는, 리얼셀 내에 배치되는 패턴의 레이아웃과 동일한 레이아웃을 갖는 오버레이 버니어 패턴을 포함한다. 즉 하부 레이어로서 리얼셀 내의 하부 레이어 패턴과 함께 동일한 레이아웃의 하부 오버레이 버니어 패턴을 스크라이브 라인 영역 내에 형성하고, 상부 레이어로서 리얼셀 내의 상부 레이어 패턴과 함께 동일한 레이아웃의 상부 오버레이 버니어 패턴을 스크라이브 라인 영역 내에 형성한다. 이와 같이 리얼셀 내의 패턴과 동일한 레이아웃을 갖는 하부 오버레이 버니어 패턴과 상부 오버레이 버니어 패턴의 중첩정도를 이용하여 리얼셀 내의 하부 레이어 패턴과 상부 레이어 패턴을 정확하게 정렬시킬 수 있다.

대표도

도 2

색인어

정렬, 오버레이 버니어, 미스얼라인

명세서

도면의 간단한 설명

도 1 및 도 2는 본 발명의 일 실시예에 따른 오버레이 버니어를 설명하기 위하여 나타내 보인 도면들이다.

도 3은 본 발명의 일 실시예에 따른 오버레이 버니어를 이용한 반도체소자의 제조방법을 설명하기 위하여 나타내 보인 플로차트이다.

도 4는 본 발명의 다른 실시예에 따른 오버레이 버니어를 이용한 반도체소자의 제조방법을 설명하기 위하여 나타내 보인 플로차트이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 웨이퍼상의 하부 레이어와 상부 레이어 사이의 정렬을 위한 오버레이 버니어 및 이를 이용한 반도체소자의 제조 방법에 관한 것이다.

일반적으로, 적층구조의 반도체소자의 제조시에는 이전 공정에서 형성시킨 레이어와 현재 공정에서 형성시키는 레이어 사이의 정렬 상태를 파악 및 보정하기 위하여 오버레이 버니어(overlay vernier)를 웨이퍼 상에 리얼패턴과 함께 형성한다. 즉 리얼셀(real cell)의 하부 레이어 패턴 형성과 함께 하부 오버레이 버니어 패턴을 형성하고, 리얼셀의 상부 레이어 패턴 형성과 함께 상부 오버레이 버니어 패턴을 형성한다. 그리고 상부 레이어 패턴과 하부 레이어 패턴의 중첩 정도를 하부 오버레이 버니어 패턴과 상부 오버레이 버니어 패턴을 이용하여 파악한다. 이와 같은 오버레이 버니어 패턴은, 통상적으로 다이(die)의 분할을 위한 스크라이브라인(scribe line) 내에 위치되도록 하며, 리얼셀의 패턴 레이아웃보다는 상대적으로 간단한 특정 레이아웃, 예컨대 박스(box) 모양의 레이아웃이나 바(bar) 모양의 레이아웃, 또는 홀을 나타내는 레이아웃을 갖는다.

그런데 이와 같이 오버레이 버니어 패턴의 레이아웃과 리얼셀의 패턴 레이아웃과 상이함에 따라 여러 가지 문제점들이 발생한다. 예를 들면 적층공정, 예컨대 물리적기상증착법을 사용한 적층공정을 수행하거나 또는 열공정을 수행하는 경우, 리얼셀에서의 상하부 패턴들 사이의 정렬에 관한 정보와 상부 및 하부 오버레이 버니어 패턴의 정렬에 관한 정보가 일치하지 않는 경우가 발생할 수 있다. 보다 구체적으로 설명하면, 오버레이 버니어 패턴의 측면 기울기가 비대칭인 경우, 적층공정을 수행하더라도 오버레이 버니어 패턴의 측면에서 적층되는 막의 두께가 상이해지고, 이로 인하여 리얼셀 내의 패턴 정렬에 관한 정보와 오버레이 버니어의 정렬에 관한 정보가 일치하지 않게 된다. 따라서 오버레이 버니어의 정렬에 관한 정보를 피드백하여 적절한 보정이 이루어지더라도 리얼셀에서는 미스얼라인을 피할 수 없게 된다. 이와 같은 문제는 특히 오버레이 버니어 패턴의 측면 기울기의 비대칭성이 상대적으로 더 심한 웨이퍼의 가장자리에서 심하게 발생한다.

다른 예로서, 노광공정시 수차가 큰 스캐너/스테퍼를 사용하는 경우, 리얼셀에서의 패턴의 정렬에 관한 정보와 오버레이 버니어의 정렬에 관한 정보가 일치하지 않는 경우가 발생할 수 있다. 보다 구체적으로 스캐너/스테퍼에서 사용되는 렌즈는 수차를 갖는 것이 일반적인데, 이 렌즈의 수차로 인하여 리얼셀로 입사되는 광학적과 오버레이 버니어로 입사되는 광학적이 서로 다르다. 따라서 하부 레이어의 오버레이 버니어와 상부 레이어의 오버레이 버니어가 정확하게 중첩되더라도, 리얼셀의 하부 레이어 패턴과 상부 레이어 패턴 사이에는 미스얼라인이 발생하게 된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 오버레이 버니어의 정렬 정보와 리얼셀 내의 패턴의 정렬 정보가 일치하지 않는 현상이 발생되지 않도록 하여 리얼셀 내의 패턴이 정확하게 정렬될 수 있도록 하는 오버레이 버니어를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 이와 같은 오버레이 버니어를 이용하여 반도체소자를 제조하는 방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 오버레이 버니어는, 리얼셀 내에 배치되는 패턴의 레이아웃과 동일한 레이아웃을 갖는 오버레이 버니어 패턴을 포함하는 것을 특징으로 한다.

상기 오버레이 버니어 패턴은 스크라이브 라인 내에 배치될 수 있다.

상기 오버레이 버니어 패턴은 상기 리얼셀 내의 패턴과 반대되는 톤을 갖도록 만들어질 수도 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체소자의 제조방법은, 리얼셀인 웨이퍼의 제1 영역 내에 하부 레이어 패턴을 형성하고, 상기 제1 영역과 다른 상기 웨이퍼의 제2 영역 내에 상기 하부 레이어 패턴의 레이아웃과 동일한 레이아웃의 하부 오버레이 버니어 패턴을 형성하는 단계; 및 상기 제1 영역 내에 상부 레이어 패턴을 형성하고, 상기 제2 영역 내에 상기 상부 레이어 패턴과 동일한 레이아웃의 상부 오버레이 버니어 패턴을 형성하되, 상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시켜 상기 상부 레이어 패턴과 하부 레이어 패턴을 정렬시키는 단계를 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 하부 오버레이 버니어 패턴과 상기 상부 오버레이 버니어 패턴의 이상적인 중첩정도를 데이터화하는 단계를 더 포함할 수 있다.

이 경우, 상기 상부 레이어 패턴과 하부 레이어 패턴을 정렬시키는 단계는, 상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계와, 그리고 상기 오차만큼 상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴의 중첩정도를 보정하여 상기 상부 레이어 패턴과 하부 레이어 패턴을 정렬시키는 단계를 포함할 수 있다.

그리고 상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시킨 결과는 전자주사현미경 이미지로 파악할 수 있다.

또한 상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계는 상호 수직인 X축 및 Y축에 대하여 수행할 수 있다.

상기 제2 영역은 스크라이브 라인을 포함할 수도 있다.

상기 하부 오버레이 버니어 패턴은 상기 하부 레이어 패턴과 반대되는 톤을 갖도록 형성할 수도 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 반도체소자의 제조방법은, 웨이퍼의 리얼셀 영역 내에 하부 레이어 패턴을 형성하는 단계; 및 상기 리얼셀 영역 내에 상부 레이어 패턴을 형성하되, 상기 상부 레이어 패턴과 상기 하부 레이어 패턴을 직접 중첩시켜 상기 상부 레이어 패턴과 하부 레이어 패턴을 정렬시키는 단계를 포함하는 것을 특징으로 한다.

본 발명에 있어서, 상기 상부 레이어 패턴과 상기 하부 레이어 패턴의 이상적인 중첩정도를 데이터화하는 단계를 더 포함할 수 있다.

이 경우, 상기 상부 레이어 패턴과 하부 레이어 패턴을 정렬시키는 단계는, 상기 상부 레이어 패턴 및 하부 레이어 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계와, 그리고 상기 오차만큼 상기 상부 레이어 패턴 및 하부 레이어 패턴의 중첩정도를 보정하여 상기 상부 레이어 패턴과 하부 레이어 패턴을 정렬시키는 단계를 포함할 수 있다.

그리고 상기 상부 레이어 패턴 및 하부 레이어 패턴을 중첩시킨 결과는 전자주사현미경 이미지로 파악할 수도 있다.

또한 상기 상부 레이어 패턴 및 하부 레이어 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계는 상호 수직인 X축 및 Y축에 대하여 수행할 수 있다.

이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

도 1 및 도 2는 본 발명의 일 실시예에 따른 오버레이 버니어를 설명하기 위하여 나타내 보인 도면들이다. 구체적으로 도 1은 웨이퍼 내의 리얼셀과 스크라이브 라인의 일 예를 나타내 보인 도면이고, 도 2는 도 1의 리얼셀과 스크라이브 라인을 상세하게 나타내 보인 도면이다. 따라서 도 1 및 도 2에서 동일한 참조부호는 동일한 요소를 나타낸다.

도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 오버레이 버니어는 웨이퍼(100)의 스크라이브 라인(120)에 배치된다. 스크라이브 라인(120)은 리얼셀(real cell)(110)을 둘러싼다. 여기서 리얼셀(110)은 실제 소자동작을 위한 패턴(111)들이 배치되는 영역이고, 스크라이브 라인(120)은 리얼셀(110)을 상호 분리하기 위한 절단영역이다. 비록 도면상에는 리

셀(110) 내에 배치되는 패턴(111)들이 단순하게 스트라이프 형태를 갖지만, 실제로는 보다 더 복잡한 형태의 레이아웃으로 배치될 수 있다. 스크라이브 라인(110) 내에는 오버레이 버니어 패턴(121)이 배치된다. 이 오버레이 버니어 패턴(121)은 리얼셀(110) 내의 패턴(111)과 동일한 레이아웃을 갖는다. 따라서 리얼셀 패턴과 오버레이 버니어 패턴이 다른 레이아웃을 갖기 때문에 발생하였던 문제들, 즉 적층공정에서의 비대칭 측면기울기나 스캐너/스테퍼 내에서 수차를 갖는 렌즈로 인하여 오버레이 버니어가 정확하게 중첩되더라도 리얼셀의 패턴들이 미스얼라인 되는 현상이 발생되지 않도록 할 수 있다.

상기 오버레이 버니어 패턴(121)은 리얼셀(110) 내의 패턴(111)과 레이아웃은 실질적으로 동일하지만 톤(tone)은 상호 다를 수 있다. 예컨대 리얼셀(110)의 하부 레이어에 가려져 상부 레이어가 보이지 않는 경우에는, 하부의 오버레이 버니어 패턴(121)을 리얼셀(110) 내의 하부 레이어 패턴(111)과 반대되는 톤(tone)을 갖도록 한다. 경우에 따라서는 하부의 오버레이 버니어 패턴(121)은 리얼셀(110) 내의 하부 레이어 패턴(111)과 동일한 톤을 갖도록 하고, 대신에 상부의 오버레이 버니어 패턴의 톤을 상부 레이어 패턴과 다른 톤이 되도록 할 수도 있다.

본 발명의 다른 실시예에 따르면, 오버레이 버니어는 별도의 패턴으로 존재하지 않고 리얼셀(110)의 패턴 자체일 수도 있다. 이 경우에는 리얼셀(110) 내의 하부 레이어 패턴과 상부 레이어 패턴을 직접 읽어들이어 상호 중첩정도를 파악한다. 하부 레이어 패턴과 상부 레이어 패턴의 중첩정도는 주사전자현미경(SEM; Scanning Electron Microscope)의 이미지로 읽어 들일 수 있으며, 이 외에 다른 방법을 사용하는 것도 무관하다.

도 3은 본 발명의 일 실시예에 따른 오버레이 버니어를 이용한 반도체소자의 제조방법을 설명하기 위하여 나타내 보인 플로차트이다. 본 실시예에서는 오버레이 버니어로서 스크라이브 라인 내에 리얼셀 내의 패턴과 별도로 오버레이 버니어 패턴을 형성하는 경우이다.

도 3을 참조하면, 먼저 하부 레이어로서의 하부 오버레이 버니어 패턴과 상부 레이어로서의 상부 오버레이 버니어 패턴의 이상적인 중첩정도를 데이터화한다(단계 310). 하부 오버레이 버니어 패턴과 상부 오버레이 버니어 패턴 사이의 이상적인 중첩정도는 설계차원에서 이루어질 수 있다. 다음에 통상의 제1 마스크를 이용한 노광, 현상 및 식각공정을 수행하여, 리얼셀 내에 하부 레이어로서 하부 레이어 패턴과 리얼셀 외의 다른 영역, 예컨대 스크라이브 라인 영역에 하부 오버레이 버니어 패턴을 동일한 레이아웃으로 형성한다(단계 320). 경우에 따라서는 상부 오버레이 버니어 패턴에 가려져서 하부 오버레이 버니어 패턴의 식별이 용이하지 않는 경우에는, 하부 오버레이 버니어 패턴을 하부 레이어 패턴과 반대되는 톤을 갖도록 형성할 수도 있다.

다음에 통상의 제2 마스크를 이용한 노광, 현상 및 식각공정을 수행하여, 리얼셀 내의 상부 레이어로서 상부 레이어 패턴과 리얼셀 외의 다른 영역, 예컨대 스크라이브 라인 영역에 상부 오버레이 버니어 패턴을 동일한 레이아웃으로 형성한다(단계 330). 앞서 언급한 바와 같이, 상부 오버레이 버니어 패턴에 의해 하부 오버레이 버니어 패턴이 가려지는 경우에는, 하부 오버레이 버니어 패턴 대신에 상부 오버레이 버니어 패턴을 180도 위상 반전된 마스크를 사용하여 형성할 수 있다.

상부 레이어 패턴 및 상부 오버레이 버니어 패턴을 형성하는 과정에서 리얼셀 내의 하부 레이어 패턴과 상부 레이어 패턴 사이의 정렬은 하부 오버레이 버니어 패턴과 상부 오버레이 버니어 패턴을 정렬시킴으로써 이루어진다. 하부 오버레이 버니어 패턴의 레이아웃과 하부 레이어 패턴의 레이아웃이 동일하고, 상부 오버레이 버니어 패턴의 레이아웃과 상부 레이어 패턴의 레이아웃이 동일하므로, 하부 오버레이 버니어 패턴과 상부 오버레이 버니어 패턴의 중첩에 관한 정보와 하부 레이어 패턴과 상부 레이어 패턴의 중첩에 관한 정보가 상이하지 않고 일치한다.

다음에 상부 오버레이 버니어 패턴과 하부 오버레이 버니어 패턴의 중첩정도를 읽고, 그 결과를 상기 단계 310에서 얻어진 데이터와 비교한다(단계 340). 이때 상부 오버레이 버니어 패턴과 하부 오버레이 버니어 패턴의 중첩정도를 읽은 데이터는 주사전자현미경(SEM) 이미지일 수 있다. 이때 단계 310에서 얻어진 데이터도 이미지일 수 있으며, 이 경우 주사전자현미경 이미지와 단계 310에서 얻어진 데이터를 중첩시킴으로써 상호 수직인 X방향 및 Y방향의 오차 정도를 알 수 있다. 이와 같은 방법으로 단계 340에서의 비교를 수행한 결과 오차가 있는지를 판단한다(단계 350). 이 판단에서 오차가 없는 경우, 상부 레이어로서 상부 오버레이 버니어 패턴과 하부 레이어인 하부 오버레이 버니어 패턴이 정확하게 정렬된 것으로 간주한다. 반면에 판단에서 오차가 있는 경우 그 오차가 보정되도록 하부 오버레이 버니어 패턴과 상부 오버레이 버니어 패턴의 중첩정도를 보정한다(단계 360).

도 4는 본 발명의 다른 실시예에 따른 오버레이 버니어를 이용한 반도체소자의 제조방법을 설명하기 위하여 나타내 보인 플로차트이다. 본 실시예에서는 오버레이 버니어를 리얼셀 내의 패턴과 별도로 형성하는 것이 아니라, 리얼셀 내의 패턴을 오버레이 버니어 패턴으로 이용하는 경우이다.

도 4를 참조하면, 먼저 리얼셀 내의 하부 레이어로서 하부 레이어 패턴과 상부 레이어로서 상부 레이어 패턴의 이상적인 중첩정도를 데이터화한다(단계 410). 하부 레이어 패턴과 상부 레이어 패턴 사이의 이상적인 중첩정도는 설계차원에서 이루어질 수 있다. 다음에 통상의 제1 마스크를 이용한 노광, 현상 및 식각공정을 수행하여 리얼셀 내에 하부 레이어 패턴을 형성한다(단계 420). 앞선 실시예와 다르게 본 실시예에서는 별도의 오버레이 버니어 패턴을 형성하지 않는다.

다음에 통상의 제2 마스크를 이용한 노광, 현상 및 식각공정을 수행하여, 리얼셀 내의 상부 레이어로서 상부 패턴과 리얼셀 외의 다른 영역, 예컨대 스크라이브 라인 영역에 상부 오버레이 버니어 패턴을 동일한 레이아웃으로 형성한다(단계 430). 상부 레이어 패턴 및 하부 레이어 패턴 사이의 정렬은 하부 레이어 패턴과 상부 레이어 패턴을 직접 정렬시킴으로써 이루어진다. 따라서 별도의 오버레이 버니어 패턴을 사용하는 경우 발생하였던 오버레이 버니어 패턴들 사이의 중첩정도와 그에 상응하는 리얼셀 내의 패턴들 사이의 중첩정도의 차이는 존재하지 않는다.

다음에 상부 레이어 패턴과 하부 레이어 패턴의 중첩정도를 읽고, 그 결과를 상기 단계 410에서 얻어진 데이터와 비교한다(단계 440). 이때 상부 레이어 패턴과 하부 레이어 패턴의 중첩정도를 읽은 데이터는 주사전자현미경(SEM) 이미지일 수 있다. 이때 단계 410에서 얻어진 데이터도 이미지일 수 있으며, 이 경우 주사전자현미경 이미지와 단계 410에서 얻어진 데이터를 중첩시킴으로써 상호 수직인 X방향 및 Y방향의 오차 정도를 알 수 있다. 이와 같은 방법으로 단계 440에서의 비교를 수행한 결과 오차가 있는지를 판단한다(단계 450). 이 판단에서 오차가 없는 경우, 상부 레이어 패턴과 하부 레이어 패턴이 정확하게 정렬된 것으로 간주한다. 반면에 판단에서 오차가 있는 경우 그 오차가 보정되도록 하부 레이어 패턴과 상부 레이어 패턴의 중첩정도를 보정한다(단계 360).

### 발명의 효과

지금까지 설명한 바와 같이, 본 발명에 따른 오버레이 버니어 및 이를 이용한 반도체소자의 제조방법에 의하면, 리얼셀의 패턴 레이아웃을 직접 오버레이 버니어로 사용하거나, 또는 리얼셀의 패턴 레이아웃과 동일한 오버레이 버니어 패턴을 오버레이 버니어로 사용하여 하부 레이어와 상부 레이어를 정렬시킴으로써, 기존의 리얼셀의 패턴과 오버레이 버니어의 다른 레이아웃으로 인하여 오버레이 버니어에 관한 중첩정보와 리얼셀의 패턴에 관한 중첩정보가 일치하지 않는 현상을 억제할 수 있으며, 그 결과 리얼셀의 미스얼라인을 방지하여 소자의 수율을 향상시킬 수 있다는 이점이 제공된다.

이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

### (57) 청구의 범위

#### 청구항 1.

리얼셀 내에 배치되는 패턴의 레이아웃과 동일한 레이아웃을 갖는 오버레이 버니어 패턴을 포함하는 것을 특징으로 하는 오버레이 버니어.

#### 청구항 2.

제1항에 있어서,

상기 오버레이 버니어 패턴은 스크라이브 라인 내에 배치되는 것을 특징으로 하는 오버레이 버니어.

#### 청구항 3.

제1항에 있어서,

상기 오버레이 버니어 패턴은 상기 리얼셀 내의 패턴과 반대되는 톤을 갖도록 만들어지는 것을 특징으로 하는 오버레이 버니어.

#### 청구항 4.

리얼셀인 웨이퍼의 제1 영역 내에 하부 패턴을 형성하고, 상기 제1 영역과 다른 상기 웨이퍼의 제2 영역 내에 상기 하부 패턴의 레이아웃과 동일한 레이아웃의 하부 오버레이 버니어 패턴을 형성하는 단계; 및

상기 제1 영역 내에 상부 패턴을 형성하고, 상기 제2 영역 내에 상기 상부 패턴과 동일한 레이아웃의 상부 오버레이 버니어 패턴을 형성하되, 상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시켜 상기 상부 패턴과 하부 패턴을 정렬시키는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 5.

제4항에 있어서,

상기 하부 오버레이 버니어 패턴과 상기 상부 오버레이 버니어 패턴의 이상적인 중첩정도를 데이터화하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 6.

제5항에 있어서, 상기 상부 패턴과 하부 패턴을 정렬시키는 단계는,

상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계; 및

상기 오차만큼 상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴의 중첩정도를 보정하여 상기 상부 패턴과 하부 패턴을 정렬시키는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 7.

제6항에 있어서,

상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시킨 결과는 전자주사현미경 이미지로 파악하는 것을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 8.

제6항에 있어서,

상기 하부 오버레이 버니어 패턴 및 상부 오버레이 버니어 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계는 상호 수직인 X축 및 Y축에 대하여 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

#### 청구항 9.

제4항에 있어서,

상기 제2 영역은 스크라이브 라인을 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

### 청구항 10.

제4항에 있어서,

상기 하부 오버레이 버니어 패턴은 상기 하부 패턴과 반대되는 톤을 갖도록 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

### 청구항 11.

웨이퍼의 리얼셀 영역 내에 하부 패턴을 형성하는 단계; 및

상기 리얼셀 영역 내에 상부 패턴을 형성하되, 상기 상부 패턴과 상기 하부 패턴을 직접 중첩시켜 상기 상부 패턴과 하부 패턴을 정렬시키는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

### 청구항 12.

제11항에 있어서,

상기 상부 패턴과 상기 하부 패턴의 이상적인 중첩정도를 데이터화하는 단계를 더 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

### 청구항 13.

제12항에 있어서, 상기 상부 패턴과 하부 패턴을 정렬시키는 단계는,

상기 상부 패턴 및 하부 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계; 및

상기 오차만큼 상기 상부 패턴 및 하부 패턴의 중첩정도를 보정하여 상기 상부 패턴과 하부 패턴을 정렬시키는 단계를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

### 청구항 14.

제13항에 있어서,

상기 상부 패턴 및 하부 패턴을 중첩시킨 결과는 전자주사현미경 이미지로 파악하는 것을 특징으로 하는 반도체소자의 제조방법.

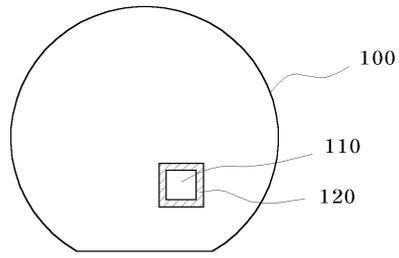
### 청구항 15.

제13항에 있어서,

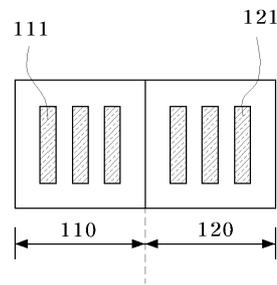
상기 상부 패턴 및 하부 패턴을 중첩시킨 결과를 상기 데이터와 비교하여 오차를 측정하는 단계는 상호 수직인 X축 및 Y축에 대하여 수행하는 것을 특징으로 하는 반도체소자의 제조방법.

도면

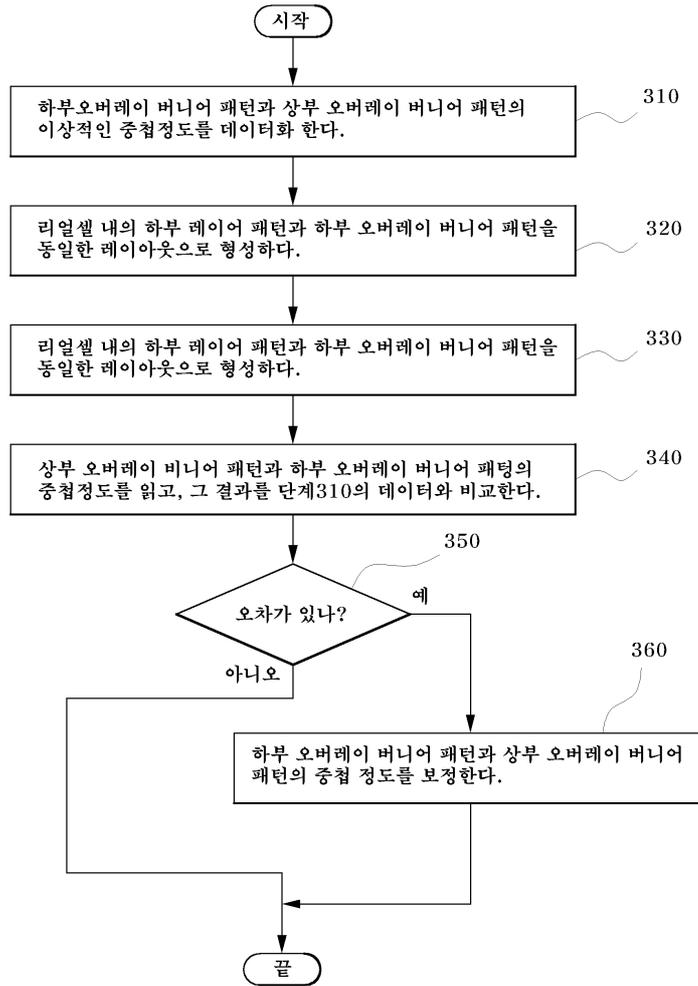
도면1



도면2



도면3



도면4

