

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4192353号
(P4192353)

(45) 発行日 平成20年12月10日(2008.12.10)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int.Cl. F I
 HO 1 L 29/78 (2006.01) HO 1 L 29/78 6 5 2 E
 HO 1 L 29/12 (2006.01) HO 1 L 29/78 6 5 2 T

請求項の数 9 (全 13 頁)

| | | | |
|-----------|----------------------------|-----------|-------------------------------|
| (21) 出願番号 | 特願平11-267529 | (73) 特許権者 | 000004260 |
| (22) 出願日 | 平成11年9月21日(1999.9.21) | | 株式会社デンソー |
| (65) 公開番号 | 特開2001-94096(P2001-94096A) | | 愛知県刈谷市昭和町1丁目1番地 |
| (43) 公開日 | 平成13年4月6日(2001.4.6) | (74) 代理人 | 100100022 |
| 審査請求日 | 平成17年10月28日(2005.10.28) | | 弁理士 伊藤 洋二 |
| | | (74) 代理人 | 100108198 |
| | | | 弁理士 三浦 高広 |
| | | (74) 代理人 | 100111578 |
| | | | 弁理士 水野 史博 |
| | | (72) 発明者 | 奥野 英一 |
| | | | 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内 |
| | | (72) 発明者 | 天野 伸治 |
| | | | 愛知県刈谷市昭和町1丁目1番地 株式会 社デンソー内 |

最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

主表面及び主表面と反対面である裏面を有し、炭化珪素よりなる第1導電型の半導体基板(1)と、
 前記半導体基板の主表面上に形成され、前記半導体基板よりも高抵抗な炭化珪素よりなる第1導電型の半導体層(2)と、
 前記半導体層の表層部の所定領域に形成され、所定深さを有する第2導電型のベース領域(3a、3b)と、
 前記ベース領域の表層部の所定領域に形成され、該ベース領域の深さよりも浅い第1導電型のソース領域(4a、4b)と、
 前記ベース領域の表面部の表面部上において、前記ソース領域と前記半導体層とを繋ぐように形成された、炭化珪素よりなる表面チャネル層(5)と、
 前記表面チャネル層の表面に形成されたゲート絶縁膜(7)と、
 前記ゲート絶縁膜の上に形成されたゲート電極(8)と、
 前記ベース領域及び前記ソース領域に接触するように形成されたソース電極(10)と、
 前記半導体基板の裏面に形成されたドレイン電極(11)とを備え、
 前記表面チャネル層は、
 前記ベース領域の表面部及び前記半導体層の表面部と接するように形成された第1導電型の第1のチャネル層(5a、5b)と、
 前記第1のチャネル層の上に形成された第2導電型の第2のチャネル層(5c、5d)と

、を備えて構成されていることを特徴とする炭化珪素半導体装置。

【請求項 2】

前記第 1 のチャンネル層のうち、前記半導体層の表面部に形成された部分 (5 b) は、前記半導体層よりも不純物濃度が高くなっていることを特徴とする請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記第 2 のチャンネル層のうち、前記半導体層の表面部に形成された部分 (5 d) は、前記ベース領域上に形成された部分よりもキャリア濃度が低くなっていることを特徴とする請求項 1 又は 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記ゲート電極の電位が略零である時において、前記表面チャンネル層は、前記ゲート絶縁膜から伸びる空乏層と、前記第 2 チャンネル層から延びる空乏層と、前記ベース領域から伸びる空乏層とによってピンチオフされていることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 5】

前記第 2 チャンネル層におけるキャリア濃度及び膜厚は、前記第 2 チャンネル層と前記ゲート絶縁膜との界面に三角ポテンシャルが形成される前に、前記第 1 チャンネル層にチャンネルが形成されるように設定されていることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載の炭化珪素半導体装置。

【請求項 6】

第 1 導電型の半導体基板 (1) の主表面上に、この半導体基板よりも高抵抗な炭化珪素よりなる第 1 導電型の半導体層 (2) を形成する工程と、

前記半導体層の表層部の所定領域に、所定深さを有する第 2 導電型のベース領域 (3 a 、 3 b) を形成する工程と、

前記半導体層及び前記ベース領域の上部に第 1 導電型の第 1 のチャンネル層 (5 a 、 5 b) を形成すると共に、該第 1 チャンネル層の上部に第 2 導電型の第 2 のチャンネル層 (5 c 、 5 d) を形成することにより、チャンネル領域を構成する表面チャンネル層 (5) を形成する工程と、

前記ベース領域の表層部の所定領域に、前記表面チャンネル層に接すると共に該ベース領域の深さよりも浅い第 1 導電型のソース領域 (4 a 、 4 b) を形成する工程と、を備えていることを特徴とする炭化珪素半導体装置の製造方法。

【請求項 7】

前記表面チャンネル層を形成する工程は、該表面チャンネル層における前記第 1 チャンネル層 (5 a 、 5 b) のうち、前記半導体層の表面部に配置された部分 (5 b) の不純物濃度を前記半導体層の不純物濃度よりも高くする工程を含むことを特徴とする請求項 6 に記載の炭化珪素半導体装置。

【請求項 8】

前記第 2 のチャンネル層を形成する工程は、前記第 1 のチャンネル層に第 2 導電型不純物をイオン注入する工程であることを特徴とする請求項 6 又は 7 に記載の炭化珪素半導体装置の製造方法。

【請求項 9】

前記第 2 のチャンネル層を形成する工程は、前記第 1 のチャンネル層上に第 2 導電型の不純物層をエピタキシャル成長させる工程であることを特徴とする請求項 6 又は 7 に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、炭化珪素半導体装置及びその製造方法に関し、特に絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型パワー MOS F E T に関するものである。

【 0 0 0 2 】

10

20

30

40

50

【従来の技術】

従来、プレーナ型のMOSFETとして特開平11-308510号公報に示されるものが知られている。

【0003】

このプレーナ型MOSFETの断面図を図7に示す。この図に基づいてプレーナ型MOSFETの構造について説明する。

【0004】

n^+ 型炭化珪素半導体基板(以下、 n^+ 型基板という)1は上面を主表面1aとし、主表面の反対面である下面を裏面1bとしている。この n^+ 型基板1の主表面1a上には、基板1よりも低いドーパント濃度を有する n^- 型炭化珪素エピタキシャル層(以下、 n^- 型エピ層という)2が積層されている。

10

【0005】

n^- 型エピ層2の表層部における所定領域には、所定深さを有する p^- 型炭化珪素ベース領域3aおよび p^- 型炭化珪素ベース領域3b(以下、 p^- 型ベース領域3a、3bという)が離間して形成されている。また、 p^- 型ベース領域3aの表層部における所定領域には、 p^- 型ベース領域3aよりも浅い n^+ 型ソース領域4aが、また、 p^- 型ベース領域3bの表層部における所定領域には、 p^- 型ベース領域3bよりも浅い n^+ 型ソース領域4bがそれぞれ形成されている。

【0006】

さらに、 n^+ 型ソース領域4aと n^+ 型ソース領域4bとの間における n^- 型エピ層2および p^- 型ベース領域3a、3bの表面部には n^- 型SiC層5が延設されている。つまり、 p^- 型ベース領域3a、3bの表面部においてソース領域4a、4bと n^- 型エピ層2とを繋ぐように n^- 型SiC層5が配置されている。この n^- 型SiC層5は、エピタキシャル成長にて形成されたものであり、エピタキシャル膜の結晶が4H、6H、3Cのものを用いる。尚、エピタキシャル層は下地の基板に関係なく各種の結晶を形成できるものである。デバイスの動作時にデバイス表面においてチャネル形成層として機能する。以下、 n^- 型SiC層5を表面チャネル層という。

20

【0007】

表面チャネル層5のドーパント濃度は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度の低濃度となっており、かつ、 n^- 型エピ層2及び p^- 型ベース領域3a、3bのドーパント濃度以下となっている。これにより、低オン抵抗化が図られている。

30

【0008】

また、 p^- 型ベース領域3a、3b、 n^+ 型ソース領域4a、4bの表面部には凹部6a、6bが形成されている。

【0009】

表面チャネル層5の上面および n^+ 型ソース領域4a、4bの上面にはゲート絶縁膜(シリコン酸化膜)7が形成されている。さらに、ゲート絶縁膜7の上にはゲート電極8が形成されている。ゲート電極8は絶縁膜9にて覆われている。絶縁膜9としてLTO(Low Temperature Oxide)膜が用いられている。その上にはソース電極10が形成され、ソース電極10は n^+ 型ソース領域4a、4bおよび p^- 型ベース領域3a、3bと接している。また、 n^+ 型基板1の裏面1bには、ドレイン電極層11が形成されている。

40

【0010】

このように構成された蓄積モードにおいては、動作モードをチャネル形成層の導電型を反転させることなくチャネルを誘起する蓄積モードとできるため、導電型を反転させる反転モードのMOSFETに比べ、チャネル移動度を大きくでき、オン抵抗の低減が図れるようになっている。

【0011】

【発明が解決しようとする課題】

上述したように、蓄積モードのMOSFETを用いることによりオン抵抗の低減を図るこ

50

とができる。しかしながら、さらなるオン抵抗の低減が望まれている。

【0012】

本発明は上記点に鑑みて成され、蓄積モードのMOSFETにおいて、さらなるオン抵抗の低減を図ることを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するべく、本発明者らはMOS構造のオン抵抗について検討を行った。

【0014】

MOS構造でのオン抵抗のうちチャンネル抵抗はチャンネル移動度及びチャンネル内のキャリア濃度により決定される。そして、キャリア濃度については、蓄積チャンネル部のドーピング濃度とゲート電圧によって決定され、チャンネル移動度については、チャンネル領域の結晶性などによって決定される。

10

【0015】

本発明者らは、このうちチャンネル移動度に着目し、オン抵抗増加要因についてのさらなる検討を行った。

【0016】

上記従来のMOSFETでは、チャンネル領域が表面チャンネル層5の表層部、具体的には表面チャンネル層5とゲート絶縁膜7との界面に形成される。従って、チャンネル移動度は、蓄積モードのMOSFETにおいても界面の影響が無視できない。そして、炭化珪素半導体装置においては、MOS界面のラフネス又は残留炭素による欠陥が生じ易く、これらが原因となってチャンネル移動度の低下が生じ、オン抵抗増大要因となっていると考えられる。

20

【0017】

そこで、上記目的を達成するため、請求項1乃至5に記載の発明においては、表面チャンネル層(5)は、ベース領域(3a、3b)の表面部及び半導体層(2)の表面部と接するように形成された第1導電型の第1のチャンネル層(5a、5b)と、第1のチャンネル層の上に形成された第2導電型の第2のチャンネル層(5c、5d)と、を備えて構成されていることを特徴としている。

【0018】

このように、表面チャンネル層にPN接合を形成することにより、ゲート絶縁膜と接する第2のチャンネル層の下部に位置する第1チャンネル層にチャンネルを形成して電流を流すことができるため、ゲート絶縁膜と表面チャンネル層との界面(MOS界面)のラフネス又は残留欠陥とは関係なく、チャンネルを形成することができる。これにより、チャンネル移動度を向上させ、さらなるオン抵抗の低減を図ることができる。

30

【0019】

この場合、請求項5に示すように、第2チャンネル層におけるキャリア濃度及び膜厚は、第2チャンネル層とゲート絶縁膜との界面に三角ポテンシャルが形成される前に、第1チャンネル層にチャンネルが形成されるように設定されるようにする。

【0020】

また、請求項4に示すように、ゲート電極(8)の電位が略零である時において、表面チャンネル層は、ゲート絶縁膜から伸びる空乏層と、第2チャンネル層から延びる空乏層と、ベース領域から伸びる空乏層とによってピンチオフされているようにすることで、ノーマリオフ型とすることができる。

40

【0021】

なお、請求項6乃至9に記載の発明は、請求項1乃至5に記載の炭化珪素半導体装置を製造する方法の発明である。

【0022】

請求項8に示すように、第2のチャンネル層を形成する工程は、第1のチャンネル層に第2導電型不純物をイオン注入することによって行うことができる。また、請求項9に示すように、第2のチャンネル層を形成する工程は、第1のチャンネル層上に第2導電型の不純物層をエピタキシャル成長させることによって行うことができる。

50

【 0 0 2 3 】

なお、上記手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示している。

【 0 0 2 4 】

【 発明の実施の形態 】

以下、本発明を図に示す実施形態について説明する。

【 0 0 2 5 】

図 1 に、本実施の形態におけるノーマリオフ型の n チャネルタイププレーナ型 MOSFET (縦型パワー MOSFET) の断面図を示す。本デバイスは、インバータや車両用オルタネータのレクチファイヤに適用すると好適なものである。

10

【 0 0 2 6 】

図 1 に基づいて本 MOSFET の構造について説明する。但し、本実施形態における MOSFET は、上述した図 7 に示す MOSFET とほぼ同様の構造を有しているため、異なる部分についてのみ説明する。なお、本実施形態における MOSFET のうち、図 7 に示す MOSFET と同様の部分については同様の符号を付してある。

【 0 0 2 7 】

図 7 に示す MOSFET では、表面チャネル層 5 を全て n 型炭化珪素で形成しているが、本実施形態における MOSFET では表面チャネル層 5 を n 型炭化珪素 (以下、n 型チャネル層という) 及び p 型炭化珪素 (以下、p 型チャネル層という) で形成し、これら n 型チャネル層と p 型チャネル層によって PN 接合を形成している。具体的には、以下のよう

20

【 0 0 2 8 】

n 型チャネル層のうちチャネル領域となる部分 5 a は高抵抗な n⁻ 型層となっており、チャネル領域となる部分以外の部分 5 b は低抵抗な n⁺ 型層となっている。すなわち、表面チャネル層 5 は、p⁻ 型ベース領域 3 a、3 b の表面部及び n⁻ 型エピ層 2 の表層部においてソース領域 4 a、4 b と n⁻ 型エピ層 2 とを繋ぐように形成されているが、このうち p⁻ 型ベース領域 3 a、3 b の表面部となる部分 5 a を n⁻ 型層とし、n⁻ 型エピ層 2 の表面部となる部分 5 b を n⁺ 型層としている。

【 0 0 2 9 】

そして、n 型チャネル層の上に、つまり表面チャネル層 5 の最表面に、エピタキシャル成長によって形成された p 型チャネル層が備えられている。この p 型チャネル層は n⁻ 型層で構成された部分 5 a の上に位置する p⁻ 型エピ層 5 c と n⁺ 型層で構成された部分 5 b の上に位置する p⁻ 型エピ層 5 d によって構成されている。

30

【 0 0 3 0 】

なお、後述するように、n 型チャネル層のうちチャネル領域となる部分 5 a 以外の部分 5 b を低抵抗とするために、イオン注入法によるドーピングを行う場合には、p 型エピ層 5 d はイオン注入によるドーピングにより n⁻ 型となる場合もある。

【 0 0 3 1 】

ところで、MOSFET のオン抵抗 R_{on} は、ソース電極 10 と n⁺ 型ソース領域 4 a、4 b とのコンタクト抵抗 R_{s-cont} 、n⁺ 型ソース領域 4 a、4 b に内部抵抗 (ドリフト抵抗) R_{source} 、表面チャネル層 5 に形成されたチャネル領域における蓄積チャネル抵抗 $R_{channel}$ 、表面チャネル層 5 における内部抵抗 (蓄積ドリフト抵抗) $R_{acc-drift}$ 、JFET 部における JFET 抵抗 R_{JFET} 、n⁺ 型炭化珪素エピ層 2 における内部抵抗 (ドリフト抵抗) R_{drift} 、n⁺ 型基板 1 の内部抵抗 R_{sub} 、及び n⁺ 型基板 1 とドレイン電極 11 とのコンタクト抵抗 R_{d-cont} によって決定される。すなわち、次式で表される。

40

【 0 0 3 2 】

【 数 1 】

【 0 0 3 3 】

$$R_{on} = R_{s-cont} + R_{source} + R_{channel} + R_{channel} + R_{JFET} + R_{drift} + R_{sub} + R_{d-cont}$$

50

このうち、表面チャネル層 5 における内部抵抗（蓄積ドリフト抵抗） $R_{acc-drift}$ については、上述したように、表面チャネル層 5 のうちチャネル領域となる部分 5 a 以外の部分 5 b を n^+ 型層で形成していることから、この部分 5 b を n^- 型層で形成する場合に比して低くなる。このため、オン抵抗 R_{on} の総和が小さくなり、オン抵抗 R_{on} を低減することができる。

【0034】

一方、蓄積チャネル抵抗は、チャネル移動度及びチャネル内部抵抗のキャリア濃度により決定される。キャリア濃度は蓄積チャネル部のドーピング濃度とゲート電圧により決定される。一方、チャネル移動度は、最大値をバルク移動度としており、従来構造では、MOS 界面のラフネス、残留欠陥及びイオン化不純物による散乱によりバルク移動度が低減された値となるが、本実施形態では、チャネル部が MOS 界面から隔離されているために、バルク移動度とほぼ同等の移動度とすることができる。

10

【0035】

同じゲート電圧の下では、ドーピング濃度が高いほどキャリア濃度が高くなる。ドーピング濃度とバルク移動度はトレードオフの関係にあるものの、従来構造では $1 \times 10^{16} \text{ cm}^{-3}$ のドーピング濃度においてチャネル移動度が $100 \text{ cm}^2 / \text{Vs}$ 程度となっていたが、本実施形態では $1 \times 10^{17} \sim 10^{18} \text{ cm}^{-3}$ のドーピング濃度でも $200 \text{ cm}^2 / \text{Vs}$ 以上のチャネル移動度を実現可能である。

【0036】

次に、図 1 に示す MOSFET の製造工程を、図 2 ~ 図 4 を用いて説明する。

20

【0037】

〔図 2 (a) に示す工程〕

まず、 n 型 4H、6H、3C 又は 15R-SiC 基板、すなわち n^+ 型基板 1 を用意する。ここで、 n^+ 型基板 1 はその厚さが $400 \mu\text{m}$ であり、主表面 1 a が (0001) Si 面、又は、(112-0) a 面である。この基板 1 の主表面 1 a に厚さ $5 \mu\text{m}$ の n^- 型エピ層 2 をエピタキシャル成長する。本例では、 n^- 型エピ層 2 は下地の基板 1 と同様の結晶が得られ、 n 型 4H、6H、3C 又は 15R-SiC 層となる。

【0038】

〔図 2 (b) に示す工程〕

n^- 型エピ層 2 の上の所定領域に LTO 膜 20 を配置し、これをマスクとして B^+ （若しくはアルミニウム）をイオン注入して、 p^- 型ベース領域 3 a、3 b を形成する。このときのイオン注入条件は、温度が 700°C で、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。

30

【0039】

〔図 2 (c) に示す工程〕

LTO 膜 20 を除去した後、基板 1 の上面から N^+ をイオン注入して、 n^- 型エピ層 2 の表層部及び p^- 型ベース領域 3 a、3 b の表面部（表層部）に表面チャネル層 5 のうちの n 型チャネル層を形成する。このときのイオン注入条件は、温度が 700°C 、ドーズ量が $1 \times 10^{16} \text{ cm}^{-2}$ としている。これにより、表面チャネル層 5 は、 p^- 型ベース領域 3 a、3 b の表面部となる部分 5 a では補償されて n 型の不純物濃度が薄い n^- 型層として形成され、 n^- 型エピ層 2 の表面部となる部分 5 b では n 型の不純物濃度が濃い n^+ 型層 5 b として形成される。

40

【0040】

〔図 3 (a) に示す工程〕

続いて、 n 型チャネル層の上にエピタキシャル成長により p 型炭化珪素からなる p 型チャネル層を形成する。これにより、 n 型チャネル層と p 型チャネル層とによる PN 接合が形成される。

【0041】

この場合、最表面の p 型チャネル層はゲート電圧に対する影響が大きいため、 p 型チャネル層の厚みを $0.1 \mu\text{m}$ 以下にする必要がある。この厚みが薄いほど良いため、望ましくは 50 nm 、より望ましくは 10 nm 以下にするとうい。

50

【0042】

一方、p型チャネル層のドーピング濃度においては、p型チャネル層の厚みとトレードオフの関係にあるが、層厚が $0.1\mu\text{m}$ であれば $1 \times 10^{17}\text{cm}^{-3}$ 程度とするのが望ましい。また、層厚が 10nm 以下である場合には、 $1 \times 10^{18}\text{cm}^{-3}$ 以上とすることができる。

【0043】

ここで、図2(c)、及び図3(a)に示す工程にて、表面チャネル層5を形成したが、本実施形態におけるMOSFETをノーマリオフ型にするために、表面チャネル層5の厚み(膜厚)は以下の数式に基づいて決定している。

【0044】

まず、図7に示した従来のMOSFETをノーマリオフ型とするための条件について説明する。図7に示すMOSFETをノーマリオフ型とするには、ゲート電圧を印加していない状態の際に、 n^- 型層に広がる空乏層が電気伝導を妨げるように十分なバリア高さを有している必要がある。この条件は次式にて示される。

【0045】

【数2】

$$T_{\text{epi}} = \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{N_D + N_A}{N_D N_A} \cdot V_{\text{built}}} + \sqrt{\frac{2\epsilon_s}{q} \cdot \frac{1}{N_D} \left(\phi_{\text{ms}} - \frac{Q_s + Q_{\text{fc}} + Q_i + Q_{\text{ss}}}{C_{\text{ox}}} \right)}$$

但し、 T_{epi} は n^- 型層に広がる空乏層の高さ、 ϕ_{ms} は金属と半導体の仕事関数差(電子のエネルギー差)、 Q_s はゲート絶縁膜(酸化膜)7中の空間電荷、 Q_{fc} はゲート酸化膜(SiO_2)と n^- 型層5aとの間の界面(以下 SiO_2/SiC 界面という)の固定電荷、 Q_i は酸化膜中の可動イオン、 Q_{ss} は SiO_2/SiC 界面の表面電荷、 C_{ox} はゲート絶縁膜7の容量である。

【0046】

この数式2に示される右辺第1項は表面チャネル層5と p^- 型ベース領域3a、3bとのPN接合のビルトイン電圧 V_{built} による空乏層の伸び量、すなわち p^- 型ベース領域3a、3bから表面チャネル層5に広がる空乏層の伸び量であり、第2項はゲート絶縁膜7の電荷と ϕ_{ms} による空乏層の伸び量、すなわちゲート絶縁膜7から表面チャネル層5に広がる空乏層の伸び量である。従って、 p^- 型ベース領域3a、3bから広がる空乏層の伸び量と、ゲート絶縁膜7から広がる空乏層の伸び量との和が表面チャネル層5の厚み以上となるようにすればMOSFETをノーマリオフ型にすることができるため、この条件を満たすようなイオン注入条件で表面チャネル層5を形成している。

【0047】

そして、本実施形態においては、次の工程で表面チャネル層5の最表面にp型層5c、5dを形成し、PN接合が形成されるようにしているため、上記数2において、ビルトイン電圧 V_{built} による空乏層の伸びが最表面側からも生じ、全体の空乏層の伸び量が従来技術よりも大きくなる。従って、 n^- 型層5aの厚みを厚くする又はドーピング濃度を高くすることができる。

【0048】

このようなノーマリオフ型のMOSFETは、故障などによってゲート電極に電圧が印加できないような状態となっても、電流が流れないようにすることができるため、ノーマリオン型のものとは比べて安全性を確保することができる。

【0049】

また、図1に示すように、 p^- 型ベース領域3a、3bは、ソース電極10と接触して接地状態となっている。このため、表面チャンネル層5と p^- 型ベース領域3a、3bとのPN接合のビルトイン電圧 V_{built} を利用して表面チャンネル層5をピンチオフすることができる。例えば、 p^- 型ベース領域3a、3bが接地されてなくてフローティング状態となっている場合には、ビルトイン電圧 V_{built} を利用して p^- 型ベース領域3a、3bから空乏層を延ばすということができないため、 p^- 型ベース領域3a、3bをソース電極10と接触させることは、表面チャンネル層5をピンチオフするのに有効な構造であるといえる。なお、本実施形態では、不純物濃度が低いもので p^- 型ベース領域3a、3bを形成しているが、不純物濃度を高くすることによりビルトイン電圧 V_{built} をより大きく利用することができる。

10

【0050】

なお、チャンネル部の最表面側のp型層5c、5dは積極的な接地状態となっていないが、ゲート酸化膜を介してゲート電極の電位の影響を受けており、空乏層を形成することが可能となっている。また、デバイス構造を工夫することにより、ソース又はドレイン電極と接合することも可能であり、この場合にはより安定した動作が行われるようにできる。

【0051】

〔図3(b)に示す工程〕

表面チャンネル層5の上の所定領域にLTO膜21を配置し、これをマスクとして N^+ をイオン注入し、 n^+ 型ソース領域4a、4bを形成する。このときのイオン注入条件は、700、ドーズ量は $1 \times 10^{15} \text{ cm}^{-2}$ としている。

20

【0052】

〔図3(c)に示す工程〕

そして、LTO膜21を除去した後、フォトリソ法を用いて表面チャンネル層5の上の所定領域にLTO膜22を配置し、これをマスクとしてRIEにより p^- 型ベース領域3a、3b上の表面チャンネル層5を部分的にエッチング除去する。

【0053】

〔図4(a)に示す工程〕

さらに、LTO膜22をマスクにして B^+ をイオン注入し、ディープベース層30a、30bを形成する。これにより、ベース領域3a、3bの一部が厚くなったものとなる。このディープベース層30a、30bは、 n^+ 型ソース領域4a、4bに重ならない部分に形成されると共に、 p^- 型ベース領域3a、3bのうちディープベース層30a、30bが形成された厚みが厚くなった部分が、ディープベース層30aが形成されていない厚みの薄い部分よりも不純物濃度が濃く形成される。

30

【0054】

〔図4(b)に示す工程〕

LTO膜22を除去した後、基板の上にウェット酸化によりゲート絶縁膜(ゲート酸化膜)7を形成する。このとき、雰囲気温度は1080とする。

【0055】

その後、ゲート絶縁膜7の上にポリシリコンゲート電極8をLPCVDにより堆積する。このときの成膜温度は600とする。

40

【0056】

〔図4(c)に示す工程〕

引き続き、ゲート絶縁膜7の不要部分を除去した後、LTOよりなる絶縁膜9を形成しゲート絶縁膜7を覆う。より詳しくは、成膜温度は425であり、成膜後に1000のアニールを行う。

【0057】

そして、室温での金属スパッタリングによりソース電極10及びドレイン電極11を配置する。また、成膜後に1000のアニールを行う。

【0058】

このようにして、図1に示すMOSFETが完成する。

50

【 0 0 5 9 】

次に、このM O S F E Tの作用（動作）を説明する。

【 0 0 6 0 】

本M O S F E Tはノーマリオフ型の蓄積モードで動作するものであって、ゲート電極 8 に電圧を印加しない場合は、表面チャネル層 5 においてキャリアは、 p^- 型ベース領域 3 a、3 b と表面チャネル層 5 との間の静電ポテンシャルの差、及び表面チャネル層 5 のうちのp型チャネル層とゲート電極 8 との間の仕事関数の差により生じた電位によって全域空乏化される。そして、ゲート電極 8 に電圧を印加することにより、表面チャネル層 5 とゲート電極 8 との間の仕事関数の差と外部からの印加電圧の和により生じる電位差を変化させる。このことにより、チャネルの状態を制御することができる。

10

【 0 0 6 1 】

図 5 に、本実施形態におけるオフ及びオン状態におけるエネルギーバンド図を示す。 p^- 型ベース領域 3 a、3 b 及びp型エピ層 5 c から形成された空乏層によりオフ状態を実現していたところに、ゲート電圧として正電圧を印加することにより表面電位が減少し、表面チャネル層 5 のうちのn型チャネル層の部分に蓄積チャネルが形成される。

【 0 0 6 2 】

このようにゲート電極 8 に正の電圧を印加することにより、表面チャネル層 5 に蓄積型チャネルを誘起させ、ソース電極 1 0 とドレイン電極 1 1 との間にキャリアが流れる。

【 0 0 6 3 】

そして、図 5 から明らかなように、蓄積キャリアはM O S 界面から離れた位置に存在し、この位置で電流が流れることになるため、表面チャネル層 5 とゲート絶縁膜 7 との界面状態（M O S 界面）と関係なく高移動度が実現できる。

20

【 0 0 6 4 】

また、本実施形態におけるM O S F E Tは上述したように動作するため、p型チャネル層のドーピング濃度は以下のように定義される。図 6 (a)、(b) にp型チャネル層のドーピング濃度が低い場合と高い場合それぞれにおけるエネルギーバンド図を示す。

【 0 0 6 5 】

まず、p型チャネル層のドーピング濃度が低い場合においては、p型チャネル層とn型チャネル層とのビルトインポテンシャル差が小さいために、チャネルオフ時に生じているフェルミ準位と伝導帯とのエネルギー差 E_1 が小さくなる。

30

【 0 0 6 6 】

従って、小さなゲート電圧 (V_G) により E_1 をn型SiCの不純物の活性化エネルギーと同一とすることができるため、n型チャネル層部分にキャリア(ここでは電子)を蓄積することが可能となる。

【 0 0 6 7 】

一方、p型チャネル層のドーピング濃度が高い場合には、ビルトインポテンシャル差が大きくなり、 E_2 が大きくなる。 E_2 が大きい場合には、ゲート電圧を大きく印加した場合においても不純物の活性化エネルギーと同一とはなり得ない。

【 0 0 6 8 】

ここで、M O S F E Tのチャネル領域における電子密度を式で表わすと以下のように表わされる。

40

【 0 0 6 9 】

【 数 3 】

$$n = \exp(-E/kT)$$

上記式からも分かるように、 E_2 が大きくなれば、チャネル領域に蓄積される電子(電子密度)が小さくなる。

【 0 0 7 0 】

従って、n型チャネル層がオンする前に表面のp型チャネル層が反転状態となり、いわゆる三角ポテンシャルを形成することにより表面にチャネルが形成される。逆に本実施形態のM O S F E Tでは三角ポテンシャルが形成される前に、n型チャネル層にチャネル領域

50

が形成される。

【0071】

以上の考察により、ゲート電圧を印加した場合に、p型チャネル層とn型チャネル層とのビルトインポテンシャル差により形成されたEが不純物の活性化エネルギーとほぼ同一となることが必要であり、p型チャネル層のドーピング濃度はこの条件を成立する範囲とすることが重要である。

【0072】

なお、p型チャネル層が厚い場合にも同様な現象が生ずる。従って、p型チャネル層が厚い場合にはp型チャネル層のドーピング濃度をより低くする必要があり、逆に薄くした場合にはp型チャネル層の濃度を高くすることができる。

10

(他の実施形態)

本実施形態においては、n⁻型エピ層2の表面部となる部分5bをn⁺型層とするためにイオン注入によって表面チャネル層5のうちのn型チャネル層を形成する場合について説明したが、例えばエピタキシャル成長によってn型チャネル層を形成するようにしてもよい。

【図面の簡単な説明】

【図1】本発明の一実施形態におけるMOSFETの断面図である。

【図2】図1に示すMOSFETの製造工程を示す図である。

【図3】図2に続くMOSFETの製造工程を示す図である。

【図4】図3に続くMOSFETの製造工程を示す図である。

20

【図5】図1に示すMOSFETの動作を説明するための図である。

【図6】p型チャネル層の濃度とMOSFETの動作との関係を説明するための図である。

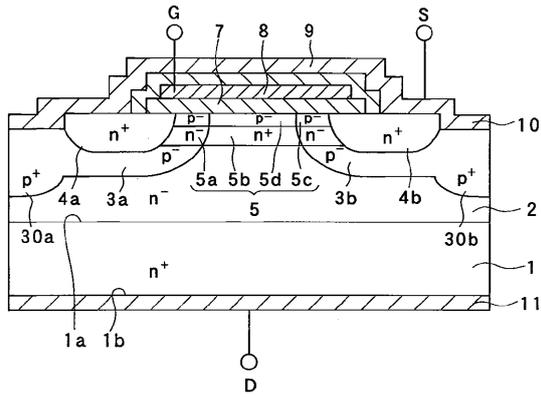
【図7】従来のMOSFETの断面図である。

【符号の説明】

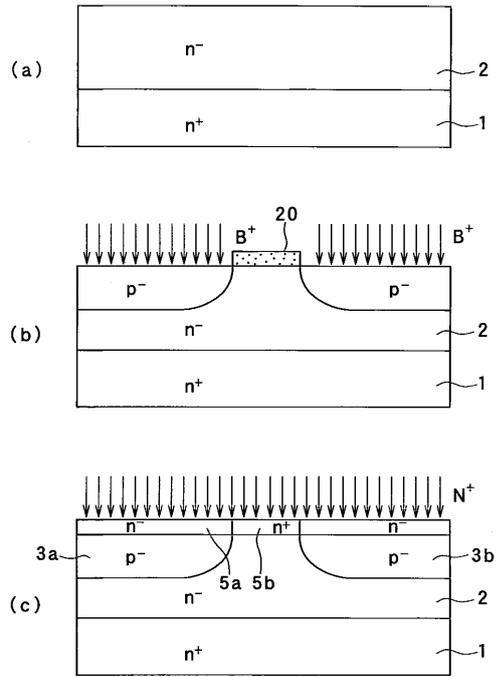
1 ... n⁺型基板、2 ... n⁻型エピ層、3a、3b ... p⁻型ベース領域、
4a、4b ... n⁺型ソース領域、5 ... 表面チャネル層 (n⁻型SiC層)、
5a、5b ... n型チャネル層 (5a ... n⁻型層の部分、5b ... n⁺型層の部分)、5c、
5d ... p型チャネル層 (5c ... p⁻型層、5d ... p⁻型層)、
7 ... ゲート酸化膜、8 ... ゲート電極、10 ... ソース電極、11 ... ドレイン電極。

30

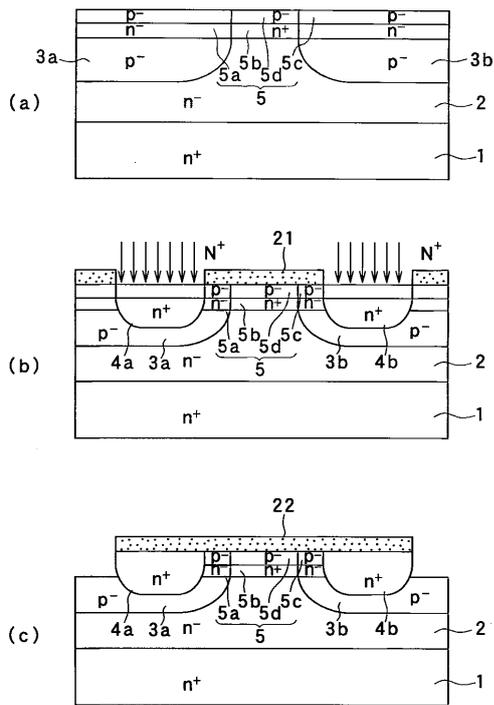
【図1】



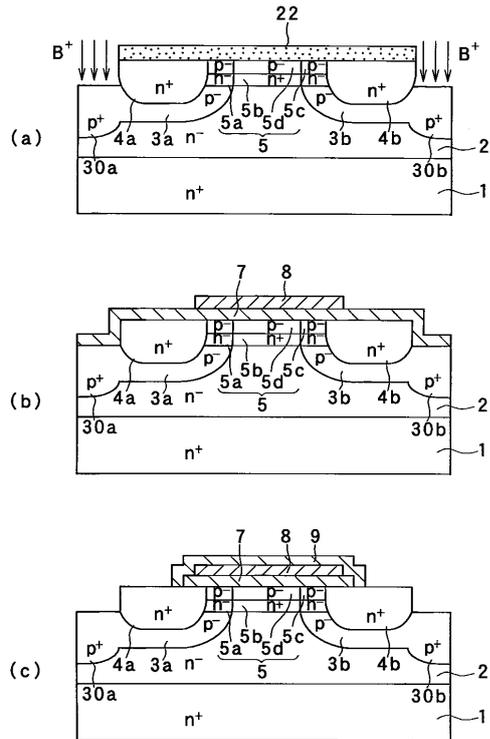
【図2】



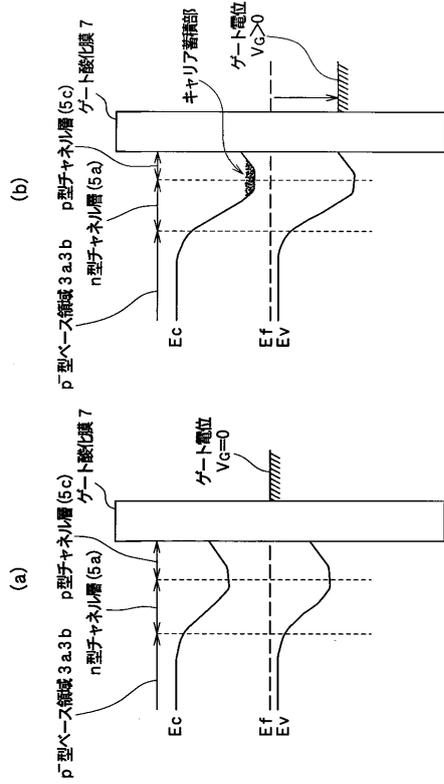
【図3】



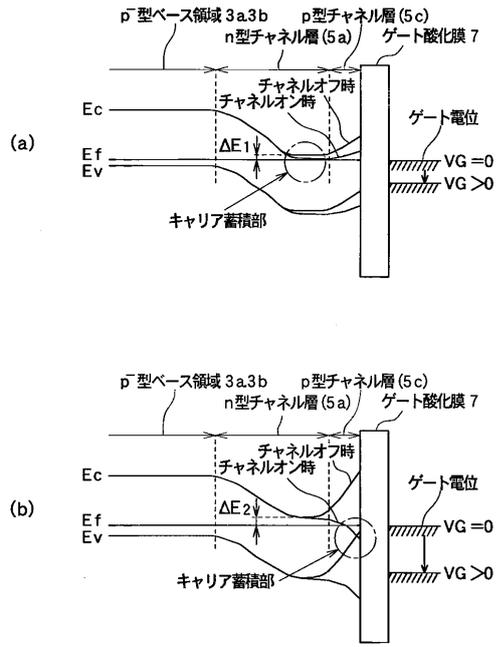
【図4】



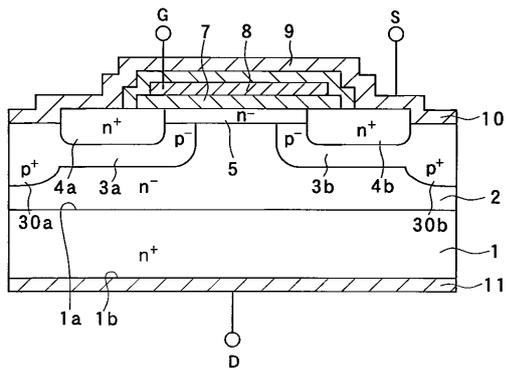
【図5】



【図6】



【図7】



フロントページの続き

審査官 小野田 誠

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/78

H01L 29/12