

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 11 月 2 日 (02.11.2023)

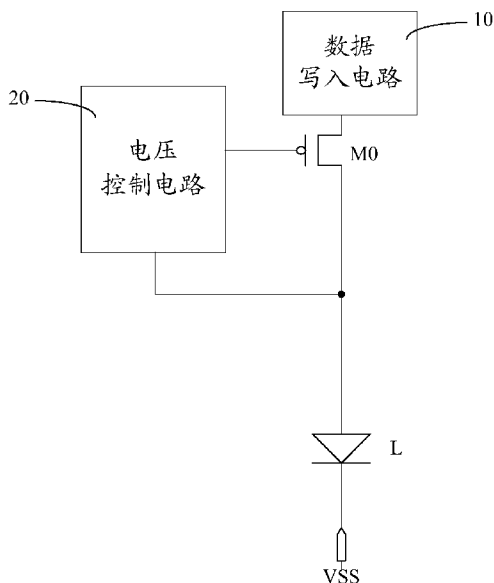


(10) 国际公布号
WO 2023/205964 A1

- (51) 国际专利分类号:
G09G 3/3208 (2016.01) **G09G 3/3266** (2016.01)
G09G 3/3233 (2016.01)
- (21) 国际申请号: PCT/CN2022/088832
- (22) 国际申请日: 2022 年 4 月 24 日 (24.04.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司 (**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。重庆京东方显示技术有限公司 (**CHONGQING BOE DISPLAY TECHNOLOGY CO., LTD.**) [CN/CN]; 中国重庆市北碚区云汉大道 117 号附 123 号, Chongqing 400714 (CN)。
- (72) 发明人: 邱远游 (**QIU, Yuanyou**); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京同达信恒知识产权代理有限公司 (**TDIP & PARTNERS**); 中国北京市西城区裕民路 18 号北环中心 A 座 2002, Beijing 100029 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

(54) Title: PIXEL CIRCUIT, DRIVING METHOD THEREOF, DISPLAY PANEL, AND DISPLAY DEVICE

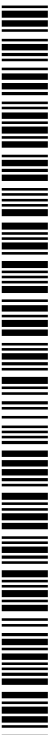
(54) 发明名称: 像素电路、其驱动方法、显示面板及显示装置



10 Data writing circuit
20 Voltage control circuit

(57) Abstract: Embodiments of the present disclosure provide a pixel circuit, a driving method thereof, a display panel, and a display device. The pixel circuit comprises: a light-emitting device; a driving transistor configured to generate, according to a data voltage, a driving current for driving the light-emitting device to emit light; a data writing circuit coupled to the driving transistor, the data writing circuit being configured to input the data voltage in response to the loaded signal; and a voltage control circuit coupled to the driving transistor, the voltage control circuit being configured to reset, in response to the loaded signal, a control electrode, a first electrode, and a second electrode of the driving transistor before the data voltage is input.

(57) 摘要: 本公开实施例提供的像素电路、其驱动方法、显示面板及显示装置, 包括: 发光器件; 驱动晶体管, 被配置为根据数据电压产生驱动发光器件发光的驱动电流; 数据写入电路, 与驱动晶体管耦接; 其中, 数据写入电路被配置为响应于加载的信号, 输入数据电压; 电压控制电路, 与驱动晶体管耦接; 其中, 电压控制电路被配置为响应于加载的信号, 在输入数据电压之前, 对驱动晶体管的控制极、第一极以及第二极进行复位。



WO 2023/205964 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

像素电路、其驱动方法、显示面板及显示装置

技术领域

本公开涉及显示技术领域，特别涉及像素电路、其驱动方法、显示面板及显示装置。

5

背景技术

有机发光二极管（Organic Light Emitting Diode, OLED）、量子点发光二极管（Quantum Dot Light Emitting Diodes, QLED）、微型发光二极管（Micro Light Emitting Diode, Micro LED）等电致发光二极管具有自发光、低能耗等优点，是当今电致发光显示装置应用研究领域的热点之一。一般电致发光显示装置中采用像素电路来驱动电致发光二极管发光。

10

发明内容

本公开实施例提供的像素电路，包括：

15

发光器件；

驱动晶体管，被配置为根据数据电压产生驱动所述发光器件发光的驱动电流；

数据写入电路，与所述驱动晶体管耦接；其中，所述数据写入电路被配置为响应于加载的信号，输入所述数据电压；

20

电压控制电路，与所述驱动晶体管耦接；其中，所述电压控制电路被配置为响应于加载的信号，在输入所述数据电压之前，对所述驱动晶体的控制极、第一极以及第二极进行复位。

25

在一些示例中，所述电压控制电路进一步被配置为响应于第一控制信号端加载的第一控制信号，将第一初始化信号端加载的第一初始化信号，提供给所述驱动晶体的控制极，对所述驱动晶体的控制极进行复位；以及，响应于第二控制信号端加载的第二控制信号，对所述驱动晶体的第一极和

第二极进行复位。

在一些示例中，所述电压控制电路包括：第一晶体管、第二晶体管以及存储电容；

5 所述第一晶体管的控制极与所述第一控制信号端耦接，所述第一晶体管的第一极与所述第一初始化信号端耦接，所述第一晶体管的第二极与所述驱动晶体管的控制极耦接；

所述第二晶体管的控制极与所述第二控制信号端耦接，所述第二晶体管的第一极与所述驱动晶体管的控制极耦接，所述第二晶体管的第二极与所述驱动晶体管的第二极耦接；

10 所述存储电容的第一电极板与所述驱动晶体管的控制极耦接，所述存储电容的第二电极板与所述驱动的第一极耦接。

在一些示例中，所述电压控制电路还被配置为在输入所述数据电压时，响应于所述第二控制信号端加载的所述第二控制信号，对所述驱动晶体管的阈值电压进行补偿。

15 在一些示例中，所述像素电路还包括阈值补偿电路；

所述阈值补偿电路与所述驱动晶体管耦接，其中，所述阈值补偿电路被配置为在输入所述数据电压时，响应于第三控制信号端加载的第三控制信号，对所述驱动晶体管的阈值电压进行补偿。

在一些示例中，所述阈值补偿电路包括：第三晶体管；

20 所述第三晶体管的控制极与所述第三控制信号端耦接，所述第三晶体管的第一极与所述驱动晶体管的控制极耦接，所述第三晶体管的第二极与所述驱动晶体管的第二极耦接。

25 在一些示例中，所述数据写入电路进一步被配置为响应于第四控制信号端加载的第四控制信号，将数据信号端加载的所述数据电压输入所述驱动晶体管的第一极。

在一些示例中，所述数据写入电路包括第四晶体管；

所述第四晶体管的控制极与所述第四控制信号端耦接，所述第四晶体管

的第一极与所述数据信号端耦接，所述第四晶体管的第二极与所述驱动晶体管的第二极耦接。

在一些示例中，其中，所述第四控制信号的有效电平的维持时长不大于第一控制信号的有效电平的维持时长。

5 在一些示例中，所述数据写入电路进一步被配置为响应于第五控制信号端加载的第五控制信号和第六控制信号端加载的第六控制信号，将数据信号端加载的所述数据电压输入所述驱动晶体管的第一极；

所述第五控制信号的有效电平和所述第六控制信号的有效电平具有第二交叠时长，并且所述第五控制信号的有效电平的开始时刻在所述第六控制信号的有效电平的开始时刻之前。

在一些示例中，所述数据写入电路包括：第五晶体管和第六晶体管；

所述第五晶体管的控制极与所述第五控制信号端耦接，所述第五晶体管的第一极与所述驱动晶体管的第一极耦接，所述第五晶体管的第二极与所述第六晶体管的第一极耦接；

15 所述第六晶体管的控制极与所述第六控制信号端耦接，所述第六晶体管的第二极与所述数据信号端耦接。

在一些示例中，所述第五控制信号和所述第六控制信号中的至少一个的有效电平的维持时长与第二控制信号的有效电平的维持时长大致相同。

20 在一些示例中，所述第五控制信号的有效电平的开始时刻在所述第二控制信号的有效电平的开始时刻之前，所述第二控制信号的有效电平的开始时刻在所述第六控制信号的有效电平的开始时刻之前。

在一些示例中，所述第五控制信号端和第二控制信号端为同一信号端。

在一些示例中，所述像素电路还包括：

在一些示例中，所述像素电路还包括：

25 器件复位电路，与所述发光器件耦接；其中，所述器件复位电路被配置为响应于第七控制信号端的第七控制信号，将第二初始化信号端的第二初始化信号提供给所述发光器件。

在一些示例中，所述第七控制信号端与第一控制信号端至第四控制信号端中的一个为同一信号端。

本公开实施例提供返显示面板，包括上述的像素电路。

在一些示例中，所述显示面板包括：

5 多个子像素；其中，所述多个子像素中的至少一个子像素包括上述的像素电路；

多条控制信号线；其中，所述多条控制信号线中的至少一条控制信号线与一行子像素中的像素电路耦接；

10 驱动控制电路；其中，所述驱动控制电路分别与所述多条控制信号线耦接。

在一些示例中，所述多条控制信号线包括多条第一控制信号线、多条第二控制信号线、多条第五控制信号线以及多条第六控制信号线；其中，一条所述第一控制信号线与一行子像素中的像素电路的第一控制信号端耦接，一条所述第二控制信号线与一行子像素中的像素电路的第二控制信号端耦接，
15 一条所述第五控制信号线与一行子像素中的像素电路的第五控制信号端耦接，一条所述第六控制信号线与一行子像素中的像素电路的第六控制信号端耦接；

所述驱动控制电路包括：第一驱动控制电路；其中，所述第一驱动控制电路包括依次设置的多个第一驱动移位寄存器单元；以每相邻的多个第一驱动移位寄存器单元为一个第一单元组，且一行子像素对应一个所述第一单元组；并且，所述第一单元组中，第一个第一驱动移位寄存器单元与对应行子像素耦接的所述第一控制信号线耦接，第三个第一驱动移位寄存器单元与对应行子像素耦接的所述第五控制信号线耦接，第四个第一驱动移位寄存器单元与对应行子像素耦接的所述第二控制信号线耦接，第五个第一驱动移位寄存器单元与对应行子像素耦接的所述第六控制信号线耦接。
20

25 在一些示例中，所述多条控制信号线包括多条第一控制信号线、多条第二控制信号线以及多条第六控制信号线；其中，一条所述第一控制信号线与一行子像素中的像素电路的第一控制信号端耦接，一条所述第二控制信号线

与一行子像素中的像素电路的第二控制信号端和第五控制信号端耦接，一条所述第六控制信号线与一行子像素中的像素电路的第六控制信号端耦接；

所述驱动控制电路包括：第二驱动控制电路；其中，所述第二驱动控制电路包括依次设置的多个第二驱动移位寄存器单元；以每相邻的多个第二驱动移位寄存器单元为一个第二单元组，且一行子像素对应一个所述第二单元组；并且，所述第二单元组中，第一个第二驱动移位寄存器单元与对应行子像素耦接的所述第一控制信号线耦接，第三个第二驱动移位寄存器单元与对应行子像素耦接的所述第二控制信号线耦接，第五个第二驱动移位寄存器单元与对应行子像素耦接的所述第六控制信号线耦接。

10 在一些示例中，所述多条控制信号线包括多条第一控制信号线、多条第二控制信号线以及多条第四控制信号线；其中，一条所述第一控制信号线与一行子像素中的像素电路的第一控制信号端耦接，一条所述第二控制信号线与一行子像素中的像素电路的第二控制信号端耦接，一条所述第四控制信号线与一行子像素中的像素电路的第四控制信号端耦接；

15 所述驱动控制电路包括：第三驱动控制电路和第四驱动控制电路；

所述第三驱动控制电路包括依次设置的多个第三驱动移位寄存器单元；以每相邻的多个第三驱动移位寄存器单元为一个第三单元组，且一行子像素对应一个所述第三单元组；并且，所述第三单元组中，第一个第三驱动移位寄存器单元与对应行子像素耦接的所述第一控制信号线耦接，第五个第三驱动移位寄存器单元与对应行子像素耦接的所述第二控制信号线耦接；

20 所述第四驱动控制电路包括依次设置的多个第四驱动移位寄存器单元；一行子像素对应一个第四驱动移位寄存器单元；并且，所述第四驱动移位寄存器单元与对应行子像素耦接的所述第四控制信号线耦接。

本公开实施例提供的显示装置，包括上述的显示面板。

25 本公开实施例提供的用于上述的像素电路的驱动方法，包括：

复位阶段，所述电压控制电路响应于加载的信号，在输入所述数据电压之前，对所述驱动晶体管的控制极、第一极以及第二极进行复位；

数据写入阶段，所述数据写入电路被配置为响应于加载的信号，输入所述数据电压；

发光阶段，所述驱动晶体管根据数据电压产生驱动所述发光器件发光的驱动电流，驱动所述发光器件发光。

5

附图说明

图1为本公开实施例提供的像素电路的一些结构示意图；

图2为本公开实施例提供的像素电路的另一些结构示意图；

图3为本公开实施例提供的像素电路的一些具体结构示意图；

10 图4a为本公开实施例提供的一些信号时序图；

图4b为本公开实施例提供的一些信号时序图；

图5为本公开实施例提供的像素电路的驱动方法的一些流程图；

图6为本公开实施例提供的像素电路的另一些具体结构示意图；

图7为本公开实施例提供的另一些信号时序图；

15 图8为本公开实施例提供的又一些信号时序图；

图9为本公开实施例提供的又一些信号时序图；

图10为本公开实施例提供的像素电路的又一些具体结构示意图；

图11为本公开实施例提供的又一些信号时序图；

图12为本公开实施例提供的像素电路的又一些具体结构示意图；

20 图13a为本公开实施例提供的又一些信号时序图；

图13b为本公开实施例提供的又一些信号时序图；

图14为本公开实施例提供的像素电路的又一些具体结构示意图；

图15为本公开实施例提供的又一些信号时序图；

图16为本公开实施例提供的像素电路的又一些具体结构示意图；

25 图17为本公开实施例提供的又一些信号时序图；

图18为本公开实施例提供的显示面板的一些结构示意图；

图19为本公开实施例提供的显示面板的另一些结构示意图；

图20为本公开实施例提供的显示面板的又一些结构示意图；

图21为本公开实施例提供的显示面板的又一些结构示意图；

图22为本公开实施例提供的显示面板的又一些结构示意图。

5 具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。并且在冲突的情况下，本公开中的实施例及实施例中的特征可以相互组合。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。

需要注意的是，附图中各图形的尺寸和形状不反映真实比例，目的只是示意说明本公开内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

需要说明的是，在实际工艺中，由于工艺条件的限制或其他因素，本公开中提到的相同并不能完全相同，可能会有一些测量误差，因此本公开实施例中的相同关系，可以允许有 20% 内的波动，均属于本发明的保护范围。

在本公开一些实施例中，本公开实施例提供的显示装置可以包括显示面板。显示面板可以包括衬底基板。其中，衬底基板可以包括显示区域和非显示区域（即衬底基板中除显示区域包围区域之外的区域）。其中，显示区域可

以包括多个阵列排布的像素单元。示例性地，每个像素单元包括同一种颜色的子像素或多种不同颜色的子像素。例如，像素单元可以包括红色子像素，绿色子像素以及蓝色子像素，这样可以通过红绿蓝进行混色，以实现彩色显示。或者，像素单元也可以包括红色子像素，绿色子像素、蓝色子像素以及白色子像素，这样可以通过红绿蓝白进行混色，以实现彩色显示。当然，在实际应用中，像素单元中的子像素的发光颜色可以根据实际应用环境来设计确定，在此不作限定。下面以像素单元包括红色子像素，绿色子像素以及蓝色子像素为例进行说明。

在本公开一些实施例中，各子像素中可以包括像素电路，像素电路可以包括驱动晶体管M0和发光器件L，以控制发光器件L发光，从而使显示面板实现画面显示的功能。但是由于工艺、老化等原因会造成驱动晶体管M0的阈值电压Vth漂移，对产生的驱动电流造成影响，并且在高低灰阶切换时的迟滞效应，还会造成残影的问题。

为了解决上述问题，本公开实施例提供了一些像素电路，如图1所示，可以包括：驱动晶体管M0，数据写入电路10，以及发光器件L。其中，数据写入电路10与驱动晶体管M0耦接，电压控制电路20与驱动晶体管M0耦接。并且，驱动晶体管M0可以被配置为根据数据电压产生驱动发光器件L发光的电流。数据写入电路10可以被配置为响应于加载的信号，输入数据电压。以及，电压控制电路20可以被配置为响应于加载的信号，在输入数据电压之前，对驱动晶体管M0的控制极、第一极以及第二极进行复位。

本公开实施例提供的像素电路，通过设置电压控制电路，可以在输入数据电压之前，对驱动晶体管的控制极、第一极以及第二极进行复位。这样可以使像素电路在每一个显示帧中工作时，在输入数据电压之前，使驱动晶体管的控制极的电压大致相同，使驱动晶体管的第一极的电压大致相同，以及使驱动晶体管的第二极的电压大致相同，从而可以改善高低灰阶切换时的迟滞效应造成的残影的问题。

在本公开一些实施例中，如图2所示，可以使电压控制电路20分别与第

一控制信号端 CS1、第一初始化信号端 VINIT1、第二控制信号端 CS2 以及驱动晶体管 M0 的控制极和第二极耦接。并且，电压控制电路 20 进一步被配置为响应于第一控制信号端 CS1 加载的第一控制信号 cs1，将第一初始化信号端 VINIT1 加载的第一初始化信号，提供给驱动晶体管 M0 的控制极，对驱动晶体管 M0 的控制极进行复位；以及，响应于第二控制信号端 CS2 加载的第二控制信号 cs2，对驱动晶体管 M0 的第一极和第二极进行复位。进一步地，电压控制电路 20 还被配置为在输入数据电压时，响应于第二控制信号端 CS2 加载的第二控制信号 cs2，对驱动晶体管 M0 的阈值电压进行补偿。

在本公开一些实施例中，如图 2 所示，可以使数据写入电路 10 分别与第四控制信号端 CS4、数据信号端 DA 以及驱动晶体管 M0 的第一极耦接。并且，数据写入电路 10 进一步可以被配置为响应于第四控制信号端 CS4 加载的第四控制信号 cs4，将数据信号端 DA 加载的数据电压输入驱动晶体管 M0 的第一极。

在本公开一些实施例中，如图 2 所示，像素电路还可以包括：发光控制电路 30。其中，发光控制电路 30 可以分别与驱动晶体管 M0 和发光器件 L 耦接。并且，发光控制电路 30 可以被配置为响应于第一发光控制信号端 EM1 的第一发光控制信号 em1，将第一电源端与驱动晶体管 M0 的第一极导通；以及响应于第二发光控制信号端 EM2 的第二发光控制信号 em2，将驱动晶体管 M0 的第二极与发光器件 L 导通。示例性地，发光控制电路 30 可以分别与第一电源端、驱动晶体管 M0 的第一极和第二极以及发光器件 L 的第一电极耦接。

在本公开一些实施例中，如图 2 所示，像素电路还可以包括：器件复位电路 40。其中，器件复位电路 40 与发光器件 L 耦接。并且，器件复位电路 40 被配置为响应于第七控制信号端 CS7 的第七控制信号 cs7，将第二初始化信号端 VINIT2 的第二初始化信号提供给发光器件 L。示例性地，器件复位电路 40 可以分别与第七控制信号端 CS7、第二初始化信号端 VINIT2 以及发光器件 L 的第一电极耦接。

在本公开一些实施例中，发光器件 L 的第一电极可以与驱动晶体管 M0 的第二极耦接或发光器件 L 的第一电极可以通过发光控制电路 30 与驱动晶体管 M0 的第二极耦接。发光器件 L 的第二电极可以与第二电源端 VSS 耦接。并且，发光器件 L 的第一电极可以为其阳极，第二电极为其阴极。示例性地，
5 发光器件 L 可以为电致发光二极管。例如，发光器件 L 可以包括：微型发光二极管（Micro Light Emitting Diode, Micro LED）、有机电致发光二极管（Organic Light Emitting Diode, OLED）以及量子点发光二极管（Quantum Dot Light Emitting Diodes, QLED）中的至少一种。在实际应用中，可以根据实际应用环境来设计确定发光器件 L 的具体结构，在此不作限定。

10 在本公开一些实施例中，如图 1 与图 2 所示，驱动晶体管 M0 可以设置为 P 型晶体管；其中，驱动晶体管 M0 的第一极可以为其源极，驱动晶体管 M0 的第二极可以为其漏极，并且该驱动晶体管 M0 处于饱和状态时，电流由驱动晶体管 M0 的源极流向其漏极。当然，驱动晶体管 M0 也可以设置为 N 型晶体管，在此不作限定。

15 在本公开一些实施例中，如图 3 所示，电压控制电路 20 可以包括：第一晶体管 M1、第二晶体管 M2 以及存储电容 CST。其中，第一晶体管 M1 的控制极与第一控制信号端 CS1 耦接，第一晶体管 M1 的第一极与第一初始化信号端 VINIT1 耦接，第一晶体管 M1 的第二极与驱动晶体管 M0 的控制极耦接。以及，第二晶体管 M2 的控制极与第二控制信号端 CS2 耦接，第二晶体管 M2
20 的第一极与驱动晶体管 M0 的控制极耦接，第二晶体管 M2 的第二极与驱动晶体管 M0 的第二极耦接。以及，存储电容 CST 的第一电极板与驱动晶体管 M0 的控制极耦接，存储电容 CST 的第二电极板与驱动的第一极耦接。

示例性地，第一晶体管 M1 可以在第一控制信号 cs1 的有效电平的控制下导通，可以在第一控制信号 cs1 的无效电平的控制下截止。例如，第一晶体管
25 M1 可以设置为 P 型晶体管，则第一控制信号 cs1 的有效电平为低电平，第一控制信号 cs1 的无效电平为高电平。或者，第一晶体管 M1 也可以设置为 N 型晶体管，则第一控制信号 cs1 的有效电平为高电平，第一控制信号 cs1 的无

效电平为低电平。

示例性地，第二晶体管 M2 可以在第二控制信号 cs2 的有效电平的控制下导通，可以在第二控制信号 cs2 的无效电平的控制下截止。例如，第二晶体管 M2 可以设置为 P 型晶体管，则第二控制信号 cs2 的有效电平为低电平，第二控制信号 cs2 的无效电平为高电平。或者，第二晶体管 M2 也可以设置为 N 型晶体管，则第二控制信号 cs2 的有效电平为高电平，第二控制信号 cs2 的无效电平为低电平。

在本公开一些实施例中，如图 3 所示，数据写入电路 10 可以包括第四晶体管 M4。其中，第四晶体管 M4 的控制极与第四控制信号端 CS4 耦接，第四晶体管 M4 的第一极与数据信号端 DA 耦接，第四晶体管 M4 的第二极与驱动晶体管 M0 的第一极耦接。示例性地，第四晶体管 M4 可以在第四控制信号 cs4 的有效电平的控制下导通，可以在第四控制信号 cs4 的无效电平的控制下截止。例如，第四晶体管 M4 可以设置为 P 型晶体管，则第四控制信号 cs4 的有效电平为低电平，第四控制信号 cs4 的无效电平为高电平。或者，第四晶体管 M4 也可以设置为 N 型晶体管，则第四控制信号 cs4 的有效电平为高电平，第四控制信号 cs4 的无效电平为低电平。

需要说明的是，本公开实施例中，优选地可以使数据写入电路 10 中设置一个晶体管，这样可以使像素电路的晶体的数量较少，其在显示面板中占用的空间也较少。

在本公开一些实施例中，如图 3 所示，发光控制电路 30 可以包括第七晶体管 M7 和第八晶体管 M8。其中，第七晶体管 M7 的控制极与第一发光控制信号端 EM1 耦接，第七晶体管 M7 的第一极与第一电源端耦接，第七晶体管 M7 的第二极与驱动晶体管 M0 的第一极耦接。以及，第八晶体管 M8 的控制极与第二发光控制信号端 EM2 耦接，第八晶体管 M8 的第一极与驱动晶体管 M0 的第二极耦接，第八晶体管 M8 的第二极与发光器件 L 耦接。

示例性地，第七晶体管 M7 可以在第一发光控制信号 em1 的有效电平的控制下导通，可以在第一发光控制信号 em1 的无效电平的控制下截止。例如，

第七晶体管 M7 可以设置为 P 型晶体管，则第一发光控制信号 em1 的有效电平为低电平，第一发光控制信号 em1 的无效电平为高电平。或者，第七晶体管 M7 也可以设置为 N 型晶体管，则第一发光控制信号 em1 的有效电平为高电平，第一发光控制信号 em1 的无效电平为低电平。

5 示例性地，第八晶体管 M8 可以在第二发光控制信号 em2 的有效电平的控制下导通，可以在第二发光控制信号 em2 的无效电平的控制下截止。例如，第八晶体管 M8 可以设置为 P 型晶体管，则第二发光控制信号 em2 的有效电平为低电平，第二发光控制信号 em2 的无效电平为高电平。或者，第八晶体管 M8 也可以设置为 N 型晶体管，则第二发光控制信号 em2 的有效电平为高
10 电平，第二发光控制信号 em2 的无效电平为低电平。

在本公开一些实施例中，如图 3 所示，器件复位电路 40 可以包括第九晶体管 M9。其中，第九晶体管 M9 的控制极与第七控制信号端 CS7 耦接，第九晶体管 M9 的第一极与第二初始化信号端 VINIT2 耦接，第九晶体管 M9 的第二极与发光器件 L 耦接。示例性地，第九晶体管 M9 可以在第七发光控制信号的有效电平的控制下导通，可以在第七发光控制信号的无效电平的控制下
15 截止。例如，第九晶体管 M9 可以设置为 P 型晶体管，则第七发光控制信号的有效电平为低电平，第七发光控制信号的无效电平为高电平。或者，第九晶体管 M9 也可以设置为 N 型晶体管，则第七发光控制信号的有效电平为高电平，第七发光控制信号的无效电平为低电平。

20 一般采用低温多晶硅（Low Temperature Poly-Silicon, LTPS）材料作为有源层的晶体管的迁移率高且可以做得更薄更小、功耗更低等，在具体实施时，上述至少一个晶体管的有源层的材料可以设置为低温多晶硅材料。这样可以将上述晶体管设置为 LTPS 型晶体管，以使像素电路实现迁移率高且可以做得更薄更小、功耗更低等。

25 一般采用金属氧化物半导体材料作为有源层的晶体管的漏电流较小，因此为了降低漏电流，在本公开一些实施例中，也可以使上述至少一个晶体管的有源层的材料包括金属氧化物半导体材料，例如可以为 IGZO（Indium

Gallium Zinc Oxide, 铟镓锌氧化物), 当然, 也可以为其他金属氧化物半导体材料, 在此不作限定。这样可以将上述晶体管设置为氧化物型晶体管 (Oxide Thin Film Transistor), 以使像素电路的漏电流减小。

5 示例性地, 可以将所有晶体管均设置为 LTPS 型晶体管。或者, 可以将所有晶体管均设置为氧化物型晶体管。或者, 也可以使部分晶体管设置为氧化物型晶体管, 其余晶体管设置为 LTPS 型晶体管。例如, 可以将第一晶体管 M1 和第二晶体管 M2 设置为氧化物型晶体管, 将其余晶体管设置为 LTPS 型晶体管。这样通过将 LTPS 型晶体管与氧化物型晶体管, 这两种制备晶体管的工艺进行结合制备低温多晶硅氧化物的 LTPO 像素电路, 可以使驱动晶体管
10 MO 的控制极的漏电流较小, 以及使功耗较低。从而将该像素电路应用于显示面板中, 在显示面板降低刷新频率进行显示时, 可以保证显示的均一性。

在具体实施中, 可以根据晶体管的类型以及其控制极的信号, 将晶体的控制极作为其栅极, 将晶体管的第一极作为其源极, 第二极作为其漏极; 或者, 反之, 将晶体管的第一极作为其漏极, 第二极作为其源极, 这可以根据
15 实际应用环境来设计确定, 具体在此不做具体区分。

以上仅是举例说明本公开实施例提供的像素电路中的各电路的具体结构, 在具体实施时, 上述电路的具体结构不限于本公开实施例提供的上述结构, 还可以是本领域技术人员可知的其他结构, 这些均在本公开的保护范围之内, 具体在此不作限定。

20 在本公开一些实施例中, 第一电源端可以被配置为加载恒定的第一电源电压, 并且第一电源电压一般为正值。以及, 第二电源端可以加载恒定的第二电源电压, 并且第二电源电压一般可以为接地电压或为负值。在实际应用中, 第一电源电压和第二电源电压的具体数值可以根据实际应用环境来设计确定, 在此不作限定。

25 以上仅是举例说明本公开实施例提供的像素电路中的各电路的具体结构, 在具体实施时, 上述电路的具体结构不限于本公开实施例提供的上述结构, 还可以是本领域技术人员可知的其他结构, 这些均在本公开的保护范围之内,

具体在此不作限定。

下面以上述各晶体管为 P 型为例进行说明。示例性地，图 3 所示的像素电路对应的信号时序图，如图 4a 所示。可以使第一控制信号 cs1 的有效电平（例如高电平）的维持时长 t_{cs1} 与第二控制信号 cs2 的有效电平（例如高电平）的维持时长 t_{cs2} 大致相同。并且，第一控制信号 cs1 的有效电平（例如高电平）的开始时刻 k_{cs1} 在第二控制信号 cs2（例如高电平）的有效电平的开始时刻 k_{cs2} 之前。

示例性地，如图 4a 所示，可以使第一控制信号 cs1 的有效电平（例如高电平）与第二控制信号 cs2 的有效电平（例如高电平）无交叠时长。

示例性地，如图 4a 所示，可以使第四控制信号 cs4 的有效电平（例如高电平）的开始时刻 k_{cs4} 在第二控制信号 cs2 的有效电平（例如高电平）的开始时刻 k_{cs2} 之后。并且，开始时刻 k_{cs4} 和开始时刻 k_{cs2} 之间可以具有间隔时长 t_g 。示例性地，间隔时长 t_g 可以小于或大于或等于数据写入阶段的时长。在实际应用中，间隔时长 t_g 可以根据实际应用的需求进行确定，在此不作限定。

示例性地，如图 4a 所示，可以使第四控制信号 cs4 的有效电平（例如高电平）的维持时长 t_{cs4} 小于第一控制信号 cs1 的有效电平（例如高电平）的维持时长 t_{cs1} 。

示例性地，如图 4a 所示，可以使第四控制信号 cs4 和第七控制信号 cs7 设置为大致相同时序的信号。

示例性地，如图 4a 所示，可以使第一发光控制信号 em1 和第二发光控制信号 em2 设置为大致相同时序的信号。

如图 5 所示，本公开实施例提供的像素电路的驱动方法，可以包括如下步骤：

S100、复位阶段，电压控制电路响应于加载的信号，在输入数据电压之前，对驱动晶体管的控制极、第一极以及第二极进行复位；

S200、数据写入阶段，数据写入电路被配置为响应于加载的信号，输入

数据电压；

S300、发光阶段，驱动晶体管根据数据电压产生驱动发光器件发光的驱动电流，驱动发光器件发光。

下面以图 3 所示的像素电路的结构为例，结合图 4a 所示的信号时序图，
5 对本公开实施例提供的像素电路在一个显示帧内的工作过程作以描述。其中，
主要选取图 4a 所示的信号时序图中的复位阶段 T1、数据写入阶段 T2 以及发
光阶段 T3。其中，复位阶段 T1 包括 T11 阶段和 T12 阶段。并且，em1 代表
加载到第一发光控制信号端 EM1 的第一发光控制信号 em1。em2 代表加载到
第二发光控制信号端 EM2 的第二发光控制信号 em2。cs1 代表加载到第一控
10 制信号端 CS1 的第一控制信号 cs1。cs2 代表加载到第二控制信号端 CS2 的
第二控制信号 cs2。cs4 代表加载到第四控制信号端 CS4 的第四控制信号 cs4。
cs7 代表加载到第七控制信号端 CS7 的第七控制信号 cs7。

在复位阶段 T1 中的 T11 阶段，第二晶体管 M2 在信号 cs2 的高电平的控制
制下截止。第四晶体管 M4 在信号 cs4 的高电平的控制下截止。第七晶体管
15 M7 在信号 em1 的高电平的控制下截止。第八晶体管 M8 在信号 em2 的高电
平的控制下截止。第九晶体管 M9 在信号 cs7 的高电平的控制下截止。第一晶
体管 M1 在信号 cs1 的低电平的控制下导通，以将第一初始化信号端 VINIT1
加载的第一初始化电压 vinit1 提供给驱动晶体管 M0 的控制极，对驱动晶体管
M0 的控制极进行复位，并通过存储电容 CST 保持驱动晶体管 M0 的控制极的
20 电压。

在复位阶段 T1 中的 T12 阶段，第一晶体管 M1 在信号 cs1 的高电平的控制下
截止。第四晶体管 M4 在信号 cs4 的高电平的控制下截止。第七晶体管 M7 在信
号 em1 的高电平的控制下截止。第八晶体管 M8 在信号 em2 的高电平的控制下截
止。第九晶体管 M9 在信号 cs7 的高电平的控制下截止。第二晶体管 M2 在信号
25 cs2 的低电平的控制下导通，以将驱动晶体管 M0 的控制极与第二极导通，从而
使驱动晶体管 M0 形成二极管连接方式。由于存储电容 CST 保持驱动晶体管 M0
的控制极的电压为第一初始化电压 vinit1，从而可以将驱动晶体管 M0 的第二极

5 的电压也变化为第一初始化电压vinit1, 以及将驱动晶体管M0的第一极的电压变为vinit1-Vth。其中, Vth代表驱动晶体管M0的阈值电压。这样可以使驱动晶体管M0的控制极、第一极以及第二极在数据电压写入之前进行重置。并且, 由于重置之后, 驱动晶体管M0的控制极的电压为第一初始化电压vinit1, 第二极的电压也变化为第一初始化电压vinit1, 以及第一极的电压变为vinit1-Vth, 因此, 在像素电路每一个显示帧中工作时, 在输入数据电压之前, 使驱动晶体管M0的控制极的电压大致相同, 使驱动晶体管M0的第一极的电压大致相同, 以及使驱动晶体管M0的第二极的电压大致相同, 从而可以改善高低灰阶切换时的迟滞效应造成的残影的问题。

10 在数据写入阶段 T2, 第一晶体管 M1 在信号 cs1 的高电平的控制下截止。第七晶体管 M7 在信号 em1 的高电平的控制下截止。第八晶体管 M8 在信号 em2 的高电平的控制下截止。第二晶体管 M2 在信号 cs2 的低电平的控制下导通, 以将驱动晶体管 M0 的控制极与第二极导通, 从而使驱动晶体管 M0 形成二极管连接方式。第四晶体管 M4 在信号 cs4 的低电平的控制下导通, 以将加载到数据信号端 DA 的数据电压 Vda 输入驱动晶体管 M0 的第一极, 并通过导通的第二晶体管 M2 对驱动晶体管 M0 的控制极进行充电, 从而使驱动晶体管 M0 的控制极电压变为 Vda+Vth。以及, 第九晶体管 M9 在信号 cs7 的低电平的控制下导通, 以将加载到第二初始化信号端 VINIT2 的第二初始化电压输入发光器件 L 的第一电极, 对发光器件 L 进行初始化。

20 在发光阶段 T3, 第一晶体管 M1 在信号 cs1 的高电平的控制下截止。第二晶体管 M2 在信号 cs2 的高电平的控制下截止。第四晶体管 M4 在信号 cs4 的高电平的控制下截止。第九晶体管 M9 在信号 cs7 的高电平的控制下截止。第七晶体管 M7 在信号 em1 的低电平的控制下导通, 以将第一电源端 VDD 的第一电源电压提供给驱动晶体管 M0 的第一极, 以使驱动晶体管 M0 的第一极的电压为 Vdd。由于驱动晶体管 M0 的控制极电压为 Vda+Vth, 驱动晶体管 M0 产生的驱动电流 IL 为: $IL=K(Vda+Vth-Vdd-Vth)^2=K(Vda-Vdd)^2$ 。导通的第八晶体管 M8 将驱动晶体管 M0 的第二极与发光器件 L 的第一电极导通,

从而将驱动电流 I_L 提供给发光器件 L，以驱动发光器件 L 发光。并且，K 为驱动晶体管 M0 的结构常数。

需要说明的是，在 T12 阶段中，可以使驱动晶体管 M0 的控制极、第一极以及第二极在数据电压写入之前进行重置。并且，由于重置之后，驱动晶体管 M0 的控制极的电压为第一初始化电压 v_{init1} ，第二极的电压也变化为第一初始化电压 v_{init1} ，以及第一极的电压变为 $v_{init1}-V_{th}$ ，因此，像素电路在每一个显示帧中工作时，在输入数据电压之前，使驱动晶体管 M0 的控制极的电压大致相同，使驱动晶体管 M0 的第一极的电压大致相同，以及使驱动晶体管 M0 的第二极的电压大致相同，从而可以改善高低灰阶切换时的迟滞效应造成的残影的问题。

需要说明的是，在发光阶段 T3，通过驱动电流 I_L 的公式 $I_L=K(V_{da}+V_{th}-V_{dd}-V_{th})^2=K(V_{da}-V_{dd})^2$ ，可知驱动发光器件 L 发光的驱动电流 I_L 与驱动晶体管 M0 的阈值电压无关，从而可以避免驱动晶体管 M0 的阈值电压漂移对发光器件 L 的发光影响，进一步提高发光稳定性。

需要说明的是，第一控制信号 cs1 和第二控制信号 cs2 以及第四控制信号 cs4 可以是级联信号。本公开实施例中的像素电路可以应用于高低频切换显示的显示面板中。在显示面板采用低频显示时，数据电压 V_{da} 可以仅在刷新帧刷新，而是保持帧不进行数据电压 V_{da} 写入。例如，第一控制信号 cs1 和第二控制信号 cs2 以及第四控制信号 cs4 均需要进行低频刷新，以控制第一晶体管 M1、第二晶体管 M2 以及第四晶体管 M4 均低频熟悉。但是，为了降低发光器件的闪烁，发光器件的第一电极需要进行高频复位，所以此时第九晶体管 M9 的控制极需要进行高频刷新。此时，则需要将信号 cs7 进行单独的电路进行控制，不和信号 cs1、cs2 级联。基于此，第七控制信号端也不与第四控制信号端设置为同一信号端。

本公开实施例提供了像素电路的另一一些信号时序图，如图 4b 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不作赘述。

示例性地，如图 4b 所示，可以使第四控制信号 cs4 的有效电平（例如高电平）的维持时长 tcs4 与第一控制信号 cs1 的有效电平（例如高电平）的维持时长 tcs1 大致相同。以及示例性地，如图 4b 所示，可以使第四控制信号 cs4 和第七控制信号 cs7 设置为大致相同时序的信号。

5 示例性地，如图 4b 所示，第一控制信号 cs1 的有效电平（例如高电平）与第二控制信号 cs2 的有效电平（例如高电平）具有第一交叠时长 td1。第二控制信号 cs2 的有效电平（例如高电平）与第四控制信号 cs4 的有效电平（例如高电平）也具有第一交叠时长 td1。并且，第二控制信号 cs2 的有效电平（例如高电平）与第七控制信号 cs7 的有效电平（例如高电平）也具有第一交叠时
10 长 td1。且第一交叠时长 td1 与输入数据电压的时长（即数据写入阶段 T2 的时长）可以大致相同。

需要说明的是，图 3 所示的像素电路对应的信号时序图，也可以如图 4b 所示。其中，在 T12 阶段中，第一晶体管 M1 在信号 cs1 的低电平的控制下导通，从而将加载到第一初始化信号端 VINIT1 的第一初始化电压提供给驱动晶
15 体管 M0 的控制极。第二晶体管 M2 在信号 cs2 的低电平的控制下导通，以将驱动晶体管 M0 的控制极与第二极导通，从而使驱动晶体管 M0 形成二极管连接方式。这样可以使驱动晶体管 M0 的控制极、第一极以及第二极在数据电压写入之前进行重置。并且，图 3 所示的像素电路结合图 4b 所示的信号时序进行工作的其他过程，可以与图 3 所示的像素电路结合图 4a 所示的信号时序进
20 行工作的过程基本大致相同，在此不作赘述。

需要说明的是，第一控制信号 cs1 和第二控制信号 cs2 以及第四控制信号 cs4 可以是级联信号。本公开实施例中的像素电路可以应用于高低频切换显示的显示面板中。在显示面板采用低频显示时，数据电压 Vda 可以仅在刷新帧刷新，而是保持帧不进行数据电压 Vda 写入。例如，第一控制信号 cs1 和第
25 二控制信号 cs2 以及第四控制信号 cs4 均需要进行低频刷新，以控制第一晶体管 M1、第二晶体管 M2 以及第四晶体管 M4 均低频熟悉。但是，为了降低发光器件的闪烁，发光器件的第一电极需要进行高频复位，所以此时第九晶体

管 M9 的控制极需要进行高频刷新。此时，则需要将信号 cs7 进行单独的电路进行控制，不和信号 cs1、cs2 级联。基于此，第七控制信号端也不与第四控制信号端设置为同一信号端。

5 本公开实施例提供了像素电路的另一些结构示意图，如图 6 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，可以使第一发光控制信号端和第二发光控制信号端设置为同一信号端。这样可以降低信号走线的数量，降低布线难度。示例性地，如图 6 所示，第七晶体管 M7 的控制极与第八晶体管 M8 的控制极可以均与第一发光控制信号端 EM1 耦接。或者，第七晶体管 M7 的控制极与第八晶体管 M8 的控制极也可以均与第二发光控制信号端 EM2 耦接。

在本公开一些实施例中，可以使第七控制信号端和第四控制信号端设置为同一信号端。这样可以降低信号走线的数量，降低布线难度。示例性地，如图 6 所示，第四晶体管 M4 的控制极与第九晶体管 M9 的控制极可以均与第四控制信号端 CS4 耦接。或者，第四晶体管 M4 的控制极与第九晶体管 M9 的控制极也可以均与第七控制信号端 CS7 耦接。

需要说明的是，图 6 所示的像素电路对应的信号时序图，可以如图 7 所示。可以使第四控制信号 cs4 的有效电平（例如高电平）的维持时长 t_{cs4} 小于第一控制信号 cs1 的有效电平（例如高电平）的维持时长 t_{cs1} 。以及第一控制信号 cs1 的有效电平（例如高电平）与第二控制信号 cs2 的有效电平（例如高电平）无交叠时长。并且，图 6 所示的像素电路结合图 7 所示的信号时序进行工作的过程，可以与图 3 所示的像素电路结合图 4a 所示的信号时序进行工作的过程基本大致相同，在此不作赘述。

25 需要说明的是，图 6 所示的像素电路对应的信号时序图，也可以如图 8 所示。可以使第四控制信号 cs4 的有效电平（例如高电平）的维持时长 t_{cs4} 等于第一控制信号 cs1 的有效电平（例如高电平）的维持时长 t_{cs1} 。以及第一

控制信号 cs1 的有效电平（例如高电平）与第二控制信号 cs2 的有效电平（例如高电平）无交叠时长。并且，图 6 所示的像素电路结合图 8 所示的信号时序进行工作的过程，可以与图 3 所示的像素电路结合图 4a 所示的信号时序进行工作的过程基本大致相同，在此不作赘述。

5 需要说明的是，图 6 所示的像素电路对应的信号时序图，也可以如图 9 所示。可以使第四控制信号 cs4 的有效电平（例如高电平）的维持时长 tcs4 等于第一控制信号 cs1 的有效电平（例如高电平）的维持时长 tcs1。以及第一控制信号 cs1 的有效电平（例如高电平）与第二控制信号 cs2 的有效电平（例如高电平）具有第一交叠时长 td1。且第一交叠时长 td1 与输入数据电压的时
10 长（即数据写入阶段 T2 的时长）可以大致相同。其中，在 T12 阶段中，第一晶体管 M1 在信号 cs1 的低电平的控制下导通，从而将加载到第一初始化信号端 VINIT1 的第一初始化电压提供给驱动晶体管 M0 的控制极。第二晶体管 M2 在信号 cs2 的低电平的控制下导通，以将驱动晶体管 M0 的控制极与第二极导通，从而使驱动晶体管 M0 形成二极管连接方式。这样可以使驱动晶体管
15 M0 的控制极、第一极以及第二极在数据电压写入之前进行重置。并且，图 6 所示的像素电路结合图 8 所示的信号时序进行工作的其他过程，可以与图 3 所示的像素电路结合图 4a 所示的信号时序进行工作的过程基本大致相同，在此不作赘述。

当然，也可以使第七控制信号端 CS7 与第一控制信号端 CS1 设置为同一
20 信号端。或者，也可以使第七控制信号端 CS7 与第二控制信号端 CS2 设置为同一信号端。在实际应用中，可以根据实际应用的需求设置第七控制信号端 CS7，在此不作限定。

本公开实施例提供了像素电路的又一些结构示意图，如图 10 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例
25 的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，可以使第七控制信号端 CS7 和第二控制信号端 CS2 设置为同一信号端。这样可以降低信号走线的数量，降低布线难度。示

例性地，如图 10 所示，第四晶体管 M4 的控制极与第九晶体管 M9 的控制极可以均与第二控制信号端 CS2 耦接。或者，第四晶体管 M4 的控制极与第九晶体管 M9 的控制极也可以均与第七控制信号端 CS7 耦接。

在本公开一些实施例中，如图 10 所示，数据写入电路 10 可以进一步被配置为响应于第五控制信号端 CS5 加载的第五控制信号 cs5 和第六控制信号端 CS6 加载的第六控制信号 cs6，将数据信号端 DA 加载的数据电压输入驱动晶体管 M0 的第一极。示例性地，如图 10 所示，数据写入电路 10 可以包括：第五晶体管 M5 和第六晶体管 M6。其中，第五晶体管 M5 的控制极与第五控制信号端 CS5 耦接，第五晶体管 M5 的第一极与驱动晶体管 M0 的第一极耦接，第五晶体管 M5 的第二极与第六晶体管 M6 的第一极耦接。第六晶体管 M6 的控制极与第六控制信号端 CS6 耦接，第六晶体管 M6 的第二极与数据信号端 DA 耦接。

示例性地，第五晶体管 M5 可以在第五控制信号 cs5 的有效电平的控制下导通，在第五控制信号 cs5 的无效电平的控制下截止。例如，第五晶体管 M5 为 P 型晶体管，则第五控制信号 cs5 的有效电平为低电平，第五控制信号 cs5 的无效电平为高电平。或者，第五晶体管 M5 为 N 型晶体管，则第五控制信号 cs5 的有效电平为高电平，第五控制信号 cs5 的无效电平为低电平。

示例性地，第六晶体管 M6 可以在第六控制信号 cs6 的有效电平的控制下导通，在第六控制信号 cs6 的无效电平的控制下截止。例如，第六晶体管 M6 为 P 型晶体管，则第六控制信号 cs6 的有效电平为低电平，第六控制信号 cs6 的无效电平为高电平。或者，第六晶体管 M6 为 N 型晶体管，则第六控制信号 cs6 的有效电平为高电平，第六控制信号 cs6 的无效电平为低电平。

在本公开一些实施例中，第五控制信号 cs5 和第六控制信号 cs6 中的至少一个的有效电平的维持时长与第二控制信号 cs2 的有效电平的维持时长大致相同。示例性地，如图 11 所示，可以使第一控制信号 cs1 的有效电平（例如高电平）的维持时长 tcs1、第二控制信号 cs2 的有效电平（例如高电平）的维持时长 tcs2、第五控制信号 cs5 的有效电平（例如高电平）的维持时长 tcs5

以及第六控制信号 cs6 的有效电平（例如高电平）的维持时长 tcs6 大致相同。

在本公开一些实施例中，如图 11 所示，可以使第一控制信号 cs1 的有效电平（例如高电平）与第二控制信号 cs2 的有效电平（例如高电平）无交叠时长。第五控制信号 cs5 的有效电平和第六控制信号 cs6 的有效电平具有第二交叠时长 td2。

5

在本公开一些实施例中，如图 11 所示，可以使第一控制信号 cs1 的有效电平（例如高电平）的开始时刻 kcs1 在第五控制信号 cs5（例如高电平）的有效电平的开始时刻 kcs5 之前。以及使第五控制信号 cs5 的有效电平（例如高电平）的开始时刻 kcs5 在第二控制信号 cs2（例如高电平）的有效电平的开始时刻 kcs2 之前。并且第五控制信号 cs5 的有效电平（例如高电平）的开始时刻 kcs5 在第六控制信号 cs6 的有效电平（例如高电平）的开始时刻 kcs6 之前。以及，使第二控制信号 cs2 的有效电平（例如高电平）的开始时刻 kcs2 在第六控制信号 cs6（例如高电平）的有效电平的开始时刻 kcs6 之前。

10

在本公开一些实施例中，如图 11 所示，可以使第二控制信号 cs2 与第七控制信号 cs7 的时序大致相同。

15

下面以图 10 所示的像素电路的结构为例，结合图 11 所示的信号时序图，对本公开实施例提供的像素电路在一个显示帧内的工作过程作以描述。其中，主要选取图 11 所示的信号时序图中的复位阶段 T1、数据写入阶段 T2 以及发光阶段 T3。其中，复位阶段 T1 包括 T11 阶段和 T12 阶段。并且，em1 代表加载到第一发光控制信号端 EM1 的第一发光控制信号 em1。em2 代表加载到第二发光控制信号端 EM2 的第二发光控制信号 em2。cs1 代表加载到第一控制信号端 CS1 的第一控制信号 cs1。cs2 代表加载到第二控制信号端 CS2 的第二控制信号 cs2。cs5 代表加载到第五控制信号端 CS5 的第四控制信号 cs4。cs6 代表加载到第六控制信号端 CS6 的第四控制信号 cs4。

20

在复位阶段 T1 中的 T11 阶段，第二晶体管 M2 和第九晶体管 M9 在信号 cs2 的高电平的控制下截止。第六晶体管 M6 在信号 cs6 的高电平的控制下截止。第七晶体管 M7 在信号 em1 的高电平的控制下截止。第八晶体管 M8 在

25

信号 em2 的高电平的控制下截止。第一晶体管 M1 在信号 cs1 的低电平的控制下导通，以将第一初始化信号端 VINIT1 加载的第一初始化电压 vinit1 提供给驱动晶体管 M0 的控制极，对驱动晶体管 M0 的控制极进行复位，并通过存储电容 CST 保持驱动晶体管 M0 的控制极的电压。本阶段，虽然第五晶体管 M5 在信号 cs5 的低电平的控制下导通，但是第六晶体管 M6 截止，因此，不影响像素电路的工作过程。

在复位阶段 T1 中的 T12 阶段，第一晶体管 M1 在信号 cs1 的高电平的控制下截止。第六晶体管 M6 在信号 cs6 的高电平的控制下截止。第七晶体管 M7 在信号 em1 的高电平的控制下截止。第八晶体管 M8 在信号 em2 的高电平的控制下截止。第二晶体管 M2 在信号 cs2 的低电平的控制下导通，以将驱动晶体管 M0 的控制极与第二极导通，从而使驱动晶体管 M0 形成二极管连接方式。由于存储电容 CST 保持驱动晶体管 M0 的控制极的电压为第一初始化电压 vinit1，从而可以将驱动晶体管 M0 的第二极的电压也变化为第一初始化电压 vinit1，以及将驱动晶体管 M0 的第一极的电压变为 $vinit1 - V_{th}$ 。其中， V_{th} 代表驱动晶体管 M0 的阈值电压。这样可以使驱动晶体管 M0 的控制极、第一极以及第二极在数据电压写入之前进行重置。并且，由于重置之后，驱动晶体管 M0 的控制极的电压为第一初始化电压 vinit1，第二极的电压也变化为第一初始化电压 vinit1，以及第一极的电压变为 $vinit1 - V_{th}$ ，因此，在像素电路每一个显示帧中工作时，在输入数据电压之前，使驱动晶体管 M0 的控制极的电压大致相同，使驱动晶体管 M0 的第一极的电压大致相同，以及使驱动晶体管 M0 的第二极的电压大致相同，从而可以改善高低灰阶切换时的迟滞效应造成的残影的问题。并且，第九晶体管 M9 在信号 cs2 的低电平的控制下导通，以将加载到第二初始化信号端 VINIT2 的第二初始化电压输入发光器件 L 的第一电极，对发光器件 L 进行初始化。以及，第五晶体管 M5 在信号 cs5 的低电平的控制下导通，但是第六晶体管 M6 截止，因此，不影响像素电路的工作过程。

在数据写入阶段 T2，第一晶体管 M1 在信号 cs1 的高电平的控制下截止。

第七晶体管 M7 在信号 em1 的高电平的控制下截止。第八晶体管 M8 在信号 em2 的高电平的控制下截止。第二晶体管 M2 在信号 cs2 的低电平的控制下导通，以将驱动晶体管 M0 的控制极与第二极导通，从而使驱动晶体管 M0 形成二极管连接方式。第五晶体管 M5 在信号 cs5 的低电平的控制下导通，以及第六晶体管 M6 在信号 cs6 的低电平的控制下导通，以将加载到数据信号端 DA 的数据电压 Vda 输入驱动晶体管 M0 的第一极，并通过导通的第二晶体管 M2 对驱动晶体管 M0 的控制极进行充电，从而使驱动晶体管 M0 的控制极电压变为 $V_{da}+V_{th}$ 。以及，第九晶体管 M9 在信号 cs2 的低电平的控制下导通，以将加载到第二初始化信号端 VINIT2 的第二初始化电压输入发光器件 L 的第一电极，对发光器件 L 进行初始化。

在发光阶段 T3，第一晶体管 M1 在信号 cs1 的高电平的控制下截止。第二晶体管 M2 和第九晶体管 M9 在信号 cs2 的高电平的控制下截止。第五晶体管 M5 在信号 cs5 的高电平的控制下截止。第六晶体管 M6 在信号 cs6 的高电平的控制下截止。第七晶体管 M7 在信号 em1 的低电平的控制下导通，以将第一电源端 VDD 的第一电源电压提供给驱动晶体管 M0 的第一极，以使驱动晶体管 M0 的第一极的电压为 Vdd。由于驱动晶体管 M0 的控制极电压为 $V_{da}+V_{th}$ ，驱动晶体管 M0 产生的驱动电流 I_L 为： $I_L=K(V_{da}+V_{th}-V_{dd}-V_{th})^2=K(V_{da}-V_{dd})^2$ 。导通的第八晶体管 M8 将驱动晶体管 M0 的第二极与发光器件 L 的第一电极导通，从而将驱动电流 I_L 提供给发光器件 L，以驱动发光器件 L 发光。并且，K 为驱动晶体管 M0 的结构常数。

需要说明的是，在 T12 阶段中，可以使驱动晶体管 M0 的控制极、第一极以及第二极在数据电压写入之前进行重置。并且，由于重置之后，驱动晶体管 M0 的控制极的电压为第一初始化电压 vinit1，第二极的电压也变化为第一初始化电压 vinit1，以及第一极的电压变为 $vinit1-V_{th}$ ，因此，像素电路在每一个显示帧中工作时，在输入数据电压之前，使驱动晶体管 M0 的控制极的电压大致相同，使驱动晶体管 M0 的第一极的电压大致相同，以及使驱动晶体管 M0 的第二极的电压大致相同，从而可以改善高低灰阶切换时的迟滞效应造

成的残影的问题。

需要说明的是，在发光阶段 T3，通过驱动电流 I_L 的公式 $I_L = K(V_{da} + V_{th} - V_{dd} - V_{th})^2 = K(V_{da} - V_{dd})^2$ ，可知驱动发光器件 L 发光的驱动电流 I_L 与驱动晶体管 M0 的阈值电压无关，从而可以避免驱动晶体管 M0 的阈值电压漂移对发光器件 L 的发光影响，进一步提高发光稳定性。

需要说明的是，在数据写入阶段 T2 和发光阶段 T3 之间还可以具有缓冲阶段 T4，在缓冲阶段 T4，可以使驱动晶体管 M0 的电压 $V_{da} + V_{th}$ 进一步稳定后，再进入发光阶段 T3。

本公开实施例提供了像素电路的又一些结构示意图，如图 12 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，可以使第一发光控制信号端和第二发光控制信号端设置为同一信号端。这样可以降低信号走线的数量，降低布线难度。示例性地，如图 12 所示，第七晶体管 M7 的控制极与第八晶体管 M8 的控制极可以均与第一发光控制信号端 EM1 耦接。或者，第七晶体管 M7 的控制极与第八晶体管 M8 的控制极也可以均与第二发光控制信号端 EM2 耦接。

需要说明的是，图 12 所示的像素电路对应的信号时序图，可以如图 13a 所示。并且，图 12 所示的像素电路结合图 13a 所示的信号时序进行工作的过程，可以与图 10 所示的像素电路结合图 11 所示的信号时序进行工作的过程基本大致相同，在此不作赘述。

需要说明的是，图 12 所示的像素电路对应的信号时序图，也可以如图 13b 所示。并且，图 12 所示的像素电路结合图 13b 所示的信号时序进行工作的过程，可以与图 10 所示的像素电路结合图 11 所示的信号时序进行工作的过程基本大致相同，在此不作赘述。

本公开实施例提供了像素电路的又一些结构示意图，如图 14 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，可以使第五控制信号端和第二控制信号端设置为同一信号端。使第七控制信号端 CS7 和第二控制信号端 CS2 设置为同一信号端。以及使第一发光控制信号端 EM1 和第二发光控制信号端 EM2 设置为同一信号端。这样可以降低信号走线的数量，降低布线难度。示例性地，如图 14 所示，第七晶体管 M7 的控制极与第八晶体管 M8 的控制极可以均与第一发光控制信号端 EM1 耦接。第二晶体管 M2 的控制极、第五晶体管 M5 的控制极以及第九晶体管 M9 的控制极可以均与第二控制信号端 CS2 耦接。

在本公开一些实施例中，如图 15 所示，可以使第一控制信号 cs1 的有效电平（例如高电平）的维持时长 tcs1、第二控制信号 cs2 的有效电平（例如高电平）的维持时长 tcs2 以及第六控制信号 cs6 的有效电平（例如高电平）的维持时长 tcs6 大致相同。并且，第一控制信号 cs1 的有效电平（例如高电平）的维持时长 tcs1 的开始时刻在第二控制信号 cs2 的有效电平（例如高电平）的维持时长 tcs2 的开始时刻之前。以及，第二控制信号 cs2 的有效电平（例如高电平）的维持时长 tcs2 的开始时刻在第六控制信号 cs6 的有效电平（例如高电平）的维持时长 tcs6 的开始时刻之前。

下面以图 14 所示的像素电路的结构为例，结合图 15 所示的信号时序图，对本公开实施例提供的像素电路在一个显示帧内的工作过程作以描述。其中，主要选取图 15 所示的信号时序图中的复位阶段 T1、数据写入阶段 T2 以及发光阶段 T3。其中，复位阶段 T1 包括 T11 阶段和 T12 阶段。并且，em1 代表加载到第一发光控制信号端 EM1 的第一发光控制信号 em1。em2 代表加载到第二发光控制信号端 EM2 的第二发光控制信号 em2。cs1 代表加载到第一控制信号端 CS1 的第一控制信号 cs1。cs2 代表加载到第二控制信号端 CS2 的第二控制信号 cs2。cs6 代表加载到第六控制信号端 CS6 的第四控制信号 cs4。cs7 代表加载到第七控制信号端 CS7 的第七控制信号 cs7。

在复位阶段 T1 中的 T11 阶段，第二晶体管 M2、第五晶体管 M5 以及第九晶体管 M9 在信号 cs2 的高电平的控制下截止。第六晶体管 M6 在信号 cs6 的高电平的控制下截止。第七晶体管 M7 和第八晶体管 M8 在信号 em1 的高

电平的控制下截止。第九晶体管 M9 在信号 cs7 的高电平的控制下截止。第一晶体管 M1 在信号 cs1 的低电平的控制下导通, 以将第一初始化信号端 VINIT1 加载的第一初始化电压 vinit1 提供给驱动晶体管 M0 的控制极, 对驱动晶体管 M0 的控制极进行复位, 并通过存储电容 CST 保持驱动晶体管 M0 的控制极的电压。

在复位阶段 T1 中的 T12 阶段, 第一晶体管 M1 在信号 cs1 的高电平的控制下截止。第六晶体管 M6 在信号 cs6 的高电平的控制下截止。第七晶体管 M7 和第八晶体管 M8 在信号 em1 的高电平的控制下截止。第二晶体管 M2 在信号 cs2 的低电平的控制下导通, 以将驱动晶体管 M0 的控制极与第二极导通, 从而使驱动晶体管 M0 形成二极管连接方式。由于存储电容 CST 保持驱动晶体管 M0 的控制极的电压为第一初始化电压 vinit1, 从而可以将驱动晶体管 M0 的第二极的电压也变化为第一初始化电压 vinit1, 以及将驱动晶体管 M0 的第一极的电压变为 $vinit1 - V_{th}$ 。其中, V_{th} 代表驱动晶体管 M0 的阈值电压。这样可以使驱动晶体管 M0 的控制极、第一极以及第二极在数据电压写入之前进行重置。并且, 由于重置之后, 驱动晶体管 M0 的控制极的电压为第一初始化电压 vinit1, 第二极的电压也变化为第一初始化电压 vinit1, 以及第一极的电压变为 $vinit1 - V_{th}$, 因此, 在像素电路每一个显示帧中工作时, 在输入数据电压之前, 使驱动晶体管 M0 的控制极的电压大致相同, 使驱动晶体管 M0 的第一极的电压大致相同, 以及使驱动晶体管 M0 的第二极的电压大致相同, 从而可以改善高低灰阶切换时的迟滞效应造成的残影的问题。并且, 第九晶体管 M9 在信号 cs2 的低电平的控制下导通, 以将加载到第二初始化信号端 VINIT2 的第二初始化电压输入发光器件 L 的第一电极, 对发光器件 L 进行初始化。以及, 第五晶体管 M5 在信号 cs2 的低电平的控制下导通, 但是第六晶体管 M6 截止, 因此, 不影响像素电路的工作过程。

在数据写入阶段 T2, 第一晶体管 M1 在信号 cs1 的高电平的控制下截止。第七晶体管 M7 和第八晶体管 M8 在信号 em1 的高电平的控制下截止。第二晶体管 M2 在信号 cs2 的低电平的控制下导通, 以将驱动晶体管 M0 的控制极

与第二极导通，从而使驱动晶体管 M0 形成二极管连接方式。第五晶体管 M5 在信号 cs2 的低电平的控制下导通，以及第六晶体管 M6 在信号 cs6 的低电平的控制下导通，以将加载到数据信号端 DA 的数据电压 Vda 输入驱动晶体管 M0 的第一极，并通过导通的第二晶体管 M2 对驱动晶体管 M0 的控制极进行充电，从而使驱动晶体管 M0 的控制极电压变为 $V_{da}+V_{th}$ 。以及，第九晶体管 M9 在信号 cs2 的低电平的控制下导通，以将加载到第二初始化信号端 VINIT2 的第二初始化电压输入发光器件 L 的第一电极，对发光器件 L 进行初始化。

在发光阶段 T3，第一晶体管 M1 在信号 cs1 的高电平的控制下截止。第二晶体管 M2、第五晶体管 M5 以及第九晶体管 M9 在信号 cs2 的高电平的控制下截止。第六晶体管 M6 在信号 cs6 的高电平的控制下截止。第七晶体管 M7 在信号 em1 的低电平的控制下导通，以将第一电源端 VDD 的第一电源电压提供给驱动晶体管 M0 的第一极，以使驱动晶体管 M0 的第一极的电压为 Vdd。由于驱动晶体管 M0 的控制极电压为 $V_{da}+V_{th}$ ，驱动晶体管 M0 产生的驱动电流 I_L 为： $I_L=K(V_{da}+V_{th}-V_{dd}-V_{th})^2=K(V_{da}-V_{dd})^2$ 。导通的第八晶体管 M8 将驱动晶体管 M0 的第二极与发光器件 L 的第一电极导通，从而将驱动电流 I_L 提供给发光器件 L，以驱动发光器件 L 发光。并且，K 为驱动晶体管 M0 的结构常数。

需要说明的是，在 T12 阶段中，可以使驱动晶体管 M0 的控制极、第一极以及第二极在数据电压写入之前进行重置。并且，由于重置之后，驱动晶体管 M0 的控制极的电压为第一初始化电压 vinit1，第二极的电压也变化为第一初始化电压 vinit1，以及第一极的电压变为 $vinit1-V_{th}$ ，因此，像素电路在每一个显示帧中工作时，在输入数据电压之前，使驱动晶体管 M0 的控制极的电压大致相同，使驱动晶体管 M0 的第一极的电压大致相同，以及使驱动晶体管 M0 的第二极的电压大致相同，从而可以改善高低灰阶切换时的迟滞效应造成的残影的问题。

需要说明的是，在发光阶段 T3，通过驱动电流 I_L 的公式 $I_L=K(V_{da}+V_{th}-V_{dd}-V_{th})^2=K(V_{da}-V_{dd})^2$ ，可知驱动发光器件 L 发光的驱动电

流 I_L 与驱动晶体管 M_0 的阈值电压无关，从而可以避免驱动晶体管 M_0 的阈值电压漂移对发光器件 L 的发光影响，进一步提高发光稳定性。

需要说明的是，在数据写入阶段 T_2 和发光阶段 T_3 之间还可以具有缓冲阶段 T_4 ，在缓冲阶段 T_4 ，可以使驱动晶体管 M_0 的电压 $V_{da}+V_{th}$ 进一步稳定后，再进入发光阶段 T_3 。

本公开实施例提供了像素电路的又一些结构示意图，如图 16 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，像素电路还可以包括阈值补偿电路 50。并且，阈值补偿电路 50 与驱动晶体管 M_0 耦接，其中，阈值补偿电路 50 被配置为在输入数据电压时，响应于第三控制信号端 CS_3 加载的第三控制信号 cs_3 ，对驱动晶体管 M_0 的阈值电压进行补偿。示例性地，阈值补偿电路 50 可以包括：第三晶体管 M_3 。其中，第三晶体管 M_3 的控制极与第三控制信号端 CS_3 耦接，第三晶体管 M_3 的第一极与驱动晶体管 M_0 的控制极耦接，第三晶体管 M_3 的第二极与驱动晶体管 M_0 的第二极耦接。示例性地，第三晶体管 M_3 在第三控制信号 cs_3 的有效电平的控制下导通，在第三控制信号 cs_3 的无效电平的控制下截止。例如，第三晶体管 M_3 可以设置为 P 型晶体管，则第三控制信号 cs_3 的有效电平为低电平，无效电平为高电平。或者，第三晶体管 M_3 可以设置为 N 型晶体管，则第三控制信号 cs_3 的有效电平为高电平，无效电平为低电平。

需要说明的是，图 16 所示的像素电路对应的信号时序图，可以如图 17 所示。并且，图 16 所示的像素电路结合图 17 所示的信号时序进行工作的过程，可以与图 14 所示的像素电路结合图 15 所示的信号时序进行工作的过程基本大致相同，在此不作赘述。

本公开实施例提供的显示面板中的至少一个子像素（如各子像素）可以包括本公开实施例提供的上述任一像素电路。并且，显示面板还可以包括多条控制信号线和驱动控制电路。其中，多条控制信号线中的至少一条控制信号线与一行子像素中的像素电路耦接，以及，驱动控制电路分别与多条控制

信号线耦接。

在本公开一些实施例中，在同一像素电路的第一发光控制信号端 EM1 和第二发光控制信号端 EM2 为相互独立的信号端时，在显示面板采用如图 10 所示的像素电路时，如图 18 所示，多条控制信号线包括多条第一发光控制信号线、多条第二发光控制信号线、多条第一控制信号线、多条第二控制信号线、多条第五控制信号线以及多条第六控制信号线；其中，一条第一控制信号线与一行子像素中的像素电路的第一控制信号端 CS1 耦接，一条第二控制信号线与一行子像素中的像素电路的第二控制信号端 CS2 耦接，一条第五控制信号线与一行子像素中的像素电路的第五控制信号端 CS5 耦接，一条第六控制信号线与一行子像素中的像素电路的第六控制信号端 CS6 耦接，一条第一发光控制信号线与一行子像素中的像素电路的第一发光控制信号端 EM1 耦接，一条第二发光控制信号线与一行子像素中的像素电路的第二发光控制信号端 EM2 耦接。

在本公开一些实施例中，如图 18 所示，驱动控制电路可以设置在非显示区域中，驱动控制电路可以包括：第一发光控制电路 210、第二发光控制电路 220 以及第一驱动控制电路 310。其中，第一发光控制电路 210 包括依次设置的多个第一发光控制移位寄存器单元；其中，一个第一发光控制移位寄存器单元与一行子像素耦接的第一发光控制信号线耦接。第二发光控制电路 220 包括依次设置的多个第二发光控制移位寄存器单元；其中，一个第二发光控制移位寄存器单元与一行子像素耦接的第二发光控制信号线耦接。第一驱动控制电路 310 包括依次设置的多个第一驱动移位寄存器单元；以每相邻的多个第一驱动移位寄存器单元为一个第一单元组，且一行子像素对应一个第一单元组；并且，第一单元组中，第一个第一驱动移位寄存器单元与对应行子像素耦接的第一控制信号线耦接，第三个第一驱动移位寄存器单元与对应行子像素耦接的第五控制信号线耦接，第四个第一驱动移位寄存器单元与对应行子像素耦接的第二控制信号线耦接，第五个第一驱动移位寄存器单元与对应行子像素耦接的第六控制信号线耦接。

示例性地，以每相邻的 5 个第一驱动移位寄存器单元为一个第一单元组为例，如图 18 所示，示意出了第一驱动控制电路 310 中相邻的 5 个第一驱动移位寄存器单元：第 N-2 个第一驱动移位寄存器单元 SRGA2(N-2)~ 第 N+2 个第一驱动移位寄存器单元 SRGA2(N+2)，第一发光控制电路 210 中的 1 个第 N 个第一发光控制移位寄存器单元 SREM1(N)以及第二发光控制电路 220 中的 1 个第 N 个第二发光控制移位寄存器单元 SREM2(N)。第一发光控制电路 210 中的第 N 个第一发光控制移位寄存器单元 SREM1(N)与第 N 行子像素对应的第一发光控制信号线 EM1L(N)耦接。第二发光控制电路 220 中的第 N 个第二发光控制移位寄存器单元 SREM2(N)与第 N 行子像素对应的第二发光控制信号线 EM2L(N)耦接。第一驱动控制电路 310 中的第 N-2 个第一驱动移位寄存器单元 SRGA2(N-2)与第 N 行子像素对应的第一控制信号线 CS1L(N)耦接。第一驱动控制电路 310 中的第 N 个第一驱动移位寄存器单元 SRGA2(N)与第 N 行子像素对应的第五控制信号线 CS5L(N)耦接。第一驱动控制电路 310 中的第 N+1 个第一驱动移位寄存器单元 SRGA2(N+1)与第 N 行子像素对应的第二控制信号线 CS2L(N)耦接。第一驱动控制电路 310 中的第 N+2 个第一驱动移位寄存器单元 SRGA2(N+2)与第 N 行子像素对应的第六控制信号线 CS6L(N)耦接。

需要说明的是，第一单元组中的第一驱动移位寄存器单元的数量可以设置为 6 个、7 个或更多个。在实际应用中，第一单元组中的第一驱动移位寄存器单元的数量可以实际应用来确定，并且第一单元组中的第一驱动移位寄存器单元与对应行的控制信号线的对应关系，只需满足上述时序图中的关系即可。

本公开实施例提供了显示面板的又一些结构示意图，如图 19 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，在同一像素电路的第一发光控制信号端 EM1 和第二发光控制信号端 EM2 为同一信号端时，例如，显示面板采用图 12 所示

的像素电路时，如图 19 所示，多条控制信号线可以包括多条第三发光控制信号线；其中，一条第三发光控制信号线与一行子像素中的像素电路的第一发光控制信号端 EM1 和第二发光控制信号端 EM2 耦接。并且，驱动控制电路包括：第三发光控制电路 230；其中，第三发光控制电路 230 包括依次设置的多个第三发光控制移位寄存器单元；其中，一个第三发光控制移位寄存器单元与一行子像素耦接的第三发光控制信号线耦接。

示例性地，以每相邻的 5 个第一驱动移位寄存器单元为一个第一单元组为例，如图 19 所示，示意出了第一驱动控制电路 310 中相邻的 5 个第一驱动移位寄存器单元：第 N-2 个第一驱动移位寄存器单元 SRGA1(N-2)~ 第 N+2 个第一驱动移位寄存器单元 SRGA1(N+2)，以及第三发光控制电路 230 中的 1 个第 N 个第三发光控制移位寄存器单元 SREM3(N)。第三发光控制电路 230 中的第 N 个第三发光控制移位寄存器单元 SREM3(N)与第 N 行子像素对应的第三发光控制信号线 EM3L(N)耦接。第一驱动控制电路 310 中的第 N-2 个第一驱动移位寄存器单元 SRGA1(N-2)与第 N 行子像素对应的第一控制信号线 CS1L(N)耦接。第一驱动控制电路 310 中的第 N 个第一驱动移位寄存器单元 SRGA1(N)与第 N 行子像素对应的第五控制信号线 CS5L(N)耦接。第一驱动控制电路 310 中的第 N+1 个第一驱动移位寄存器单元 SRGA1(N+1)与第 N 行子像素对应的第二控制信号线 CS2L(N)耦接。第一驱动控制电路 310 中的第 N+2 个第一驱动移位寄存器单元 SRGA1(N+2)与第 N 行子像素对应的第六控制信号线 CS6L(N)耦接。

需要说明的是，第一单元组中的第一驱动移位寄存器单元的数量可以设置为 6 个、7 个或更多个。在实际应用中，第一单元组中的第一驱动移位寄存器单元的数量可以实际应用来确定，并且第一单元组中的第一驱动移位寄存器单元与对应行的控制信号线的对应关系，只需满足上述时序图中的关系即可。

本公开实施例提供了显示面板的又一些结构示意图，如图 20 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例

的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，在同一像素电路的第一发光控制信号端 EM1 和第二发光控制信号端 EM2 为同一信号端时，例如，显示面板采用图 14 所示的像素电路时，如图 20 所示，多条控制信号线可以包括多条第三发光控制信号线、多条第一控制信号线、多条第二控制信号线以及多条第六控制信号线；其中，一条第三发光控制信号线与一行子像素中的像素电路的第一发光控制信号端 EM1 和第二发光控制信号端 EM2 耦接，一条第一控制信号线与一行子像素中的像素电路的第一控制信号端 CS1 耦接，一条第二控制信号线与一行子像素中的像素电路的第二控制信号端 CS2 和第五控制信号端 CS5 耦接，一条第六控制信号线与一行子像素中的像素电路的第六控制信号端 CS6 耦接。

在本公开一些实施例中，如图 20 所示，驱动控制电路包括：第三发光控制电路 230 和第二驱动控制电路 320；其中，第三发光控制电路 230 包括依次设置的多个第三发光控制移位寄存器单元；并且，一个第三发光控制移位寄存器单元与一行子像素耦接的第三发光控制信号线耦接。以及，第二驱动控制电路 320 包括依次设置的多个第二驱动移位寄存器单元；以每相邻的多个第二驱动移位寄存器单元为一个第二单元组，且一行子像素对应一个第二单元组；并且，第二单元组中，第一个第二驱动移位寄存器单元与对应行子像素耦接的第一控制信号线耦接，第三个第二驱动移位寄存器单元与对应行子像素耦接的第二控制信号线耦接，第五个第二驱动移位寄存器单元与对应行子像素耦接的第六控制信号线耦接。

示例性地，以每相邻的 5 个第二驱动移位寄存器单元为一个第二单元组为例，如图 20 所示，示意出了第二驱动控制电路 320 中相邻的 5 个第二驱动移位寄存器单元：第 N-2 个第二驱动移位寄存器单元 SRGA2(N-2)~ 第 N+2 个第二驱动移位寄存器单元 SRGA2(N+2)，以及第三发光控制电路 230 中的 1 个第 N 个第三发光控制移位寄存器单元 SREM3(N)。第三发光控制电路 230 中的第 N 个第三发光控制移位寄存器单元 SREM3(N)与第 N 行子像素对应的第三发光控制信号线 EM3L(N)耦接。第二驱动控制电路 320 中的第 N-2 个第

二驱动移位寄存器单元 SRGA2(N-2)与第 N 行子像素对应的第一控制信号线 CS1L(N)耦接。第二驱动控制电路 320 中的第 N 个第二驱动移位寄存器单元 SRGA2(N)与第 N 行子像素对应的第二控制信号线 CS2L(N)耦接。第二驱动控制电路 320 中的第 N+2 个第二驱动移位寄存器单元 SRGA2(N+2)与第 N 行子像素对应的第六控制信号线 CS6L(N)耦接。

需要说明的是，第二单元组中的第二驱动移位寄存器单元的数量可以设置为 6 个、7 个或更多个。在实际应用中，第二单元组中的第二驱动移位寄存器单元的数量可以实际应用来确定，并且第二单元组中的第二驱动移位寄存器单元与对应行的控制信号线的对应关系，只需满足上述时序图中的关系即可。

本公开实施例提供了显示面板的又一些结构示意图，如图 21 所示，其针对上述实施例中的实施方式进行了变形。下面仅说明本实施例与上述实施例的区别之处，其大致相同之处在此不作赘述。

在本公开一些实施例中，在同一像素电路的第一发光控制信号端 EM1 和第二发光控制信号端 EM2 为同一信号端时，例如，显示面板采用图 7 所示的像素电路时，如图 21 所示，多条控制信号线可以包括多条第三发光控制信号线、多条第一控制信号线、多条第二控制信号线以及多条第四控制信号线；其中，一条第三发光控制信号线与一行子像素中的像素电路的第一发光控制信号端 EM1 和第二发光控制信号端 EM2 耦接，一条第一控制信号线与一行子像素中的像素电路的第一控制信号端 CS1 耦接，一条第二控制信号线与一行子像素中的像素电路的第二控制信号端 CS2 耦接，一条第四控制信号线与一行子像素中的像素电路的第四控制信号端 CS4 耦接。

在本公开一些实施例中，如图 21 所示，驱动控制电路包括：第三发光控制电路 230、第三驱动控制电路 330 和第四驱动控制电路 340；其中，第三发光控制电路 230 包括依次设置的多个第三发光控制移位寄存器单元；并且，一个第三发光控制移位寄存器单元与一行子像素耦接的第三发光控制信号线耦接。以及，第三驱动控制电路 330 包括依次设置的多个第三驱动移位寄存

器单元；以每相邻的多个第三驱动移位寄存器单元为一个第三单元组，且一行子像素对应一个第三单元组；并且，第三单元组中，第一个第三驱动移位寄存器单元与对应行子像素耦接的第一控制信号线耦接，第五个第三驱动移位寄存器单元与对应行子像素耦接的第二控制信号线耦接；第四驱动控制电路 340 包括依次设置的多个第四驱动移位寄存器单元；一行子像素对应一个第四驱动移位寄存器单元；并且，第四驱动移位寄存器单元与对应行子像素耦接的第四控制信号线耦接。

示例性地，以每相邻的 5 个第三驱动移位寄存器单元为一个第三单元组为例，如图 21 所示，示意出了第三驱动控制电路 330 中相邻的 6 个第三驱动移位寄存器单元：第 $N-4$ 个第三驱动移位寄存器单元 $SRGA3(N-4)$ ~ 第 $N+1$ 个第三驱动移位寄存器单元 $SRGA3(N+1)$ 、第四驱动控制电路 340 中的 1 个第四驱动移位寄存器单元 $SRGA4(N)$ 、以及第三发光控制电路 230 中的 1 个第 N 个第三发光控制移位寄存器单元 $SREM3(N)$ 。其中，第三发光控制电路 230 中的第 N 个第三发光控制移位寄存器单元 $SREM3(N)$ 与第 N 行子像素对应的第三发光控制信号线 $EM3L(N)$ 耦接。第四驱动控制电路 340 中的第 N 个第四驱动控制移位寄存器单元 $SRGA4(N)$ 与第 N 行子像素对应的第四控制信号线 $CS4L(N)$ 耦接。第三驱动控制电路 330 中的第 $N-4$ 个第三驱动移位寄存器单元 $SRGA3(N-4)$ 与第 N 行子像素对应的第一控制信号线 $CS1L(N)$ 耦接。第三驱动控制电路 330 中的第 N 个第三驱动移位寄存器单元 $SRGA3(N)$ 与第 N 行子像素对应的第二控制信号线 $CS2L(N)$ 耦接。

示例性地，如图 22 所示，示意出了第三驱动控制电路 330 中相邻的 7 个第三驱动移位寄存器单元：第 $N-3$ 个第三驱动移位寄存器单元 $SRGA3(N-3)$ ~ 第 $N+1$ 个第三驱动移位寄存器单元 $SRGA3(N+1)$ 、第四驱动控制电路 340 中的 2 个第四驱动移位寄存器单元 $SRGA4(N-1)$ ~ $SRGA4(N)$ 、以及第三发光控制电路 230 中的 2 个第 N 个第三发光控制移位寄存器单元 $SREM3(N-1)$ ~ $SREM3(N)$ 。其中，第三发光控制电路 230 中的第 $N-1$ 个第三发光控制移位寄存器单元 $SREM3(N-1)$ 与第 $N-1$ 行子像素对应的第三发光控制信

号线 EM3L(N-1)耦接。第三发光控制电路 230 中的第 N 个第三发光控制移位寄存器单元 SREM3(N)与第 N 行子像素对应的第三发光控制信号线 EM3L(N)耦接。第四驱动控制电路 340 中的第 N-1 个第四驱动控制移位寄存器单元 SRGA4(N-1)与第 N-1 行子像素对应的第四控制信号线 CS4L(N-1)耦接。第四驱动控制电路 340 中的第 N 个第四驱动控制移位寄存器单元 SRGA4(N)与第 N 行子像素对应的第四控制信号线 CS4L(N)耦接。第三驱动控制电路 330 中，第 N-5 个第三驱动移位寄存器单元 SRGA3(N-5)与第 N-1 行子像素对应的第一控制信号线 CS1L(N-1)耦接。第 N-1 个第三驱动移位寄存器单元 SRGA3(N-1)与第 N-1 行子像素对应的第二控制信号线 CS2L(N-1)耦接。第 N-4 个第三驱动移位寄存器单元 SRGA3(N-4)与第 N 行子像素对应的第一控制信号线 CS1L(N)耦接。第 N 个第三驱动移位寄存器单元 SRGA3(N)与第 N 行子像素对应的第二控制信号线 CS2L(N)耦接。

需要说明的是，第三单元组中的第三驱动移位寄存器单元的数量可以设置为 7 个、8 个或更多个。在实际应用中，第三单元组中的第三驱动移位寄存器单元的数量可以实际应用来确定，并且第三单元组中的第三驱动移位寄存器单元与对应的行的控制信号线的对应关系，只需满足上述时序图中的关系即可。

需要说明的是，在具体实施时，在本公开实施例中，显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

尽管已描述了本公开的优选实施例，但本领域内的技术人员一旦得知了基本创造性概念，则可对这些实施例作出另外的变更和修改。所以，所附权利要求要求意欲解释为包括优选实施例以及落入本公开范围的所有变更和修改。

显然，本领域的技术人员可以对本公开实施例进行各种改动和变型而不脱离本公开实施例的精神和范围。这样，倘若本公开实施例的这些修改和变

型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权利要求

1、一种像素电路，包括：

发光器件；

驱动晶体管，被配置为根据数据电压产生驱动所述发光器件发光的驱动
5 电流；

数据写入电路，与所述驱动晶体管耦接；其中，所述数据写入电路被配置为响应于加载的信号，输入所述数据电压；

电压控制电路，与所述驱动晶体管耦接；其中，所述电压控制电路被配置为响应于加载的信号，在输入所述数据电压之前，对所述驱动晶体管的控制极、第一极以及第二极进行复位。
10

2、如权利要求 1 所述的像素电路，其中，所述电压控制电路进一步被配置为响应于第一控制信号端加载的第一控制信号，将第一初始化信号端加载的第一初始化信号，提供给所述驱动晶体管的控制极，对所述驱动晶体管的控制极进行复位；以及，响应于第二控制信号端加载的第二控制信号，对所述驱动晶体管的第一极和第二极进行复位。
15

3、如权利要求 2 所述的像素电路，其中，所述电压控制电路包括：第一晶体管、第二晶体管以及存储电容；

所述第一晶体管的控制极与所述第一控制信号端耦接，所述第一晶体管的第一极与所述第一初始化信号端耦接，所述第一晶体管的第二极与所述驱动晶体管的控制极耦接；
20

所述第二晶体管的控制极与所述第二控制信号端耦接，所述第二晶体管的第一极与所述驱动晶体管的控制极耦接，所述第二晶体管的第二极与所述驱动晶体管的第二极耦接；

所述存储电容的第一电极板与所述驱动晶体管的控制极耦接，所述存储电容的第二电极板与所述驱动的第一极耦接。
25

4、如权利要求 2 或 3 所述的像素电路，其中，所述电压控制电路还被配

置为在输入所述数据电压时，响应于所述第二控制信号端加载的所述第二控制信号，对所述驱动晶体管的阈值电压进行补偿。

5、如权利要求 2 或 3 所述的像素电路，其中，所述像素电路还包括阈值补偿电路；

5 所述阈值补偿电路与所述驱动晶体管耦接，其中，所述阈值补偿电路被配置为在输入所述数据电压时，响应于第三控制信号端加载的第三控制信号，对所述驱动晶体管的阈值电压进行补偿。

6、如权利要求 5 所述的像素电路，其中，所述阈值补偿电路包括：第三晶体管；

10 所述第三晶体管的控制极与所述第三控制信号端耦接，所述第三晶体管的第一极与所述驱动晶体管的控制极耦接，所述第三晶体管的第二极与所述驱动晶体管的第二极耦接。

7、如权利要求 1-6 任一项所述的像素电路，其中，所述数据写入电路进一步被配置为响应于第四控制信号端加载的第四控制信号，将数据信号端加载的所述数据电压输入所述驱动晶体管的第一极。

15 8、如权利要求 7 所述的像素电路，其中，所述数据写入电路包括第四晶体管；

所述第四晶体管的控制极与所述第四控制信号端耦接，所述第四晶体管的第一极与所述数据信号端耦接，所述第四晶体管的第二极与所述驱动晶体管的第二极耦接。

20 9、如权利要求 8 所述的像素电路，其中，所述第四控制信号的有效电平的维持时长不大于第一控制信号的有效电平的维持时长。

10、如权利要求 1-9 任一项所述的像素电路，其中，所述数据写入电路进一步被配置为响应于第五控制信号端加载的第五控制信号和第六控制信号端加载的第六控制信号，将数据信号端加载的所述数据电压输入所述驱动晶体管的第一极；

所述第五控制信号的有效电平和所述第六控制信号的有效电平具有第二

交叠时长，并且所述第五控制信号的有效电平的开始时刻在所述第六控制信号的有效电平的开始时刻之前。

11、如权利要求 10 所述的像素电路，其中，所述数据写入电路包括：第五晶体管和第六晶体管；

5 所述第五晶体管的控制极与所述第五控制信号端耦接，所述第五晶体管的第一极与所述驱动晶体管的第一极耦接，所述第五晶体管的第二极与所述第六晶体管的第一极耦接；

所述第六晶体管的控制极与所述第六控制信号端耦接，所述第六晶体管的第二极与所述数据信号端耦接。

10 12、如权利要求 11 所述的像素电路，其中，所述第五控制信号和所述第六控制信号中的至少一个的有效电平的维持时长与第二控制信号的有效电平的维持时长大致相同。

13、如权利要求 12 所述的像素电路，其中，所述第五控制信号的有效电平的开始时刻在所述第二控制信号的有效电平的开始时刻之前，所述第二控制信号的有效电平的开始时刻在所述第六控制信号的有效电平的开始时刻之前。

14、如权利要求 13 所述的像素电路，其中，所述第五控制信号端和第二控制信号端为同一信号端。

15 15、如权利要求 1-14 任一项所述的像素电路，其中，所述像素电路还包括：

20 器件复位电路，与所述发光器件耦接；其中，所述器件复位电路被配置为响应于第七控制信号端的第七控制信号，将第二初始化信号端的第二初始化信号提供给所述发光器件。

16、如权利要求 15 所述的像素电路，其中，所述第七控制信号端与第一控制信号端至第四控制信号端中的一个为同一信号端。

17、一种显示面板，包括如权利要求 1-16 任一项所述的像素电路。

18、如权利要求 17 所述的显示面板，其中，所述显示面板包括：

多个子像素；其中，所述多个子像素中的至少一个子像素包括如权利要求 1-16 任一项所述的像素电路；

多条控制信号线；其中，所述多条控制信号线中的至少一条控制信号线与一行子像素中的像素电路耦接；

5 驱动控制电路；其中，所述驱动控制电路分别与所述多条控制信号线耦接。

19、如权利要求 18 所述的显示面板，其中，所述多条控制信号线包括多条第一控制信号线、多条第二控制信号线、多条第五控制信号线以及多条第六控制信号线；其中，一条所述第一控制信号线与一行子像素中的像素电路
10 的第一控制信号端耦接，一条所述第二控制信号线与一行子像素中的像素电路的第二控制信号端耦接，一条所述第五控制信号线与一行子像素中的像素电路的第五控制信号端耦接，一条所述第六控制信号线与一行子像素中的像素电路的第六控制信号端耦接；

所述驱动控制电路包括：第一驱动控制电路；其中，所述第一驱动控制
15 电路包括依次设置的多个第一驱动移位寄存器单元；以每相邻的多个第一驱动移位寄存器单元为一个第一单元组，且一行子像素对应一个所述第一单元组；并且，所述第一单元组中，第一个第一驱动移位寄存器单元与对应行子像素耦接的所述第一控制信号线耦接，第三个第一驱动移位寄存器单元与对
20 应行子像素耦接的所述第五控制信号线耦接，第四个第一驱动移位寄存器单元与对应行子像素耦接的所述第二控制信号线耦接，第五个第一驱动移位寄存器单元与对应行子像素耦接的所述第六控制信号线耦接。

20、如权利要求 18 所述的显示面板，其中，所述多条控制信号线包括多条第一控制信号线、多条第二控制信号线以及多条第六控制信号线；其中，
25 一条所述第一控制信号线与一行子像素中的像素电路的第一控制信号端耦接，一条所述第二控制信号线与一行子像素中的像素电路的第二控制信号端和第五控制信号端耦接，一条所述第六控制信号线与一行子像素中的像素电路的第六控制信号端耦接；

所述驱动控制电路包括：第二驱动控制电路；其中，所述第二驱动控制电路包括依次设置的多个第二驱动移位寄存器单元；以每相邻的多个第二驱动移位寄存器单元为一个第二单元组，且一行子像素对应一个所述第二单元组；并且，所述第二单元组中，第一个第二驱动移位寄存器单元与对应行子像素耦接的所述第一控制信号线耦接，第三个第二驱动移位寄存器单元与对
5 应行子像素耦接的所述第二控制信号线耦接，第五个第二驱动移位寄存器单元与对应行子像素耦接的所述第六控制信号线耦接。

21、如权利要求 19 所述的显示面板，其中，所述多条控制信号线包括多条第一控制信号线、多条第二控制信号线以及多条第四控制信号线；其中，
10 一条所述第一控制信号线与一行子像素中的像素电路的第一控制信号端耦接，一条所述第二控制信号线与一行子像素中的像素电路的第二控制信号端耦接，一条所述第四控制信号线与一行子像素中的像素电路的第四控制信号端耦接；

所述驱动控制电路包括：第三驱动控制电路和第四驱动控制电路；

所述第三驱动控制电路包括依次设置的多个第三驱动移位寄存器单元；
15 以每相邻的多个第三驱动移位寄存器单元为一个第三单元组，且一行子像素对应一个所述第三单元组；并且，所述第三单元组中，第一个第三驱动移位寄存器单元与对应行子像素耦接的所述第一控制信号线耦接，第五个第三驱动移位寄存器单元与对应行子像素耦接的所述第二控制信号线耦接；

所述第四驱动控制电路包括依次设置的多个第四驱动移位寄存器单元；
20 一行子像素对应一个第四驱动移位寄存器单元；并且，所述第四驱动移位寄存器单元与对应行子像素耦接的所述第四控制信号线耦接。

22、一种显示装置，包括如权利要求 17-21 任一项所述的显示面板。

23、一种用于如权利要求 1-16 任一项所述的像素电路的驱动方法，包括：

复位阶段，所述电压控制电路响应于加载的信号，在输入所述数据电压
25 之前，对所述驱动晶体管的控制极、第一极以及第二极进行复位；

数据写入阶段，所述数据写入电路被配置为响应于加载的信号，输入所述数据电压；

发光阶段，所述驱动晶体管根据数据电压产生驱动所述发光器件发光的驱动电流，驱动所述发光器件发光。

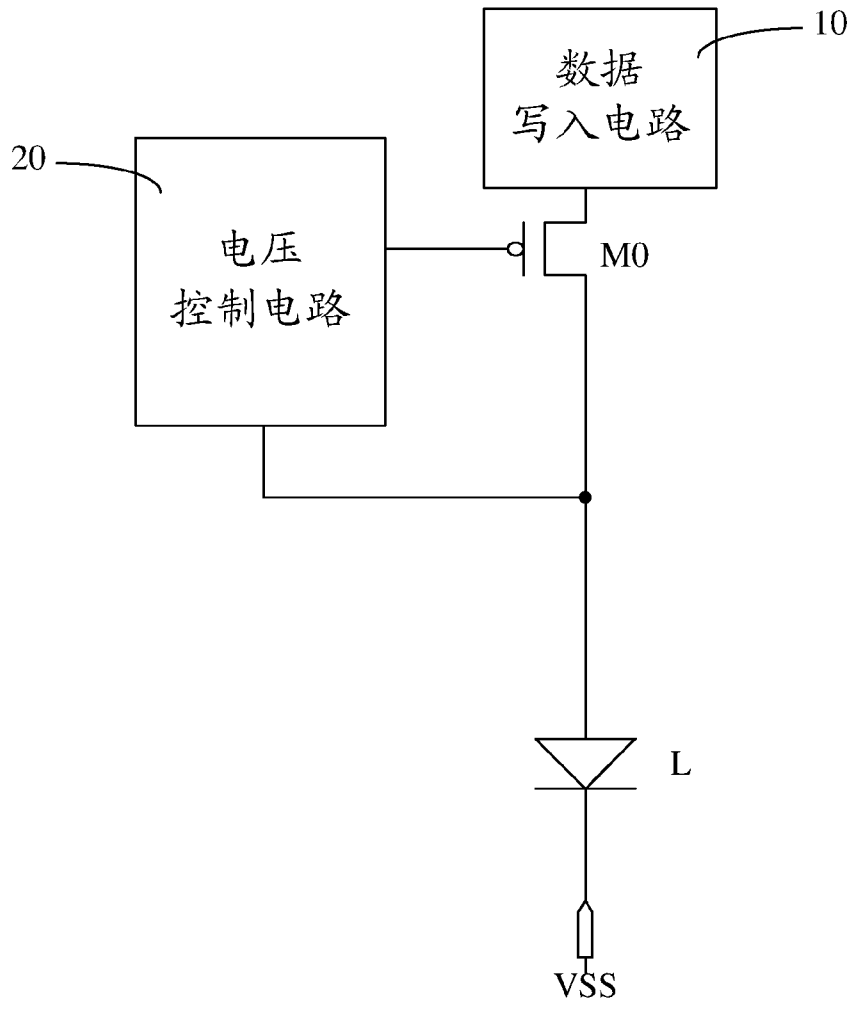


图 1

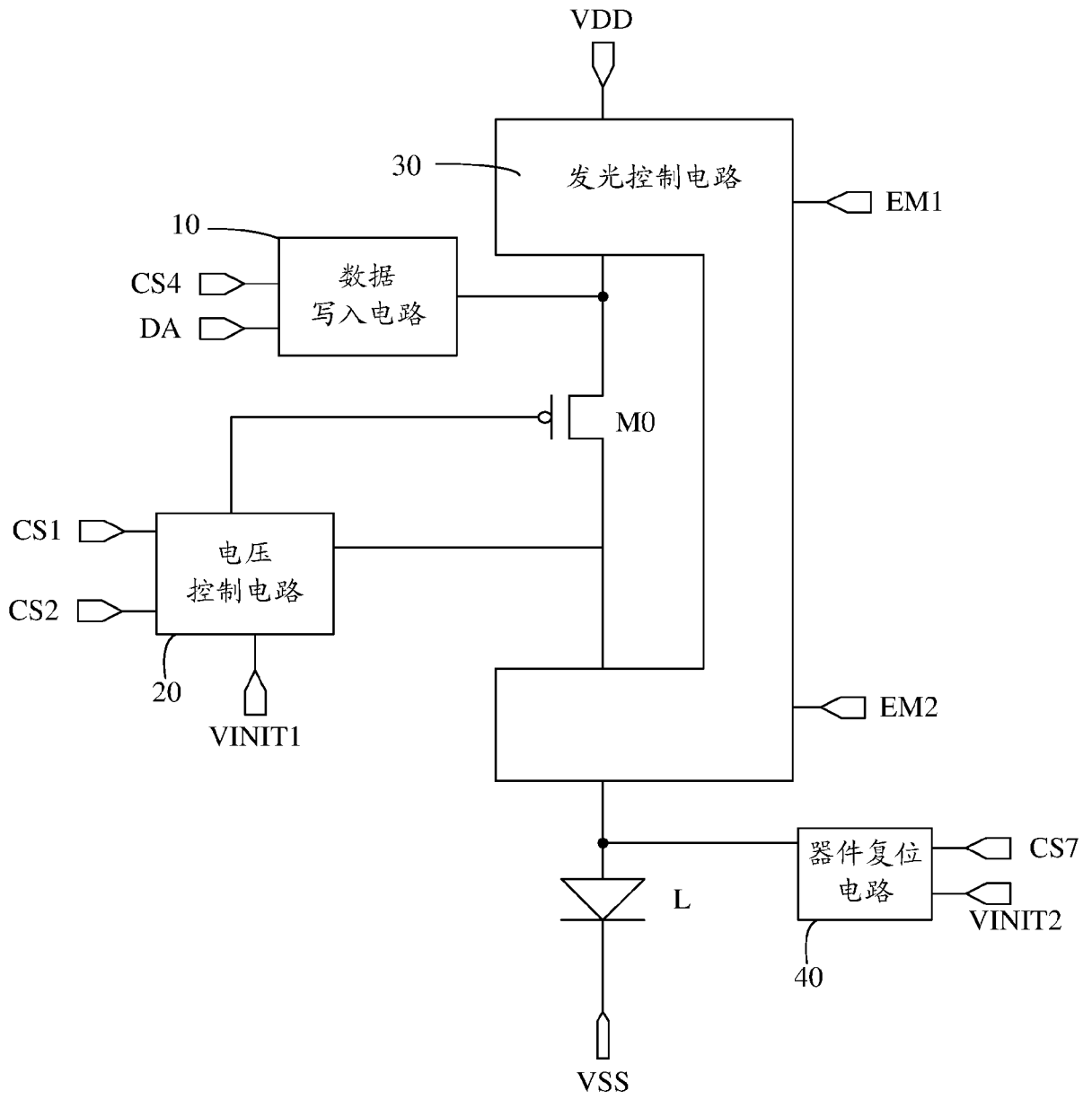


图 2

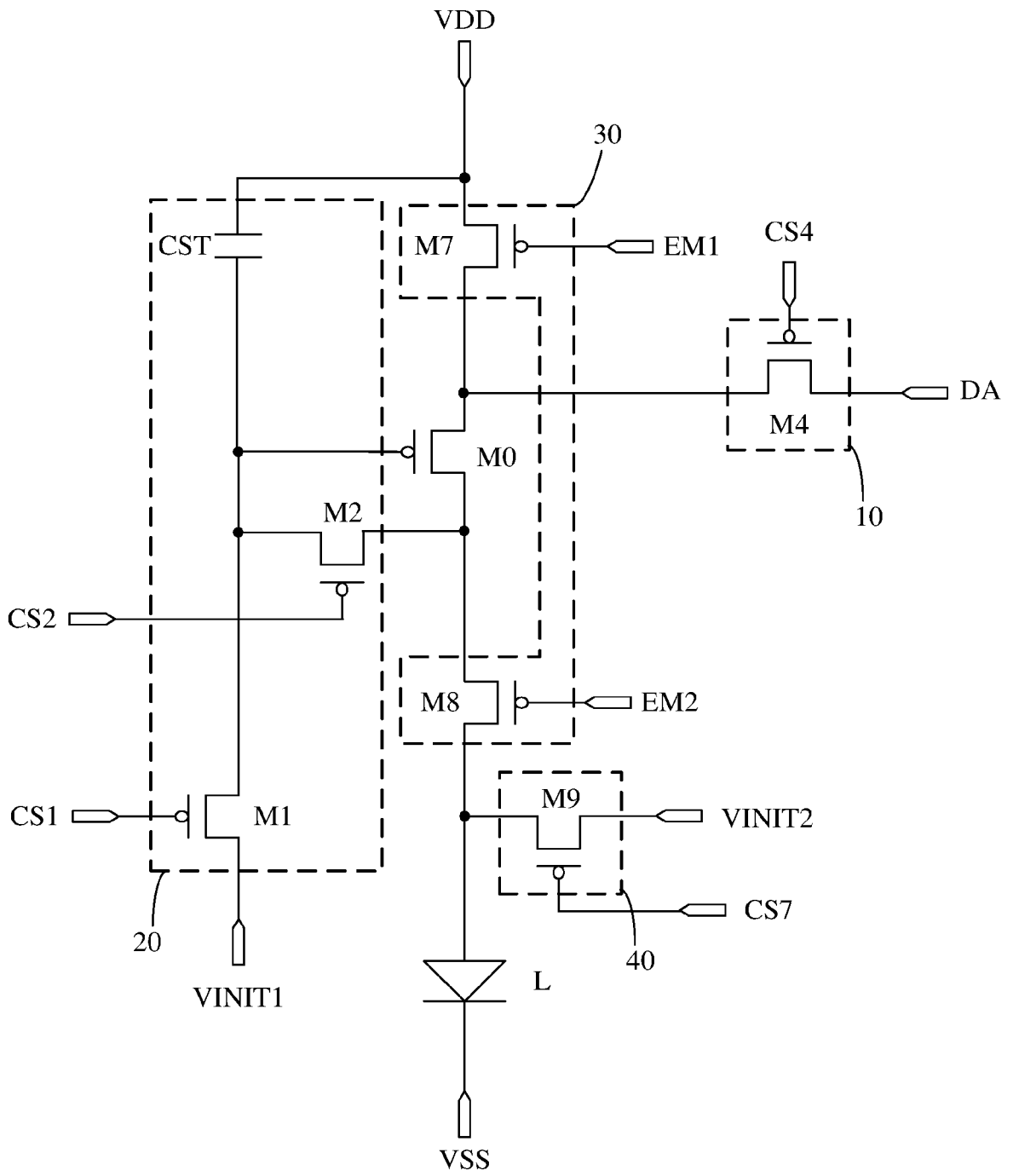


图 3

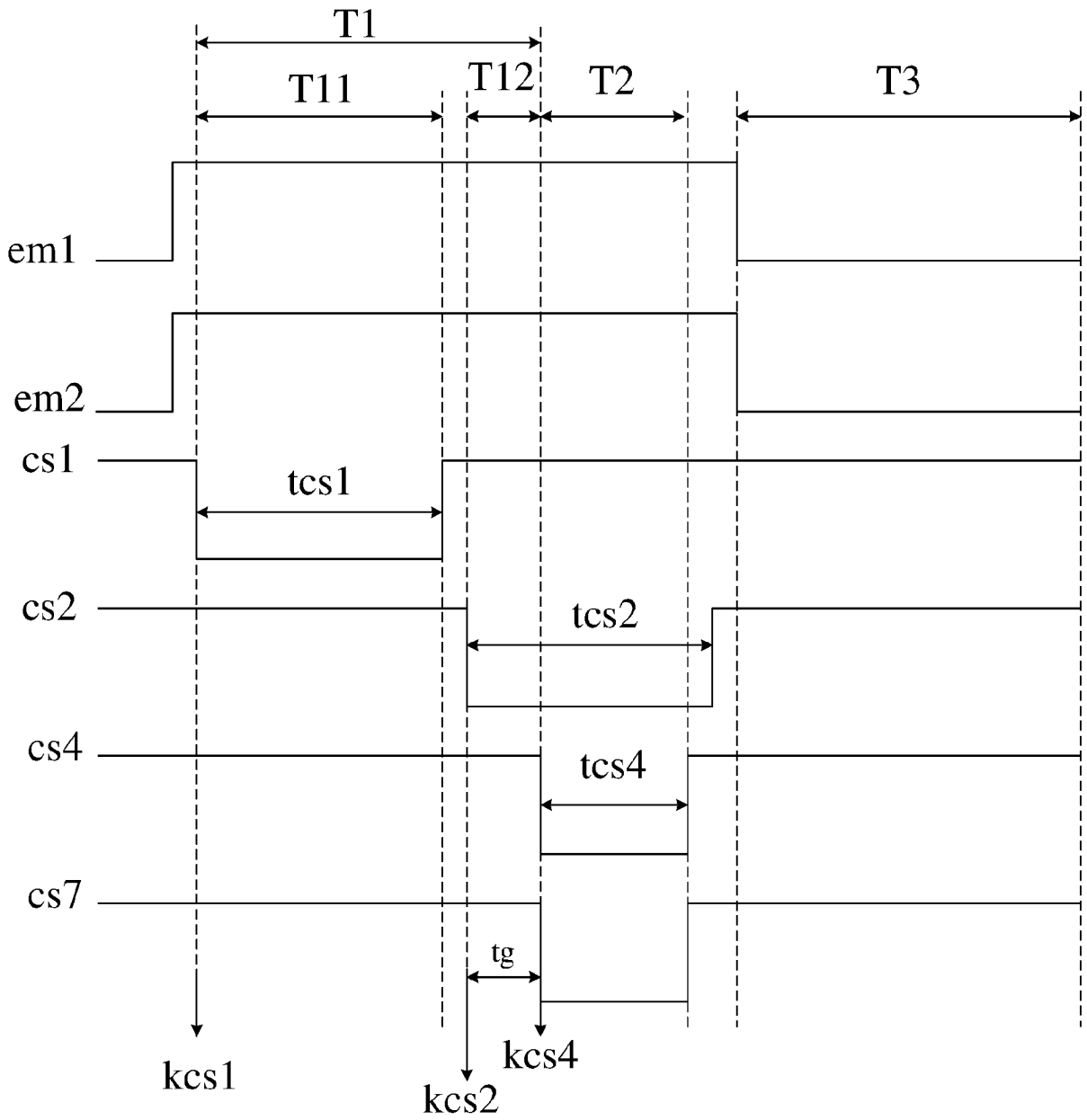


图 4a

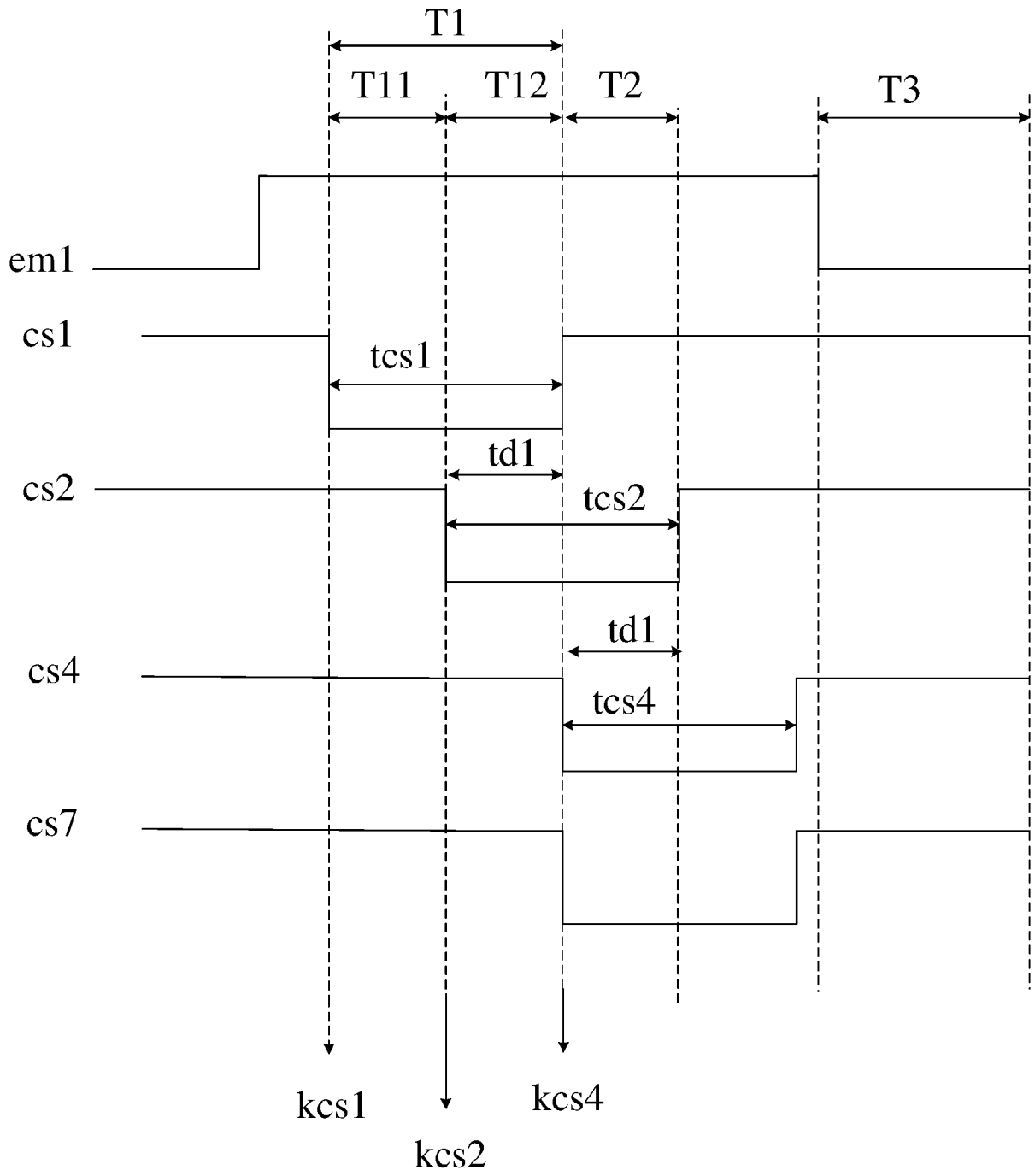


图 4b

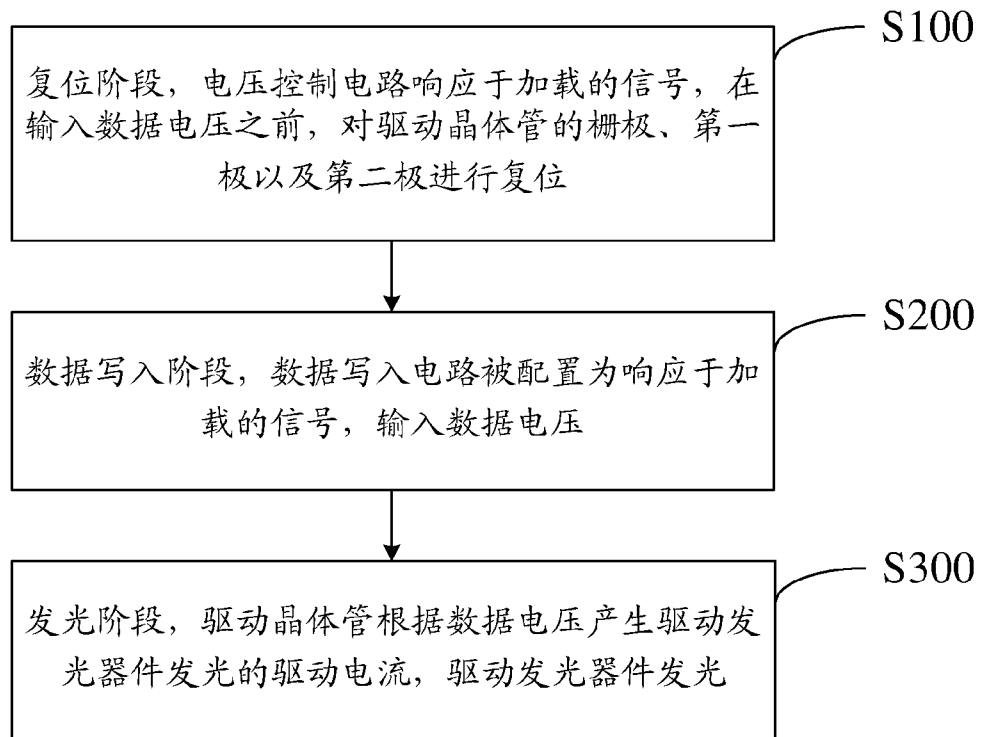


图 5

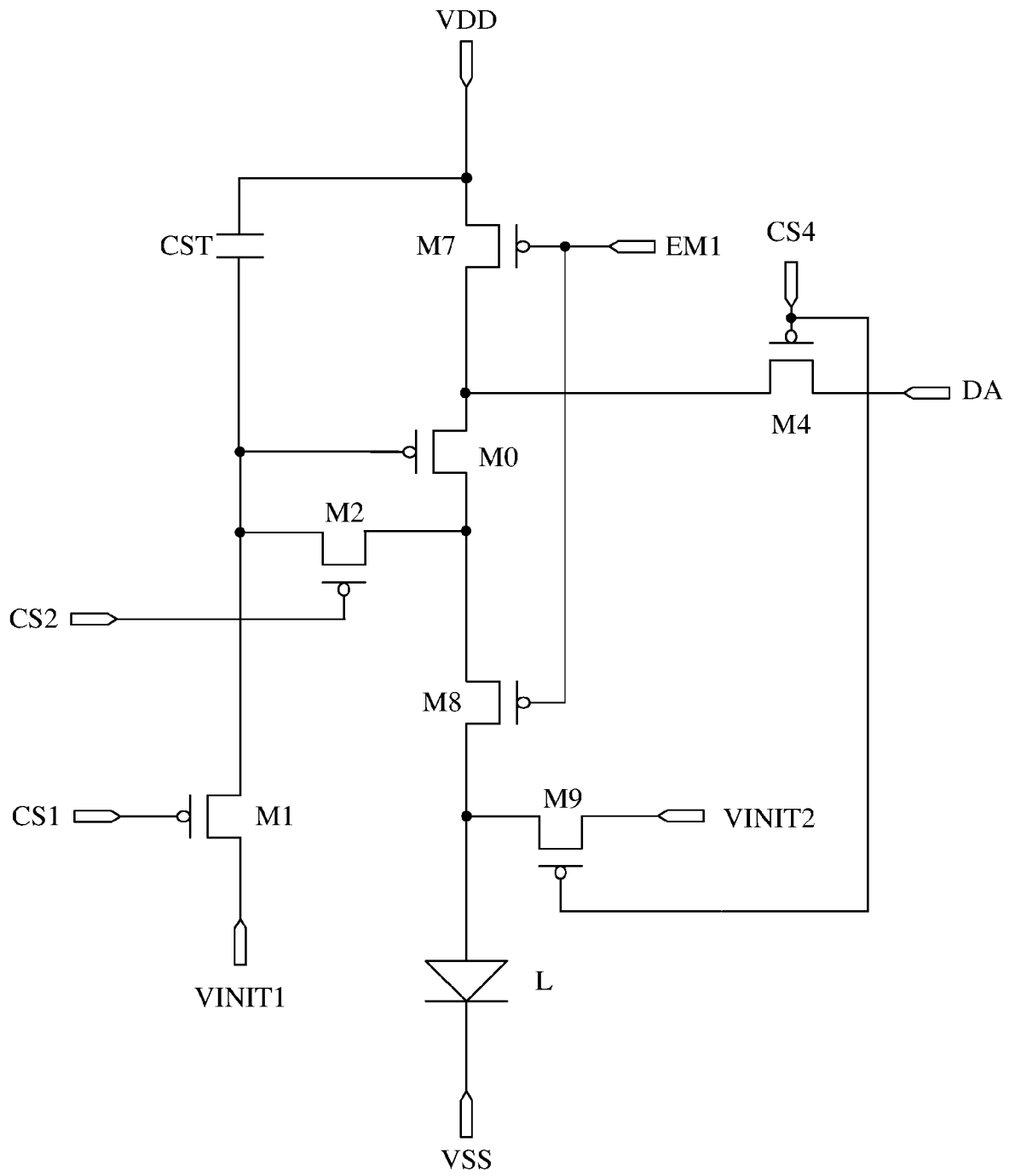


图 6

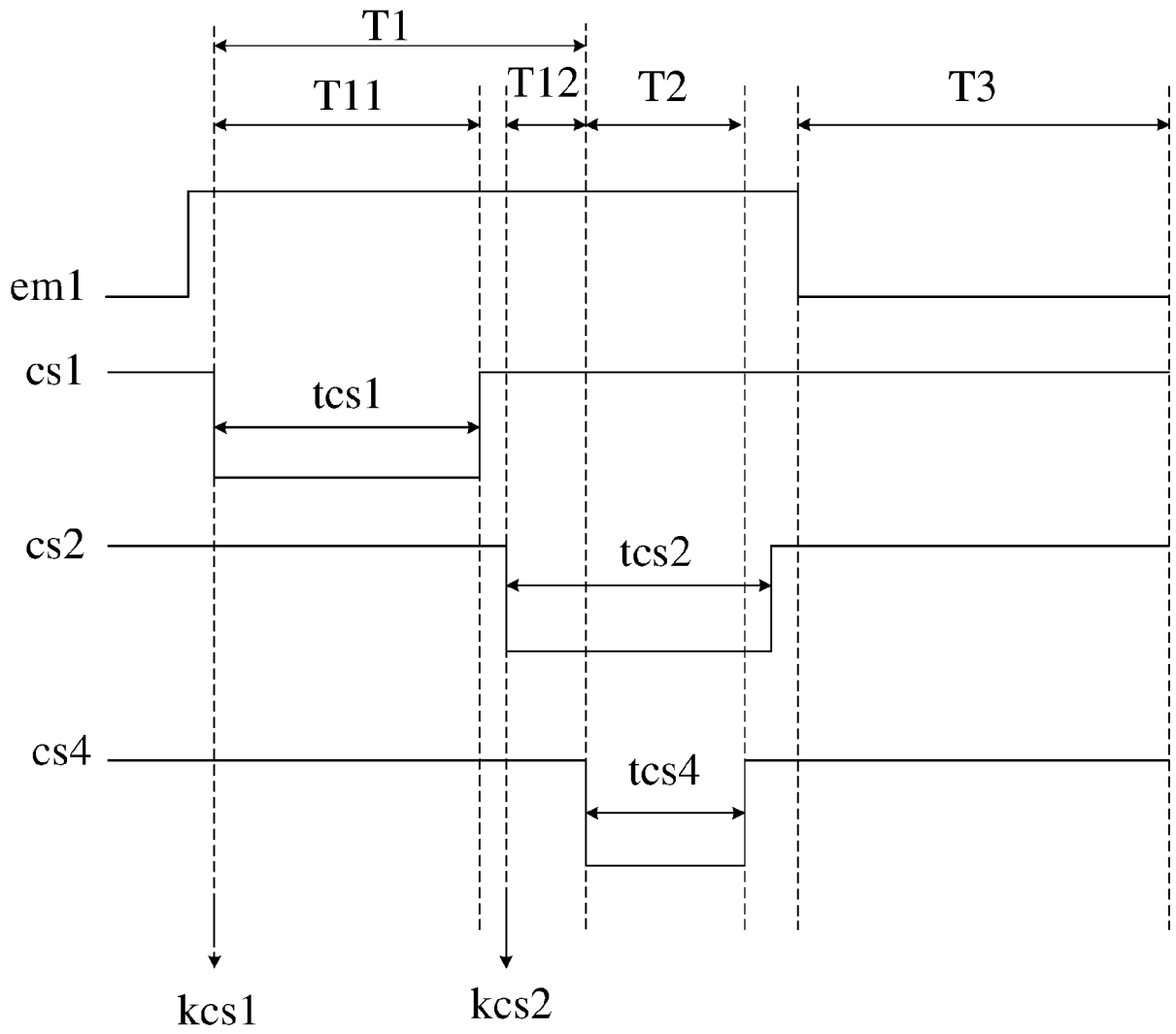


图 7

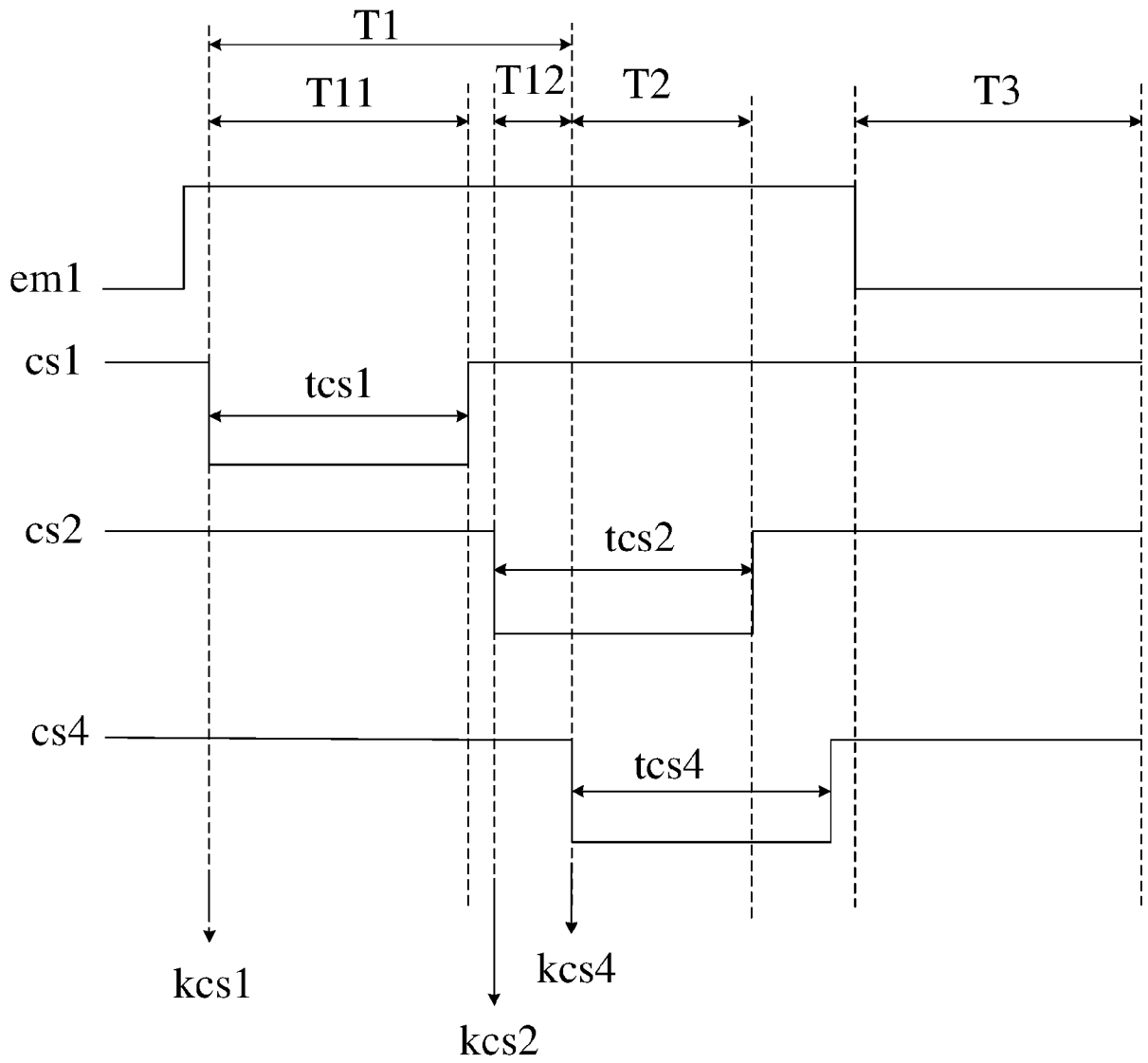


图 8

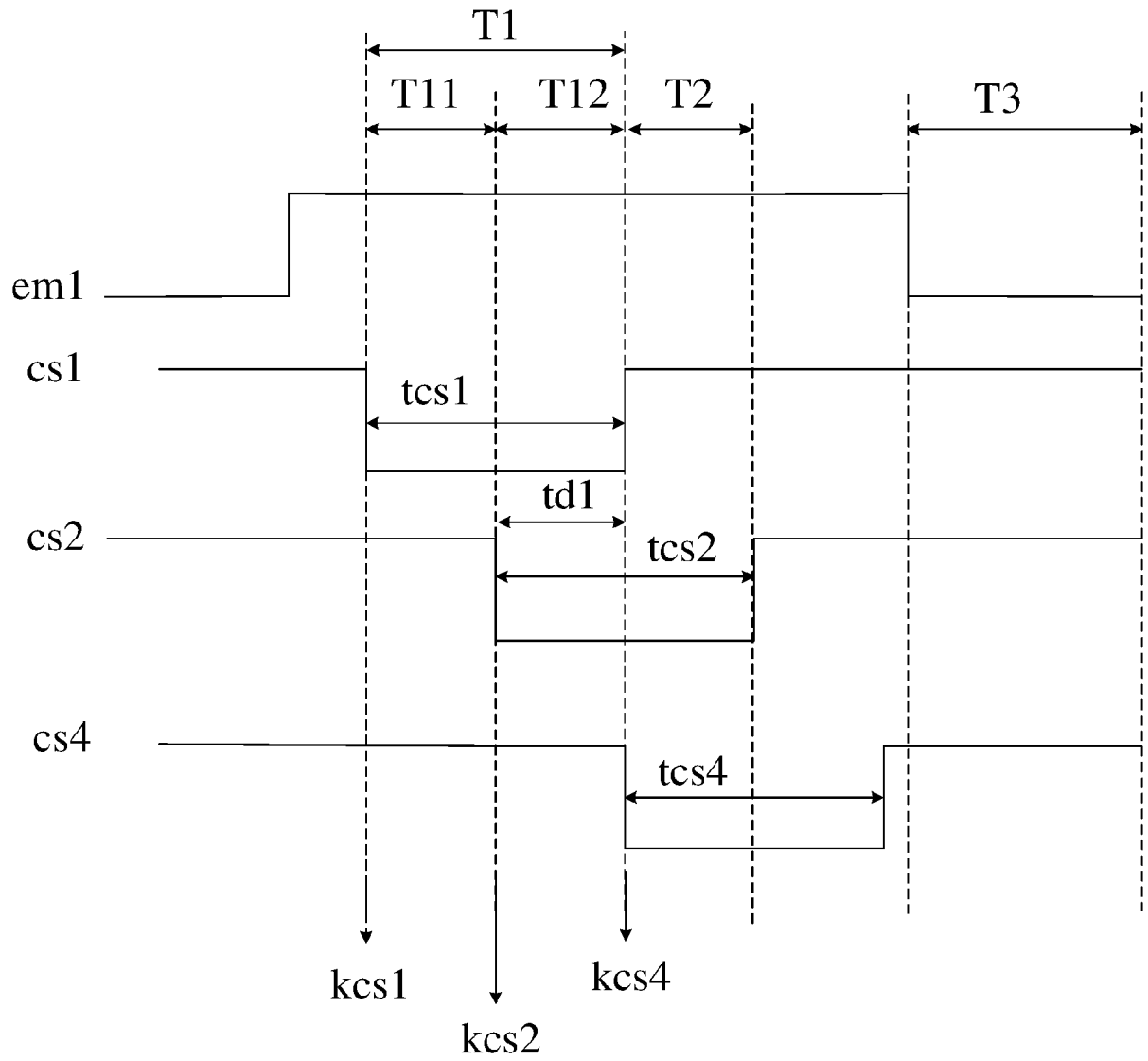


图 9

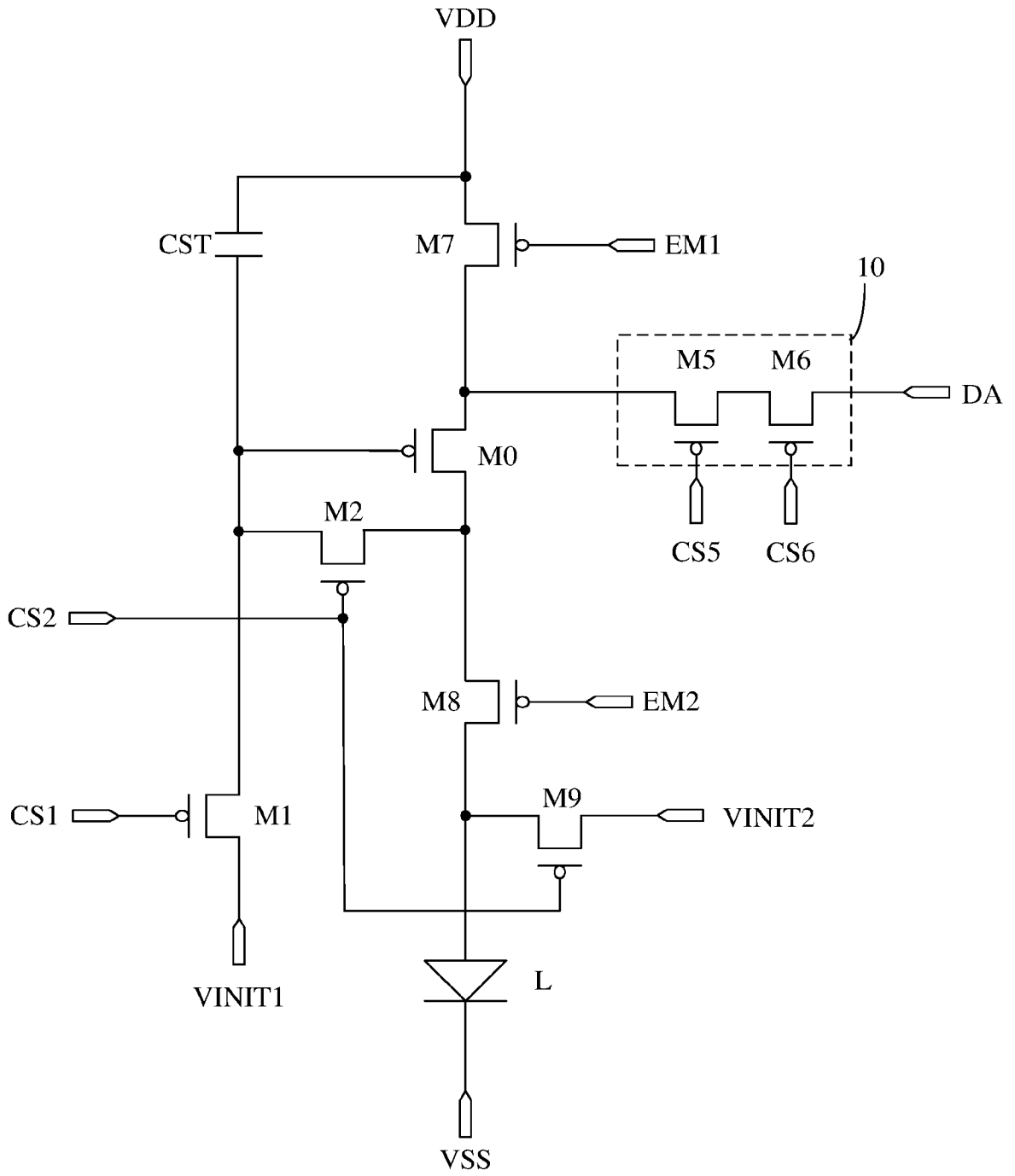


图 10

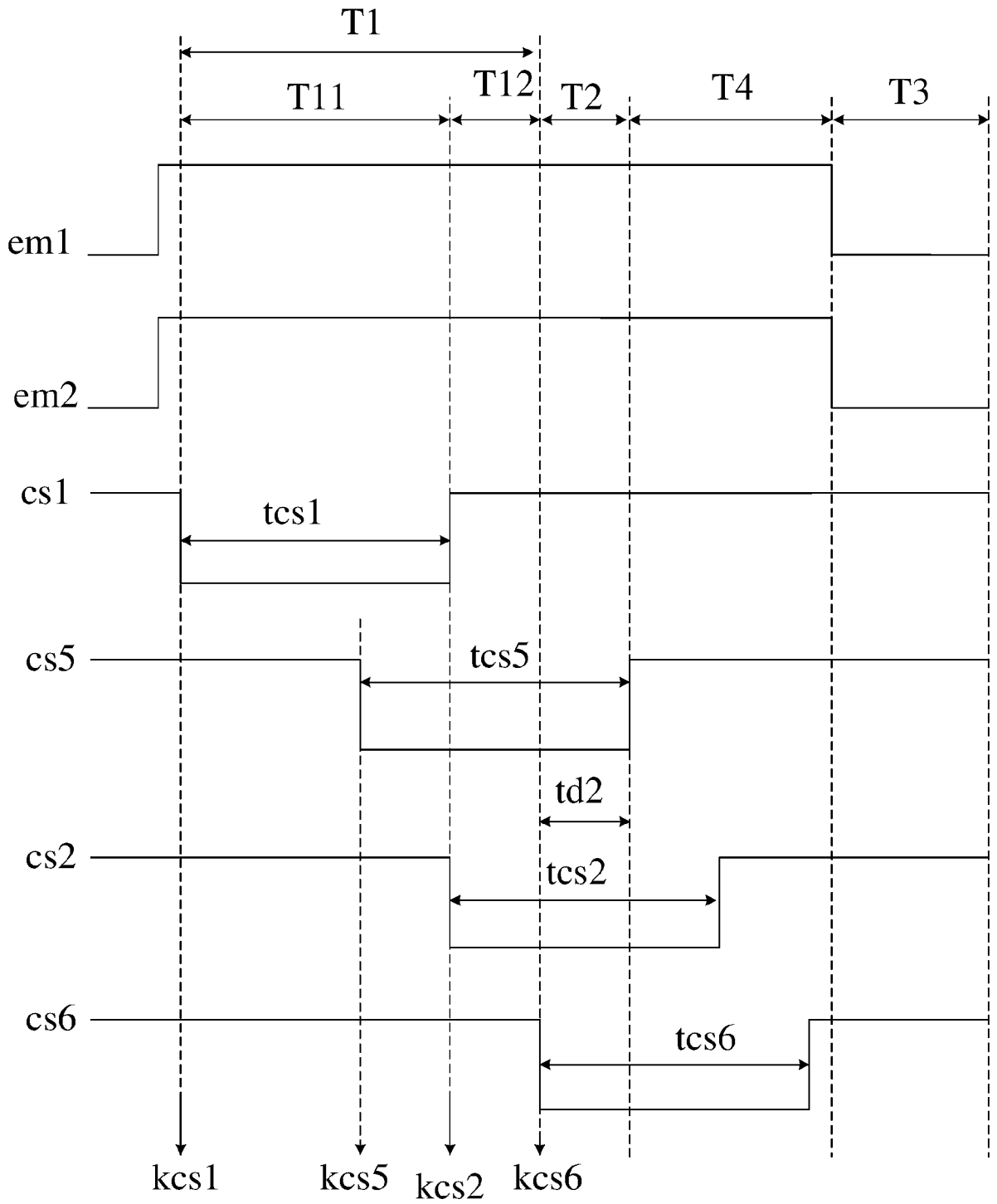


图 11

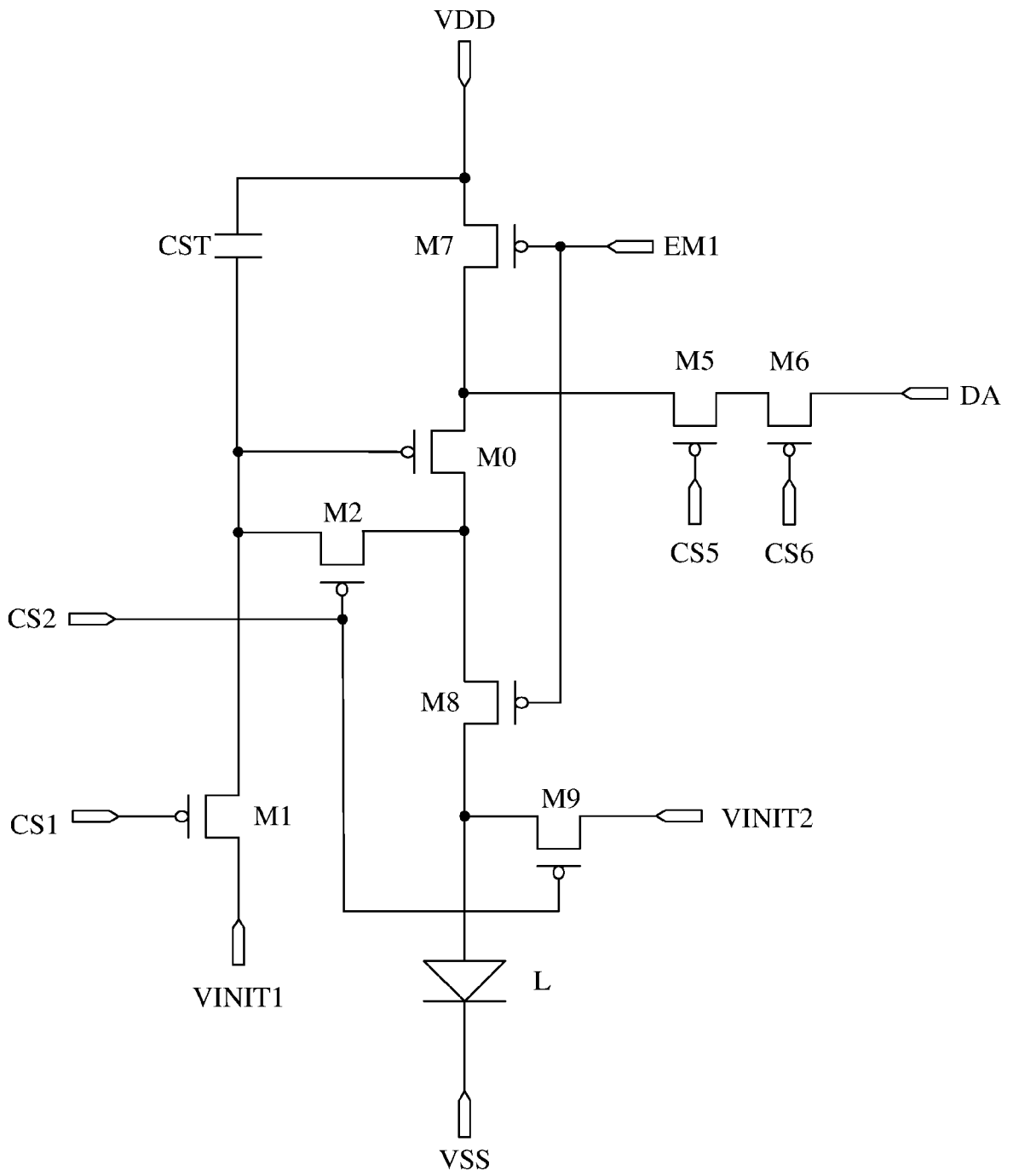


图 12

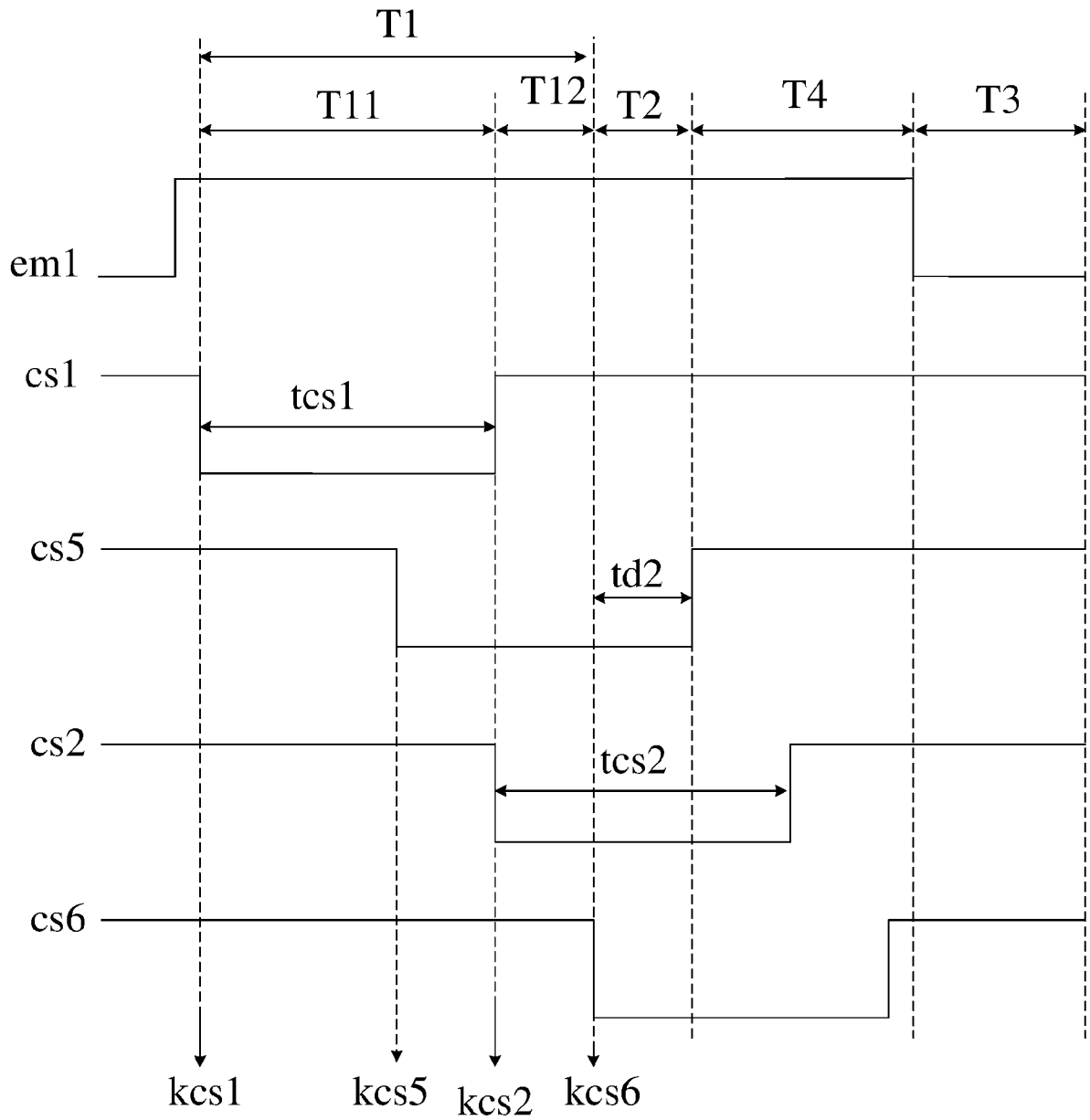


图 13a

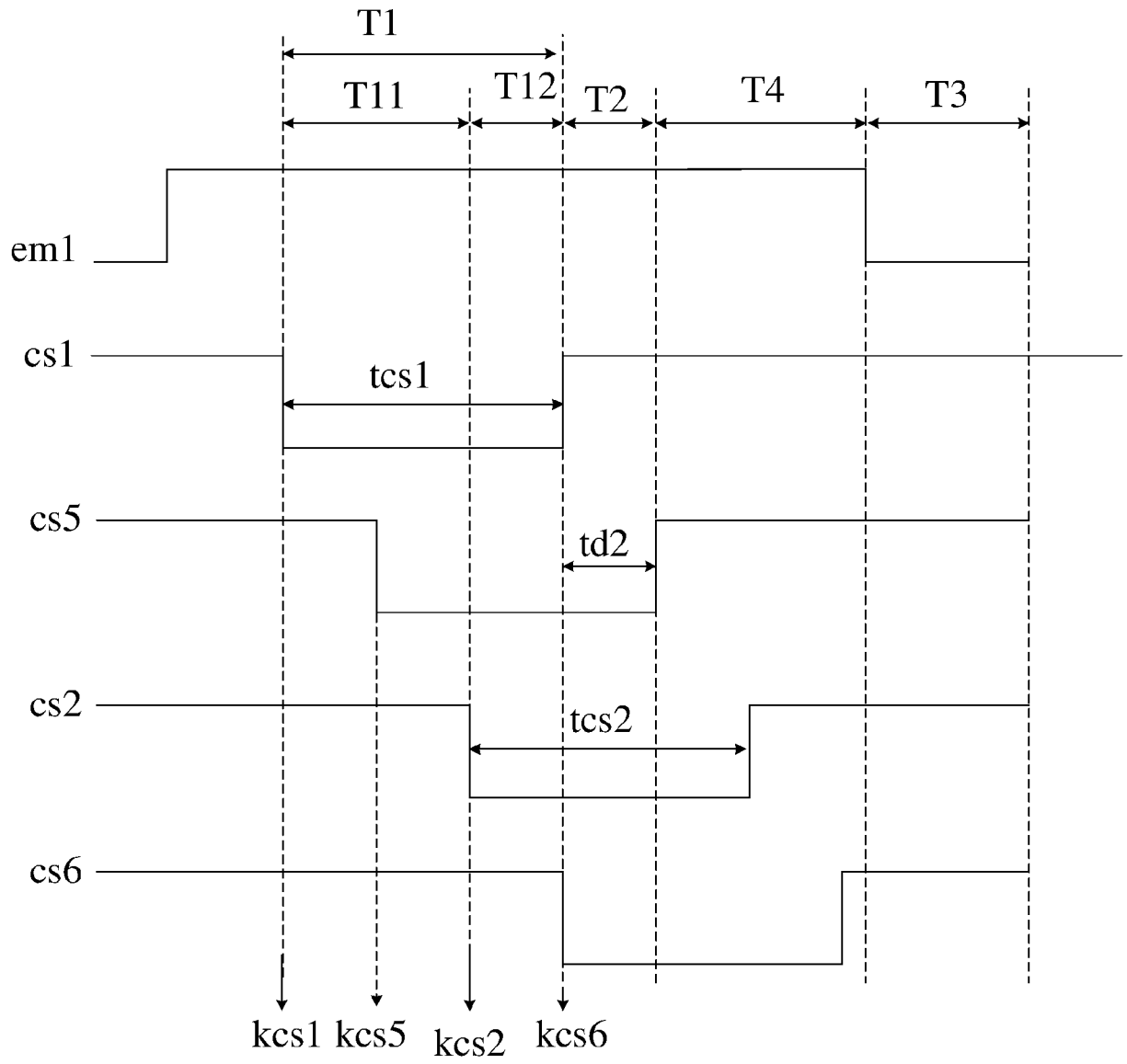


图 13b

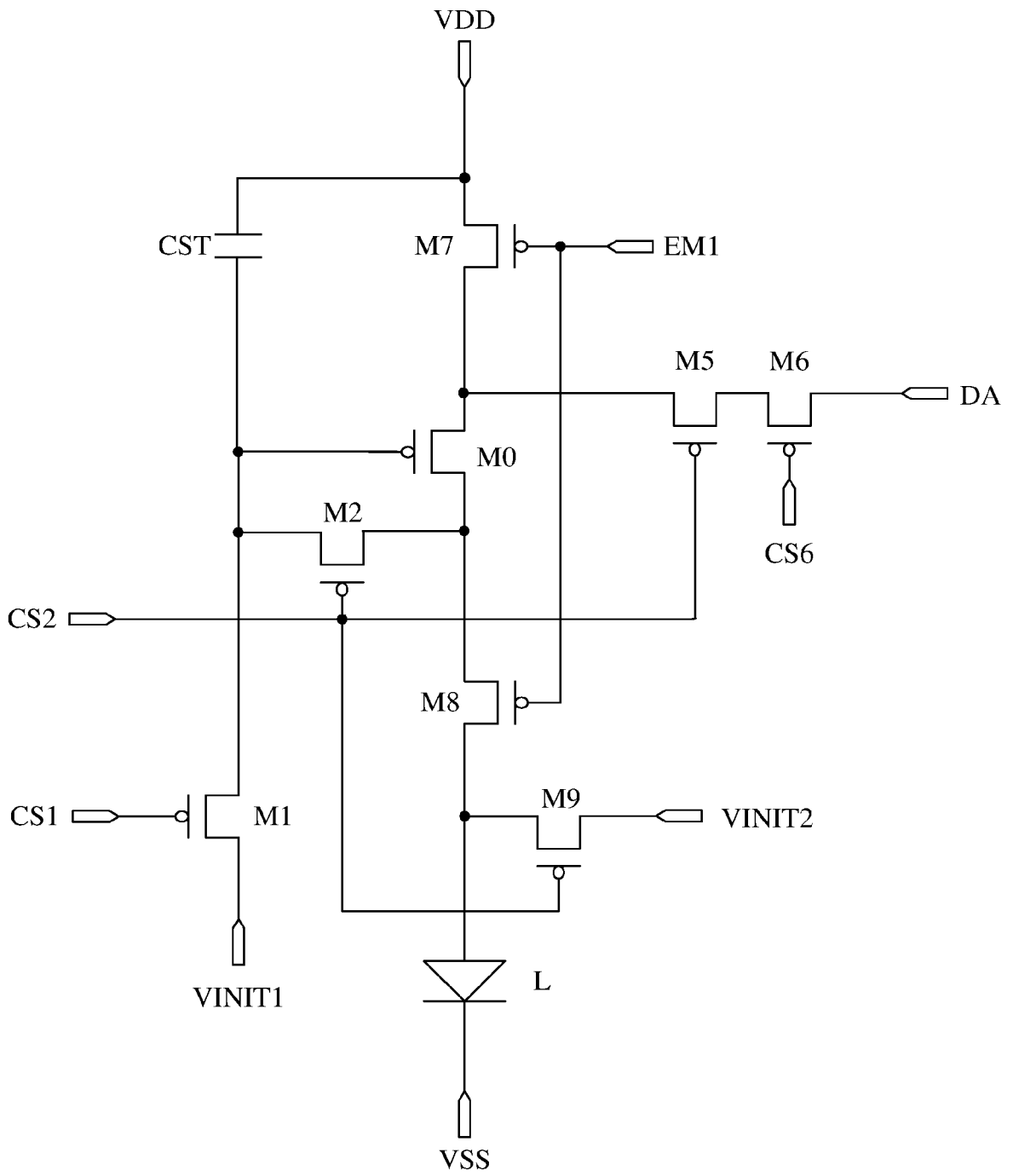


图 14

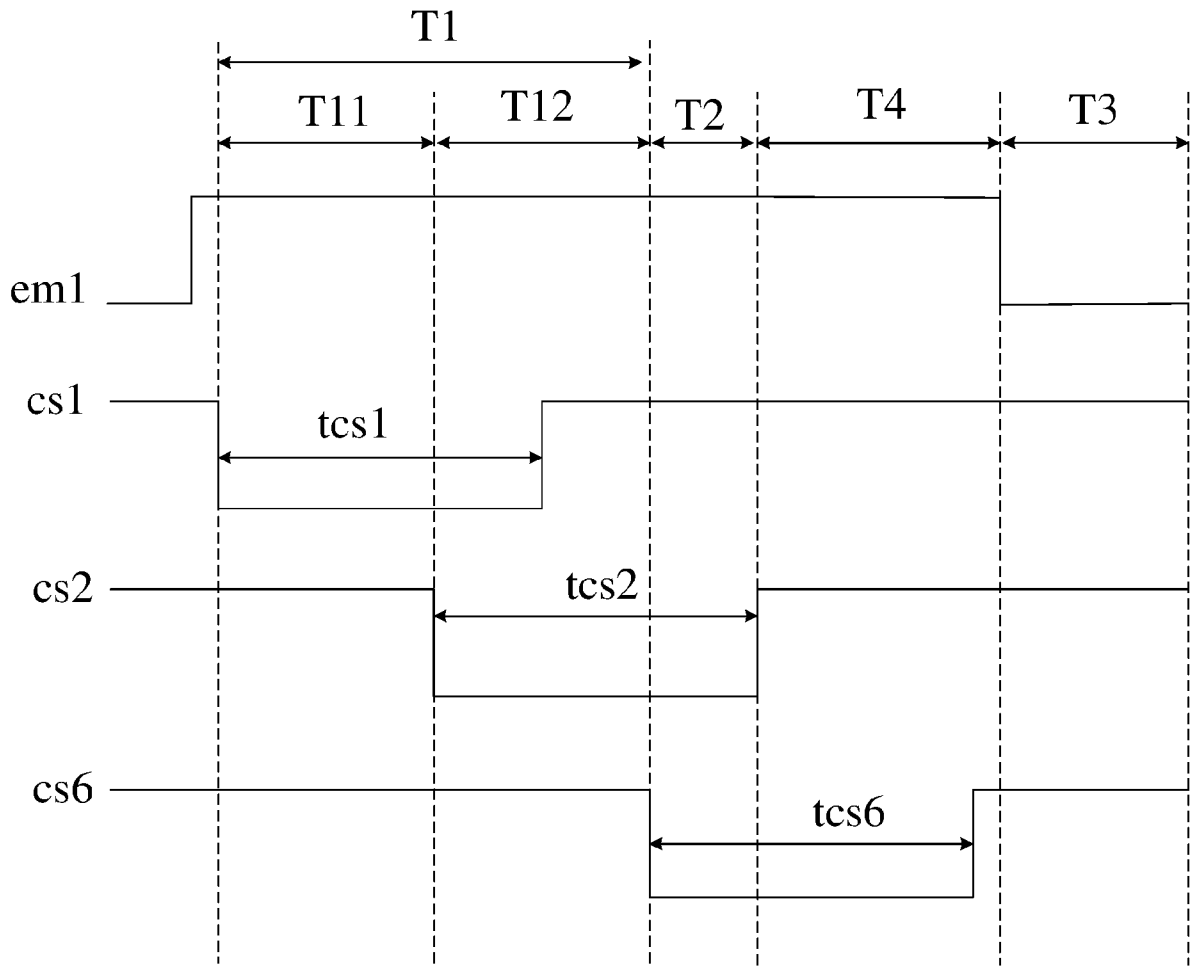


图 15

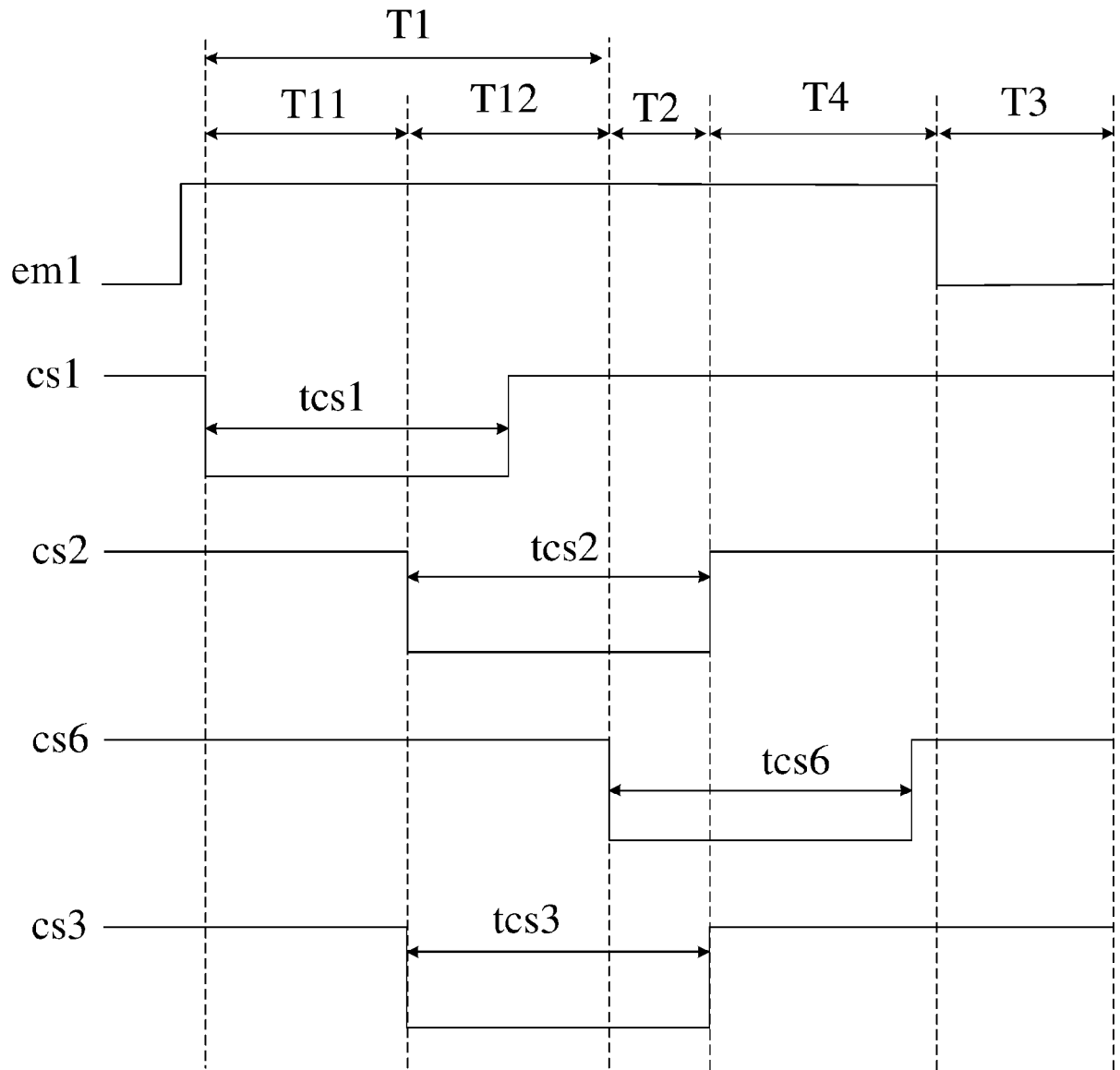


图 17

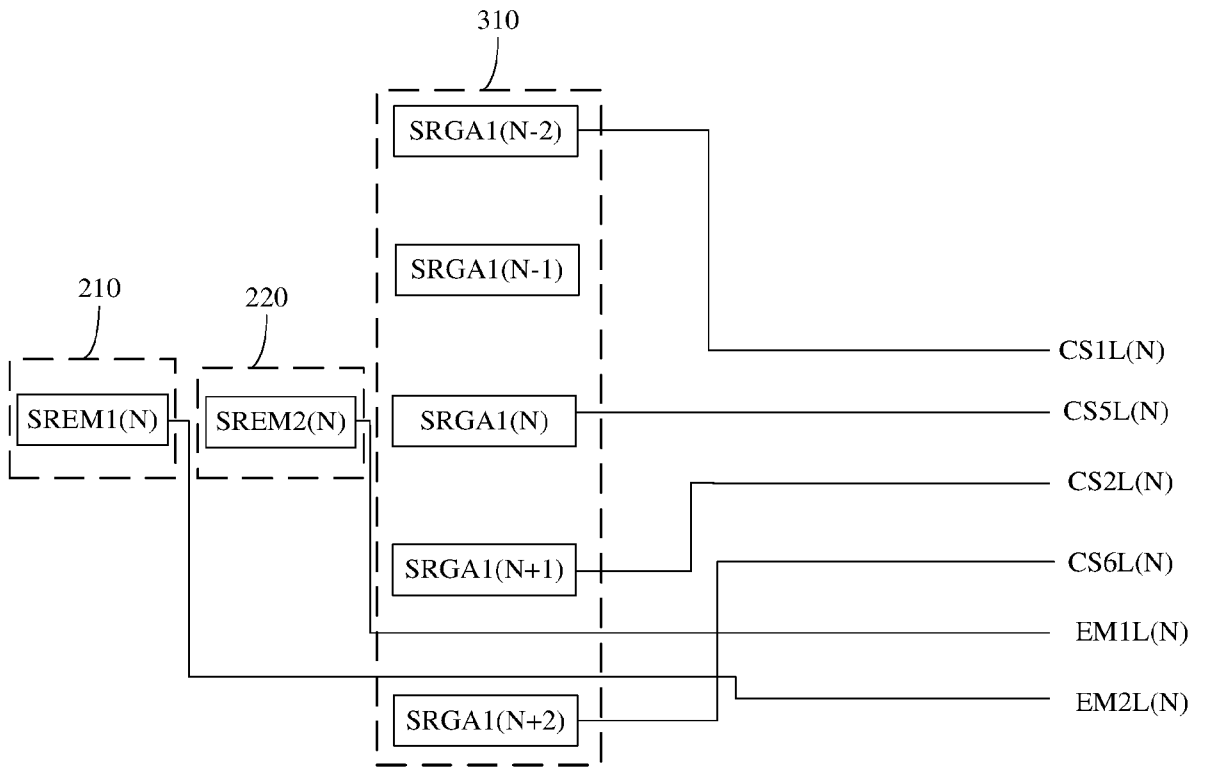


图 18

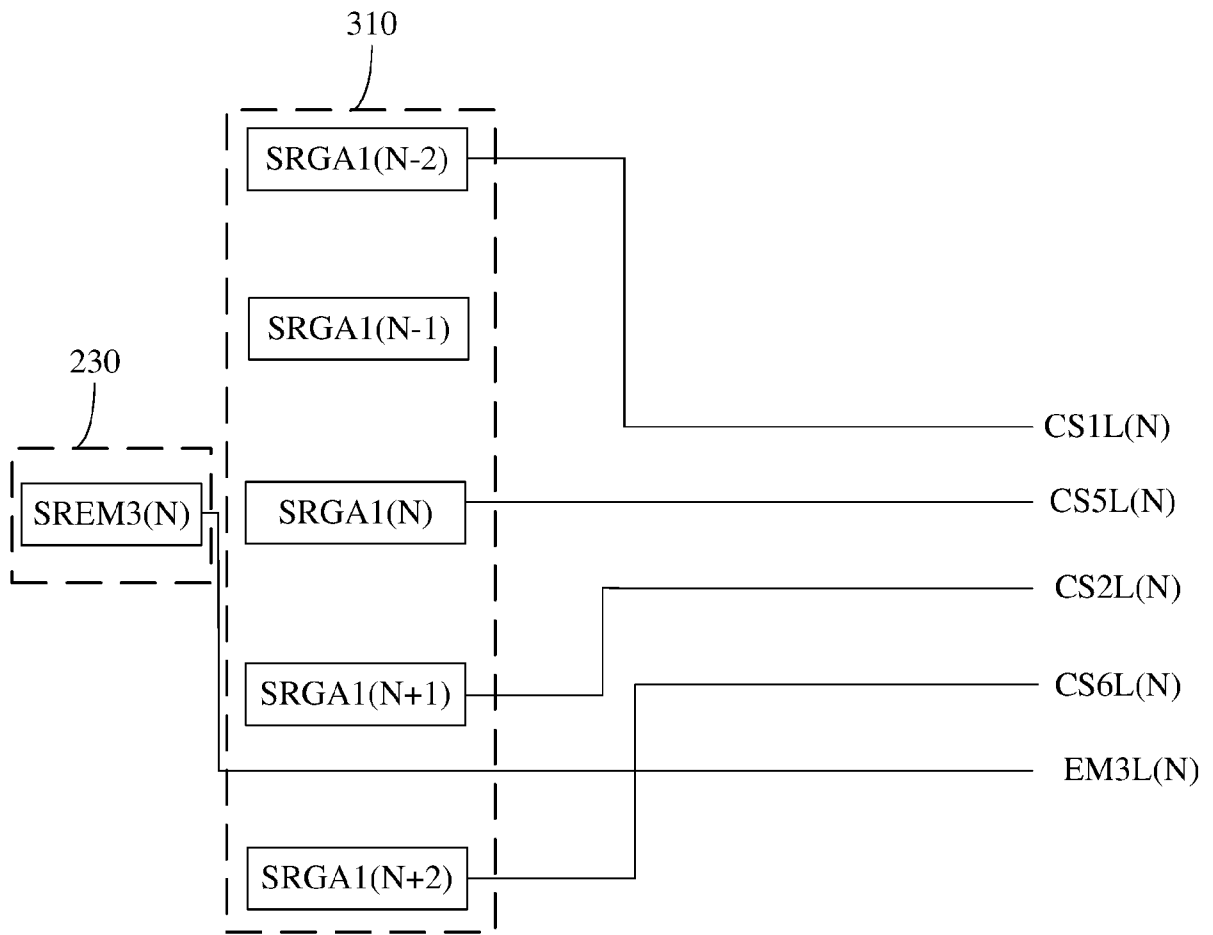


图 19

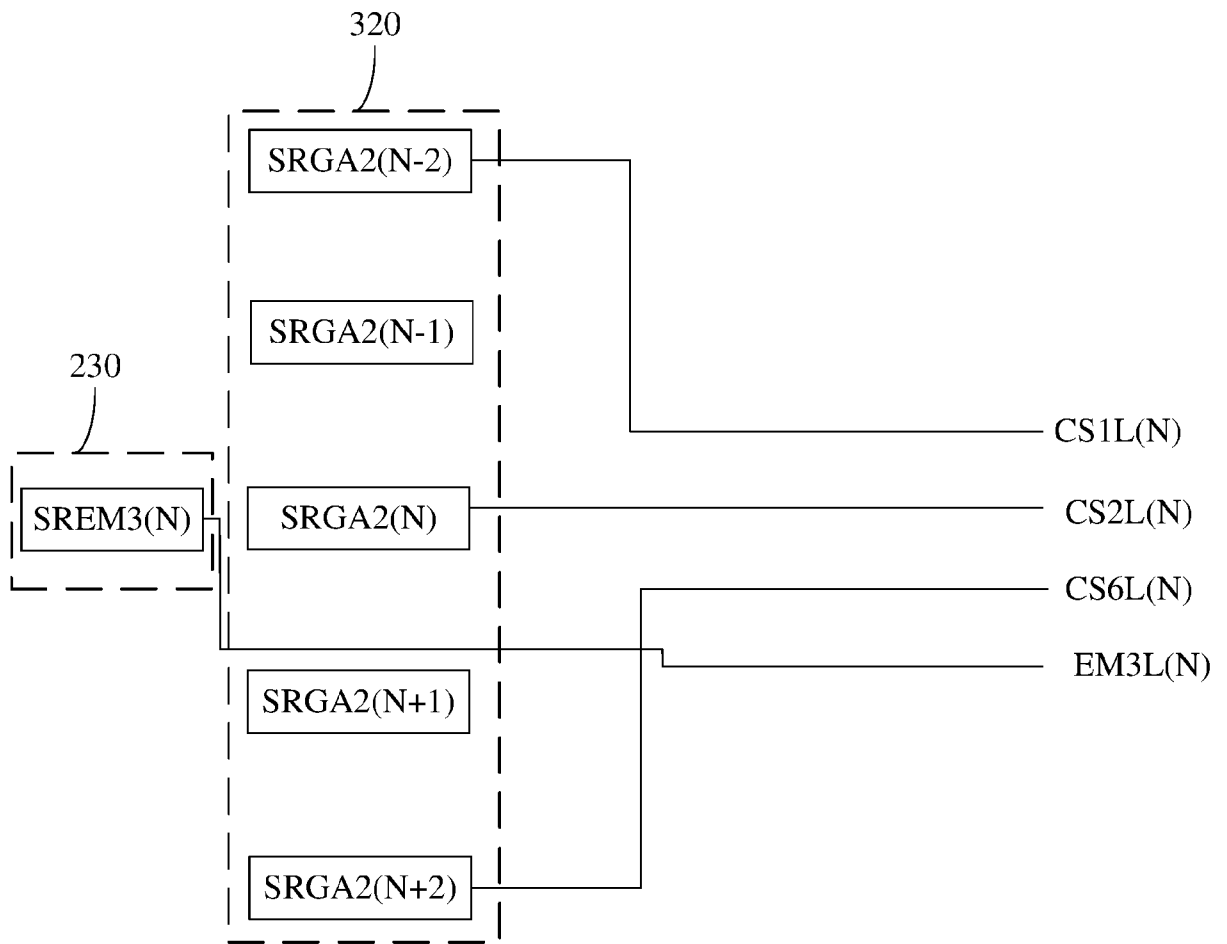


图 20

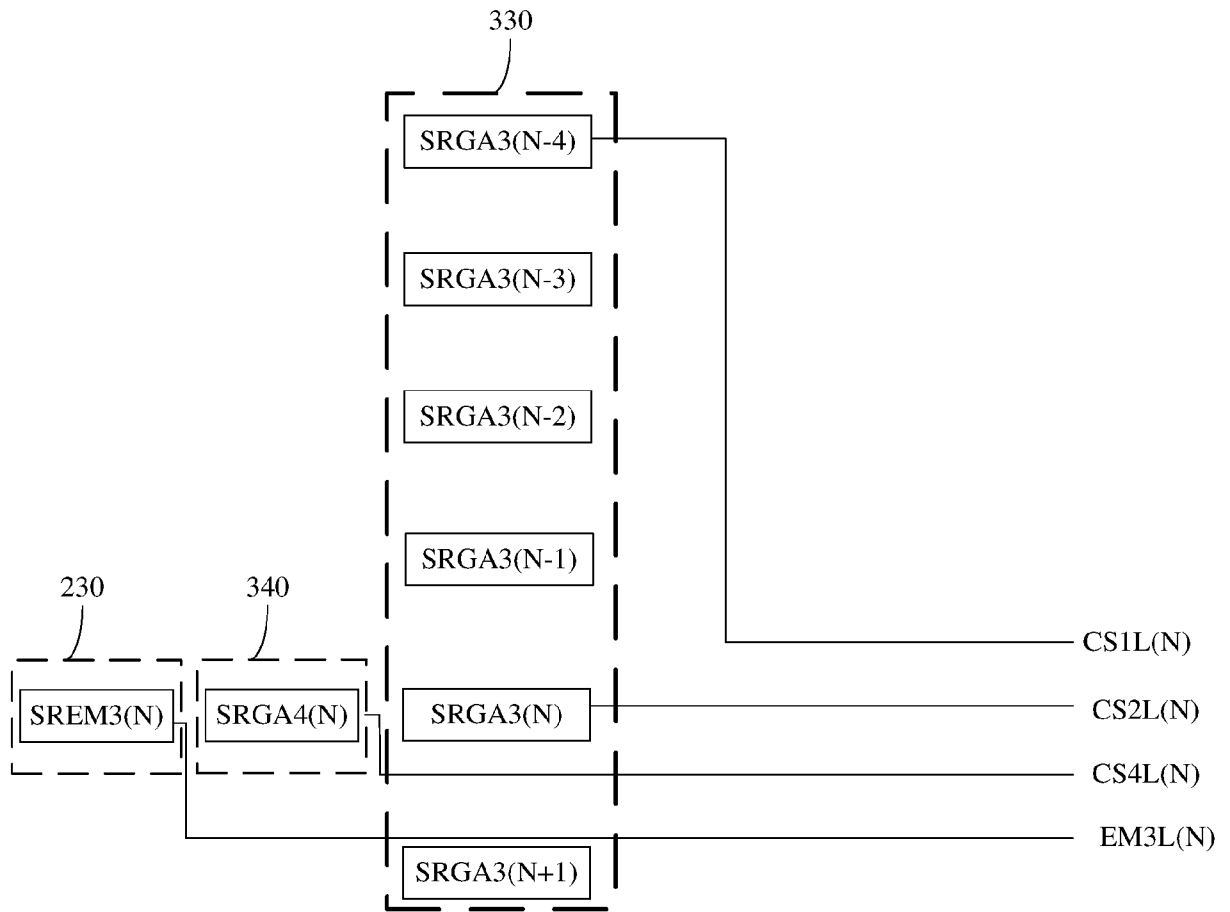


图 21

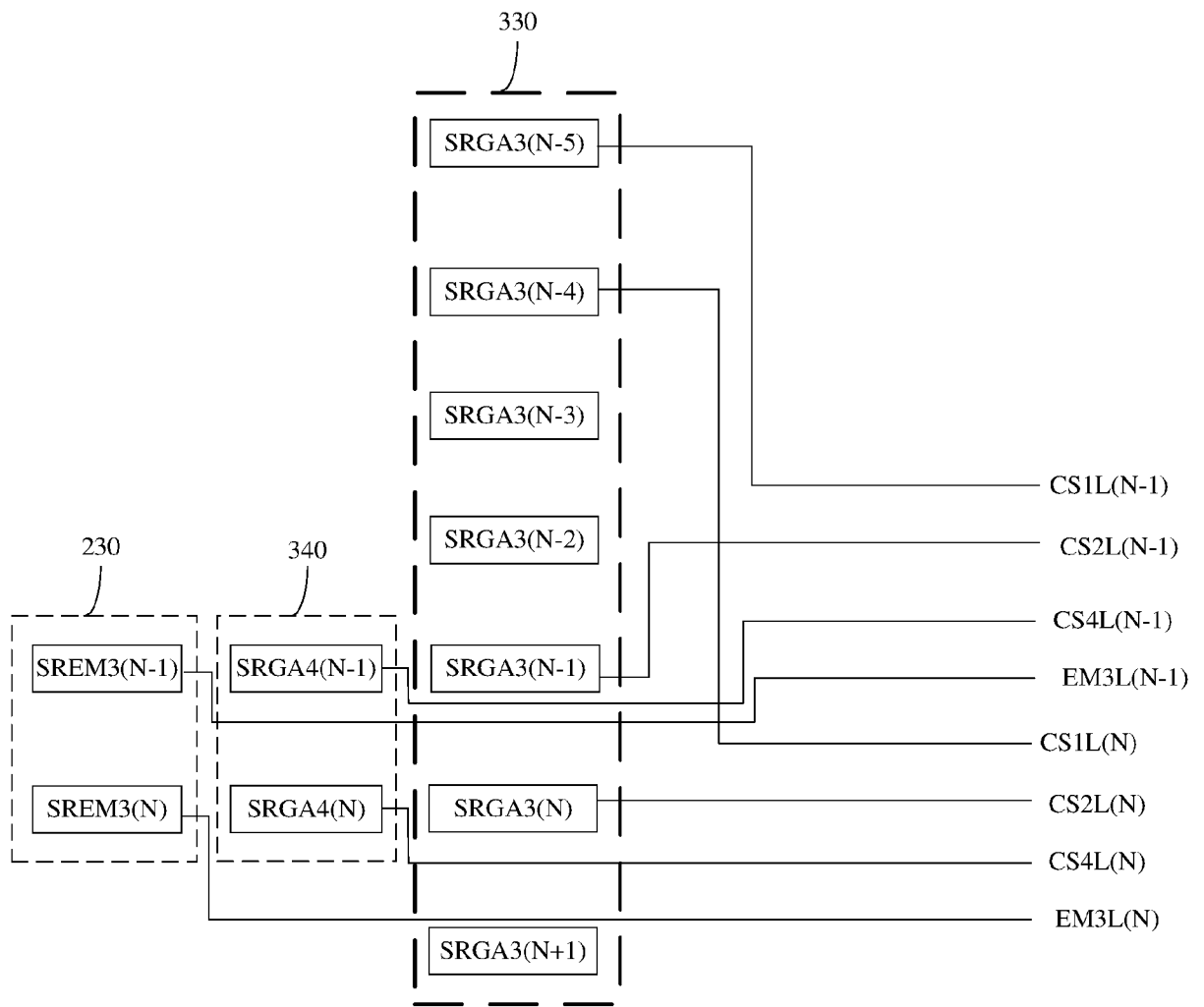


图 22

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/088832

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/3208(2016.01)i; G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS; CNTXT; CNKI; VEN; WOTXT; USTXT; EPTXT: 像素, 电路, 驱动, 晶体管, 复位, 初始化, 发光二极管, 发光单元, 发光控制, tft, transistor, pixel, circuit, reset, initial, oled, light, emit		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 110570813 A (KUNSHAN GOVISIONOX OPTOELECTRONICS CO., LTD.) 13 December 2019 (2019-12-13) description, paragraphs [0026]-[0077], and figures 2-6	1-23
X	CN 109285500 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 29 January 2019 (2019-01-29) description, paragraphs [0065]-[0114], and figures 2-6	1-23
A	CN 108389549 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 10 August 2018 (2018-08-10) entire document	1-23
A	CN 111710298 A (YUNGU (GU AN) TECHNOLOGY CO., LTD.) 25 September 2020 (2020-09-25) entire document	1-23
A	CN 112435629 A (BOE TECHNOLOGY GROUP CO., LTD.) 02 March 2021 (2021-03-02) entire document	1-23
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
17 November 2022		01 December 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/088832

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)	
CN	110570813	A	13 December 2019	None		
CN	109285500	A	29 January 2019	CN	109285500 B	13 November 2020
CN	108389549	A	10 August 2018	CN	108389549 B	24 September 2019
CN	111710298	A	25 September 2020	CN	111710298 B	25 January 2022
CN	112435629	A	02 March 2021	WO	2022110650 A1	02 June 2022

国际检索报告

国际申请号

PCT/CN2022/088832

<p>A. 主题的分类</p> <p>G09G 3/3208(2016.01)i; G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS;CNTXT;CNKI;VEN;WOTXT;USTXT;EPTXT:像素, 电路, 驱动, 晶体管, 复位, 初始化, 发光二极管, 发光单元, 发光控制, tft, transistor, pixel, circuit, reset, initial, oled, light, emit</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 110570813 A (昆山国显光电有限公司) 2019年12月13日 (2019 - 12 - 13) 说明书第[0026]-[0077]段, 附图2-6</td> <td>1-23</td> </tr> <tr> <td>X</td> <td>CN 109285500 A (武汉天马微电子有限公司) 2019年1月29日 (2019 - 01 - 29) 说明书第[0065]-[0114]段, 附图2-6</td> <td>1-23</td> </tr> <tr> <td>A</td> <td>CN 108389549 A (上海天马微电子有限公司) 2018年8月10日 (2018 - 08 - 10) 全文</td> <td>1-23</td> </tr> <tr> <td>A</td> <td>CN 111710298 A (云谷固安科技有限公司) 2020年9月25日 (2020 - 09 - 25) 全文</td> <td>1-23</td> </tr> <tr> <td>A</td> <td>CN 112435629 A (京东方科技集团股份有限公司) 2021年3月2日 (2021 - 03 - 02) 全文</td> <td>1-23</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 110570813 A (昆山国显光电有限公司) 2019年12月13日 (2019 - 12 - 13) 说明书第[0026]-[0077]段, 附图2-6	1-23	X	CN 109285500 A (武汉天马微电子有限公司) 2019年1月29日 (2019 - 01 - 29) 说明书第[0065]-[0114]段, 附图2-6	1-23	A	CN 108389549 A (上海天马微电子有限公司) 2018年8月10日 (2018 - 08 - 10) 全文	1-23	A	CN 111710298 A (云谷固安科技有限公司) 2020年9月25日 (2020 - 09 - 25) 全文	1-23	A	CN 112435629 A (京东方科技集团股份有限公司) 2021年3月2日 (2021 - 03 - 02) 全文	1-23
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 110570813 A (昆山国显光电有限公司) 2019年12月13日 (2019 - 12 - 13) 说明书第[0026]-[0077]段, 附图2-6	1-23																		
X	CN 109285500 A (武汉天马微电子有限公司) 2019年1月29日 (2019 - 01 - 29) 说明书第[0065]-[0114]段, 附图2-6	1-23																		
A	CN 108389549 A (上海天马微电子有限公司) 2018年8月10日 (2018 - 08 - 10) 全文	1-23																		
A	CN 111710298 A (云谷固安科技有限公司) 2020年9月25日 (2020 - 09 - 25) 全文	1-23																		
A	CN 112435629 A (京东方科技集团股份有限公司) 2021年3月2日 (2021 - 03 - 02) 全文	1-23																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2022年11月17日</p>		<p>国际检索报告邮寄日期</p> <p>2022年12月1日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>宋澄</p> <p>电话号码 (86-512)88997526</p>																		

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/088832

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110570813	A	2019年12月13日	无			
CN	109285500	A	2019年1月29日	CN	109285500	B	2020年11月13日
CN	108389549	A	2018年8月10日	CN	108389549	B	2019年9月24日
CN	111710298	A	2020年9月25日	CN	111710298	B	2022年1月25日
CN	112435629	A	2021年3月2日	WO	2022110650	A1	2022年6月2日