

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁸ (45) 공고일자 2006년01월20일
G11C 11/40 (2006.01) (11) 등록번호 10-0543202

(24) 등록일자 2006년01월06일

(21) 출원번호 10-2003-0076926

(65) 공개번호 10-2005-0041677

(22) 출원일자 2003년10월31일

(43) 공개일자 2005년05월04일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이중호
충청북도청주시흥덕구수곡동세원청실102-1307

(74) 대리인 특허법인 신성

심사관 : 황은택

(54) 패키지 레벨에서 지연고정루프를 제어하여 클럭관련스펙이 조절 가능한 반도체 장치

요약

본 발명은 패키지 레벨에서 지연고정루프를 제어하여 클럭관련 스펙이 조절 가능한 반도체 장치를 제공하기 위한 것으로, 이를 위한 본 발명의 반도체 장치는 내부회로에 의한 지연을 출력클럭에 반영시키기 위한 지연모델을 구비하는 지연고정루프; 및 상기 지연모델의 출력노드에 연결되어, 패키지 레벨에서 입력되는 제어신호에 응답하여 상기 출력클럭의 지연량을 조정하기 위한 미세지연조정수단을 구비한다.

대표도

도 2

색인어

tAC, 로딩, 안티퓨즈, 지연고정루프, 조정

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 지연고정루프의 블럭도.

도 2는 본 발명의 일 실시예에 따른 지연고정루프를 구비하는 반도체 메모리 장치의 블럭도.

도 3은 도 2의 로딩부의 세부 회로도.

도 4는 도 2의 블록의 동작 파형도.

* 도면의 주요 부분에 대한 설명

25 : 미세지연조정부 26 : 커맨드 디코딩부

27 : 디코딩부 28 : 로딩부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 설계 기술에 관한 것으로, 특히 칩 제작이 완료된 패키지 상태에서 지연고정루프(Delay Locked Loop, DLL)를 제어하여 클럭의 지연량을 조절함으로써 칩 제작이 완료된 이후에도 클럭과 관련된 원하는 스펙을 조절할 수 있는 반도체 장치에 관한 것이다.

통상적으로, 각종 시스템이나 회로에서 클럭은 동작 타이밍을 맞추기 위한 레퍼런스로 사용되고 있으며, 에러(error)없이 보다 빠른 동작을 보장하기 위해서 사용되기도 한다.

외부로부터 입력되는 클럭이 내부 회로에서 사용될 때 내부 회로에 의한 시간 지연(클럭 스큐)이 불가피하게 발생하게 되는데, 이러한 클럭 스큐를 보상하기 위하여 PLL, DLL 등의 클럭 동기화 회로가 널리 사용되고 있다.

한편, DLL은 기존에 사용되어 온 위상고정루프(Phase Locked Loop, PLL)에 비해 잡음의 영향을 덜 받는 장점이 있어 DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 동기식 반도체 메모리에서 널리 사용되고 있다. 동기식 반도체 메모리 소자에서 DLL은 기본적으로 외부 클럭을 받아서 클럭 경로의 지연 성분을 보상하여 미리 네거티브 지연을 반영함으로써 데이터의 출력이 외부 클럭과 동기되도록 해주는 기능을 갖는다.

또한, 데이터가 출력될 것으로 예상되었던 시점과 실제 데이터가 출력되는 시점 사이의 시간차이를 tAC라고 한다. 실제 데이터는 지연고정루프의 출력클럭에 동기되어 출력되므로, tAC를 외부클럭과 지연고정루프의 출력클럭 사이의 시간차이라고 생각할 수 있다.

도 1은 종래기술에 따른 DDR SDRAM의 레지스터 제어 DLL의 블록 다이어그램이다(대한민국 공개특허공보 제10-2003-0002130호 참조).

도 1을 참조하면, 레지스터 제어 DLL은 반전 외부 클럭(/clk)을 입력으로 하여 외부 클럭(clk)의 폴링 에지에 동기된 내부 클럭(fall_clk)을 생성하기 위한 제1 클럭 버퍼(11)와, 외부 클럭(clk)을 입력으로 하여 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 생성하기 위한 제2 클럭 버퍼(12)와, 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 1/n(n은 양의 정수이며, 통상적으로 n=8)로 분주하여 지연 모니터링 클럭(dly_in) 및 기준 클럭(ref)을 출력하는 클럭 분주기(13)와, 외부 클럭(clk)의 폴링 에지에 동기된 내부 클럭(fall_clk)을 입력으로 하는 제1 지연 라인(14)과, 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 입력으로 하는 제2 지연 라인(15)과, 지연 모니터링 클럭(dly_in)을 입력으로 하는 제3 지연 라인(16)과, 제1, 제2 제3 지연라인(14, 15, 16)의 지연량을 결정하기 위한 쉬프트 레지스터(17)와, 제1 지연 라인(14)의 출력(ifclk)을 구동하여 DLL 클럭(fclk_dll)을 생성하기 위한 제1 DLL 드라이버(20)와, 제2 지연 라인(15)의 출력(irclk)을 구동하여 DLL 클럭(rclk_dll)을 생성하기 위한 제2 DLL 드라이버(21)와, 제3 지연 라인(16)의 출력을 입력으로 하여 클럭이 실제 클럭 경로와 동일한 지연 조건을 거치도록 구성된 지연 모델(22)과, 지연 모델(22)의 출력(fbclk)과 기준 클럭(ref)의 위상을 비교하기 위한 위상 비교기(19)와, 위상 비교기(19)로부터 출력된 제어신호(ctrl)에 응답하여 쉬프트 레지스터(17)의 쉬프트 방향을 제어하기 위한 쉬프트 제어신호(SR, SL)를 출력하는 쉬프트 제어기(18)를 구비한다.

우선, 제1 클럭 버퍼(11)는 외부 클럭(clk)의 폴링 에지를 받아 동기된 내부 클럭(fall_clk)을 발생시키고, 제2 클럭 버퍼(12)는 외부 클럭(clk)의 라이징 에지를 받아서 내부 클럭(rise_clk)을 발생시킨다. 클럭 분주기(13)는 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 1/n 분주하여 외부 클럭(clk)과 n번째 클럭마다 한번씩 동기되는 클럭(ref,

dly_in)을 만든다. 기준 클럭(ref) 및 지연 모니터링 클럭(dly_in)은 모두 외부 클럭(clk)의 라이징 에지에 동기된 내부 클럭(rise_clk)을 분주시킨 신호이기 때문에 외부 클럭(clk)의 주기(tCK)만큼의 펄스 폭을 가진다. 그리고, 기준 클럭(ref)과 지연 모니터링 클럭(dly_in)은 서로 반대 위상을 갖는다.

초기 동작시, 지연 모니터링 클럭(dly_in)은 지연 모니터(10)의 제3 지연 라인(16)의 단위 지연소자 하나만을 통과하여 출력되고, 이 클럭은 다시 지연 모델(22)를 거치면서 지연되어 피드백클럭(fbclk)으로 출력된다. 여기서, 피드백클럭(fbclk)은 제3지연라인(16)의 출력클럭과 비교하여 지연 모델(22)의 지연 시간 만큼 지연된 것이다.

이어, 위상 비교기(19)는 기준 클럭(ref)의 라이징 에지와 피드백클럭(fbclk)의 라이징 에지를 비교하여 제어신호(ctrl)를 생성하고, 쉬프트 제어기(18)는 제어신호(ctrl)에 응답하여 쉬프트 레지스터(17)의 쉬프트 방향을 제어하기 위한 쉬프트 제어신호(SR, SL)를 출력한다. 쉬프트 레지스터(17)는 쉬프트 제어신호(SR, SL)에 응답하여 제1, 제2 및 제3 지연 라인(14, 15, 16)의 지연량을 결정한다. 이때, SR(shift right)이 입력되면 레지스터를 오른쪽으로 이동시키고, SL(shift left)가 입력되면 레지스터를 왼쪽으로 이동시킨다. 이후, 지연량이 제어된 피드백클럭(fbclk)과 기준 클럭(ref)을 비교해 나가면서 두 클럭이 최소의 지터(jitter)를 가지는 순간에 지연고정(locking)이 이루어지게 되고, 이때 DLL 클럭(fclk_dll, rclk_dll)은 제1 및 제2 DLL 드라이버(20, 21)로부터 출력되는 외부 클럭(clk)과 동일한 위상을 갖게 된다.

한편, 반도체 설계 시 지연고정루프의 출력클럭(fclk_dll 및 rclk_dll)의 지연량을 조정하여 tAC스펙을 맞추게 된다. 그러나 실제 사용자의 시스템이 갖는 로드(load)정도에 따라 지연고정루프의 출력클럭(fclk_dll 및 rclk_dll)이 영향을 받게 되어, tAC 스펙을 만족시키지 못하는 현상이 발생된다. 칩 제작이 완료된 패키지 이후의 시점에는 지연고정루프의 출력클럭의 지연량을 조정할 수 있는 방법이 없으므로, 이를 해결하기 위해서는 재설계의 과정을 거쳐야 된다.

이러한 재설계의 과정은 시간적 측면과 경제적 측면에서의 손실을 의미한다.

예컨데, 전술한 실시 예에서는 레지스터제어 지연고정루프를 예시했으나, 이는 레지스터제어 지연고정루프에 한정되지 않고 본 발명은 적용된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 패키지 레벨에서 지연고정루프를 제어하여 클럭관련 스펙이 조절 가능한 반도체 장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른 반도체 장치는, 내부회로에 의한 지연을 출력클럭에 반영시키기 위한 지연모델을 구비하는 지연고정루프; 및 상기 지연모델의 출력노드에 연결되어, 패키지 레벨에서 입력되는 제어신호에 응답하여 상기 출력클럭의 지연량을 조정하기 위한 미세지연조정수단을 구비한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 2는 본 발명의 일 실시예에 따른 지연고정루프를 구비하는 반도체 메모리 장치의 블록도이다.

도 2를 도 1과 비교하여 보면, 본 발명의 일 실시예에 따른 반도체 메모리 장치는 종래기술의 지연고정루프에 비해 지연모델의 출력노드(A)에 연결된 미세지연조정부(25)를 더 구비한다. 종래기술과 동일한 블록은 동일 도면 부호를 사용했으며, 따라서 이에 대한 구체적 설명은 생략한다.

미세지연조정부(25)를 자세히 보면, 미세지연조정부(25)는 커맨드신호(CMD)를 디코딩하여 테스트모드신호(anti_en)를 출력하기 위한 커맨드 디코딩부(26)와, 테스트모드신호(anti_en)에 응답하여 어드레스신호(Add<0:2>)를 디코딩하여 쉬프트신호(plus_sh<0:3> 및 minus_sh<0:3>)를 생성하기 위한 디코딩부(27)와, 쉬프트신호(plus_sh<0:3>, minus_sh<0:3>)에 제어받아 출력노드(A)의 로드값을 조정하기 위한 로딩부(28)를 구비한다.

그리고 디코딩부(27)는 안티퓨즈를 구비하는 것이 바람직하다. 안티퓨즈는 테스트모드신호(anti_en)의 활성화 시 입력되는 어드레스신호(Add<0:2>)의 디코딩을 통해 재설정되며, 이에 따라 쉬프팅신호(plus_sh<0:3> 및 minus_sh<0:3>)가 생성된다. 이후, 안티퓨즈가 설정되었으므로 테스트모드신호(anti_en)의 비활성화 시에도 동일한 쉬프팅신호(plus_sh<0:3> 및 minus_sh<0:3>)가 지속적으로 생성된다.

참고적으로, 테스트모드에 의한 안티퓨즈의 설정 이전 차감쉬프팅신호(minus_sh<0:3>)는 모두 활성화된 상태이다.

도 3은 도 2의 로딩부(28)의 세부 회로도이다.

도 3을 참조하면, 로딩부(28)는 동일한 소자로 구현된 다수의 단위 로딩부(30, 31, 32, 33, 34, 35, 36, 37)가 출력노드에 병렬로 연결된 형태이다. 그 중 하나만을 예로써 보면, 단위 로딩부(30)는 가감쉬프팅신호(plus_sh<0>)에 응답하여 출력노드(A)에 커패시터를 절체시키기 위한 스위치와, 출력노드(A)의 로드으로써 작용하는 커패시터로 구현된다.

그리고 스위치는 각각의 쉬프팅신호(plus_sh<0:3> 및 minus_sh<0:3>)를 게이트 입력으로 가지며 출력노드(A)와 커패시터 사이에 드레인 소스 경로를 갖는 NMOS트랜지스터로 구현되며, 커패시터는 스위치의 출력을 게이트 입력으로 가지며 드레인과 소스는 공통으로 접지전원(VSS)에 연결된 NMOS트랜지스터로 구현된다.

우선, 차감쉬프팅신호(minus_sh<0:3>)에 의해 제어받는 단위로딩부(34, 35, 36, 37)는 모두 출력노드(A)에 연결됐다. 이때, 차감쉬프팅신호minus_sh<0>만이 비활성화 상태이면 단위로딩부(34)만이 디스에이블 될 것이고, 두개의 차감쉬프팅신호minus_sh<0> 및 minus_sh<1>이 비활성화 상태이면 두개의 단위로딩부(34, 35)가 디스에이블 될 것이다. 따라서 지연고정루프의 출력클럭(fclk_dll 및 rclk_dll)의 지연시간이 짧아지고, 이에 의해 tAC도 종래 설정보다 짧아진다.

또한, 가감쉬프팅신호plus_sh<0>가 활성화 상태이면 이에 제어받는 단위로딩부(30)가 출력노드(A)에 추가로 연결되며, 가감쉬프팅신호plus_sh<0> 및 plus_sh<1>가 활성화되면 단위로딩부(30, 31)가 출력노드(A)에 추가로 연결된다. 즉, 초기에 연결된 단위로딩부(34, 35, 36, 37)와 가감쉬프팅신호에 의해 추가로 연결된 단위로딩부에 의해서 지연고정루프의 출력클럭(fclk_dll 및 rclk_dll)의 지연시간이 길어지고, 따라서 tAC도 종래 설정에 비해 길어진다.

결과적으로 출력노드(A)에 연결된 단위로딩부의 수에 따라 지연고정루프의 출력클럭(fclk_dll 및 rclk_dll)의 지연시간이 조정되어, tAC의 미세조정이 가능하다.

도 4는 도 2의 블록의 동작 파형도이다.

커맨드신호(CMD)의 입력으로 테스트모드신호(anti_en)가 활성화되어 디코딩된 어드레스신호(Add<0:2>)에 의해 쉬프팅신호(plus_sh<0:3>, minus_sh<0:3>)가 활성화된다. 이에 의해 로드값이 설정되어 지연고정루프의 출력클럭(fclk_dll 및 rclk_dll)의 지연량이 조정된다.

전술한 본 발명은 미세지연조정부(25)를 추가하므로써, 사용자의 시스템이 갖는 로드값에 따른 tAC변동을 조정할 수 있다. 이는 미세지연조정부(25)가 지연모델(22)의 출력노드(A)에 연결되어, 패키지 레벨에서 명령어의 인가를 통해 출력노드(A)의 로드값을 조절할 수 있으므로 가능하다.

또한, 메모리 공정 상의 문제로 인하여 tAC가 스펙을 벗어나게 되는 경우에도 미세지연조정부(25)를 통해 지연고정루프의 출력클럭(fclk_dll 및 rclk_dll)의 지연량을 조절할 수 있으므로 수율(yield)이 증가된다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

한편, 본 실시예는 메모리 장치를 통해 설명 되었으나, 그 밖에 지연고정루프를 사용하는 반도체 장치에 모두 적용될 수 있다.

예컨데, 전술한 실시 예에서는 레지스터제어 지연고정루프를 예시했으나, 이는 레지스터제어 지연고정루프에 한정되지 않고 본 발명은 적용된다.

발명의 효과

진술한 본 발명의 반도체 장치는 패키지 레벨에서 클럭 관련 스펙을 조정할 수 있으므로, 패키징 이후 클럭관련 스펙의 조정을 위한 재설계 및 생산의 과정이 필요하지 않기 때문에 시간적 그리고 경제적 측면에서 이득이 생긴다.

또한, 공정 상의 문제로 인해 클럭 관련 스펙에서 벗어난 제품에 대해서도 이를 조정할 수 있으므로 수율을 향상 시킬 수 있다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

내부회로에 의한 지연을 출력클럭에 반영시키기 위한 지연모델을 구비하는 지연고정루프와,

상기 지연모델의 출력노드에 연결되며, 패키지 레벨에서 입력되는 제어신호에 응답하여 상기 출력클럭의 지연량을 조정하기 위한 미세지연조정수단을 구비하며,

상기 미세지연조정수단은,

상기 제어신호를 디코딩하여 쉬프팅신호를 생성하기 위한 디코딩부와,

상기 쉬프팅신호에 응답하여 상기 출력노드의 로드값을 조정하기 위한 로딩부를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 3.

제2항에 있어서,

상기 디코딩부는 안티퓨즈 또는 퓨즈로 구현되어 상기 제어신호에 응답하여 출력신호를 설정할 수 있는 것을 특징으로 하는 반도체 장치.

청구항 4.

제2항에 있어서,

상기 로딩부는 상기 출력노드에 병렬로 연결되는 복수의 단위로딩부를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5.

제4항에 있어서,

상기 단위로딩부는,

상기 출력노드의 로드로써 작용하는 커패시터와, 상기 쉬프팅신호에 응답하여 상기 출력노드와 상기 커패시터 사이를 절체하기 위한 스위치로 구현되는 것을 특징으로 하는 반도체 장치.

청구항 6.

제5항에 있어서,

상기 복수의 단위로딩부 중 일부의 단위로딩부는 초기에 상기 스위치가 온 상태로 설정되어 인에이블 되어 있으며, 상기 쉬프팅신호에 따라 추가적으로 상기 단위로딩부 중 다른 일부를 추가적으로 인에이블시키므로 상기 출력노드의 로드값을 증가시키거나, 인에이블된 상기 단위로딩부를 디스에이블 시켜 상기 출력노드의 로드값을 감소시키는 것을 특징으로 하는 반도체 장치.

청구항 7.

제6항에 있어서,

상기 스위치는 상기 쉬프팅신호를 게이트입력으로 가지며 상기 출력노드와 상기 커패시터 사이의 드레인 소스 경로를 갖는 MOST랜지스터로 구현되는 것을 특징으로 하는 반도체 장치.

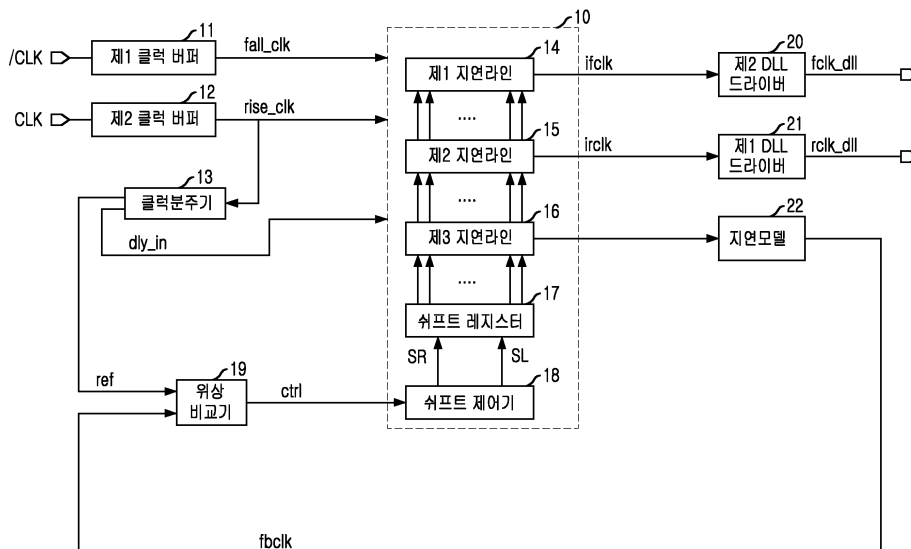
청구항 8.

제6항에 있어서,

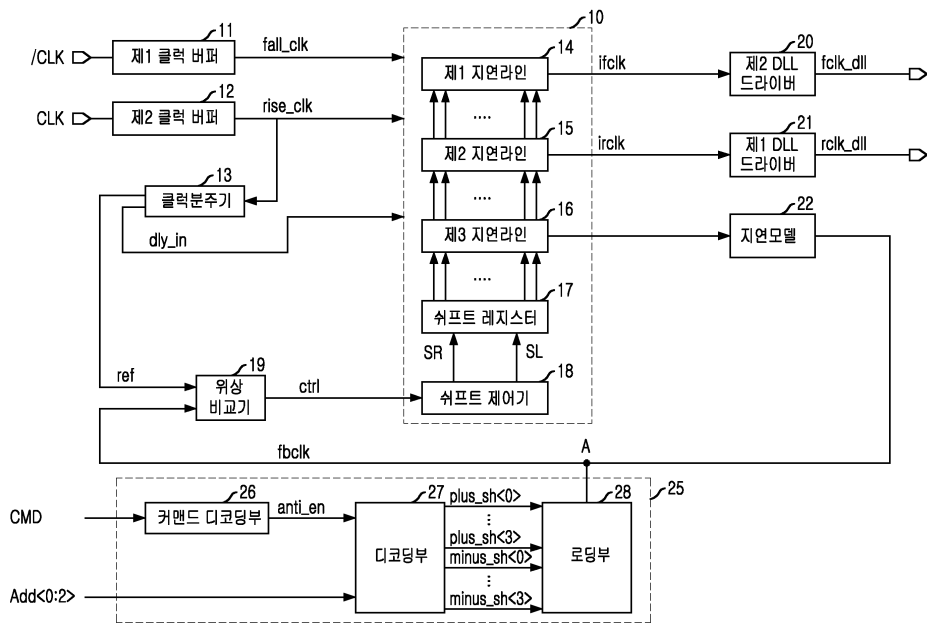
상기 커패시터는 상기 스위치의 출력을 게이트 입력으로 가지며, 드레인과 소스는 공통으로 전원전압에 연결되는 것을 특징으로 하는 반도체 장치.

도면

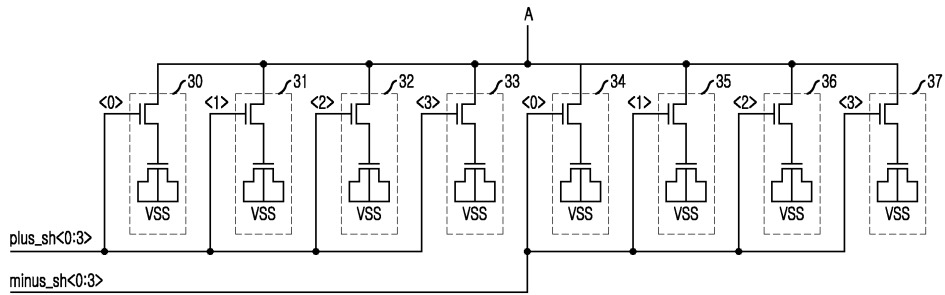
도면1



도면2



도면3



도면4

