

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年3月29日(2018.3.29)

【公開番号】特開2015-170855(P2015-170855A)

【公開日】平成27年9月28日(2015.9.28)

【年通号数】公開・登録公報2015-060

【出願番号】特願2015-36002(P2015-36002)

【国際特許分類】

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 23/12 (2006.01)

H 0 1 L 23/40 (2006.01)

H 0 1 L 23/32 (2006.01)

【F I】

H 0 1 L 25/04 C

H 0 1 L 23/12 K

H 0 1 L 23/12 J

H 0 1 L 23/40 F

H 0 1 L 23/32 A

【手続補正書】

【提出日】平成30年2月14日(2018.2.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の誘電体層と、

前記第1の誘電体層に直接接着された少なくとも1つの半導体デバイスと、

それ自体の中に前記少なくとも1つの半導体デバイスを埋め込むように前記第1の誘電体層に付けられた埋め込み材料であって、1つまたは複数の追加の誘電体層を備える、埋め込み材料と、

前記第1の誘電体層と前記第2の誘電体層との間に配置された前記少なくとも1つの半導体デバイスおよび、前記第1の誘電体層と前記第2の誘電体層との間に完全に埋め込まれた前記埋め込み材料と共に、前記第1の誘電体層の反対の前記パッケージ構造の外側に面した表面に配置される第2の誘電体層と、

前記少なくとも1つの半導体デバイスまで形成され、前記第1の誘電体層を貫通して形成される、複数のビアと、

前記少なくとも1つの半導体デバイスへの電氣的相互接続部を形成するために、前記複数のビア内および前記パッケージ構造の1つまたは複数の外側に面した表面に形成された金属インターコネクと、

外部回路への第2レベルの接続を可能にするために、前記パッケージ構造の一方の端部において前記パッケージ構造の1つまたは複数の外側に面した表面に設置された入力/出力(I/O)接続部と、

を備え、

前記パッケージ構造は、前記パッケージ構造の前記一方の端部の前記I/O接続部が前記外部回路への前記第2レベルの接続を形成するためにコネクタに電氣的に接続された状

態で、前記外部回路に垂直に前記パッケージ構造を実装するために前記外部回路上に形成された前記コネクタとインターフィットするように構成される、パッケージ構造。

【請求項 2】

前記 I / O 接続部が、前記外部回路への前記第 2 レベルの接続を形成するように構成された電氣的リードを備える、請求項 1 記載のパッケージ構造。

【請求項 3】

前記金属インターコネクタが、前記パッケージ構造の前記 1 つまたは複数の外側に面した表面に電氣的接続部を形成するメッキした銅パワーオーバーレイ (POL) インターコネクタを備え、前記 POL インターコネクタの一部が、前記 I / O 接続部を形成する前記電氣的リードを形成する、請求項 2 記載のパッケージ構造。

【請求項 4】

前記金属インターコネクタが、前記少なくとも 1 つの半導体デバイスへの熱的相互接続部を与えるように、前記パッケージ構造の前記外側に面した表面のうちの 1 つまたは複数の熱拡散性銅パッドを形成するメッキした銅パワーオーバーレイ (POL) インターコネクタを備える、請求項 1 乃至 3 のいずれかに記載のパッケージ構造。

【請求項 5】

前記熱拡散性銅パッドに付けられた熱インターフェース材料 (TIM) と、
前記パッケージ構造から熱を伝導で取り除くために前記 TIM に装着されたヒートシンクと、
をさらに備える、請求項 4 記載のパッケージ構造。

【請求項 6】

前記ヒートシンクが、前記パッケージ構造を前記外部回路に垂直に実装するときに支持を与えるように前記外部回路にさらに結合される、請求項 5 記載のパッケージ構造。

【請求項 7】

前記 I / O 接続部が、前記パッケージ構造の前記一方の端部において、前記パッケージ構造の前記外側に面した両方の表面に形成される、請求項 1 乃至 6 のいずれかに記載のパッケージ構造。

【請求項 8】

前記少なくとも 1 つの半導体デバイスを固定するために前記第 1 の誘電体層および前記第 2 の誘電体層の少なくとも一方の内側に面した表面に付けられた接着剤層であって、前記複数のビアが前記接着剤層を貫通して延びる、接着剤層をさらに備える、請求項 1 乃至 7 のいずれかに記載のパッケージ構造。

【請求項 9】

前記少なくとも 1 つの半導体デバイスが、パワー半導体デバイスを含み、
前記複数のビアが、
前記パワー半導体デバイスの表面まで前記第 1 の誘電体層および前記接着剤層を貫通して形成されたビアと、
前記パワー半導体デバイスの裏面まで前記 1 つまたは複数の第 2 の誘電体層および前記接着剤層を貫通して形成されたビアと
を含み、

前記ビアが、前記パッケージ構造において熱的ビアおよび電氣的ビアとして機能し、
金属インターコネクタが、前記パワー半導体デバイスの前記表面および前記裏面まで前記ビアのそれぞれの中に形成される、
請求項 8 記載のパッケージ構造。

【請求項 10】

前記パッケージ構造内の配線経路を増加させるために前記第 1 の誘電体層または前記第 2 の誘電体層の内側に面した表面に配置された金属層をさらに備える、請求項 8 記載のパッケージ構造。

【請求項 11】

前記パッケージ構造の前記外側に面した表面の前記金属インターコネクタを覆って形成されたはんだマスクをさらに備え、前記はんだマスクは前記I/O接続部を覆っては形成されない、請求項1乃至10のいずれかに記載のパッケージ構造。

【請求項12】

前記外部回路に垂直に前記パッケージ構造を実装することにより、横たわった向きに前記パッケージ構造を実装する場合と比べたときに前記外部回路上の前記パッケージ構造のフットプリントが縮小される、請求項1乃至11のいずれかに記載のパッケージ構造。

【請求項13】

前記埋め込み材料の前記1つまたは複数の追加の誘電体層が、前記少なくとも1つの半導体デバイスの周りに存在するすべての空隙を埋めるためのラミネーションプロセスを受けたときに溶融しかつ流動するように構成された1つまたは複数の誘電体シートを含み、

前記埋め込み材料は、周囲環境へ熱を拡散しかつ伝達するために、前記複数のビアに熱的に接続された金属層または銅を有する誘電体シートをさらに含み、前記金属層または銅を有する誘電体シートはラミネーションプロセスを受けたときに溶融せずかつ流動しないように構成されている、請求項1乃至12のいずれかに記載のパッケージ構造。

【請求項14】

前記パッケージ構造の前記外側に面した表面に配置された少なくとも1つの追加の金属回路層をさらに備え、前記少なくとも1つの追加の金属回路層は前記パッケージ構造内の配線経路を増加させるように構成される、請求項1乃至13のいずれかに記載のパッケージ構造。

【請求項15】

コネクタがその内部に形成された回路基板と、

前記回路基板の前記コネクタに接続されるように構成される請求項1乃至14のいずれかに記載のパッケージ構造と、

を備える、

回路基板及びパッケージ構造。