



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I780987 B

(45) 公告日：中華民國 111 (2022) 年 10 月 11 日

(21) 申請案號：110143053

(22) 申請日：中華民國 110 (2021) 年 11 月 18 日

(51) Int. Cl. : **G11C11/40 (2006.01)****G11C11/4063(2006.01)****H01L21/8239(2006.01)****G06F13/14 (2006.01)**

(71) 申請人：友達光電股份有限公司 (中華民國) AUO CORPORATION (TW)

新竹市力行二路 1 號

(72) 發明人：鄭翔及 CHENG, HSIANG-CHI (TW)；郭世斌 KUO, SHYH-BIN (TW)；賴一丞 LAI,

YI-CHENG (TW)；陳忠宏 CHEN, CHUNG-HUNG (TW)；楊士賢 YANG, SHIH-

HSIEN (TW)；王友志 WANG, YU-CHIH (TW)；陳國祥 CHEN, KUO-HSIANG

(TW)

(74) 代理人：李世章；秦建譜

(56) 參考文獻：

TW I511160B

TW I742728B

TW 202123088A

US 2021/0182643A1

審查人員：蕭明椿

申請專利範圍項數：11 項 圖式數：11 共 58 頁

(54) 名稱

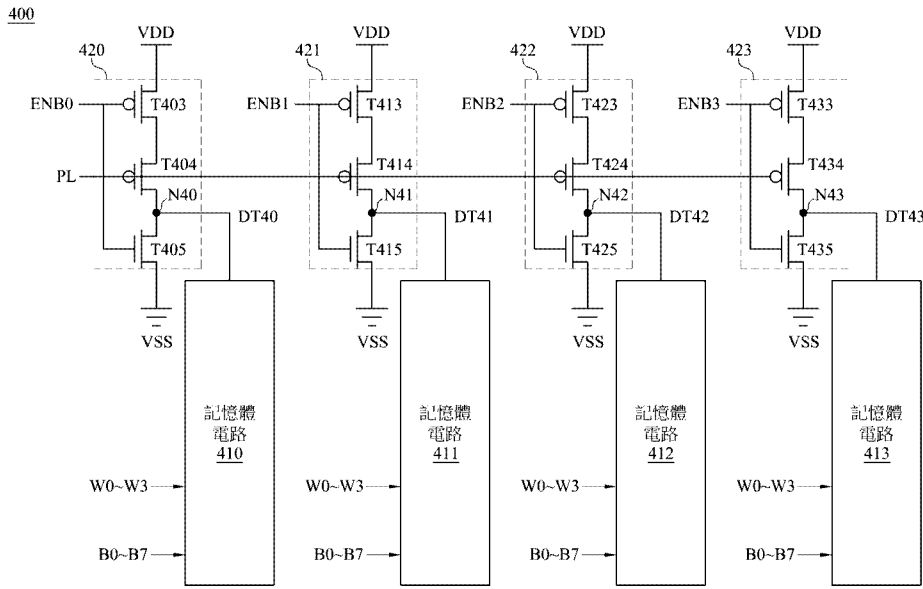
記憶體晶片

(57) 摘要

一種記憶體晶片包括第一解碼裝置及記憶體裝置。第一解碼裝置用以產生多個字線信號。記憶體裝置用以至少基於第一資料信號及第二資料信號產生第三資料信號。記憶體裝置包括第一記憶體電路及第二記憶體電路。第一記憶體電路用以在第一期間依據字線信號產生第一資料信號於第一節點。第二記憶體電路用以在第一期間之後的第二期間依據字線信號產生第二資料信號於不同於第一節點的第二節點。

A memory chip includes a first decoding device and a memory device. The first decoding device is configured to generate multiple word line signals. The memory device is configured to generate a third data signal based on a first data signal and a second data signal. The memory device includes a first memory circuit and a second memory circuit. The first memory circuit is configured to generate the first data signal at a first node according to the word line signals during a first period. The second memory circuit is configured to generate the second data signal at a second node different from the first node according to the word line signals during a second period after the first period.

指定代表圖：



第 4 圖

符號簡單說明：

400:記憶體裝置

VDD、VSS:電壓信號

N40~N43:節點

ENB0~ENB3:致能信號

W0~W3:字線信號

B0~B7:位元線信號

DT40~DT43:資料信號

410~413:記憶體電路

420~423:控制電路

PL:脈衝信號

T403~T405、

T413~T415、

T423~T425、

T433~T435:開關



I780987

## 【發明摘要】

【中文發明名稱】記憶體晶片

【英文發明名稱】MEMORY CHIP

## 【中文】

一種記憶體晶片包括第一解碼裝置及記憶體裝置。第一解碼裝置用以產生多個字線信號。記憶體裝置用以至少基於第一資料信號及第二資料信號產生第三資料信號。記憶體裝置包括第一記憶體電路及第二記憶體電路。第一記憶體電路用以在第一期間依據字線信號產生第一資料信號於第一節點。第二記憶體電路用以在第一期間之後的第二期間依據字線信號產生第二資料信號於不同於第一節點的第二節點。

## 【英文】

A memory chip includes a first decoding device and a memory device. The first decoding device is configured to generate multiple word line signals. The memory device is configured to generate a third data signal based on a first data signal and a second data signal. The memory device includes a first memory circuit and a second memory circuit. The first memory circuit is configured to generate the first data signal at a first node according to the word line signals during a first period. The second memory circuit is configured to generate the second data signal at a second node different from the first node according to the word line signals during a second period after the first period.

【指定代表圖】第 4 圖。

【代表圖之符號簡單說明】

400：記憶體裝置

VDD、VSS：電壓信號

N40~N43：節點

ENB0~ENB3：致能信號

W0~W3：字線信號

B0~B7：位元線信號

DT40~DT43：資料信號

410~413：記憶體電路

420~423：控制電路

PL：脈衝信號

T403~T405、T413~T415、T423~T425、

T433~T435、：開關

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 記憶體晶片

【英文發明名稱】 MEMORY CHIP

【技術領域】

【0001】 本揭示內容是有關於一種記憶體技術，特別是關於一種記憶體晶片。

【先前技術】

【0002】 近距離通訊晶片包含用於儲存資料的記憶體裝置。記憶體裝置可以由薄膜電晶體(thin film transistor, TFT)構成。然而，TFT的源極與汲極之間的阻抗較大、遷移率低。TFT的均勻性(uniformity)不佳並且不適合用於設計放大器。因此，要如何設計出適合TFT元件的記憶體電路架構為本領域重要之課題。

【發明內容】

【0003】 本發明實施例包含一種記憶體晶片。記憶體晶片包括第一解碼裝置及記憶體裝置。第一解碼裝置用以產生多個字線信號。記憶體裝置用以至少基於一第一資料信號及一第二資料信號產生一第三資料信號。記憶體裝置包括第一記憶體電路及第二記憶體電路。第一記憶體電路用以在一第一期間依據字線信號產生第一資料信號於一第一節點。

第二記憶體電路用以在第一期間之後的一第二期間依據字線信號產生第二資料信號於不同於第一節點的一第二節點。

**【圖式簡單說明】**

**【0004】**

第 1 圖為根據本案之一實施例所繪示之記憶體晶片的示意圖。

第 2 圖為根據本案之一實施例所繪示之記憶體晶片的示意圖。

第 3 圖為根據本案之一實施例所繪示之記憶體裝置的示意圖。

第 4 圖為根據本案之一實施例所繪示之記憶體裝置的示意圖。

第 5 圖為根據本揭示內容之一實施例中的記憶體裝置依據致能信號進行操作所繪示之時序圖。

第 6 A 圖為根據本案之一實施例所繪示之邏輯電路的示意圖。

第 6 B 圖為根據本案之一實施例所繪示之邏輯電路的示意圖。

第 7 圖為根據本案之一實施例所繪示之記憶體裝置的示意圖。

第 8 圖為根據本案之一實施例所繪示之邏輯電路的示意圖。

第 9 圖為根據本案之一實施例所繪示之邏輯電路的示意圖。

第 10 圖為根據本揭示內容之一實施例中的記憶體晶片產生資料信號所繪示之時序圖。

第 11 圖為根據本揭示內容之一實施例中的記憶體晶片產生資料信號所繪示之時序圖。

### 【實施方式】

**【0005】** 於本文中，當一元件被稱為「連接」或「耦接」時，可指「電性連接」或「電性耦接」。「連接」或「耦接」亦可用以表示二或多個元件間相互搭配操作或互動。此外，雖然本文中使用了「第一」、「第二」、…等用語描述不同元件，該用語僅是用以區別以相同技術用語描述的元件或操作。除非上下文清楚指明，否則該用語並非特別指稱或暗示次序或順位，亦非用以限定本案。

**【0006】** 除非另有定義，本文使用的所有術語（包括技術和科學術語）具有與本案所屬領域的普通技術人員通常理解的相同的含義。將進一步理解的是，諸如在通常使用的字典中定義的那些術語應當被解釋為具有與它們在相關技術和本案的上下文中的含義一致的含義，並且將不被解釋為理想化的或過度正式的意義，除非本文中明確地這樣定義。

**【0007】** 這裡使用的術語僅僅是為了描述特定實施例的目的，而不是限制性的。如本文所使用的，除非內容清楚地

指示，否則單數形式「一」、「一個」和「該」旨在包括複數形式，包括「至少一個」。「或」表示「及/或」。如本文所使用的，術語「及/或」包括一個或多個相關所列項目的任何和所有組合。還應當理解，當在本說明書中使用時，術語「包括」及/或「包含」指定所述特徵、區域、整體、步驟、操作、元件的存在及/或部件，但不排除一個或多個其它特徵、區域整體、步驟、操作、元件、部件及/或其組合的存在或添加。

**【0008】** 以下將以圖式揭露本案之複數個實施方式，為明確說明起見，許多實務上的細節將在以下敘述中一併說明。然而，應瞭解到，這些實務上的細節不應用以限制本案。也就是說，在本揭示內容部分實施方式中，這些實務上的細節是非必要的。此外，為簡化圖式起見，一些習知慣用的結構與元件在圖式中將以簡單示意的方式繪示之。

**【0009】** 第 1 圖為根據本案之一實施例所繪示之記憶體晶片 100 的示意圖。在一些實施例中，記憶體晶片 100 可以實施為近距離通訊 (Near Field Communication, NFC) 的通訊晶片。請參照第 1 圖，記憶體晶片 100 包括通訊裝置 110、整流裝置 120、分頻裝置 130、計數裝置 140、解碼裝置 150、160、記憶體裝置 170、編碼裝置 180 及緩衝裝置 BF11、BF12。

**【0010】** 如第 1 圖所示，通訊裝置 110 用以接收電壓信號 AC11 於節點 N11 及 N12。整流裝置 120 用以接收電壓信號 AC11 於節點 N11 及 N12，並用以依據電壓信號



AC11 分別產生電壓信號 VDD 及 VSS 於節點 N13 及 N14。在一些實施例中，電壓信號 AC11 為交流電源信號，電壓信號 VDD 及 VSS。在一些實施例中，整流裝置 120 用以將電壓信號 AC11 轉換為電壓信號 VDD 及 VSS。在一些實施例中，電壓信號 VDD 的電壓準位高於電壓信號 VSS 的電壓準位。

**【0011】** 在一些實施例中，記憶體晶片 100 更包括電容 C11 及 C12。如第 1 圖所示，電容 C11 用以接收電壓信號 AC11 於節點 N11 及 N12。電容 C12 用以接收電壓信號 VDD 於節點 N13，並用以接收電壓信號 VSS 於節點 N14。在一些實施例中，電容 C11 的電容值大約為三十九皮法 (pico-farad)。

**【0012】** 如第 1 圖所示，分頻裝置 130 用以接收電壓信號 AC11 於節點 N11，並依據電壓信號 AC11 產生電壓信號 Q2、Q3、Q5 及 Q6。在一些實施例中，電壓信號 Q2、Q3、Q5 及 Q6 係實施為時脈信號。在一些實施例中，電壓信號 Q6 的頻率對應電壓信號 AC11 的頻率，電壓信號 Q5 的頻率大約為電壓信號 Q6 的頻率的一半，電壓信號 Q3 的頻率大約為電壓信號 Q5 的頻率的四分之一，電壓信號 Q2 的頻率大約為電壓信號 Q3 的頻率的一半。

**【0013】** 在一些實施例中，緩衝裝置 BF11 用以依據電壓信號 Q6 產生時脈信號 DV1，且緩衝裝置 BF12 用以依據電壓信號 Q5 產生時脈信號 CLK。如第 1 圖所示，緩衝裝置 BF11 的輸入端用以接收電壓信號 Q6，緩衝裝置 BF11

的輸出端用以輸出時脈信號 DV1。緩衝裝置 BF12 的輸入端用以接收電壓信號 Q5，緩衝裝置 BF12 的輸出端用以輸出時脈信號 CLK。在一些實施例中，緩衝裝置 BF11 及 BF12 的每一者包含一或多個串聯耦接的反相器。在一些實施例中，時脈信號 DV1 的頻率實質上等同於電壓信號 Q6 的頻率，且時脈信號 CLK 的頻率實質上等同於電壓信號 Q5 的頻率。關於時脈信號 CLK 及 DV1 的細節在以下關於第 4 圖至第 11 圖的實施例中進一步說明。

**【0014】** 如第 1 圖所示，計數裝置 140 用以依據時脈信號 CLK 及 CLKB 產生時脈信號 C0~C6 及致能信號 EN。在一些實施例中，時脈信號 CLKB 為時脈信號 CLK 的互補信號。在一些實施例中，一信號的頻率與該信號互補信號的頻率相等。在一些實施例中，計數裝置 140 係實施為非同步計數器。關於時脈信號 C0~C6、CLKB 及致能信號 EN 的細節在以下關於第 4 圖至第 11 圖的實施例中進一步說明。

**【0015】** 如第 1 圖所示，解碼裝置 150 用以依據時脈信號 C3、C4、DV1 及 DV1B 產生字線信號 W0~W3。解碼裝置 160 用以依據時脈信號 C0~C2、DV1 及 DV1B 產生位元線信號 B0~B7。在一些實施例中，時脈信號 DV1B 為時脈信號 DV1 的互補信號。在一些實施例中，解碼裝置 150 及 160 係實施為同步解碼器。關於字線信號 W0~W3、位元線信號 B0~B7 及時脈信號 DV1B 的細節在以下關於第 4 圖至第 11 圖的實施例中進一步說明。

【0016】 如第 1 圖所示，記憶體裝置 170 用以依據字線信號  $W0 \sim W3$ 、位元線信號  $B0 \sim B7$  及時脈信號  $DV1$ 、 $DV1B$ 、 $C5$ 、 $C6$ 、 $CLKB$  產生資料信號  $DT1$ 。

【0017】 如第 1 圖所示，編碼裝置 180 用以依據資料信號  $DT1$ 、致能信號  $EN$ 、時脈信號  $DV1$  及電壓信號  $Q2$ 、 $Q3$  輸出資料信號  $DT2$ 。在一些實施例中，編碼裝置 180 用以依據 ISO 格式對資料信號  $DT1$  進行編碼以產生資料信號  $DT2$ 。在一些實施例中，編碼裝置 180 用以傳輸資料信號  $DT2$  至通訊裝置 110，且通訊裝置 110 用以傳輸資料信號  $DT2$  至外部的設備及 / 或裝置。

【0018】 第 2 圖為根據本案之一實施例所繪示之記憶體晶片 200 的示意圖。如第 2 圖所示，記憶體晶片 200 包括計數裝置 240、解碼裝置 250、260 及記憶體裝置 270。請參照第 2 圖及第 1 圖，記憶體晶片 200 係記憶體晶片 100 的一種實施例。計數裝置 240、解碼裝置 250、260 及記憶體裝置 270 分別對應計數裝置 140、解碼裝置 150、160 及記憶體裝置 170，因此部分細節不再重複說明。在一些實施例中，記憶體晶片 200 更包括對應通訊裝置 110、整流裝置 120、分頻裝置 130、編碼裝置 180 及緩衝裝置  $BF11$ 、 $BF12$  的各種裝置。

【0019】 在一些實施例中，計數裝置 240 用以提供各種信號，例如第 1 圖所示之時脈信號  $C3 \sim C4$ ，至解碼裝置 250，並用以提供各種信號，例如第 1 圖所示之時脈信號  $C0 \sim C2$ ，至解碼裝置 260。解碼裝置 250 用以產生字線信號

W 0 ~ W 3 。解碼裝置 2 6 0 用以產生位元線信號 B 0 ~ B 7 。記憶體裝置 2 7 0 用以依據字線信號 W 0 ~ W 3 及位元線信號 B 0 ~ B 7 進行操作。

【0020】 在一些實施例中，記憶體裝置 2 7 0 包含記憶體電路 2 7 1 ~ 2 7 4 。在一些實施例中，記憶體電路 2 7 1 ~ 2 7 4 的每一者用以依據字線信號 W 0 ~ W 3 及位元線信號 B 0 ~ B 7 同步進行操作。在一些實施例中，記憶體電路 2 7 1 ~ 2 7 4 的每一者用以儲存三十二個位元的資料，其中三十二個位元的數量對應字線信號 W 0 ~ W 3 的數量及位元線信號 B 0 ~ B 7 的數量相乘的數量。在上述實施例中，記憶體裝置 2 7 0 用以儲存一百二十八個位元的資料。在一些實施例中，記憶體電路 2 7 1 ~ 2 7 4 的每一者係以動態可程式化唯讀記憶體 (Dynamic Programmable Read Only Memory, D P R O M) 實施。在一些實施例中，記憶體電路 2 7 1 ~ 2 7 4 的每一者被稱為資料儲存庫 (data bank) 。

【0021】 在各種實施例中，記憶體裝置 2 7 0 可以包含各種數量的記憶體電路，並且解碼裝置 2 5 0 用以產生對應數量的字線信號。

【0022】 在一些先前的作法中，記憶體裝置只包含一個記憶體電路。解碼裝置需要產生大量的字線信號以對記憶體電路進行非同步控制。如此一來，解碼裝置以及用以控制解碼裝置的計數裝置佔據的面積較大，並且可能會產生字線信號的相位重疊時產生的短路電流。

【0023】 相較於上述的作法，在本發明實施例中，解碼裝置

250 以相同的字線信號  $W_0 \sim W_3$  對記憶體電路 271~274 進行同步控制，使得解碼裝置 250 及計數裝置 240 所需的面積較小，並且降低了短路電流。

【0024】 第 3 圖為根據本案之一實施例所繪示之記憶體裝置 300 的示意圖。如第 3 圖所示，記憶體裝置 300 包括記憶體電路 310 及控制電路 320。請參照第 2 圖及第 3 圖，記憶體裝置 300 係記憶體裝置 270 的一種實施例。記憶體電路 271~274 的每一者可以實施為記憶體電路 310，因此部分細節不再重複說明。

【0025】 如第 3 圖所示，記憶體電路 310 及控制電路 320 耦接於節點 N32。在一些實施例中，控制電路 320 用以依據致能信號 ENB 及脈衝信號 PL 調整節點 N32 的電壓準位，以對記憶體電路 310 進行控制。記憶體電路 310 用以依據節點 N32 的電壓準位啟動或停用，並且在啟動時依據字線信號 WM 及位元線信號 BN 產生資料信號 DT31。其中字線信號 WM 及位元線信號 BN 中的 N 及 M 為大於或等於零的整數。請參照第 3 圖及第 1 圖，資料信號 DT31 係資料信號 DT1 的一種實施例，字線信號 WM 對應字線信號  $W_0 \sim W_3$ ，且位元線信號 BN 對應位元線信號  $B_0 \sim B_7$ 。在一些實施例中，致能信號 ENB 為致能信號 EN 的互補信號。

【0026】 在一些實施例中，記憶體電路 310 包含開關 T31 及 T32。如第 3 圖所示，開關 T31 的控制端用以接收位元線信號 BN，開關 T31 的一端耦接節點 N32，開關 T31

的另一端耦接節點 N 3 1。開關 T 3 2 的控制端用以接收字線信號 W M，開關 T 3 2 的一端耦接節點 N 3 1，開關 T 3 2 的另一端用以接收電壓信號 V S S 或接地電壓。

【0027】 在一些實施例中，控制電路 3 2 0 包含開關 T 3 3 ~ T 3 5。如第 3 圖所示，開關 T 3 3 的控制端用以接收致能信號 E N B，開關 T 3 3 的一端耦接節點 N 3 3，開關 T 3 3 的另一端用以接收電壓信號 V D D 或其他具有致能電壓準位的電壓信號。開關 T 3 4 的控制端用以接收脈衝信號 P L，開關 T 3 4 的一端耦接節點 N 3 3，開關 T 3 4 的另一端耦接節點 N 3 2。開關 T 3 5 的控制端用以接收致能信號 E N B，開關 T 3 5 的一端耦接節點 N 3 2，開關 T 3 5 的另一端用以接收電壓信號 V S S 或接地電壓。

【0028】 在一些實施例中，開關 T 3 1、T 3 2 及 T 3 5 的類型不同於開關 T 3 3 及 T 3 4 的類型。舉例來說，開關 T 3 1、T 3 2 及 T 3 5 係實施為 N 型薄膜電晶體 (N-type thin film transistor, NTFT)，且開關 T 3 3 及 T 3 4 係實施為 P 型薄膜電晶體 (P-type thin film transistor, PTFT) 電晶體。

【0029】 在一些實施例中，當開關 T 3 3 依據致能信號 E N B 導通時，開關 T 3 5 依據致能信號 E N B 關閉。當開關 T 3 3 依據致能信號 E N B 關閉時，開關 T 3 5 依據致能信號 E N B 導通。

【0030】 在一些實施例中，開關 T 3 5 導通以將節點 N 3 2 的電壓準位拉至電壓信號 V S S 的電壓準位。在節點 N 3 2 具

有電壓信號  $VSS$  的電壓準位時，節點  $N32$  及節點  $N34$  之間的電壓差實質上等同於零，記憶體電路  $310$  不會產生資料信號  $DT31$ 。換言之，開關  $T35$  導通以停用記憶體電路  $310$ 。

**【0031】** 在一些實施例中，開關  $T33$  導通以將節點  $N33$  的電壓準位拉至電壓信號  $VDD$  的電壓準位。在節點  $N33$  具有電壓信號  $VDD$  的電壓準位時，開關  $T34$  可以在導通時對節點  $N32$  充電，使得記憶體電路  $310$  能夠依據字線信號  $WM$  及位元線信號  $BN$  產生資料信號  $DT31$ 。換言之，開關  $T33$  導通以啟動記憶體電路  $310$ 。

**【0032】** 在一些先前的作法中，記憶體電路中用以輸出資料信號的節點需要常態性的進行充電，控制電路需要提供較大的電流，使得所需面積較大且容易產生漏電流。

**【0033】** 相較於上述的作法，在本發明實施例中，控制電路  $320$  藉由致能信號  $ENB$  停用或啟動記憶體電路  $310$ 。記憶體電路  $310$  在停用時無電流通過，且在記憶體電路  $310$  啟動時，通過節點  $N32$  的電流較小。控制電路  $320$  藉由脈衝信號  $PL$  在適合的時候對節點  $N32$  充電。如此一來，記憶體裝置  $300$  的所需面積較小且漏電流較少。對應地，資料信號  $DT31$  具有較高的信號品質。

**【0034】** 第 4 圖為根據本案之一實施例所繪示之記憶體裝置  $400$  的示意圖。請參照第 1 圖及第 4 圖，記憶體裝置  $400$  係記憶體裝置  $170$  的一種實施例。如第 4 圖所示，記憶體裝置  $400$  包括記憶體電路  $410 \sim 413$  及控制電路

420~423。請參照第2圖及第4圖，記憶體裝置400係記憶體裝置270的一種實施例。記憶體電路410~413分別對應記憶體電路271~274，因此部分細節不再重複說明。

**【0035】** 如第4圖所示，記憶體電路410耦接控制電路420於節點N40，記憶體電路411耦接控制電路421於節點N41，記憶體電路412耦接控制電路422於節點N42，記憶體電路413耦接控制電路423於節點N43。在一些實施例中，節點N40~N43彼此電性分離。

**【0036】** 在一些實施例中，控制電路420用以依據致能信號ENB0及脈衝信號PL控制記憶體電路410，使得記憶體電路410產生資料信號DT40於節點N40。在一些實施例中，控制電路420包含開關T403~T405。請參照第3圖及第4圖，開關T403~T405的配置方式類似於開關T33~T35的配置方式，且控制電路420依據致能信號ENB0及脈衝信號PL控制記憶體電路410產生資料信號DT40的操作方式類似於控制電路320依據致能信號ENB及脈衝信號PL控制記憶體電路310產生資料信號DT31的操作方式，因此部分細節不再重複說明。

**【0037】** 在一些實施例中，控制電路421用以依據致能信號ENB1及脈衝信號PL控制記憶體電路411，使得記憶體電路411產生資料信號DT41於節點N41。在一些實施例中，控制電路421包含開關T413~T415。請參照第3圖及第4圖，開關T413~T415的配置方式類似於開關



T 3 3 ~ T 3 5 的配置方式，且控制電路 4 2 1 依據致能信號 E N B 1 及脈衝信號 P L 控制記憶體電路 4 1 1 產生資料信號 D T 4 1 的操作方式類似於控制電路 3 2 0 依據致能信號 E N B 及脈衝信號 P L 控制記憶體電路 3 1 0 產生資料信號 D T 3 1 的操作方式，因此部分細節不再重複說明。

【0038】 在一些實施例中，控制電路 4 2 2 用以依據致能信號 E N B 2 及脈衝信號 P L 控制記憶體電路 4 1 2，使得記憶體電路 4 1 2 產生資料信號 D T 4 2 於節點 N 4 2。在一些實施例中，控制電路 4 2 2 包含開關 T 4 2 3 ~ T 4 2 5。請參照第 3 圖及第 4 圖，開關 T 4 2 3 ~ T 4 2 5 的配置方式類似於開關 T 3 3 ~ T 3 5 的配置方式，且控制電路 4 2 2 依據致能信號 E N B 2 及脈衝信號 P L 控制記憶體電路 4 1 2 產生資料信號 D T 4 2 的操作方式類似於控制電路 3 2 0 依據致能信號 E N B 及脈衝信號 P L 控制記憶體電路 3 1 0 產生資料信號 D T 3 1 的操作方式，因此部分細節不再重複說明。

【0039】 在一些實施例中，控制電路 4 2 3 用以依據致能信號 E N B 3 及脈衝信號 P L 控制記憶體電路 4 1 3，使得記憶體電路 4 1 3 產生資料信號 D T 4 3 於節點 N 4 3。在一些實施例中，控制電路 4 2 3 包含開關 T 4 3 3 ~ T 4 3 5。請參照第 3 圖及第 4 圖，開關 T 4 3 3 ~ T 4 3 5 的配置方式類似於開關 T 3 3 ~ T 3 5 的配置方式，且控制電路 4 2 3 依據致能信號 E N B 0 及脈衝信號 P L 控制記憶體電路 4 1 3 產生資料信號 D T 4 3 的操作方式類似於控制電路 3 2 0 依據致能信號 E N B 及脈衝信號 P L 控制記憶體電路 3 1 0 產生資料信號

DT31 的操作方式，因此部分細節不再重複說明。

【0040】 請參照第 2 圖及第 4 圖，在一些實施例中，記憶體電路 410~413 的每一者用以依據字線信號 W0~W4 產生資料信號 DT40~DT43 的對應一者。在一些實施例中，記憶體電路 410~413 更用以依據位元線信號 B0~B7 產生資料信號 DT40~DT43。

【0041】 在一些實施例中，開關 T403、T404、T413、T414、T423、T424、T433、T434 的類型不同於開關 T405、T415、T425、T435 的類型。舉例來說，開關 T403、T404、T413、T414、T423、T424、T433、T434 係實施為 PTFT，且開關 T405、T415、T425、T435 係實施為 NTFT。

【0042】 第 5 圖為根據本揭示內容之一實施例中的記憶體裝置 400 依據致能信號 ENB0~ENB3 進行操作所繪示之時序圖 500。如第 5 圖所示，時序圖 500 包括依序且連續排列的期間 P51~P510。

【0043】 如第 5 圖所示，在期間 P53，致能信號 ENB0 具有電壓準位 VL，且致能信號 ENB1~ENB3 具有電壓準位 VH。請參照第 5 圖及第 4 圖，在期間 P53，回應於致能信號 ENB0 具有電壓準位 VL，開關 T403 導通且開關 T405 關閉，使得記憶體電路 410 產生資料信號 DT40。在期間 P53，回應於致能信號 ENB1~ENB3 具有電壓準位 VH，開關 T415、425 及 435 導通且開關 T413、423 及 433 關閉，使得記憶體電路 411~413 被停用。在一些

實施例中，記憶體電路 410~413 的每一者在被停用時不產生資料信號 DT40~DT43 的對應一者。

**【0044】** 如第 5 圖所示，在期間 P54，致能信號 ENB1 具有電壓準位 VL，且致能信號 ENB0、ENB2、ENB3 具有電壓準位 VH。請參照第 5 圖及第 4 圖，在期間 P54，回應於致能信號 ENB1 具有電壓準位 VL，開關 T413 導通且開關 T415 關閉，使得記憶體電路 411 產生資料信號 DT41。在期間 P54，回應於致能信號 ENB0、ENB2、ENB3 具有電壓準位 VH，開關 T405、425 及 435 導通且開關 T403、423 及 433 關閉，使得記憶體電路 410、412 及 413 被停用。

**【0045】** 如第 5 圖所示，在期間 P55，致能信號 ENB2 具有電壓準位 VL，且致能信號 ENB0、ENB1、ENB3 具有電壓準位 VH。請參照第 5 圖及第 4 圖，在期間 P55，回應於致能信號 ENB2 具有電壓準位 VL，開關 T423 導通且開關 T425 關閉，使得記憶體電路 412 產生資料信號 DT42。在期間 P55，回應於致能信號 ENB0、ENB1、ENB3 具有電壓準位 VH，開關 T405、415 及 435 導通且開關 T403、413 及 433 關閉，使得記憶體電路 410、411 及 413 被停用。

**【0046】** 如第 5 圖所示，在期間 P56，致能信號 ENB3 具有電壓準位 VL，且致能信號 ENB0~ENB2 具有電壓準位 VH。請參照第 5 圖及第 4 圖，在期間 P56，回應於致能信號 ENB3 具有電壓準位 VL，開關 T433 導通且開關

T 4 3 5 關閉，使得記憶體電路 4 1 3 產生資料信號 D T 4 3 。在期間 P 5 6 ，回應於致能信號 E N B 0 ~ E N B 2 具有電壓準位 V H ，開關 T 4 1 5 、 4 2 5 及 4 0 5 導通且開關 T 4 1 3 、 4 2 3 及 4 0 3 關閉，使得記憶體電路 4 1 0 ~ 4 1 2 被停用。

【0047】 請參照第 2 圖至第 5 圖，在一些實施例中，在期間 P 5 3 ~ P 5 6 ，記憶體電路 4 1 0 ~ 4 1 3 依序啟動，並在啟動時依據相同的字線信號 W 0 ~ W 3 及位元線信號 B 0 ~ B 7 依序產生資料信號 D T 4 0 ~ D T 4 3 。

【0048】 如第 5 圖所示，期間 P 5 7 ~ P 5 1 0 的操作分別類似於期間 P 5 3 ~ P 5 6 的操作，且期間 P 5 1 ~ P 5 2 的操作分別類似於期間 P 5 5 ~ P 5 6 的操作，因此部分細節不再重複說明。

【0049】 第 6 A 圖為根據本案之一實施例所繪示之邏輯電路 6 0 0 A 的示意圖。請參照第 4 圖及第 6 A 圖，在一些實施例中，邏輯電路 6 0 0 A 包含於記憶體裝置 4 0 0 。請參照第 1 圖、第 4 圖及第 6 A 圖，邏輯電路 6 0 0 A 用以依據時脈信號 C 5 及 C 6 產生致能信號 E N B 0 ~ E N B 3 。

【0050】 在一些實施例中，邏輯電路 6 0 0 A 包括邏輯元件 N R 6 0 ~ N R 6 3 及 I V 6 0 ~ I V 6 3 。在一些實施例中，邏輯元件 N R 6 0 ~ N R 6 3 的每一者係實施為非或 ( N O R ) 邏輯閘，且邏輯元件 I V 6 0 ~ I V 6 3 的每一者係實施為反相器。在一些實施例中，邏輯元件 I V 6 0 ~ I V 6 3 用以依據時脈信號 D V 1 進行操作。在各種實施例中，邏輯元件 N R 6 0 ~ N R 6 3 及 I V 6 0 ~ I V 6 3 可以實施為各種類型的邏輯元件。

【0051】 如第 6 A 圖所示，邏輯元件 NR 6 0 的兩個輸入端分別用以接收時脈信號 C 5 及 C 6，邏輯元件 NR 6 0 的輸出端用以輸出致能信號 EN 0。邏輯元件 IV 6 0 的輸入端用以接收致能信號 EN 0，邏輯元件 IV 6 0 的輸出端用以輸出致能信號 EN B 0。在一些實施例中，致能信號 EN 0 為致能信號 EN B 0 的互補信號。

【0052】 如第 6 A 圖所示，邏輯元件 NR 6 1 的兩個輸入端分別用以接收時脈信號 C 6 及 C B 5，邏輯元件 NR 6 1 的輸出端用以輸出致能信號 EN 1。邏輯元件 IV 6 1 的輸入端用以接收致能信號 EN 1，邏輯元件 IV 6 1 的輸出端用以輸出致能信號 EN B 1。在一些實施例中，致能信號 EN 1 為致能信號 EN B 1 的互補信號，且時脈信號 C B 5 為時脈信號 C 5 的互補信號。

【0053】 如第 6 A 圖所示，邏輯元件 NR 6 2 的兩個輸入端分別用以接收時脈信號 C 5 及 C B 6，邏輯元件 NR 6 2 的輸出端用以輸出致能信號 EN 2。邏輯元件 IV 6 2 的輸入端用以接收致能信號 EN 2，邏輯元件 IV 6 2 的輸出端用以輸出致能信號 EN B 2。在一些實施例中，致能信號 EN 2 為致能信號 EN B 2 的互補信號，且時脈信號 C B 6 為時脈信號 C 6 的互補信號。

【0054】 如第 6 A 圖所示，邏輯元件 NR 6 3 的兩個輸入端分別用以接收時脈信號 C B 5 及 C B 6，邏輯元件 NR 6 3 的輸出端用以輸出致能信號 EN 3。邏輯元件 IV 6 3 的輸入端用以接收致能信號 EN 3，邏輯元件 IV 6 3 的輸出端用以輸

出致能信號 ENB3。在一些實施例中，致能信號 EN3 為致能信號 ENB3 的互補信號。

【0055】 第 6B 圖為根據本案之一實施例所繪示之邏輯電路 600B 的示意圖。請參照第 4 圖及第 6B 圖，在一些實施例中，邏輯電路 600B 包含於記憶體裝置 400。請參照第 1 圖及第 6B 圖，邏輯電路 600B 用以依據資料信號 DT40~DT43 產生資料信號 DT1。

【0056】 在一些實施例中，邏輯電路 600B 包括邏輯元件 OR61。在一些實施例中，邏輯元件 OR61 係實施為或 (OR) 邏輯元件。在各種實施例中，邏輯元件 OR61 可以實施為各種類型的邏輯元件。

【0057】 第 6B 圖所示，邏輯元件 OR61 用以接收資料信號 DT40~DT43，並用以對資料信號 DT40~DT43 進行或 (OR) 操作以產生資料信號 DT1。在一些實施例中，資料信號 DT1 包含資料信號 DT40~DT43 的資訊。舉例來說，資料信號 DT40~DT43 的每一者包含三十二個位元的資訊，資料信號 DT1 包含對應的一百二十八個位元的資訊。

【0058】 第 7 圖為根據本案之一實施例所繪示之記憶體裝置 700 的示意圖。如第 7 圖所示，記憶體裝置 700 包括記憶體電路 710 及控制電路 720。控制電路 720 用以控制記憶體電路 710，使得記憶體電路 710 產生資料信號 DT71 於節點 N71。請參照第 7 圖及第 3 圖，記憶體裝置 700 係記憶體裝置 300 的一種實施例。記憶體電路 710 及控制

電路 720 產生資料信號 DT71 的操作對應記憶體電路 310 及控制電路 320 產生資料信號 DT31 的操作，因此部分細節不再重複說明。

**【0059】** 在一些實施例中，控制電路 720 包含開關 T73 ~ T75。在一些實施例中，開關 T75 係實施為 NTFT，且開關 T73 及 T74 係實施為 PTFT。開關 T73 ~ T75 用以依據致能信號 ENB 及脈衝信號 PL 進行操作。請參照第 7 圖及第 3 圖，開關 T73 ~ T75 的配置方式及開關 T73 ~ T75 依據致能信號 ENB 及脈衝信號 PL 的操作類似於開關 T33 ~ T35 的配置方式及開關 T33 ~ T35 依據致能信號 ENB 及脈衝信號 PL 的操作，因此部分細節不再重複說明。

**【0060】** 在一些實施例中，記憶體電路 710 包含開關 Z0 ~ Z7、X00 ~ X03、X10 ~ X13、X20 ~ X23、X30 ~ X33、X40 ~ X43、X50 ~ X53、X60 ~ X63 及 X70 ~ X73。請參照第 7 圖及第 4 圖，記憶體電路 710 係記憶體電路 410 ~ 413 的每一者的一種實施例。在一些實施例中，記憶體電路 410 ~ 413 的每一者具有類似於記憶體電路 710 的配置。在上述實施例中，記憶體電路 410 ~ 413 產生資料信號 DT40 ~ DT43 的操作方式類似於記憶體電路 710 產生資料信號 DT71 的操作方式。在一些實施例中，開關 Z0 ~ Z7、X00 ~ X03、X10 ~ X13、X20 ~ X23、X30 ~ X33、X40 ~ X43、X50 ~ X53、X60 ~ X63 及 X70 ~ X73 係實施為 NTFT。

【0061】 如第 7 圖所示，開關 Z 0 ~ Z 7 的控制端分別用以接收位元線信號 B 0 ~ B 7 。開關 Z 0 ~ Z 7 的第一端耦接節點 N 7 1 ，開關 Z 0 ~ Z 7 的第二端分別耦接節點 N 7 2 ~ N 7 9 。

【0062】 如第 7 圖所示，開關 X 0 0 、 X 1 0 、 X 2 0 、 X 3 0 、 X 4 0 、 X 5 0 、 X 6 0 及 X 7 0 的控制端用以接收字線信號 W 0 ，開關 X 0 1 、 X 1 1 、 X 2 1 、 X 3 1 、 X 4 1 、 X 5 1 、 X 6 1 及 X 7 1 的控制端用以接收字線信號 W 1 ，開關 X 0 2 、 X 1 2 、 X 2 2 、 X 3 2 、 X 4 2 、 X 5 2 、 X 6 2 及 X 7 2 的控制端用以接收字線信號 W 2 ，開關 X 0 3 、 X 1 3 、 X 2 3 、 X 3 3 、 X 4 3 、 X 5 3 、 X 6 3 及 X 7 3 的控制端用以接收字線信號 W 3 。

【0063】 如第 7 圖所示，開關 X 0 0 ~ X 0 3 的第一端耦接節點 N 7 9 ，開關 X 1 0 ~ X 1 3 的第一端耦接節點 N 7 8 ，開關 X 2 0 ~ X 2 3 的第一端耦接節點 N 7 7 ，開關 X 3 0 ~ X 3 3 的第一端耦接節點 N 7 6 ，開關 X 4 0 ~ X 4 3 的第一端耦接節點 N 7 5 ，開關 X 5 0 ~ X 5 3 的第一端耦接節點 N 7 4 ，開關 X 6 0 ~ X 6 3 的第一端耦接節點 N 7 3 ，開關 X 7 0 ~ X 7 3 的第一端耦接節點 N 7 2 。開關 Z 0 ~ Z 7 、 X 0 0 ~ X 0 3 、 X 1 0 ~ X 1 3 、 X 2 0 ~ X 2 3 、 X 3 0 ~ X 3 3 、 X 4 0 ~ X 4 3 、 X 5 0 ~ X 5 3 、 X 6 0 ~ X 6 3 及 X 7 0 ~ X 7 3 的第二端用以接收電壓信號 V S S 或接地電壓。

【0064】 在第 7 圖所示之實施例中，記憶體電路 7 1 0 用以儲存三十二個位元的資料，其中開關 X 0 0 ~ X 0 3 、 X 1 0 ~ X 1 3 、 X 2 0 ~ X 2 3 、 X 3 0 ~ X 3 3 、 X 4 0 ~ X 4 3 、 X 5 0 ~ X 5 3 、 X 6 0 ~ X 6 3 及 X 7 0 ~ X 7 3 分別用以讀取一個



對應位元的資料，以產生具有三十二個位元的資料信號 DT71。

【0065】請參照第 7 圖及第 3 圖，對於大於或等於零且小於或等於 7 的整數  $i$  及  $j$ ，以及大於或等於零且小於或等於 3 的整數  $k$ ，開關  $Z_i$  及  $X_{jk}$  的配置方式及開關  $Z_i$  及  $X_{jk}$  依據字線信號  $W_0 \sim W_3$  及位元線信號  $B_0 \sim B_7$  產生資料信號 DT71 的操作類似於開關 T31 及 T32 的配置方式及開關 T31 及 T32 依據字線信號  $W_M$  及位元線信號  $B_N$  產生資料信號 DT31 的操作，因此部分細節不再重複說明。

【0066】在一些實施例中，記憶體電路 710 更包含切割區 712。如第 7 圖所示，切割區 712 介於開關  $Z_0 \sim Z_7$ 、 $X_{00} \sim X_{03}$ 、 $X_{10} \sim X_{13}$ 、 $X_{20} \sim X_{23}$ 、 $X_{30} \sim X_{33}$ 、 $X_{40} \sim X_{43}$ 、 $X_{50} \sim X_{53}$ 、 $X_{60} \sim X_{63}$ 、 $X_{70} \sim X_{73}$  以及提供電壓信號 VSS 的電壓源之間。在一些實施例中，切割區 712 包含用以進行雷射切割的匯流排線 (bus line)。

【0067】第 8 圖為根據本案之一實施例所繪示之邏輯電路 800 的示意圖。請參照第 1 圖及第 8 圖，在一些實施例中，邏輯電路 800 包含於解碼裝置 160。如第 8 圖所示，邏輯電路 800 用以依據時脈信號  $C_0 \sim C_2$  及  $CB_0 \sim CB_2$  產生位元線信號  $B_0 \sim B_7$ 。在一些實施例中，時脈信號  $CB_0 \sim CB_2$  分別為時脈信號  $C_0 \sim C_2$  的互補信號。

【0068】在一些實施例中，邏輯電路 800 包含邏輯元件 ND81~ND84、NR81~NR88、NV81~NV86 及 IV81~IV86。在一些實施例中，邏輯元件 ND81~ND84

的每一者係實施為非與 (NAND) 邏輯閘，邏輯元件 NR 81 ~ NR 88 的每一者係實施為非或 (NOR) 邏輯閘，且邏輯元件 NV 81 ~ NV 86 及 IV 81 ~ IV 86 的每一者係實施為反相器。在一些實施例中，IV 81 ~ IV 86 的每一者用以依據時脈信號 DV 1 進行操作。

**【0069】** 如第 8 圖所示，邏輯元件 IV 81 的輸入端用以接收時脈信號 CB 2，邏輯元件 IV 81 的輸出端耦接邏輯元件 NV 81 的輸入端。邏輯元件 NV 81 的輸出端用以輸出致能信號 EL 2。邏輯元件 IV 82 的輸入端用以接收時脈信號 C 2，邏輯元件 IV 82 的輸出端耦接邏輯元件 NV 82 的輸入端。邏輯元件 NV 82 的輸出端用以輸出致能信號 ELB 2。

**【0070】** 如第 8 圖所示，邏輯元件 ND 81 的兩個輸入端分別用以接收時脈信號 C 1 及 C 0，邏輯元件 ND 81 的輸出端耦接邏輯元件 IV 83 的輸入端。邏輯元件 IV 83 的輸出端耦接邏輯元件 NV 83 的輸入端。邏輯元件 NR 81 的一輸入端用以接收致能信號 EL 2，邏輯元件 NR 81 的另一輸入端耦接邏輯元件 NV 83 的輸出端，邏輯元件 NR 81 的輸出端用以輸出位元線信號 B 0。邏輯元件 NR 82 的一輸入端用以接收致能信號 ELB 2，邏輯元件 NR 82 的另一輸入端耦接邏輯元件 NV 83 的輸出端，邏輯元件 NR 82 的輸出端用以輸出位元線信號 B 4。

**【0071】** 如第 8 圖所示，邏輯元件 ND 82 的兩個輸入端分別用以接收時脈信號 C 1 及 CB 0，邏輯元件 ND 82 的輸出端耦接邏輯元件 IV 84 的輸入端。邏輯元件 IV 84 的輸出

端耦接邏輯元件 NV84 的輸入端。邏輯元件 NR83 的一輸入端用以接收致能信號 EL2，邏輯元件 NR83 的另一輸入端耦接邏輯元件 NV84 的輸出端，邏輯元件 NR83 的輸出端用以輸出位元線信號 B1。邏輯元件 NR84 的一輸入端用以接收致能信號 ELB2，邏輯元件 NR84 的另一輸入端耦接邏輯元件 NV84 的輸出端，邏輯元件 NR84 的輸出端用以輸出位元線信號 B5。

**【0072】** 如第 8 圖所示，邏輯元件 ND83 的兩個輸入端分別用以接收時脈信號 CB1 及 C0，邏輯元件 ND83 的輸出端耦接邏輯元件 IV85 的輸入端。邏輯元件 IV85 的輸出端耦接邏輯元件 NV85 的輸入端。邏輯元件 NR85 的一輸入端用以接收致能信號 EL2，邏輯元件 NR85 的另一輸入端耦接邏輯元件 NV85 的輸出端，邏輯元件 NR85 的輸出端用以輸出位元線信號 B2。邏輯元件 NR86 的一輸入端用以接收致能信號 ELB2，邏輯元件 NR86 的另一輸入端耦接邏輯元件 NV85 的輸出端，邏輯元件 NR86 的輸出端用以輸出位元線信號 B6。

**【0073】** 如第 8 圖所示，邏輯元件 ND84 的兩個輸入端分別用以接收時脈信號 CB1 及 CB0，邏輯元件 ND84 的輸出端耦接邏輯元件 IV86 的輸入端。邏輯元件 IV86 的輸出端耦接邏輯元件 NV86 的輸入端。邏輯元件 NR87 的一輸入端用以接收致能信號 EL2，邏輯元件 NR87 的另一輸入端耦接邏輯元件 NV86 的輸出端，邏輯元件 NR87 的輸出端用以輸出位元線信號 B3。邏輯元件 NR88 的一輸入

端用以接收致能信號  $ELB2$ ，邏輯元件  $NR88$  的另一輸入端耦接邏輯元件  $NV86$  的輸出端，邏輯元件  $NR88$  的輸出端用以輸出位元線信號  $B7$ 。

【0074】 第 9 圖為根據本案之一實施例所繪示之邏輯電路 900 的示意圖。請參照第 1 圖及第 9 圖，在一些實施例中，邏輯電路 900 包含於解碼裝置 150。如第 9 圖所示，邏輯電路 900 用以依據時脈信號  $CLKB$  及  $DV1B$  產生脈衝信號  $PL$ ，用以依據脈衝信號  $PL$ 、時脈信號  $C3 \sim C4$  及  $CB3 \sim CB4$  產生字線信號  $W0 \sim W3$ 。在一些實施例中，時脈信號  $CB3 \sim CB4$  分別為時脈信號  $C3 \sim C4$  的互補信號。

【0075】 在一些實施例中，邏輯電路 900 包含邏輯元件  $AD91 \sim AD94$ 、 $NR91 \sim NR95$ 、 $NV91 \sim NV94$  及  $IV91 \sim IV94$ 。在一些實施例中，邏輯元件  $AD91 \sim AD94$  的每一者係實施為與 (AND) 邏輯閘，邏輯元件  $NR91 \sim NR95$  的每一者係實施為非或 (NOR) 邏輯閘，且邏輯元件  $NV91 \sim NV94$  及  $IV91 \sim IV94$  的每一者係實施為反相器。在一些實施例中， $IV91 \sim IV94$  的每一者用以依據時脈信號  $DV1$  進行操作。

【0076】 如第 9 圖所示，邏輯元件  $NR91$  的兩個輸入端分別用以接收時脈信號  $CLKB$  及  $DV1B$ ，邏輯元件  $NR91$  的輸出端用以輸出脈衝信號  $PL$ 。

【0077】 如第 9 圖所示，邏輯元件  $NR92$  的兩個輸入端分別用以接收時脈信號  $C3$  及  $C4$ ，邏輯元件  $NR92$  的輸出端耦接邏輯元件  $IV91$  的輸入端。邏輯元件  $IV91$  的輸出端

耦接邏輯元件 NV91 的輸入端。邏輯元件 AD91 的一輸入端耦接邏輯元件 NV91 的輸出端，邏輯元件 AD91 的另一輸入端用以接收脈衝信號 PL，邏輯元件 AD91 的輸出端用以輸出字線信號 W0。

【0078】 如第 9 圖所示，邏輯元件 NR93 的兩個輸入端分別用以接收時脈信號 CB3 及 C4，邏輯元件 NR93 的輸出端耦接邏輯元件 IV92 的輸入端。邏輯元件 IV92 的輸出端耦接邏輯元件 NV92 的輸入端。邏輯元件 AD92 的一輸入端耦接邏輯元件 NV92 的輸出端，邏輯元件 AD92 的另一輸入端用以接收脈衝信號 PL，邏輯元件 AD92 的輸出端用以輸出字線信號 W1。

【0079】 如第 9 圖所示，邏輯元件 NR94 的兩個輸入端分別用以接收時脈信號 C3 及 CB4，邏輯元件 NR94 的輸出端耦接邏輯元件 IV93 的輸入端。邏輯元件 IV93 的輸出端耦接邏輯元件 NV93 的輸入端。邏輯元件 AD93 的一輸入端耦接邏輯元件 NV93 的輸出端，邏輯元件 AD93 的另一輸入端用以接收脈衝信號 PL，邏輯元件 AD93 的輸出端用以輸出字線信號 W2。

【0080】 如第 9 圖所示，邏輯元件 NR95 的兩個輸入端分別用以接收時脈信號 CB3 及 CB4，邏輯元件 NR95 的輸出端耦接邏輯元件 IV94 的輸入端。邏輯元件 IV94 的輸出端耦接邏輯元件 NV94 的輸入端。邏輯元件 AD94 的一輸入端耦接邏輯元件 NV94 的輸出端，邏輯元件 AD94 的另一輸入端用以接收脈衝信號 PL，邏輯元件 AD94 的輸

出端用以輸出字線信號 W3。

【0081】 第 10 圖為根據本揭示內容之一實施例中的記憶體晶片 100 產生資料信號 DT1 所繪示之時序圖 1000。如第 10 圖所示，時序圖 1000 包括依序且連續排列的期間 Q1~Q15。請參照第 1 圖、第 4 圖及第 7 圖，在第 10 圖所示的實施例中，記憶體裝置 170 可以實施為記憶體裝置 400 及/或記憶體裝置 700，以依據時序圖 1000 進行操作。

【0082】 請參照第 5 圖及第 10 圖，期間 P53 對應期間 Q1~Q15。在一些實施例中，在期間 Q1~Q15，致能信號 ENB0 具有電壓準位 VL，且致能信號 ENB1~ENB3 具有電壓準位 VH。對應地，請參照第 4 圖、第 5 圖及第 10 圖，在期間 Q1~Q15，記憶體電路 410 產生資料信號 DT40 於節點 N40，且記憶體電路 411~413 被停用。

【0083】 如第 10 圖所示，在期間 Q1，時脈信號 CLK、C0~C2 及 DV1 具有電壓準位 VL，使得脈衝信號 PL 具有電壓準位 VH，位元線信號 B7 及字線信號 W0 具有電壓準位 VL。

【0084】 請參照第 10 圖及第 7 圖，在期間 Q1，開關 Z7 依據位元線信號 B7 關閉，開關 X70 依據字線信號 W0 關閉，且開關 T74 依據脈衝信號 PL 關閉。

【0085】 如第 10 圖所示，在期間 Q2，時脈信號 CLK 及 C0~C2 具有電壓準位 VL，時脈信號 DV1 具有電壓準位 VH，使得脈衝信號 PL 具有電壓準位 VL，位元線信號 B7

具有電壓準位  $V_H$ ，且字線信號  $W_0$  具有電壓準位  $V_L$ 。

【0086】請參照第 10 圖及第 7 圖，在期間  $Q_2$ ，開關  $Z_7$  依據位元線信號  $B_7$  導通，開關  $X_{70}$  依據字線信號  $W_0$  關閉，開關  $T_{74}$  依據脈衝信號  $PL$  導通，且開關  $T_{73}$  依據致能信號  $ENB$  導通。此時開關  $T_{73}$  及  $T_{74}$  將電壓信號  $V_{DD}$  提供至節點  $N_{71}$  以對節點  $N_{71}$  充電，使得資料信號  $DT_{71}$  被拉至電壓準位  $V_H$ 。對應地，包含資料信號  $DT_{71}$  的資訊的資料信號  $DT_1$  具有電壓準位  $V_H$ 。在一些實施例中，期間  $Q_2$  被稱為充電期間。

【0087】如第 10 圖所示，在期間  $Q_3$ ，時脈信號  $C_0 \sim C_2$  及  $DV_1$  具有電壓準位  $V_L$ ，時脈信號  $CLK$  具有電壓準位  $V_H$ ，使得脈衝信號  $PL$  具有電壓準位  $V_H$ ，位元線信號  $B_7$  具有電壓準位  $V_H$ ，且字線信號  $W_0$  具有電壓準位  $V_H$ 。

【0088】請參照第 10 圖及第 7 圖，在期間  $Q_3$ ，開關  $Z_7$  依據位元線信號  $B_7$  導通，開關  $X_{70}$  依據字線信號  $W_0$  導通，開關  $T_{74}$  依據脈衝信號  $PL$  關閉，且開關  $T_{73}$  依據致能信號  $ENB$  導通。此時節點  $N_{71}$  經由開關  $Z_7$  及  $X_{70}$  放電以產生資料信號  $DT_{71}$ 。

【0089】在第 10 圖所示之實施例中，開關  $Z_7$  及  $X_{70}$  所對應的位元具有第一邏輯值（例如邏輯值 1），使得資料信號  $DT_{71}$  在期間  $Q_3$  具有電壓準位  $V_H$ 。對應地，包含資料信號  $DT_{71}$  的資訊的資料信號  $DT_1$  具有電壓準位  $V_H$ 。

【0090】如第 10 圖所示，在期間  $Q_4$ ，時脈信號  $C_0 \sim C_2$  具有電壓準位  $V_L$ ，時脈信號  $CLK$  及  $DV_1$  具有電壓準位

VH，使得脈衝信號 PL 具有電壓準位 VH，位元線信號 B7 具有電壓準位 VH，且字線信號 W0 具有電壓準位 VH。

【0091】 請參照第 10 圖及第 7 圖，在期間 Q4，開關 Z7 依據位元線信號 B7 導通，開關 X70 依據字線信號 W0 導通，開關 T74 依據脈衝信號 PL 關閉，且開關 T73 依據致能信號 ENB 導通。此時節點 N71 經由開關 Z7 及 X70 放電以產生資料信號 DT71。

【0092】 在第 10 圖所示之實施例中，開關 Z7 及 X70 所對應的位元具有第一邏輯值，使得資料信號 DT71 在期間 Q4 具有電壓準位 VH。對應地，包含資料信號 DT71 的資訊的資料信號 DT1 具有電壓準位 VH。

【0093】 如第 10 圖所示，在期間 Q5，時脈信號 CLK、C1~C2 及 DV1 具有電壓準位 VL，時脈信號 C0 具有電壓準位 VH，使得脈衝信號 PL 具有電壓準位 VH，位元線信號 B7 具有電壓準位 VH，且字線信號 W0 具有電壓準位 VH。

【0094】 請參照第 10 圖及第 7 圖，在期間 Q5，開關 Z7 依據位元線信號 B7 導通，開關 X70 依據字線信號 W0 導通，開關 T74 依據脈衝信號 PL 關閉，且開關 T73 依據致能信號 ENB 導通。此時節點 N71 經由開關 Z7 及 X70 放電以產生資料信號 DT71。在一些實施例中，期間 Q3~Q5 被稱為放電期間。

【0095】 在第 10 圖所示之實施例中，開關 Z7 及 X70 所對應的位元具有第一邏輯值，使得資料信號 DT71 在期間 Q5



具有電壓準位  $VH$ 。對應地，包含資料信號  $DT71$  的資訊的資料信號  $DT1$  具有電壓準位  $VH$ 。

【0096】 如第 10 圖所示，在期間  $Q6$ ，時脈信號  $CLK$  及  $C1 \sim C2$  具有電壓準位  $VL$ ，時脈信號  $C0$  及  $DV1$  具有電壓準位  $VH$ ，使得脈衝信號  $PL$ 、位元線信號  $B7$  及字線信號  $W0$  具有電壓準位  $VL$ ，位元線信號  $B6$  具有電壓準位  $VH$ 。

【0097】 請參照第 10 圖及第 7 圖，在期間  $Q6$ ，開關  $Z7$  依據位元線信號  $B7$  關閉，開關  $Z6$  依據位元線信號  $B6$  導通，開關  $X60$  依據字線信號  $W0$  關閉，開關  $T74$  依據脈衝信號  $PL$  導通，且開關  $T73$  依據致能信號  $ENB$  導通。此時開關  $T73$  及  $T74$  將電壓信號  $VDD$  提供至節點  $N71$  以對節點  $N71$  充電，使得資料信號  $DT71$  被拉至電壓準位  $VH$ 。對應地，包含資料信號  $DT71$  的資訊的資料信號  $DT1$  具有電壓準位  $VH$ 。在一些實施例中，期間  $Q6$  被稱為充電期間。

【0098】 請參照第 10 圖及第 7 圖，在期間  $Q7$ ，脈衝信號  $PL$  具有電壓準位  $VH$ ，位元線信號  $B6$  具有電壓準位  $VH$ ，且字線信號  $W0$  具有電壓準位  $VH$ ，使得開關  $Z6$  依據位元線信號  $B6$  導通，開關  $X60$  依據字線信號  $W0$  導通，開關  $T74$  依據脈衝信號  $PL$  關閉，且開關  $T73$  依據致能信號  $ENB$  導通。此時節點  $N71$  經由開關  $Z6$  及  $X60$  放電以產生資料信號  $DT71$  及對應的資料信號  $DT1$ 。

【0099】 在一些實施例中，記憶體裝置  $700$  在期間  $Q7$  依

據脈衝信號 PL、位元線信號 B6 及字線信號 W0 通過開關 Z6 及 X60 放電以產生資料信號 DT71 之操作類似於記憶體裝置 700 在期間 Q3~Q5 依據脈衝信號 PL、位元線信號 B7 及字線信號 W0 通過開關 Z7 及 X70 放電以產生資料信號 DT71 之操作，因此部分細節不再重複說明。

**【0100】** 如第 10 圖所示，在期間 Q8，位元線信號 B7 及 B6 具有電壓準位 VL，且位元線信號 B5 具有電壓準位 VH。在一些實施例中，記憶體裝置 700 在期間 Q8 依據脈衝信號 PL、位元線信號 B5 及字線信號 W0 對節點 N71 充電，並且通過開關 Z5 及 X50 放電以產生資料信號 DT71 之操作類似於記憶體裝置 700 在期間 Q2~Q5 依據脈衝信號 PL、位元線信號 B7 及字線信號 W0 對節點 N71 充電，並且通過開關 Z7 及 X70 放電以產生資料信號 DT71 之操作，因此部分細節不再重複說明。

**【0101】** 如第 10 圖所示，位元線信號 B4~B0 分別在期間 Q9~Q13 具有電壓準位 VH。節點 N71 在期間 Q9~Q13 分別通過開關 Z4~Z0 放電以產生資料信號 DT71。記憶體裝置 700 在期間 Q9 對應位元線信號 B4 之操作、在期間 Q10 對應位元線信號 B3 之操作、在期間 Q11 對應位元線信號 B2 之操作、在期間 Q12 對應位元線信號 B1 之操作及在期間 Q13 對應位元線信號 B0 之操作的每一者類似於記憶體裝置 700 在期間 Q2~Q5 對應位元線信號 B7 之操作，因此部分細節不再重複說明。

**【0102】** 在第 10 圖所示之實施例中，在期間 Q11~Q13，

開關 X20、X10 及 X00 所對應的位元具有第二邏輯值(例如邏輯值 0)，使得資料信號 DT1 在期間 Q11~Q13 對應字線信號 W0 具有電壓準位 VH 時具有電壓準位 VL。

【0103】 請參照第 10 圖及第 7 圖，在期間 Q1~Q13，用以接收字線信號 W0 的開關 X70、X60、X50、X40、X30、X20、X10 及 X00 依序產生資料信號 DT71。在第 10 圖所示之實施例中，對應開關 X70、X60、X50、X40、X30、X20、X10 及 X00 的八個位元的邏輯值依序為 1、1、1、1、1、0、0 及 0。

【0104】 如第 10 圖所示，在期間 Q14，字線信號 W0 具有電壓準位 VL，且字線信號 W1(第 10 圖中未示出)及位元線信號 B7 具有電壓準位 VH。請參照第 10 圖及第 7 圖，在期間 Q14，開關 Z7 依據位元線信號 B7 導通，開關 X71 依據字線信號 W1 導通。此時節點 N71 經由開關 Z7 及 X71 放電以產生資料信號 DT71。

【0105】 如第 10 圖所示，在期間 Q15，字線信號 W0 具有電壓準位 VL，且字線信號 W1(第 10 圖中未示出)及位元線信號 B6 具有電壓準位 VH。請參照第 10 圖及第 7 圖，在期間 Q15，開關 Z6 依據位元線信號 B6 導通，開關 X61 依據字線信號 W1 導通。此時節點 N71 經由開關 Z6 及 X61 放電以產生資料信號 DT71。

【0106】 在一些實施例中，記憶體裝置 700 在期間 Q14 對應位元線信號 B7 及字線信號 W1 之操作，以及在期間 Q15 對應位元線信號 B6 及字線信號 W1 之操作的每一者類似

於記憶體裝置 700 在期間 Q2~Q5 對應位元線信號 B7 及字線信號 W0 之操作，因此部分細節不再重複說明。

**【0107】** 在一些實施例中，期間 Q1~Q4 的時間長度大約為十萬六千分之一秒。在一些實施例中，時脈信號 DV1 的頻率大約為兩百一十二千赫茲 (kHz)。

**【0108】** 第 11 圖為根據本揭示內容之一實施例中的記憶體晶片 100 產生資料信號 DT1 所繪示之時序圖 1100。如第 11 圖所示，時序圖 1100 包括依序且連續排列的期間 J1~J9。請參照第 1 圖、第 4 圖、第 6B 圖，在第 11 圖所示的實施例中，記憶體裝置 170 可以實施為記憶體裝置 400 及/或記憶體裝置 700，並且可以包含邏輯電路 600B，以依照時序圖 1100 進行操作。

**【0109】** 如第 11 圖所示，在期間 J1，時脈信號 C3~C6 具有電壓準位 VL，使得字線信號 W0 及致能信號 ENB1~ENB3 具有電壓準位 VH，且字線信號 W1~W3 及致能信號 ENB0 具有電壓準位 VL。

**【0110】** 請參照第 11 圖及第 7 圖，在期間 J1，開關 X00、X10、X20、X30、X40、X50、X60 及 X70 依據字線信號 W0 導通，使得記憶體裝置 700 產生對應開關 X00、X10、X20、X30、X40、X50、X60 及 X70 的位元的資料信號 DT71。

**【0111】** 類似地，請參照第 11 圖及第 4 圖，在期間 J1，控制電路 420 依據致能信號 ENB0 啟動記憶體電路 410，使得記憶體電路 410 依據字線信號 W0 產生對應字線信號

W0 的資料信號 DT40。此時控制電路 421~423 依據致能信號 ENB1~ENB3 停用記憶體電路 411~413，使得節點 N41~N43 具有電壓準位 VL。

【0112】 如第 11 圖所示，在期間 J2，時脈信號 C4~C6 具有電壓準位 VL，時脈信號 C3 具有電壓準位 VH，使得字線信號 W1 及致能信號 ENB1~ENB3 具有電壓準位 VH，且字線信號 W0、W2~W3 及致能信號 ENB0 具有電壓準位 VL。

【0113】 請參照第 11 圖及第 7 圖，在期間 J2，開關 X01、X11、X21、X31、X41、X51、X61 及 X71 依據字線信號 W1 導通，使得記憶體裝置 700 產生對應開關 X01、X11、X21、X31、X41、X51、X61 及 X71 的位元的資料信號 DT71。

【0114】 類似地，請參照第 11 圖及第 4 圖，在期間 J2，控制電路 420 依據致能信號 ENB0 啟動記憶體電路 410，使得記憶體電路 410 依據字線信號 W1 產生對應字線信號 W1 的資料信號 DT40。此時控制電路 421~423 依據致能信號 ENB1~ENB3 停用記憶體電路 411~413，使得節點 N41~N43 具有電壓準位 VL。

【0115】 請參照第 11 圖及第 10 圖，期間 J1 對應期間 Q1~Q13，且期間 J2 對應期間 Q14~Q15。在一些實施例中，記憶體電路 410 在期間 J1 及期間 Q1~Q13 依據字線信號 W0 進行操作，且在期間 J2 及期間 Q14~Q15 依據字線信號 W1 進行操作。

【0116】 在一些實施例中，期間 J1 的時間長度大約等於期間 Q1 ~ Q13 的時間長度。如第 11 圖及第 10 圖所示，時脈信號 DV1 的頻率大約為時脈信號 CLK 的頻率的兩倍，時脈信號 CLK 的頻率大約為時脈信號 C0 的頻率的兩倍，時脈信號 C0 的頻率大約為時脈信號 C1 的頻率的兩倍，時脈信號 C1 的頻率大約為時脈信號 C2 的頻率的兩倍，時脈信號 C2 的頻率大約為時脈信號 C3 的頻率的兩倍，時脈信號 C3 的頻率大約為時脈信號 C4 的頻率的兩倍，時脈信號 C4 的頻率大約為時脈信號 C5 的頻率的兩倍，且時脈信號 C5 的頻率大約為時脈信號 C6 的頻率的兩倍。

【0117】 如第 11 圖所示，在期間 J3，時脈信號 C3、C5 ~ C6 具有電壓準位 VL，時脈信號 C4 具有電壓準位 VH，使得字線信號 W2 及致能信號 ENB1 ~ ENB3 具有電壓準位 VH，且字線信號 W0、W1、W3 及致能信號 ENB0 具有電壓準位 VL。

【0118】 請參照第 11 圖及第 7 圖，在期間 J3，開關 X02、X12、X22、X32、X42、X52、X62 及 X72 依據字線信號 W2 導通，使得記憶體裝置 700 產生對應開關 X02、X12、X22、X32、X42、X52、X62 及 X72 的位元的資料信號 DT71。

【0119】 類似地，請參照第 11 圖及第 4 圖，在期間 J3，控制電路 420 依據致能信號 ENB0 啟動記憶體電路 410，使得記憶體電路 410 依據字線信號 W2 產生對應字線信號 W2 的資料信號 DT40。此時控制電路 421 ~ 423 依據致能

信號 ENB1~ENB3 停用記憶體電路 411~413，使得節點 N41~N43 具有電壓準位 VL。

【0120】 如第 11 圖所示，在期間 J4，時脈信號 C5 及 C6 具有電壓準位 VL，時脈信號 C3 及 C4 具有電壓準位 VH，使得字線信號 W3 及致能信號 ENB1~ENB3 具有電壓準位 VH，且字線信號 W0、W1、W2 及致能信號 ENB0 具有電壓準位 VL。

【0121】 請參照第 11 圖及第 7 圖，在期間 J4，開關 X03、X13、X23、X33、X43、X53、X63 及 X73 依據字線信號 W3 導通，使得記憶體裝置 700 產生對應開關 X03、X13、X23、X33、X43、X53、X63 及 X73 的位元的資料信號 DT71。

【0122】 類似地，請參照第 11 圖及第 4 圖，在期間 J4，控制電路 420 依據致能信號 ENB0 啟動記憶體電路 410，使得記憶體電路 410 依據字線信號 W3 產生對應字線信號 W3 的資料信號 DT40。此時控制電路 421~423 依據致能信號 ENB1~ENB3 停用記憶體電路 411~413，使得節點 N41~N43 具有電壓準位 VL。

【0123】 如第 11 圖所示，在期間 J5，時脈信號 C4、C3 及 C6 具有電壓準位 VL，時脈信號 C5 具有電壓準位 VH，使得字線信號 W0 及致能信號 ENB0、ENB2、ENB3 具有電壓準位 VH，且字線信號 W3、W1、W2 及致能信號 ENB1 具有電壓準位 VL。

【0124】 請參照第 11 圖及第 7 圖，在期間 J5，開關 X00、

X 1 0 、 X 2 0 、 X 3 0 、 X 4 0 、 X 5 0 、 X 6 0 及 X 7 0 依據字線信號 W 0 導通，使得記憶體裝置 7 0 0 產生對應開關 X 0 0 、 X 1 0 、 X 2 0 、 X 3 0 、 X 4 0 、 X 5 0 、 X 6 0 及 X 7 0 的位元的資料信號 D T 7 1 。

【0125】 類似地，請參照第 1 1 圖及第 4 圖，在期間 J 5 ，控制電路 4 2 1 依據致能信號 E N B 1 啟動記憶體電路 4 1 1 ，使得記憶體電路 4 1 1 依據字線信號 W 0 產生對應字線信號 W 0 的資料信號 D T 4 1 。此時控制電路 4 2 0 、 4 2 2 、 4 2 3 依據致能信號 E N B 0 、 E N B 2 及 E N B 3 停用記憶體電路 4 1 0 、 4 1 2 及 4 1 3 ，使得節點 N 4 0 、 N 4 2 及 N 4 3 具有電壓準位 V L 。

【0126】 在期間 J 6 ，致能信號 E N B 1 具有電壓準位 V L ，記憶體電路 4 1 1 依序依據字線信號 W 1 ~ W 3 產生對應字線信號 W 1 ~ W 3 的資料信號 D T 4 1 。記憶體電路 4 1 1 在期間 J 6 依據致能信號 E N B 1 及字線信號 W 1 ~ W 3 產生資料信號 D T 4 1 之操作類似於記憶體電路 4 1 0 在期間 J 2 ~ J 4 依據致能信號 E N B 0 及字線信號 W 1 ~ W 3 產生資料信號 D T 4 0 之操作，因此部分細節不再重複說明。

【0127】 在期間 J 7 ，致能信號 E N B 2 具有電壓準位 V L ，記憶體電路 4 1 2 依序依據字線信號 W 0 ~ W 3 產生對應字線信號 W 0 ~ W 3 的資料信號 D T 4 2 。記憶體電路 4 1 2 在期間 J 7 依據致能信號 E N B 2 及字線信號 W 0 ~ W 3 產生資料信號 D T 4 2 之操作類似於記憶體電路 4 1 0 在期間 J 1 ~ J 4 依據致能信號 E N B 0 及字線信號 W 0 ~ W 3 產生資料信號



DT40 之操作，因此部分細節不再重複說明。

【0128】 在期間 J8，致能信號 ENB3 具有電壓準位 VL，記憶體電路 413 依序依據字線信號 W0~W3 產生對應字線信號 W0~W3 的資料信號 DT43。記憶體電路 413 在期間 J8 依據致能信號 ENB3 及字線信號 W0~W3 產生資料信號 DT43 之操作類似於記憶體電路 410 在期間 J1~J4 依據致能信號 ENB0 及字線信號 W0~W3 產生資料信號 DT40 之操作，因此部分細節不再重複說明。

【0129】 在期間 J9，致能信號 ENB0 具有電壓準位 VL，記憶體電路 410 依序依據字線信號 W0~W3 產生對應字線信號 W0~W3 的資料信號 DT40。記憶體電路 410 在期間 J9 依據致能信號 ENB0 及字線信號 W0~W3 產生資料信號 DT40 之操作類似於記憶體電路 410 在期間 J1~J4 依據致能信號 ENB0 及字線信號 W0~W3 產生資料信號 DT40 之操作，因此部分細節不再重複說明。

【0130】 請參照第 11 圖及第 5 圖，期間 J1~J4 對應期間 P53，期間 J5~J6 對應期間 P54，期間 J7 對應期間 P55，期間 J8 對應期間 P56，且期間 J9 對應期間 P57。

【0131】 如第 11 圖所示，在期間 J1~J8，記憶體電路 410~413 依序產生資料信號 DT40~DT43。請參照第 11 圖及第 6B 圖，邏輯電路 600B 用以在期間 J1~J8 將資料信號 DT40~DT43 組合在一起以產生資料信號 DT1。

【0132】 本揭示內容前述各種控制時序及電路配置係用於說明，其他各種控制時序及電路配置都在本揭示內容思及

的範圍中。

【0133】 綜上所述，在本發明實施例中，記憶體晶片依據時脈信號 C 0 ~ C 6 控制記憶體裝置 1 7 0，使得記憶體裝置 1 7 0 中的多個記憶體電路 4 1 0 ~ 4 1 3 依據相同的字線信號 W 0 ~ W 3 依序產生多個資料信號 D T 4 0 ~ D T 4 3。如此一來，記憶體裝置 1 7 0 所需電流較低，且產生字線信號 W 0 ~ W 3 的解碼裝置 1 5 0 的所需面積較小。在一些實施例中，記憶體裝置 1 7 0 適用於低溫多晶矽 (low temperature polysilicon) 製程。

【0134】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

#### 【符號說明】

#### 【0135】

1 0 0、2 0 0： 記憶體晶片

1 1 0： 通訊裝置

1 2 0： 整流裝置

1 3 0： 分頻裝置

1 4 0、2 4 0： 計數裝置

1 5 0、1 6 0、2 5 0、2 6 0： 解碼裝置

1 7 0、2 7 0、3 0 0、4 0 0、7 0 0： 記憶體裝置

180: 編碼裝置

BF11、BF12: 緩衝裝置

AC11、VDD、VSS、Q2、Q3、Q5、Q6: 電壓信號

N11~N14、N31~N34、N40~N43、N71~N79: 節點

C11、C12: 電容

CLK、CLKB、DV1、DV1B、C0~C6: 時脈信號

EN、ENB、ENB0~ENB3、EN0~EN3、EL2、ELB2:

致能信號

W0~W3、WM: 字線信號

B0~B7、BN: 位元線信號

DT1、DT2、DT31、DT40~DT43: 資料信號

271~274、310、410~413、710: 記憶體電路

320、420~423、720: 控制電路

PL: 脈衝信號

T31~T35、T403~T405、T413~T415、T423~T425、

T433~T435、T73~T75、Z0~Z7、X00~X03、

X10~X13、X20~X23、X30~X33、X40~X43、

X50~X53、X60~X63、X70~X73: 開關

500、1000、1100: 時序圖

P51~P510、Q1~Q15、J1~J9: 期間

VL、VH: 電壓準位

600A、600B、800、900: 邏輯電路

NR60~NR63、IV60~IV63、OR61、ND81~ND84、

NR81~NR88、NV81~NV86、IV81~IV86、

A D 9 1 ~ A D 9 4 、 N R 9 1 ~ N R 9 5 、 N V 9 1 ~ N V 9 4 、  
I V 9 1 ~ I V 9 4 : 邏 輯 元 件  
7 1 2 : 切 割 區

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】一種記憶體晶片，包括：

一第一解碼裝置，用以產生複數個字線信號；以及

一記憶體裝置，用以至少基於一第一資料信號及一第二資料信號產生一第三資料信號，該記憶體裝置包括：

一第一記憶體電路，用以在一第一期間依據該些字線信號產生該第一資料信號於一第一節點；

一第二記憶體電路，用以在該第一期間之後的一第二期間依據該些字線信號產生該第二資料信號於不同於該第一節點的一第二節點；以及

一第一控制電路，耦接該第一節點，並用以在該第一期間中的一第三期間依據一脈衝信號對該第一節點充電，其中該脈衝信號在該第三期間具有一第一電壓準位，並且在該第一期間中的一第四期間具有不同於該第一電壓準位的一第二電壓準位。

【請求項 2】如請求項 1 所述之記憶體晶片，其中該第一控制電路更用以依據一第一致能信號控制該第一記憶體電路，且該記憶體裝置更包括：

一第二控制電路，耦接該第二節點，並用以依據一第二致能信號及該脈衝信號控制該第二記憶體電路，

其中該第一致能信號在該第一期間具有該第一電壓準位，並且在該第二期間具有該第二電壓準位，以及

該第二致能信號在該第二期間具有該第一電壓準位，並

且在該第一期間具有該第二電壓準位。

【請求項 3】如請求項 2 所述之記憶體晶片，其中該第一控制電路包括：

一第一開關，該第一開關的一控制端用以接收該第一致能信號，該第一開關的一第一端耦接該第一節點；

一第二開關，該第二開關的一控制端用以接收該脈衝信號，該第二開關的一第一端耦接該第一節點；以及

一第三開關，該第三開關的一控制端用以接收該第一致能信號，該第三開關的一第一端耦接該第二開關的一第二端，

其中該第一開關的一類型不同於該第二開關及該第三開關的一類型。

【請求項 4】如請求項 3 所述之記憶體晶片，其中該第二控制電路包括：

一第四開關，該第四開關的一控制端用以接收該第二致能信號，該第四開關的一第一端耦接該第二節點；

一第五開關，該第五開關的一控制端用以接收該脈衝信號，該第五開關的一第一端耦接該第二節點；以及

一第六開關，該第六開關的一控制端用以接收該第二致能信號，該第六開關的一第一端耦接該第五開關的一第二端。

【請求項 5】如請求項 2 所述之記憶體晶片，其中該第一解碼裝置更包括：

一邏輯電路，用以進行複數個邏輯操作以至少依據該脈衝信號產生該些字線信號。

【請求項 6】如請求項 1 所述之記憶體晶片，其中

該第一記憶體電路在該第二期間不產生該第一資料信號於該第一節點，以及

該第二記憶體電路在該第一期間不產生該第二資料信號於該第二節點。

【請求項 7】如請求項 1 所述之記憶體晶片，其中

該第三期間及該第四期間在該第一期間中依序且連續排列。

【請求項 8】如請求項 7 所述之記憶體晶片，更包括：

一第二解碼裝置，用以產生複數個位元線信號，

其中該第一記憶體電路及該第二記憶體電路更用以依據該些位元線信號產生該第一資料信號及該第二資料信號，

該些位元線信號中的一第一位元線信號在該第三期間及該第四期間具有該第二電壓準位，以及

該些字線信號中的一第一字線信號在該第三期間具有該第一電壓準位，並且在該第四期間具有該第二電壓準

位。

【請求項 9】如請求項 8 所述之記憶體晶片，其中該第一記憶體電路包括：

一第一開關，該第一開關的一控制端用以接收該第一位元線信號，該第一開關的一第一端耦接該第一節點；以及

一第二開關，該第二開關的一控制端用以接收該第一字線信號，該第二開關的一第一端耦接該第一開關的一第二端。

【請求項 10】如請求項 1 所述之記憶體晶片，其中該記憶體裝置更包括：

一第三記憶體電路，用以在該第二期間之後的一第五期間依據該些字線信號產生一第四資料信號於不同於該第一節點及該第二節點的一第三節點，

其中該記憶體裝置更用以基於該第四資料信號產生該第三資料信號。

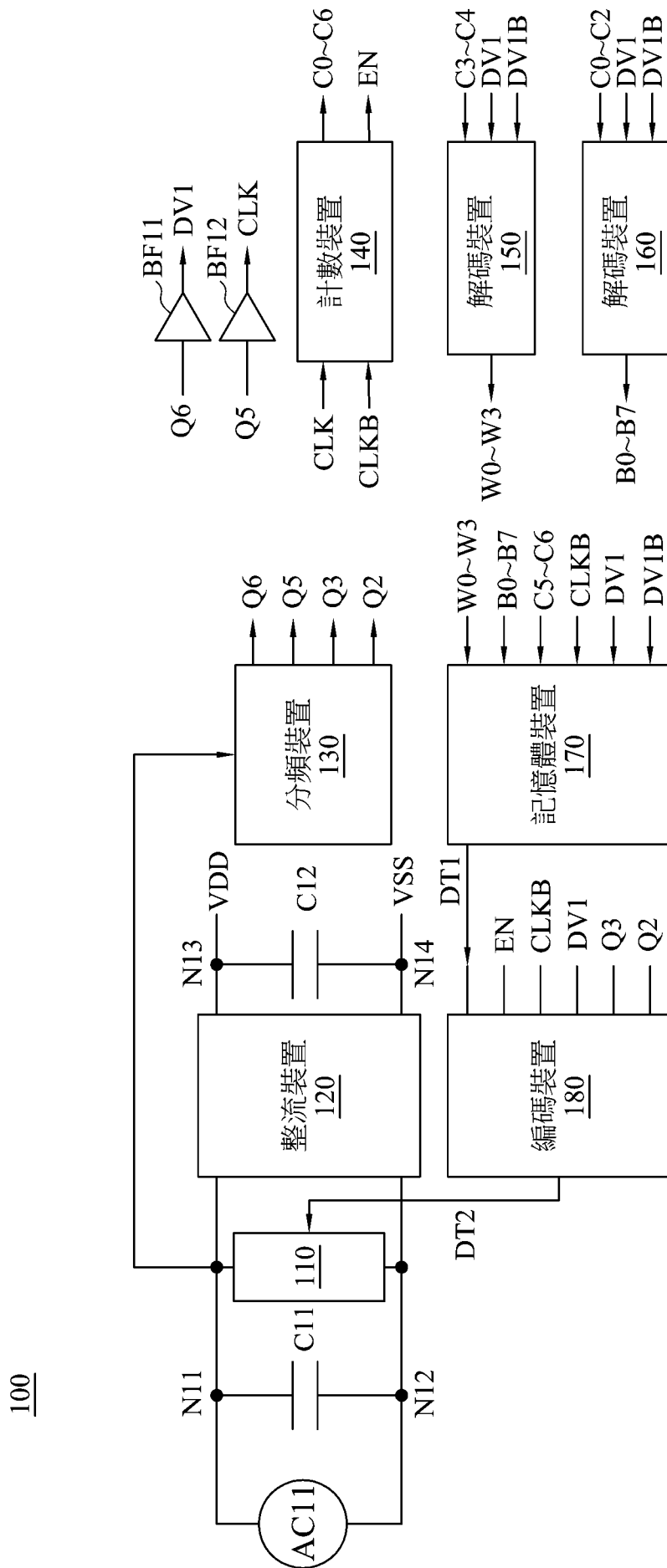
【請求項 11】如請求項 10 所述之記憶體晶片，其中該記憶體裝置更包括：

一第四記憶體電路，用以在該第五期間之後的一第六期間依據該些字線信號產生一第五資料信號於不同於該第一節點、該第二節點及該第三節點的一第四節點，



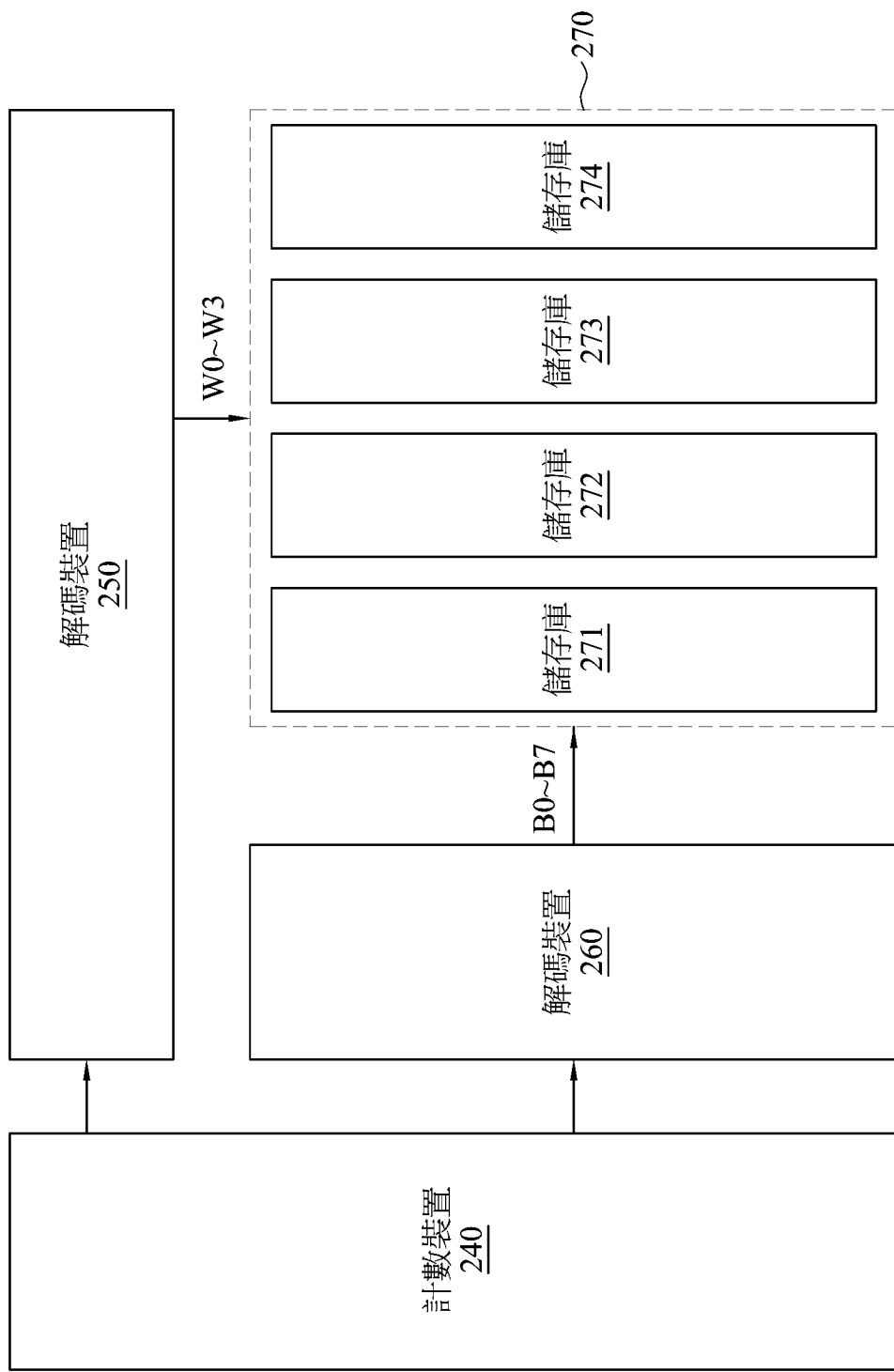
其中該記憶體裝置更用以基於該第五資料信號產生該第三資料信號。

【發明圖式】



第 1 圖

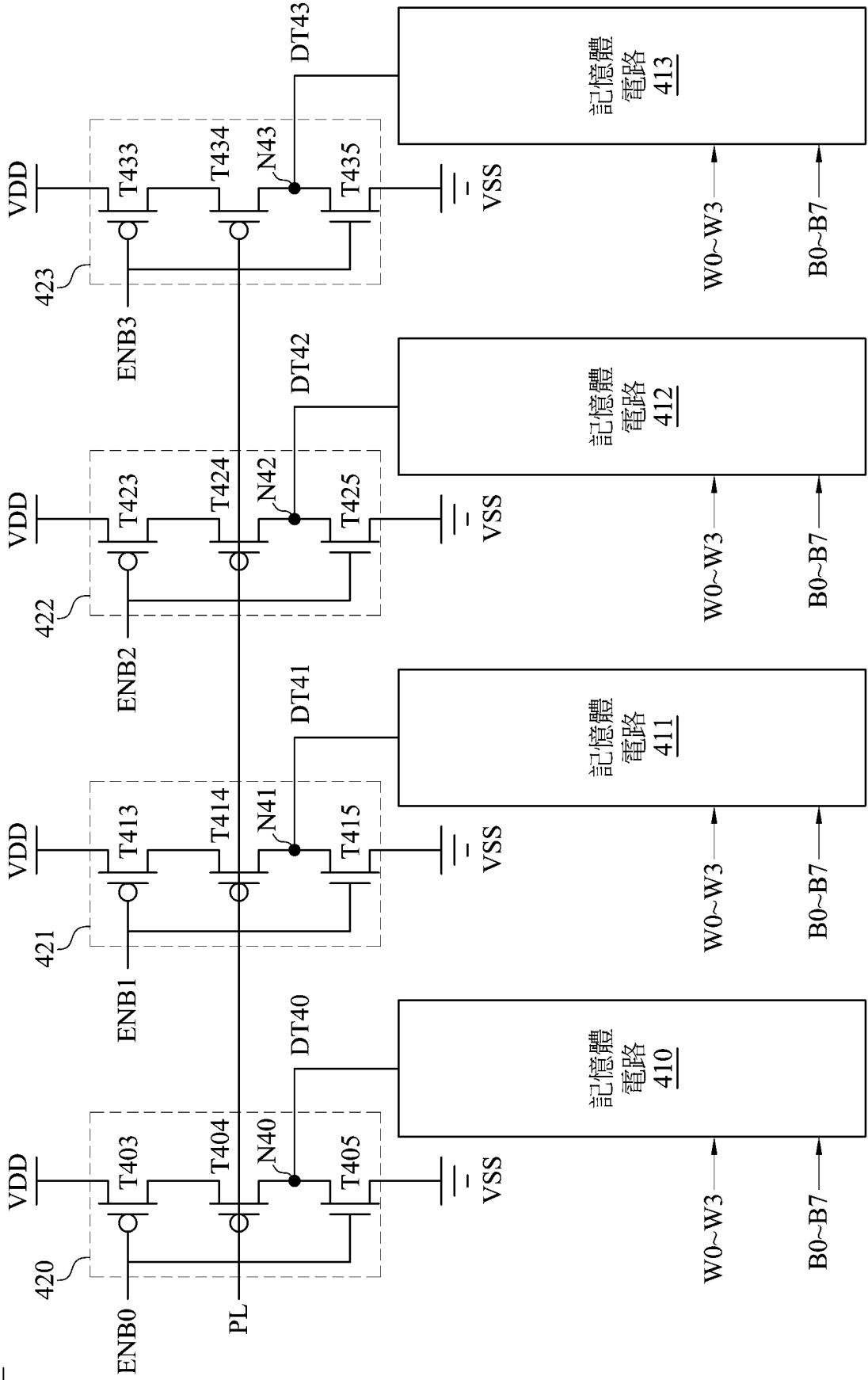
200



第 2 圖

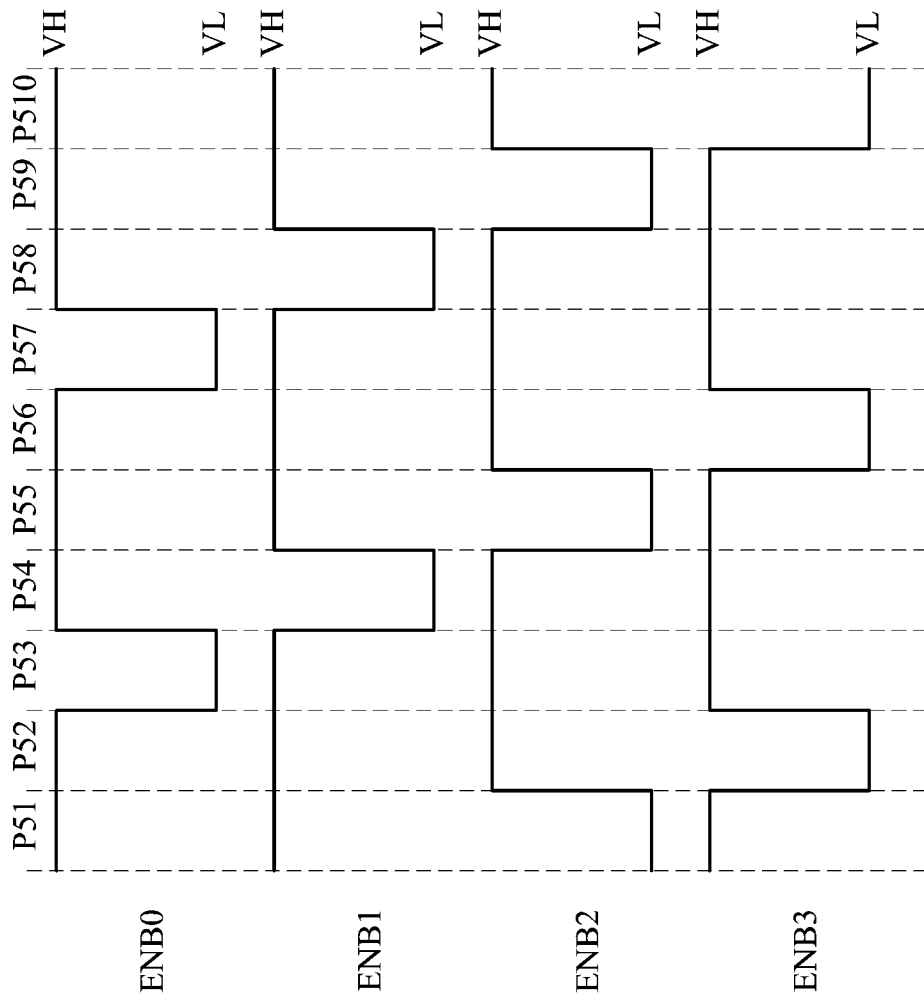


400



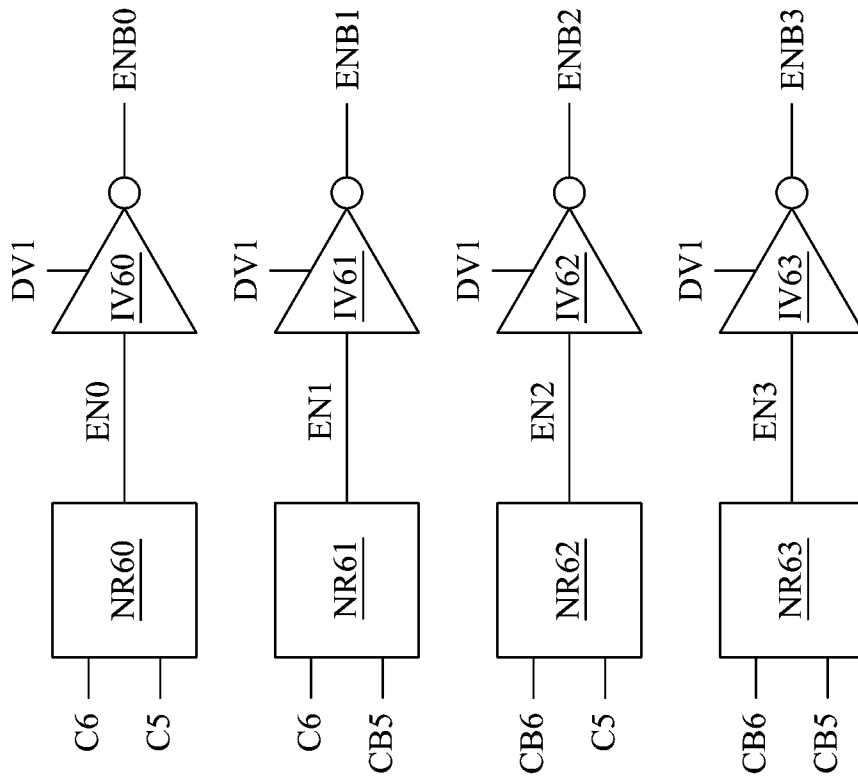
第 4 圖

500



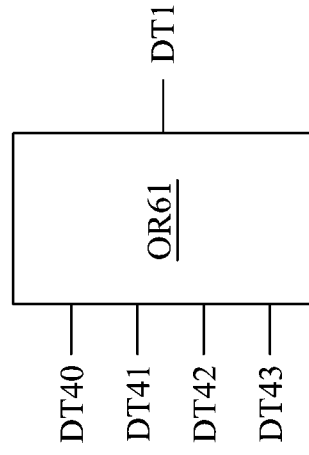
第 5 圖

600A



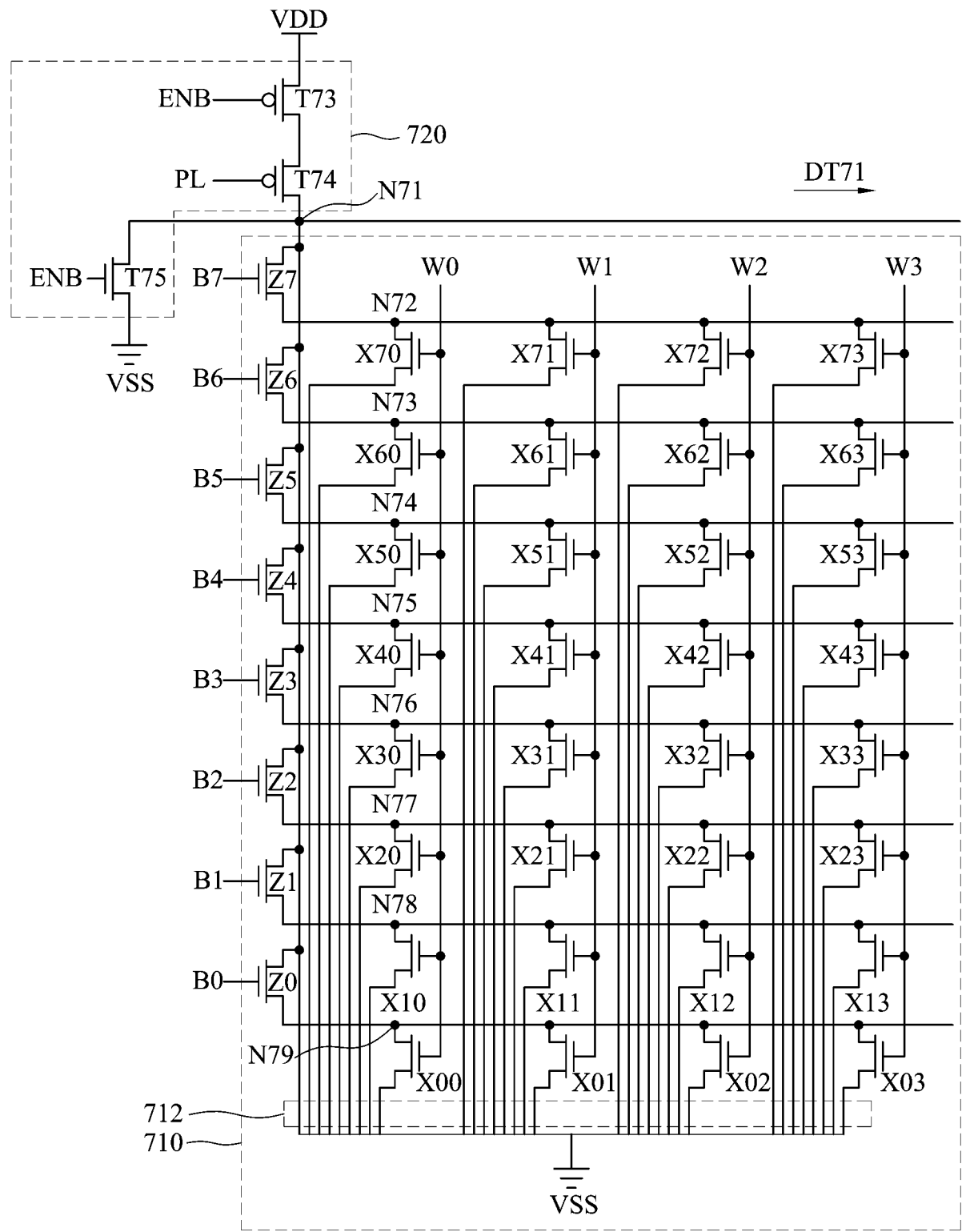
第6A圖

600B



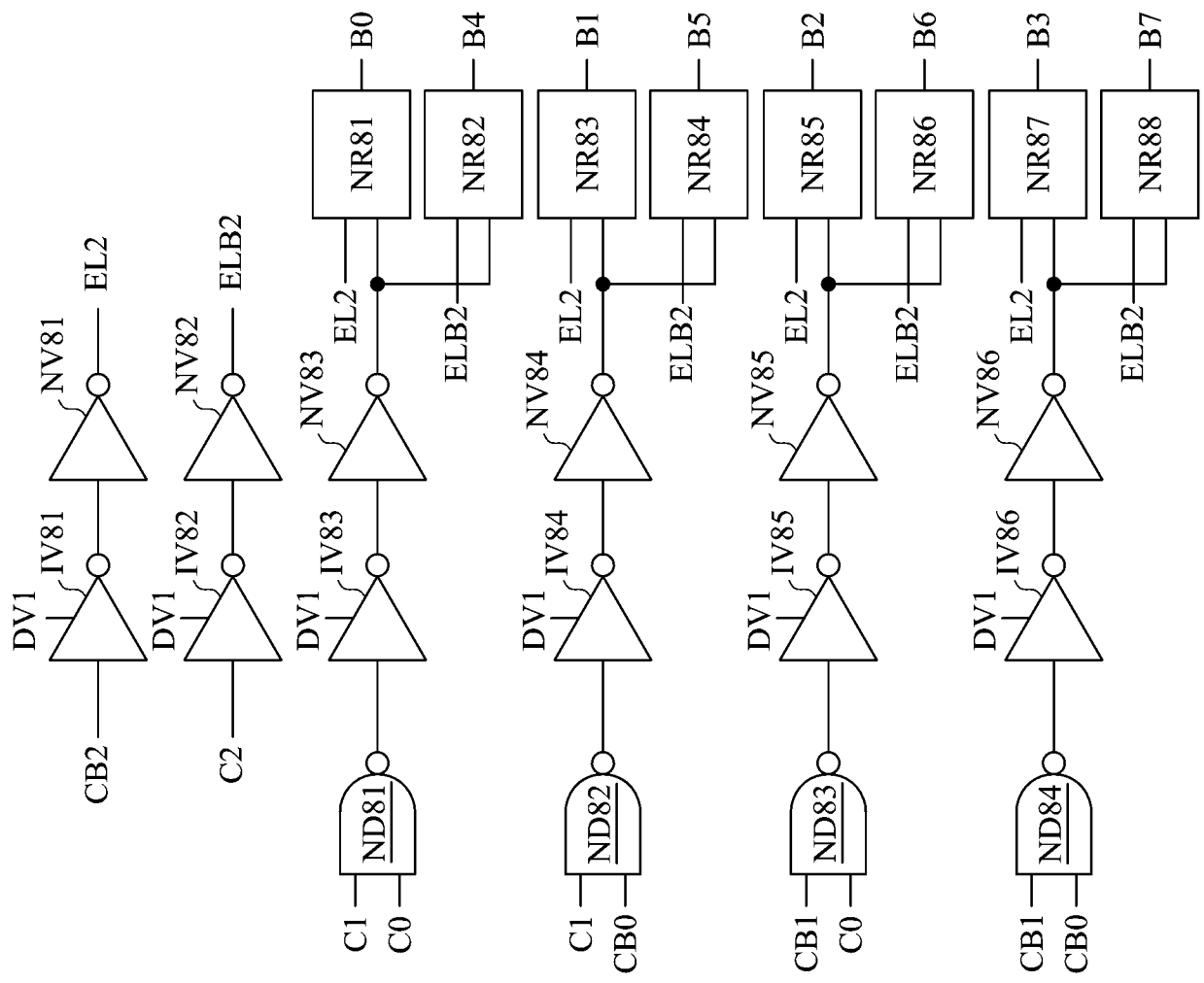
第6B圖

700



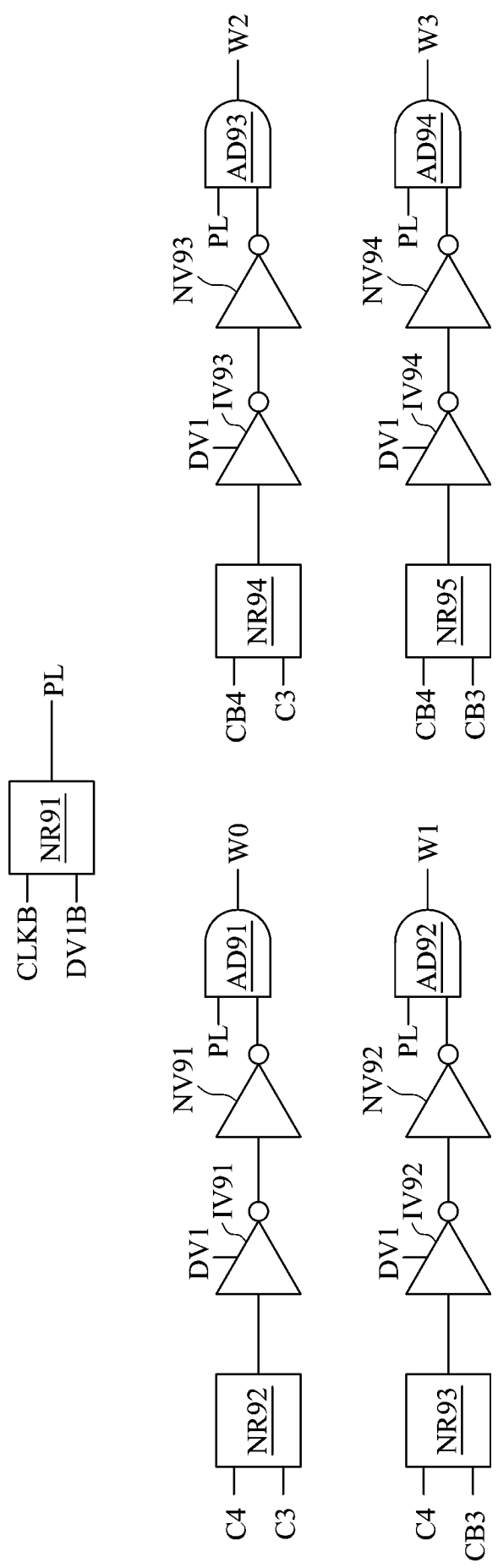
第 7 圖



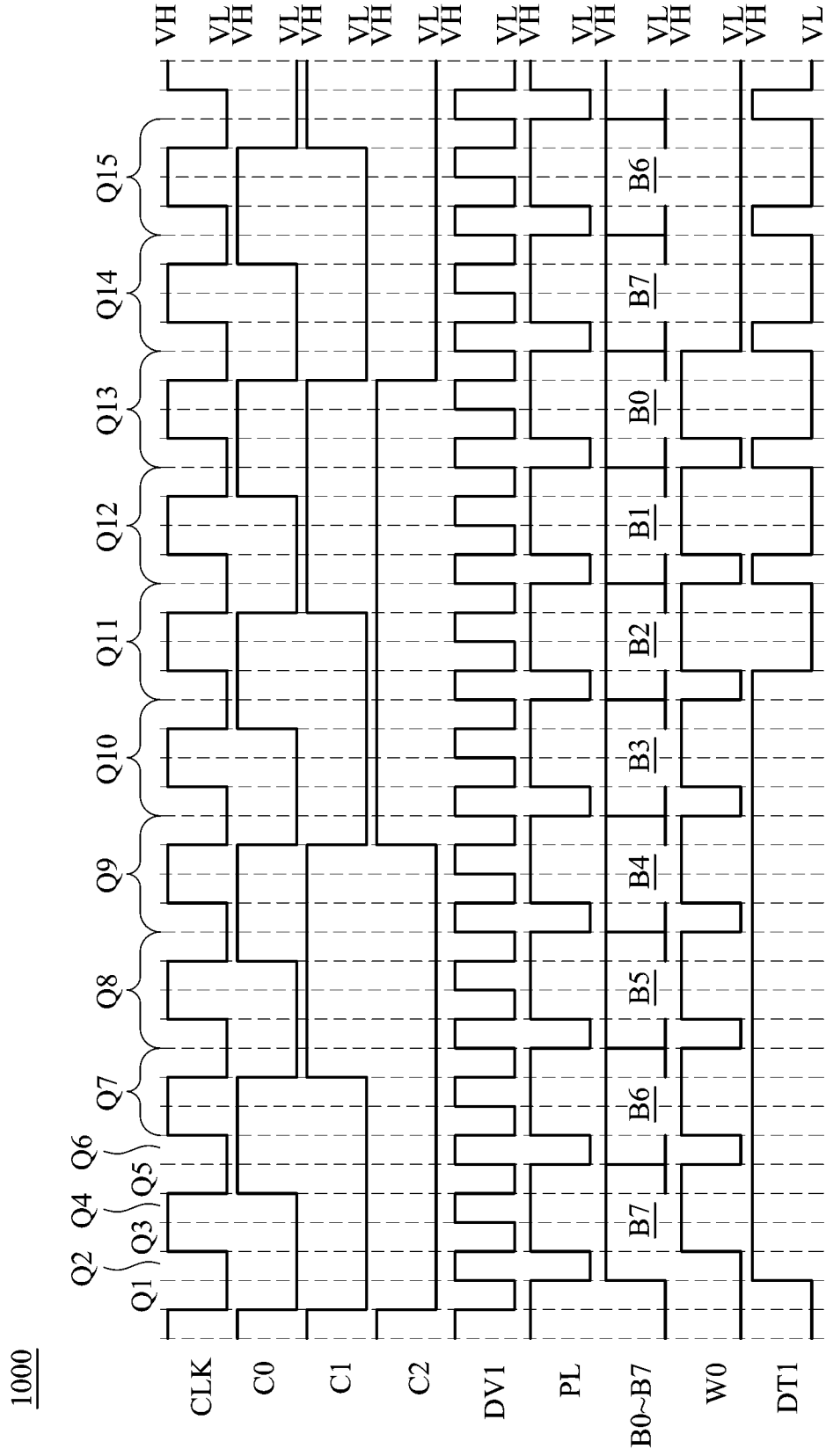


第 8 圖

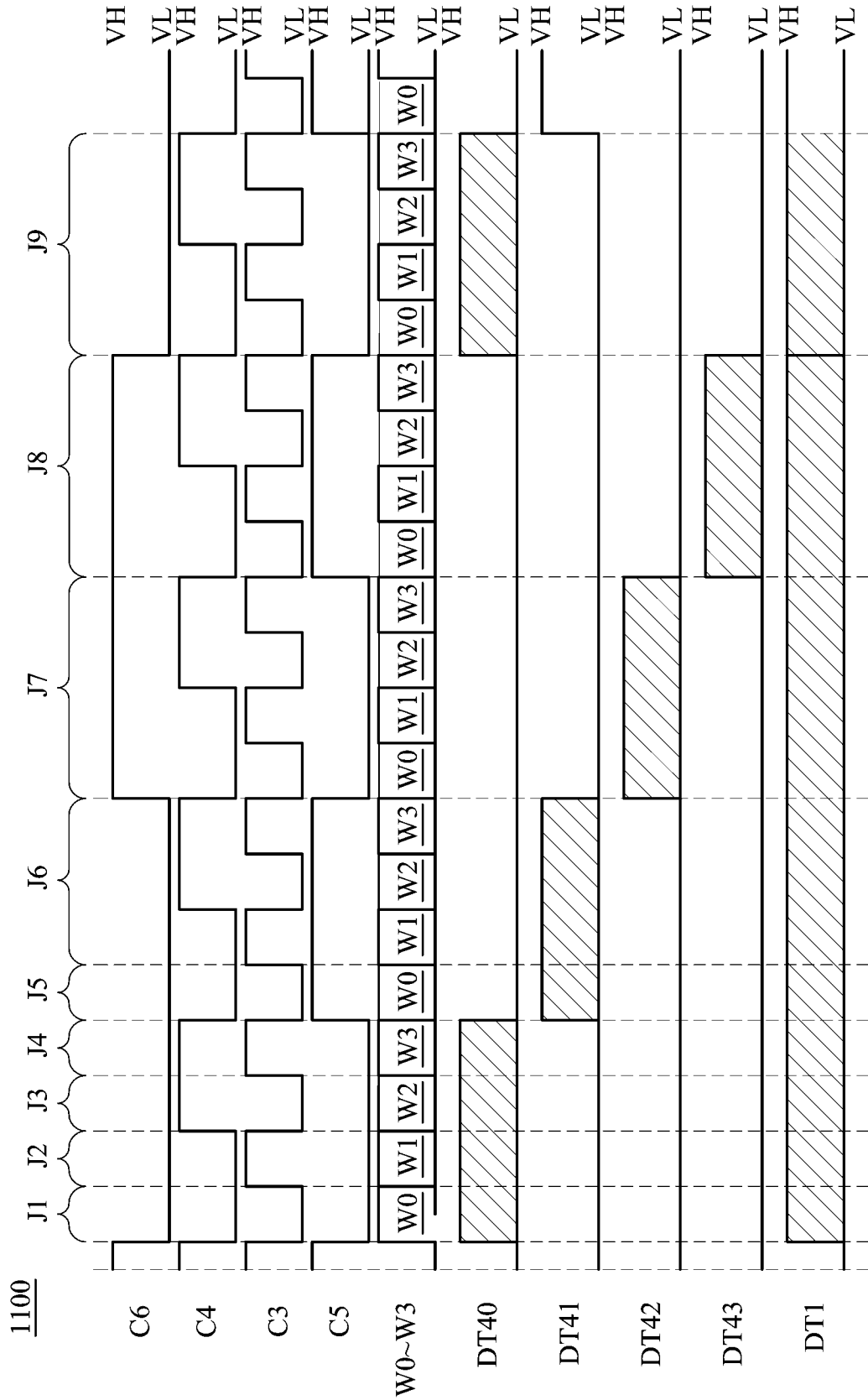
900



第 9 圖



第 10 圖



第 11 圖