



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년12월05일
(11) 등록번호 10-1682747
(24) 등록일자 2016년11월29일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) C23C 16/02 (2006.01)
C23C 16/24 (2006.01) C30B 25/18 (2006.01)
C30B 29/06 (2006.01)

(21) 출원번호 10-2013-0162913
(22) 출원일자 2013년12월24일
심사청구일자 2015년06월02일

(65) 공개번호 10-2014-0085343
(43) 공개일자 2014년07월07일

(30) 우선권주장
JP-P-2012-285701 2012년12월27일 일본(JP)

(56) 선행기술조사문헌
JP2012049509 A*
JP2012028741 A*
JP2011176095 A*
US8945339 B2

*는 심사관에 의하여 인용된 문헌

(73) 특허권자
도쿄엘렉트론가부시키키가이샤
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1코

(72) 발명자
오부, 도모유키
일본 야마나시켄 니라사끼시 호사카쥬 미쯔자와 650 도쿄 엘렉트론 도오호꾸 가부시키키가이샤 내 미야하라, 다카히로
일본 야마나시켄 니라사끼시 호사카쥬 미쯔자와 650 도쿄 엘렉트론 도오호꾸 가부시키키가이샤 내 나가타, 도모유키
일본 야마나시켄 니라사끼시 호사카쥬 미쯔자와 650 도쿄 엘렉트론 도오호꾸 가부시키키가이샤 내

(74) 대리인
장수길, 성재동

전체 청구항 수 : 총 11 항

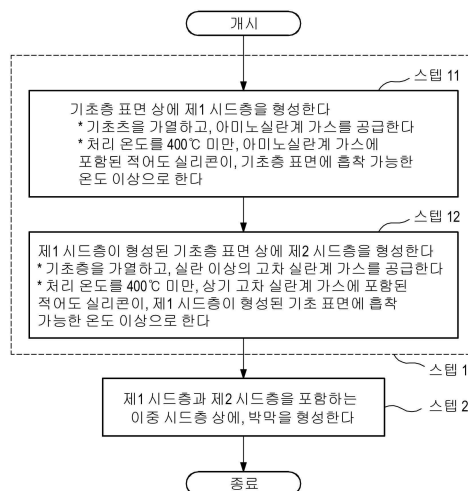
심사관 : 박부식

(54) 발명의 명칭 시드층의 형성 방법, 실리콘막의 성막 방법 및 성막 장치

(57) 요약

한층 더한 성막 프로세스 저온화의 요구에 대해서도 대응 가능하고, 또한, 시드층 상에 형성되는 박막의 표면 거칠기 정밀도의 유지 향상과 한층 더한 면내 균일성의 향상을 달성하는 것도 가능한 시드층의 형성 방법을 제공한다. 가열한 기초층 표면 상에 아미노실란계 가스를 공급하여, 기초층 표면 상에 제1 시드층을 형성하는 공정(스텝 11)과, 가열한 기초층 표면 상에 디실란 이상의 고차 실란계 가스를 공급하여, 제1 시드층이 형성된 기초층 표면 상에 제2 시드층을 형성하는 공정(스텝 12)을 구비하고, 스텝 11에서의 처리 온도를 400℃ 미만, 아미노실란계 가스에 포함되어 있는 적어도 실리콘이, 기초층 표면 상에 흡착 가능한 온도 이상으로 하고, 스텝 12에서의 처리 온도를 400℃ 미만, 디실란 이상의 고차 실란계 가스에 포함되어 있는 적어도 실리콘이, 제1 시드층이 형성된 기초층 표면 상에 흡착 가능한 온도 이상으로 한다.

대표도 - 도1



명세서

청구범위

청구항 1

기초층 상에, 실리콘막을 형성할 때의 시드로 되는 시드층을 형성하는 시드층의 형성 방법으로서,

(1) 상기 기초층을 가열하고, 상기 가열한 기초층 표면 상에 아미노실란계 가스를 공급하여, 상기 기초층 표면 상에 제1 시드층을 형성하는 공정과,

(2) 상기 기초층을 가열하고, 상기 가열한 기초층 표면 상에 디실란 이상의 고차 실란계 가스를 공급하여, 상기 제1 시드층이 형성된 상기 기초층 표면 상에 제2 시드층을 형성하는 공정을 구비하고,

상기 (1) 공정에서의 처리 온도를, 상기 아미노실란계 가스에 포함되어 있는 적어도 실리콘이, 상기 기초층 표면 상에 흡착 가능한 온도 이상 400℃ 미만으로 하고,

상기 (2) 공정에서의 처리 온도를, 상기 디실란 이상의 고차 실란계 가스에 포함되어 있는 적어도 실리콘이, 상기 제1 시드층이 형성된 상기 기초층 표면 상에 흡착 가능한 온도 이상 400℃ 미만으로 하고,

상기 제1 시드층과 상기 제2 시드층을 포함하는 시드층의 두께는, 0nm를 초과하고 1nm 이하의 범위로 하는 시드층의 형성 방법.

청구항 2

제1항에 있어서,

상기 (1) 공정에 있어서, 상기 제1 시드층은, 상기 기초층 표면 상에, 상기 아미노실란계 가스에 포함되어 있는 적어도 실리콘을 흡착시킴으로써 형성되고,

상기 (2) 공정에 있어서, 상기 제2 시드층은, 상기 제1 시드층이 형성된 기초층 표면 상에, 상기 디실란 이상의 고차 실란계 가스에 포함되어 있는 적어도 실리콘을 흡착시킴으로써 형성되는 시드층의 형성 방법.

청구항 3

제2항에 있어서,

상기 (1) 공정에서의 적어도 실리콘의 흡착 및 상기 (2) 공정에서의 적어도 실리콘의 흡착의 각각을, CVD 반응을 수반하지 않고 행하는 시드층의 형성 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

제1항에 있어서,

상기 (1) 공정에서의 적어도 실리콘의 흡착 및 상기 (2) 공정에서의 적어도 실리콘의 흡착의 각각을, 단원자층 오더의 두께의 범위에서 행하는 시드층의 형성 방법.

청구항 7

제1항에 있어서,

상기 제1 시드층과 상기 제2 시드층을 포함하는 시드층은, 아몰퍼스인 시드층의 형성 방법.

청구항 8

제1항에 있어서,

상기 (2) 공정에서의 처리 압력을, 133.3Pa를 초과하고, 1333Pa 이하로 하는 시드층의 형성 방법.

청구항 9

제1항에 있어서,

상기 아미노실란계 가스가,

부틸아미노실란,

비스터설부틸아미노실란,

디메틸아미노실란,

비스디메틸아미노실란,

트리디메틸아미노실란,

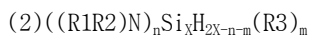
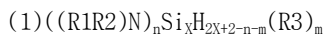
디에틸아미노실란,

비스디에틸아미노실란,

디프로필아미노실란,

디이소프로필아미노실란, 및

헥사키스에틸아미노디실란



[단, (1), (2)식에 있어서,

n은 아미노기의 수로 1 내지 6의 자연수이고,

m은 알킬기의 수로 0 또는 1 내지 5 중 하나의 자연수이고,

R1, R2, R3=CH₃, C₂H₅, C₃H₇이고,

R1=R2=R3, 또는 동일하지 않아도 되고,

R3=Cl, 또는 F이어도 되고,

X는 1 이상의 자연수이다]

중 적어도 하나를 포함하는 가스로부터 선택되는 시드층의 형성 방법.

청구항 10

제1항에 있어서,

상기 디실란 이상의 고차 실란계 가스가,

Si_mH_{2m+2}(단, m은 2 이상의 자연수)의 식으로 표현되는 실리콘의 수소화물 및

Si_nH_{2n}(단, n은 3 이상의 자연수)의 식으로 표현되는 실리콘의 수소화물 중 적어도 하나를 포함하는 가스로부터 선택되는 시드층의 형성 방법.

청구항 11

제10항에 있어서,

상기 Si_nH_{2m+2} 의 식으로 표현되는 실리콘의 수소화물이,

디실란(Si_2H_6),

트리실란(Si_3H_8),

테트라실란(Si_4H_{10}),

펜타실란(Si_5H_{12}),

헥사실란(Si_6H_{14}), 및

헵타실란(Si_7H_{16})

중 적어도 하나로부터 선택되고,

상기 Si_nH_{2n} 의 식으로 표현되는 실리콘의 수소화물이,

시클로트리실란(Si_3H_6),

시클로테트라실란(Si_4H_8),

시클로펜타실란(Si_5H_{10}),

시클로헥사실란(Si_6H_{12}), 및

시클로헵타실란(Si_7H_{14})

중 적어도 어느 하나로부터 선택되는 시드층의 형성 방법.

청구항 12

피처리체 상에 실리콘막을 성막하는 실리콘막의 성막 방법으로서,

- (1) 상기 피처리체의 기초층의 표면 상에, 시드층을 형성하는 공정과,
- (2) 상기 시드층 상에, 상기 실리콘막을 형성하는 공정을 구비하고,

상기 (1) 공정을, 제1항 내지 제3항 및 제6항 내지 제11항 중 어느 한 항에 기재된 시드층의 형성 방법을 이용해서 행하는 실리콘막의 성막 방법.

청구항 13

기초층 상에 실리콘막을 성막하는 성막 장치로서,

상기 실리콘막이 형성되는 기초층을 가진 피처리체를 수용하는 처리실과,

상기 처리실 내에, 처리에 이용하는 가스를 공급하는 처리 가스 공급 기구와,

상기 처리실 내에 수용된 상기 피처리체를 가열하는 가열 장치와,

상기 처리실 내를 배기하는 배기 기구와,

제12항의 실리콘막의 성막 방법이 실시되도록 상기 처리 가스 공급 기구, 상기 가열 장치 및 상기 배기 기구를 제어하는 컨트롤러를 구비하는 성막 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 시드층의 형성 방법, 실리콘막의 성막 방법 및 성막 장치에 관한 것이다.

배경 기술

- [0002] 반도체 집적 회로 장치의 콘택트 홀이나 라인의 매립, 소자나 구조를 형성하기 위한 박막 재료에는 실리콘, 예를 들어, 아몰퍼스 실리콘이 이용되고 있다. 아몰퍼스 실리콘의 성막 방법은, 예를 들어, 특허문헌 1에 기재되어 있다. 특허문헌 1에는, 디실란의 경우 400 내지 500℃에서 분해, 트리실란의 경우 350 내지 450℃에서 분해, 테트라실란의 경우 300 내지 400℃에서 분해하여, 아몰퍼스 실리콘막을 성막하는 방법이 기재되어 있다.
- [0003] 그러나, 아몰퍼스 실리콘으로, 미세화가 진행된 콘택트 홀이나 라인을 매립하고자 하면, 성막 후의 아몰퍼스 실리콘은 콘택트 홀부에서의 커버리지가 나빠, 큰 보이드(Void)가 발생하게 된다. 큰 보이드가 콘택트 홀이나 라인 내에 발생하면, 예를 들어, 저항값의 증대를 야기하는 요인의 하나로 된다. 이것은, 아몰퍼스 실리콘막의 표면 거칠기의 정밀도가 나쁜 것도 그 요인에 있다.
- [0004] 따라서, 아몰퍼스 실리콘막의 표면 거칠기의 정밀도를 개선하기 위해, 아몰퍼스 실리콘막을 성막하기 전에 기초층 표면상에 아미노실란계 가스를 공급하고, 기초층 표면상에 시드층을 미리 형성해 둔다고 하는 아몰퍼스 실리콘막의 성막 방법이, 특허문헌 2에 기재되어 있다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 일본 특허 출원 공개 평1-217956호 공보
(특허문헌 0002) 일본 특허 출원 공개 제2011-249764호 공보

발명의 내용

해결하려는 과제

- [0006] 최근, 실리콘막, 예를 들어, 아몰퍼스 실리콘막의, 표면 거칠기 정밀도의 개선 요구와 함께, 성막 프로세스 저온화의 요구가 점점 심해지고 있다.
- [0007] 특허문헌 2에 있어서는, 표면 거칠기 정밀도의 개선이라고 하는 목적을 달성할 수 있지만, 성막 프로세스의 온도가 400℃ 이상인 경우에, 특히 바람직하다. 예를 들어, 성막 프로세스의 온도를 400℃ 미만, 예를 들어, 350℃를 상한으로 한 성막 프로세스에 적용하면, 시드층 상에 형성되는, 예를 들어, 아몰퍼스 실리콘막의 인큐베이션 시간이, 약간이기는 하지만 증대된다.
- [0008] 인큐베이션 시간의 약간의 증대는, 표면 거칠기의 정밀도를 약간 저하시킬 가능성이 있다. 현상에서는 영향이 없는 범위라고 해도, 금후의 전자 디바이스의 진전을 생각하면, 시드층 상에 형성되는 박막의 약간의 표면 거칠기 정밀도의 저하도, 허용할 수 없는 레벨로 발전해 가는 것도 충분히 생각된다.
- [0009] 이와 같이, 한층 더한 성막 프로세스 저온화의 요구를 고려한 경우에는, 시드층 상에 형성되는 박막의 표면 거칠기 정밀도의 유지 향상과 한층 더한 면내 균일성의 향상이 어렵게 된다고 하는 사정이 있다.
- [0010] 본 발명은, 상기 사정을 감안하여 이루어진 것으로, 한층 더한 성막 프로세스 저온화의 요구에 대해서도 대응 가능하고, 또한, 시드층 상에 형성되는 박막의 표면 거칠기 정밀도의 유지 향상과 한층 더한 면내 균일성의 향상을 달성하는 것도 가능한 시드층의 형성 방법, 그 시드층의 형성 방법을 이용한 실리콘막의 성막 방법 및 그 성막 방법을 실시하는 것이 가능한 성막 장치를 제공한다.

과제의 해결 수단

- [0011] 본 발명의 제1 형태에 따른 시드층의 형성 방법은, 기초층 상에, 실리콘막을 형성할 때의 시드로 되는 시드층을 형성하는 시드층의 형성 방법으로서, (1) 상기 기초층을 가열하고, 상기 가열한 기초층 표면 상에 아미노실란계 가스를 공급하여, 상기 기초층 표면 상에 제1 시드층을 형성하는 공정과, (2) 상기 기초층을 가열하고, 상기 가열한 기초층 표면 상에 디실란 이상의 고차 실란계 가스를 공급하여, 상기 제1 시드층이 형성된 상기 기초층 표면 상에 제2 시드층을 형성하는 공정을 구비하고, 상기 (1) 공정에서의 처리 온도를, 400℃ 미만, 상기 아미노실란계 가스에 포함되어 있는 적어도 실리콘이, 상기 기초층 표면 상에 흡착 가능한 온도 이상으로 하고, 상기 (2) 공정에서의 처리 온도를, 400℃ 미만, 상기 디실란 이상의 고차 실란계 가스에 포함되어 있는 적어도 실리콘이, 상기 제1 시드층이 형성된 상기 기초층 표면 상에 흡착 가능한 온도 이상으로 하고, 상기 제1 시드층과

상기 제2 시드층을 포함하는 시드층의 두께는, 0nm를 초과하고 1nm 이하의 범위로 한다.

[0012] 본 발명의 제2 형태에 따른 실리콘막의 성막 방법은, 피처리체의 기초층 상에 시드층을 형성하고, 상기 시드층 상에 실리콘막을 성막하는 실리콘막의 성막 방법으로서, (1) 상기 피처리체의 기초층 표면 상에, 상기 시드층을 형성하는 공정과, (2) 상기 시드층 상에, 상기 실리콘막을 형성하는 공정을 구비하고, 상기 (1) 공정을, 상기 제1 형태에 따른 시드층의 형성 방법을 이용해서 행한다.

[0013] 본 발명의 제3 형태에 따른 성막 장치는, 기초층 상에 실리콘막을 성막하는 성막 장치로서, 상기 실리콘막이 형성되는 기초층을 가진 피처리체를 수용하는 처리실과, 상기 처리실 내에, 처리에 이용하는 가스를 공급하는 처리 가스 공급 기구와, 상기 처리실 내에 수용된 상기 피처리체를 가열하는 가열 장치와, 상기 처리실 내를 배기하는 배기 기구와, 상기 처리 가스 공급 기구, 상기 가열 장치 및 상기 배기 기구를 제어하는 컨트롤러를 구비하고, 상기 컨트롤러가, 제2 형태에 따른 실리콘막의 성막 방법의 (1) 공정 및 (2) 공정이 실시되도록 상기 처리 가스 공급 기구, 상기 가열 장치 및 상기 배기 기구를 제어한다.

발명의 효과

[0014] 본 발명에 따르면, 한층 더한 성막 프로세스 저온화의 요구에 대해서도 대응 가능하고, 또한, 시드층 상에 형성되는 박막의 표면 거칠기 정밀도의 유지 향상과 한층 더한 면내 균일성의 향상을 달성하는 것도 가능한 시드층의 형성 방법, 그 시드층의 형성 방법을 이용한 실리콘막의 성막 방법 및 그 성막 방법을 실시하는 것이 가능한 성막 장치를 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막 방법의 시퀀스의 일례를 나타내는 흐름도.

도 2의 (A) 내지 (D)는 시퀀스 중의 반도체 기관의 상태를 개략적으로 도시하는 단면도.

도 3은 실리콘막의 퇴적 시간과 막 두께와의 관계를 나타내는 도면.

도 4의 (A)는 중형 웨이퍼 보트의 종단면도, 도 4의 (B)는 중형 웨이퍼 보트의 수평 단면도.

도 5는 시드층 형성시의 처리 온도/처리 압력과 실리콘막의 면내 균일성과의 관계를 나타내는 도면.

도 6의 (A)는 반도체기관의 면내 전체 영역에 있어서의 실리콘막의 면내 균일성을 도시하는 평면도, 도 6의 (B)는 반도체기관의 로드 주변 부분을 제외한 영역에 있어서의 실리콘막의 면내 균일성을 도시하는 평면도.

도 7의 (A) 내지 (C)는 처리 온도/처리 압력의 변화와 실리콘막의 막 두께의 변화와의 관계를 개략적으로 도시하는 수평 단면도.

도 8의 (A) 내지 (B)는 처리 온도/처리 압력의 변화와 지지 홈 내에서의 처리 가스의 유속의 변화와의 관계를 개략적으로 도시하는 종단면도.

도 9는 보트 위치와 실리콘막의 면내 균일성과의 관계를 나타내는 도면.

도 10은 본 발명의 제3 실시 형태에 따른 성막 장치의 일례를 개략적으로 도시하는 단면도.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명의 실시 형태를, 도면을 참조해서 설명한다. 또한, 전체 도면에 걸쳐, 공통 부분에는 공통의 참조 부호를 부여한다.

[0017] 도 1은 본 발명의 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막 방법의 시퀀스의 일례를 나타내는 흐름도, 도 2의 (A) 내지 도 2의 (D)는 시퀀스 중의 반도체 기관의 상태를 개략적으로 도시하는 단면도이다.

[0018] 우선, 도 2의 (A)에 도시하는 바와 같이, 피처리체로서, 본 예에서는 실리콘 기관(실리콘 웨이퍼)(1)을 준비한다. 본 예에서는 실리콘 기관(1)을 예시하고, 실리콘막이 형성되는 기초층이 실리콘 기관, 즉 단결정 실리콘으로 되는 예를 나타내고 있지만, 기초로서는 단결정 실리콘에 한정되지 않고, 그 표면이 산화되어 있어도 되고, 실리콘 산화물막, 실리콘 질화물막, 금속막, 금속 산화물막, 금속 질화물막 등의 박막이 기초층의 산화면 상에

퇴적되어 있어도 된다.

- [0019] 다음에, 도 1의 스텝 1에 도시하는 바와 같이, 기초층, 본 예에서는 실리콘 기판(1) 상에 시드층을 형성한다. 본 예에서는 시드층을 2 단계로 나눠서 형성한다. 그 형성 방법의 일례는 다음과 같다.
- [0020] <제1 시드층의 형성>
- [0021] 도 1의 스텝 11 및 도 2의 (B)에 도시하는 바와 같이, 기초층인 실리콘 기판(1)을 가열하고, 가열한 실리콘 기판(1)의 표면 상에 아미노실란계 가스를 공급하고, 이 아미노실란계 가스에 포함된 적어도 실리콘을 실리콘 기판(1)의 표면 상에 흡착시킨다. 또한, 스텝 11에서의 처리 온도를, 400℃ 미만, 아미노실란계 가스에 포함된 적어도 실리콘이 기초층 표면, 본 예에서는 실리콘 기판(1)의 표면 상에 흡착 가능한 온도 이상으로 한다. 이에 의해, 실리콘 기판(기초층)(1)의 표면 상에는 제1 시드층(2)이 형성된다.
- [0022] 아미노실란계 가스의 예로서는,
- [0023] 부틸아미노실란(BAS),
- [0024] 비스터설부틸아미노실란(BTBAS),
- [0025] 디메틸아미노실란(DMAS),
- [0026] 비스디메틸아미노실란(BDMAS),
- [0027] 트리디메틸아미노실란(TDMAS),
- [0028] 디에틸아미노실란(DEAS),
- [0029] 비스디에틸아미노실란(BDEAS),
- [0030] 디프로필아미노실란(DPAS),
- [0031] 디이소프로필아미노실란(DIPAS), 및
- [0032] 헥사키스에틸아미노디실란
- [0033] $(1)((R1R2)N)_nSi_xH_{2x+2-n-m}(R3)_m$
- [0034] $(2)((R1R2)N)_nSi_xH_{2x-n-m}(R3)_m$
- [0035] 중 적어도 하나를 포함하는 가스로부터 선택할 수 있다.
- [0036] 단, 상기 (1), (2)식에 있어서,
- [0037] n은 아미노기의 수로서 1 내지 6의 자연수이고,
- [0038] m은 알킬기의 수로서 0 또는 1 내지 5 중 하나의 자연수이고,
- [0039] R1, R2, R3=CH₃, C₂H₅, C₃H₇이고,
- [0040] R1=R2=R3, 또는 동일하지 않아도 되고,
- [0041] R3=C1, 또는 F이어도 되고,
- [0042] X는 1 이상의 자연수이다.
- [0043] 본 예에 있어서는, 아미노실란계 가스로서 DIPAS를 이용하였다. 제1 시드층(2)을 형성할 때의 처리 조건의 일례는,
- [0044] DIPAS 유량:200sccm
- [0045] 처리 시간:1min
- [0046] 처리 온도:350℃
- [0047] 처리 압력:133.3Pa(1Torr)
- [0048] 이다. 또한, 본 명세서에 있어서는 1Torr을 133.3Pa로 정의한다.

- [0049] 이와 같은 조건으로 성막 처리함으로써, 실리콘 기판(1)의 표면 상에는, DIPAS에 포함된 적어도 실리콘을 포함하는 성분이 흡착되고, 원자층 레벨, 예를 들어, 원자가 1층 정도의 레벨(단원자층 오더)로 흡착된 제1 시드층(2)이 형성된다. 제1 시드층(2)은 매우 얇은 층이고, 예를 들어, CVD 반응을 수반하지 않고 형성된다.
- [0050] <제2 시드층의 형성>
- [0051] 이어서, 도 1의 스텝 12 및 도 2의 (C)에 도시하는 바와 같이, 기초층인 실리콘 기판(1)을 가열하고, 가열한 실리콘 기판(1)의 표면 상에 아미노기를 포함하지 않는 디실란 이상의 고차 실란계 가스를 공급하고, 이 고차 실란계 가스에 포함된 적어도 실리콘을, 제1 시드층(2)이 형성된 실리콘 기판(1)의 표면 상에 흡착시킨다. 또한, 스텝 12에서의 처리 온도를, 400℃ 미만, 디실란 이상의 고차 실란계 가스에 포함된 적어도 실리콘이, 제1 시드층(2)이 형성된 실리콘 기판(기초층)(1) 표면 상에 흡착 가능한 온도 이상으로 한다. 이에 의해, 제1 시드층(2)이 형성된 실리콘 기판(기초층)(1)의 표면 상에는 제2 시드층(3)이 형성된다.
- [0052] 아미노기를 포함하지 않는 디실란 이상의 고차 실란계 가스의 예로서는,
- [0053] Si_mH_{2m+2} (단, m은 2 이상의 자연수)의 식으로 표현되는 실리콘의 수소화물 및 Si_nH_{2n} (단, n은 3 이상의 자연수)의 식으로 표현되는 실리콘의 수소화물 중 적어도 하나를 포함하는 가스로부터 선택할 수 있다.
- [0054] 또한, 상기 Si_mH_{2m+2} 의 식으로 표현되는 실리콘의 수소화물로서는,
- [0055] 디실란(Si_2H_6),
- [0056] 트리실란(Si_3H_8),
- [0057] 테트라실란(Si_4H_{10}),
- [0058] 펜타실란(Si_5H_{12}),
- [0059] 헥사실란(Si_6H_{14}), 및
- [0060] 헵타실란(Si_7H_{16})
- [0061] 중 적어도 하나로부터 선택되는 것이 바람직하다.
- [0062] 또한, 상기 Si_nH_{2n} 의 식으로 표현되는 실리콘의 수소화물로서는,
- [0063] 시클로트리실란(Si_3H_6),
- [0064] 시클로테트라실란(Si_4H_8),
- [0065] 시클로펜타실란(Si_5H_{10}),
- [0066] 시클로헥사실란(Si_6H_{12}), 및
- [0067] 시클로헵타실란(Si_7H_{14})
- [0068] 중 적어도 어느 하나로부터 선택되는 것이 바람직하다.
- [0069] 본 예에 있어서는, 아미노기를 포함하지 않는 디실란 이상의 고차 실란계 가스로서 Si_2H_6 을 이용하였다. 제2 시드층(3)을 형성할 때의 처리 조건의 일례는,
- [0070] Si_2H_6 유량:300sccm
- [0071] 처리 시간:60min
- [0072] 처리 온도:350℃
- [0073] 처리 압력:399.9Pa(3Torr)
- [0074] 이다.

- [0075] 이와 같은 조건에서 성막 처리함으로써, 제1 시드층(2)이 형성된 실리콘 기판(1)의 표면 상에는, Si_2H_6 에 포함된 적어도 실리콘을 포함하는 성분이 흡착되고, 제1 시드층(2)과 마찬가지로, 원자층 레벨, 예를 들어, 원자가 1층 정도의 레벨(단원자층 오더)로 흡착된, 혹은 1nm 정도의 두께로 흡착된 제2 시드층(3)이 형성된다. 이 제2 시드층(3)도, 또한, 제1 시드층(2)과 마찬가지로, 예를 들어, CVD 반응을 수반하지 않고 형성된다.
- [0076] 이와 같이 하여, 본 예에서는, 시드층으로서, 제1 시드층(2)과, 제1 시드층(2) 상에 형성된 제2 시드층(3)을 포함하는 이중 시드층(4)이 형성된다. 이중 시드층(4)의 상태는, 예를 들어, 아몰퍼스 상태이다. 이어서, 이중 시드층(4) 상에는 박막이 형성된다. 이 때문에, 이중 시드층(4)의 두께로서는, 예를 들어, 이중 시드층(4)의 두께와 박막 본래의 막의 두께를 합계한 막 두께를 고려하여, 0nm를 초과하고 1nm 이하의 범위로 되는 것이다.
- [0077] <박막의 형성>
- [0078] 다음에, 도 1의 스텝 2 및 도 2의 (D)에 도시하는 바와 같이, 제1 시드층(2)과 제2 시드층(3)을 포함하는 이중 시드층(4) 상에 박막을 형성한다. 박막을 실리콘막(5)으로 하는 경우에는, 실리콘막(5)의 원료 가스로서, 아미노기를 포함하지 않는 실란계 가스가 이용된다. 아미노기를 포함하지 않는 실란계 가스의 예로서는, Si_mH_{2m+2} (단, m은 1 이상의 자연수)의 식으로 표현되는 실리콘의 수소화물 및 Si_nH_{2n} (단, n은 3 이상의 자연수)의 식으로 표현되는 실리콘의 수소화물 중 적어도 하나를 포함하는 가스로부터 선택할 수 있다.
- [0079] 또한, 상기 Si_mH_{2m+2} 의 식으로 표현되는 실리콘의 수소화물로서는, 모노실란(SiH_4)이나, 제2 시드층(3)의 형성에 이용된 실리콘의 수소화물을 들 수 있다.
- [0080] 또한, Si_nH_{2n} 의 식으로 표현되는 실리콘의 수소화물에 대해서도, 제2 시드층(3)의 형성에 이용된 실리콘의 수소화물을 들 수 있다.
- [0081] 본 예에 있어서는, 아미노기를 포함하지 않는 실란계 가스로서 디실란(Si_2H_6)을 이용하였다. 실리콘막(5)을 형성할 때의 처리 조건의 일례는,
- [0082] Si_2H_6 유량:100sccm
- [0083] 처리 시간:90min
- [0084] 처리 온도:350℃
- [0085] 처리 압력:133.3Pa(1Torr)
- [0086] 이다.
- [0087] 상기 처리 조건에 있어서는, 예를 들어, 막 두께가 약 15nm인 실리콘막(5)이, 이중 시드층(4) 중, 제2 시드층(3) 상에 형성된다.
- [0088] 또한, 실리콘막(5)의 형성시에서는 CVD법을 채용해도 되고, ALD법을 채용해도 된다.
- [0089] 또한, 실리콘막(5)에는, 도펀트를 도포할 수도 있다. 실리콘막(5)에 도펀트를 도포할 때에는, 도 1의 스텝 S2 및 도 2의 (D)에 도시하는 성막 공정에 있어서, 아미노기를 포함하지 않는 실란계 가스와 함께, 도펀트를 포함하는 가스를 공급하면 된다.
- [0090] 도펀트의 예로서는,
- [0091] 붕소(B),
- [0092] 인(P),
- [0093] 비소(As),
- [0094] 산소(O),
- [0095] 탄소(C), 및
- [0096] 질소(N)

- [0097] 를 들 수 있다.
- [0098] 이들 도펀트에 대해서는 혼합되어도 된다. 즉, 스텝 2의 성막 공정에 있어서, 상기 6 종류의 도펀트로부터 선택되는 적어도 하나의 도펀트를 포함하는 가스를, 아미노기를 포함하지 않는 실란계 가스와 함께 공급함으로써, 실리콘막(5)에 도펀트를 도포할 수 있다.
- [0099] 실리콘막(5)의 성막 후의 상태는,
- [0100] 아몰퍼스 상태
- [0101] 아몰퍼스 상태와 나노 결정 상태가 혼재된 상태
- [0102] 나노 결정 상태
- [0103] 다결정 상태
- [0104] 중 어느 하나로 된다. 이 실리콘막(5)의 성막 후의 상태는, 실리콘막(5)의 성막 중에 결정되거나, 또는 실리콘막(5)의 성막 후의 처리에 의해 결정할 수 있다. 예를 들어, 실리콘막(5)의 성막 중에 상태를 결정하는 경우에는, 처리 온도, 처리 압력, 원료 가스 유량 등을 조절하면 된다. 또한, 실리콘막(5)의 성막 후에 상태를 결정하는 경우에는, 실리콘막(5)이 형성된 실리콘 기관(1)에 어닐 처리를 실시하면 된다. 상세하게는, 어닐 처리시의 처리 온도, 처리 압력, 처리 시간 등을 조절함으로써, 실리콘막(5)의 상태를, 상기 4개의 상태 중 어느 하나로 제어할 수 있다.
- [0105] 실리콘막(5)은, 본래, 형성하고자 하는 박막 본래의 막이다. 이 때문에, 실리콘막(5)의 두께는 이용자의 요구에 의해 결정되지만, 실용적인 관점을 고려하면, 실리콘막(5)의 두께는, 0nm를 초과하고 100nm 이하의 범위로 되는 것이 양호할 것이다.
- [0106] 이와 같이 하여, 실리콘 기관(1) 상에는, 제1 시드층(2)과 제2 시드층(3)을 포함한 이중 시드층(4)을 개재하여, 실리콘막(5)이 형성된다.
- [0107] 이와 같은 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막 방법에 따르면, 다음과 같은 이점을 얻을 수 있다.
- [0108] (인큐베이션 시간)
- [0109] 우선, 성막 프로세스 온도의 상한을 400℃ 미만으로 한 경우의, 실리콘막(5)의 인큐베이션 시간에 대해서 설명한다.
- [0110] 도 3은, 퇴적 시간(X축)과 실리콘막(5)의 막 두께(Y축)와의 관계를 나타내는 도면이다.
- [0111] 도 3에는, 참고예로서, 성막 프로세스의 상한 온도를 350℃로 하고, DIPAS만을 이용해서 단일 시드층을 형성하고, 이 단일 시드층 상에 실리콘막을 성막한 예가 “●”로 표시되어 있다. 참고예에서의 단일 시드층 형성시의 처리 조건은 이하와 같다.
- [0112] DIPAS 유량:500sccm
- [0113] 처리 시간:0.5min
- [0114] 처리 온도:350℃
- [0115] 처리 압력:53.3Pa(0.4Torr)
- [0116] 도 3의 참고예로부터 알 수 있듯이, 약 90min의 성막 처리에 의해 약 11nm, 약 143min의 성막 처리에 의해 약 18nm의 실리콘막이 성막되었다. 측정된 2개의 막 두께를 최소 제곱법으로 직선 근사한 직선의 식은 다음과 같다.
- [0117] 선 I:y=1.565x-34.593
- [0118] 상기 식을 y=0, 즉 실리콘막의 막 두께를 “0”으로 하였을 때, 선 I와 퇴적 시간과의 교점을 구한 결과, 약 22min으로 되었다. 따라서, 참고예에서의 실리콘막의 인큐베이션 시간 Tinc1은, 약 22min이다.
- [0119] 다음에, 제1 및 제2 실시 형태에 따른 도 1에 도시한 스텝 11 및 스텝 12의 처리 조건(도면 중, 「○」 참조)에 의해, 제1 시드층(2)과 제2 시드층(3)을 포함하는 이중 시드층(4) 상에 실리콘막(5)을 형성한 경우에는, 약

63min의 성막에 의해 약 11nm, 약 90min의 성막에 의해 약 15nm의 실리콘막(5)이 성막되었다. 측정된 2개의 막 두께를 최소 제곱법으로 직선 근사한 직선의 식은 다음과 같다.

- [0120] 선 II: $y=1.6784x-1.9063$
- [0121] 상기 식을 $y=0$, 즉 실리콘막의 막 두께를 “0”으로 하였을 때, 선 II와 퇴적 시간과의 교점을 구한 결과, 약 1.1min으로 되었다. 따라서, 제1 및 제2 실시 형태에서의 실리콘막(5)의 인큐베이션 시간 Tinc2는, 약 1.1min이다.
- [0122] 이와 같이 제1 및 제2 실시 형태에 따르면, 성막 프로세스 온도를 400℃ 미만으로 한 경우, 예를 들어, 350℃로 한 경우, DIPAS를 이용해서 단일의 시드층만을 형성하는 경우와 비교하여, 실리콘막(5)의 인큐베이션 시간을 단축할 수 있다. 이 때문에, 한층 더한 성막 프로세스 저온화의 요구에 대해서도 대응 가능하다고 하는 이점을 얻을 수 있다.
- [0123] 또한, 제1 및 제2 실시 형태에 따르면, 상술한 바와 같이 인큐베이션 시간을 단축할 수 있는 결과, 상술한 DIPAS를 이용해서 단일의 시드층만을 형성하는 경우와 비교하여, 상기 이중 시드층(4) 상에 형성되는 박막, 본 예에서는 실리콘막(5)의 표면 거칠기 정밀도의 유지와 한층 더한 향상을 달성하는 것도 가능하다.
- [0124] (면내 균일성)
- [0125] 다음에, 성막 프로세스 온도의 상한을 400℃ 미만으로 한 경우의, 실리콘막(5)의 면내 균일성에 대해서 설명한다.
- [0126] 도 4의 (A)는 종형 웨이퍼 보트의 종단면도, 도 4의 (B)는 도 4의 (A) 중의 I-I 선을 따르는 수평 단면도이다. 또한, 도 4의 (A)의 종단면도는, 도 4의 (B) 중의 II-II 선을 따르는 것이다.
- [0127] 도 4의 (A)에 도시하는 바와 같이, 종형 웨이퍼 보트(105)는, 예를 들어, 석영제이며, 복수개의 보트 로드(106), 예를 들어, 3개의 보트 로드(106)를 갖고 있다. 보트 로드(106)의 각각에는 복수개의 지지 홈(106a)이 형성되어 있다. 이들 지지 홈(106a)의 각각에, 실리콘 기관(1)을 1매씩, 그 주연부의 일부를 지지시킴으로써, 종형 웨이퍼 보트(105)에는 실리콘 기관(1)이 다단으로 재치된다. 종형 웨이퍼 보트(105)는, 실리콘 기관(1)을 다단으로 재치한 상태에서, 후술하는 성막 장치의 처리실 내에 삽입되고, 처리실 내에 있어서, 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막이 행해진다.
- [0128] 이와 같이 실리콘 기관(1)을 종형 웨이퍼 보트(105)에 재치하였을 때에는, 그 주연부의 일부가 지지 홈(106a)에 지지된다. 지지 홈(106a)에 지지되어 있는 실리콘 기관(1)의 부분[이하 로드 주변 부분(20)이라고 함]은, 실리콘 기관(1)의 중앙 부분과는 달리, 그 상면 상방에 보트 로드(106)가 존재하게 된다. 이 때문에, 실리콘 기관(1)의 로드 주변 부분(20)과, 로드 주변 부분(20)을 제외한 실리콘 기관(1)의 중앙 부분에서는, 성막 처리시에, 처리 가스의 흐름이 다르게 된다.
- [0129] 따라서, 이중 시드층(4)을 형성시의 처리 온도/처리 압력과 실리콘막(5)의 면내 균일성과의 관계를 조사해 보았다. 도 5는 이중 시드층(4) 형성시의 처리 온도/처리 압력과 실리콘막(5)의 면내 균일성과의 관계를 나타내는 도면이다. 도 5에 있어서, “●”는 면내 전체 영역에서의 실리콘 기관(1)의 면내 균일성을 나타내고[도 6의 (A) 참조], “○”은 실리콘 기관(1)의, 로드 주변 부분(20)을 제외한 영역에 있어서의 실리콘막(5)의 면내 균일성을 나타내고 있다[도 6의 (B) 참조].
- [0130] <제1예:처리 온도 400℃/처리 압력 133.3Pa>
- [0131] 제1예는, 기본적으로, 처리 온도 400℃, 처리 압력을 133.3Pa(1Torr)로 한 경우이다. 구체적인 처리 조건은 이하와 같다. 또한, 실리콘막(5)은 성막 온도를 400℃로서 성막하였다.
- [0132] <제1 시드층(2)의 형성>
- [0133] 처리 가스:DIPAS
- [0134] 처리 가스 유량:200sccm
- [0135] 처리 시간:1min
- [0136] 처리 온도:400℃
- [0137] 처리 압력:133.3Pa(1Torr)

- [0138] <제2 시드층(3)[=실리콘막(5)]의 형성>
- [0139] 이 공정은, 제1 실시 형태에서의 제2 시드층(3)의 형성에 대응하는 공정이지만, 처리 온도가 400℃인 경우에는 디실란(Si₂H₆)은 열 분해된다. 이 때문에, 제1예에 있어서는 실리콘이 CVD 반응에 의해 성장하여, 실리콘막(5)이 형성되게 된다.
- [0140] 처리 가스:Si₂H₆
- [0141] 처리 가스 유량:300sccm
- [0142] 처리 시간:30min
- [0143] 처리 온도:400℃
- [0144] 처리 압력:133.3Pa(1Torr)
- [0145] 도 5에 도시하는 바와 같이, 제1예에 있어서는, 도 6의 (A)에 도시하는 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 2.8%이다. 또한, 도 6의 (B)에 도시하는 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 1.2%이다. 그 차는 약 1.6%이다. 이것은, 실리콘막(5)의 로드 주변 부분(20)에서의 막 두께는, 로드 주변 부분(20)을 제외한 영역에서의 막 두께와의 차가 큰 것을 나타내고 있다. 즉, 실리콘막(5)의 로드 주변 부분(20)에서의 막 두께는, 로드 주변 부분(20)을 제외한 영역에서의 막 두께에 비교하여 얇아지는 경향을 보인다.
- [0146] <제2예:처리 온도 350℃/처리 압력 133.3Pa>
- [0147] 제2예는, 처리 압력은 제1예와 동일하게 한 상태에서, 처리 온도를 400℃에서 350℃로 내린 경우이다. 구체적인 처리 조건은 이하와 같다. 또한, 실리콘막(5)은 성막 온도를 350℃로 하여 성막하였다.
- [0148] <제1 시드층(2)의 형성>
- [0149] 처리 가스:DIPAS
- [0150] 처리 가스 유량:200sccm
- [0151] 처리 시간:1min
- [0152] 처리 온도:350℃
- [0153] 처리 압력:133.3Pa(1Torr)
- [0154] <제2 시드층(3)의 형성>
- [0155] 처리 가스:Si₂H₆
- [0156] 처리 가스 유량:300sccm
- [0157] 처리 시간:30min
- [0158] 처리 온도:350℃
- [0159] 처리 압력:133.3Pa(1Torr)
- [0160] 도 5에 도시하는 바와 같이, 제2예에 있어서는, 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 1.9%이다. 또한, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 1.4%이다. 그 차는 약 0.5%이다. 이것은, 실리콘막(5)의 로드 주변 부분(20)에서의 막 두께와 로드 주변 부분(20)을 제외한 영역에서의 막 두께와의 차가, 처리 온도 400℃/처리 압력 133.3Pa로 한 제1예에 비교하여, 작게 되어, 개선되어 있는 것을 보이고 있다. 즉, 처리 온도를 400℃ 미만으로 내림으로써, 실리콘막(5)의 막 두께의 면내 균일성을 향상시킬 수 있다.
- [0161] <제3예:처리 온도 350℃/처리 압력 399.9Pa>
- [0162] 제3예는, 처리 온도는 제2예와 동일하게 한 상태에서, 처리 압력을 133.3Pa(1Torr)로부터 399.9Pa(3Torr)로 올린 경우이다. 구체적인 처리 조건은 이하와 같다. 또한, 실리콘막(5)은 성막 온도를 350℃로 하여

성막하였다.

- [0163] <제1 시드층(2)의 형성>
- [0164] 처리 가스:DIPAS
- [0165] 처리 가스 유량:200sccm
- [0166] 처리 시간:1min
- [0167] 처리 온도:350℃
- [0168] 처리 압력:399.9Pa(3Torr)
- [0169] <제2 시드층(3)의 형성>
- [0170] 처리 가스:Si₂H₆
- [0171] 처리 가스 유량:300sccm
- [0172] 처리 시간:30min
- [0173] 처리 온도:350℃
- [0174] 처리 압력:399.9Pa(3Torr)
- [0175] 도 5에 도시하는 바와 같이, 제3예에 있어서는, 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 0.8%이다. 또한, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 0.7%이다. 그 차는 약 0.1%이다. 이것은, 실리콘막(5)의 로드 주변 부분(20)에서의 막 두께와 로드 주변 부분(20)을 제외한 영역에서의 막 두께와의 차가, 처리 온도 350℃/처리 압력 133.3Pa로 한 제2예에 비교하여, 더 작게 되어, 보다 개선되어 있는 것을 보이고 있다. 즉, 처리 온도를 400℃ 미만으로 내리고, 또한, 처리 압력을 133.3Pa를 초과하는 압력으로 함으로써, 실리콘막(5)의 막 두께의 면내 균일성은, 더욱 향상된다. 처리 온도 350℃/처리 압력 399.9Pa의 제3예에 있어서는, 전술한 바와 같이 막 두께의 차가 0.1%이다. 이것은, 실리콘막(5)의 로드 주변 부분(20)에서의 막 두께와 로드 주변 부분(20)을 제외한 영역에서의 막 두께가 거의 바뀌지 않는다고 하는 것을 나타내고 있다.
- [0176] 상기 고찰을 정리하면, 도 7의 (A)에 도시하는 처리 온도 400℃/처리 압력 133.3Pa(제1예)의 처리 조건보다는, 처리 온도를 400℃ 미만, 예를 들어, 도 7의 (B)에 도시하는 처리 온도 350℃/처리 압력 133.3Pa(제2예)로 한 것이, 로드 주변 부분(20)에서의 실리콘막(5)의 막 두께를, 로드 주변 부분(20)을 제외한영역에서의 실리콘막(5)의 막 두께에 대해서 상대적으로 두껍게 할 수 있어, 실리콘막(5)의 면내 균일성이 향상된다고 하는 이점을 얻을 수 있다. 즉, 이것은, 처리 온도 400℃에서는 디실란(Si₂H₆)이 열 분해되므로, 제2 시드층(3)(즉, 해당 디실란에 포함된 실리콘)이 CVD 반응에 의해 성장하고, 로드 주변 부분(20)을 제외한영역에서, 특히 두껍게 형성되어 버리는 것이 원인일 것이라고 추측된다.
- [0177] 이 점, 처리 온도를 400℃ 미만의, 예를 들어, 350℃로 하면, 디실란이 열 분해되는 것이 방지되므로, 제2 시드층(3)은 CVD 반응을 수반하는 일 없이, 디실란에 포함되는 실리콘의 흡착만으로 퇴적된다. 이 때문에, CVD 반응에 의한 성장에 비교하여, 로드 주변 부분(20)을 제외한영역에서, 제2 시드층(3)이 특히 두껍게 형성되어 버리는 것을 억제할 수 있다.
- [0178] 또한, 400℃ 미만, 예를 들어, 350℃의 실리콘막(5)의 성막에서는, 실리콘막(5)의 CVD 반응에 의한 성장이, 성막 온도 400℃의 경우에 비교하여, 예를 들어, CVD 성장을 낮게 억제할 수 있어, 로드 주변 부분(20)을 제외한 영역에서의 CVD 반응의 속도를 억제할 수 있다. 이들 점으로부터, 로드 주변 부분(20)에서의 실리콘막(5)의 막 두께를, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께에 대해서 상대적으로 두껍게 할 수 있는 것으로 추측된다.
- [0179] 또한, 도 7의 (B)에 도시하는 처리 온도 350℃/처리 압력 133.3Pa(제2예)보다는, 처리 압력을 133.3Pa 초과, 예를 들어, 도 7의 (C)에 도시하는 처리 온도 350℃/처리 압력 399.9Pa(제3예)로 한 것이, 로드 주변 부분(20)에서의 실리콘막(5)의 막 두께를, 더 두껍게 형성할 수 있어, 실리콘 기관(1)에 있어서의 실리콘막(5)의 실리콘 기관(1)의 면내 균일성이, 더욱 향상된다고 하는 이점을 얻을 수 있다. 이것은, 처리 압력이 높은 쪽이, 도 8의 (A) 및 도 8의 (B)에 도시하는 바와 같이, 지지 홈(106a) 내에서의 처리 가스의 유속을 느리게 할 수 있기

때문이라고 추측된다. 처리 가스의 유속이 느려짐으로써, 지지 홈(106a) 내나 그 주변의 영역에는, 처리 가스, 예를 들어, 제2 시드층(3)의 형성에 이용되는 디실란을 장시간 머물게 할 수 있다. 디실란이, 장시간 머물 수 있는 만큼, 디실란에 포함된 실리콘이 제1 시드층(2) 상에 흡착되는 확률을 높일 수 있다. 이 결과, 로드 주변 부분(20)에서의 실리콘막(5)의 막 두께를, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께에 대해서 상대적으로 보다 두껍고, 예를 들어, 거의 동등한 막 두께까지 두껍게 할 수 있는 것으로 추측된다.

[0180] (면내 균일성의 보트 위치 의존성)

[0181] 도 5에 도시한 결과는, 도 4에 도시한 중형 웨이퍼 보트(105)의 중단에 재치된 실리콘 기관(1)으로부터 얻어진 것이었다. 중형 웨이퍼 보트(105)에서는, 중형 웨이퍼 보트(105) 내의 실리콘 기관(1)의 재치 위치에 따라 면내 균일성이 변화된다고 하는 면내 균일성의 보트 위치 의존성이 있다. 다음에, 이 면내 균일성의 보트 위치 의존성을 조사해 보았다.

[0182] 도 9는, 보트 위치와 실리콘막(5)의 면내 균일성과의 관계를 나타내는 도면이다. 도 9에 있어서는, 도 5를 참조해서 설명한 제1예(“▲” 및 “△” 참조) 및 제3예(“●” 및 “○” 참조)에 대한 보트 위치와 실리콘막(5)의 면내 균일성과의 관계가 도시되어 있다.

[0183] <제1예:처리 온도 400℃/처리 압력 133.3Pa>

[0184] <상단>

[0185] 도 9에 도시하는 바와 같이, 제1예에 있어서는 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 2.9%, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 1.5%, 그 차는 약 1.4%이다.

[0186] <중단>

[0187] 도 5를 참조해서 설명한 바와 같지만, 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 2.8%, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 1.2%, 그 차는 약 1.6%이다.

[0188] <하단>

[0189] 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 3.4%, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 2.5%, 그 차는 약 0.9%이다.

[0190] 이와 같은 결과로부터, 처리 온도 400℃/처리 압력 133.3Pa로 하는 제1예에 있어서는, 보트 위치에 의해서도, 실리콘막(5)의 막 두께의 면내 균일성은 개선된다고는 말하기 어렵고, 보트 위치에 관계없이, 실리콘막(5)의 로드 주변 부분(20)에서의 막 두께는 로드 주변 부분(20)을 제외한 영역에서의 막 두께와의 차가 크다.

[0191] 또한, 실리콘막(5)의 로드 주변 부분(20)을 제외한 영역에서는, 막 두께의 면내 균일성은, 면내 전체 영역에 비교하면 양호하지만, 그런데도, 약 1.2 내지 2.5%의 범위에 그치고 있다.

[0192] <제3예:처리 온도 350℃/처리 압력 399.9Pa>

[0193] <상단>

[0194] 제3예에 있어서는 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 1.2%, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성도 또 약 1.2%, 그 차는 약 0%이다. 거의 동등한 막 두께이다.

[0195] <중단>

[0196] 도 5를 참조해서 설명한 바와 같다. 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 0.8%, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 0.7%, 그 차는 약 0.1%이다. 양 영역에서의 실리콘막(5)의 두께는 거의 동등하다.

[0197] <하단>

[0198] 면내 전체 영역에서의 실리콘막(5)의 막 두께의 면내 균일성은 약 2.3%, 로드 주변 부분(20)을 제외한 영역에서의 실리콘막(5)의 막 두께의 면내 균일성도 또 약 2.3%, 그 차는 약 0%이다. 양 영역에서의 실리콘막(5)의

두께는 거의 동등하다.

- [0199] 이와 같은 결과로부터, 처리 온도 350℃/처리 압력 399.9Pa로 하는 제3예에 있어서는, 보트 위치에 의해서도, 면내 전체 영역에서의 면내 균일성과, 로드 주변 부분(20)을 제외한 영역에서의 면내 균일성과의 차는, 거의 변화되지 않는다. 즉, 보트 위치에 관계없이, 실리콘막(5)의 로드 주변 부분(20)에서의 막 두께는, 로드 주변 부분(20)을 제외한 영역에서의 막 두께와의 차를 거의 없애는 것이 가능하다.
- [0200] 게다가, 실리콘막(5)의 로드 주변 부분(20)을 제외한 영역에서의 막 두께의 면내 균일성에 대해서도, 제1예에 비교하여, 약 0.7 내지 2.3%의 범위에까지 개선되어 있다.
- [0201] 이와 같이 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막 방법에 따르면, 한층 더한 성막 프로세스 저온화의 요구에 대해서도 대응하는 것이 가능하다고 하는 이점을 얻을 수 있다.
- [0202] 또한, 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막 방법에 따르면, 이중 시드층(4) 상에 형성되는 박막의 표면 거칠기 정밀도의 유지와 한층 더한 향상을 달성하는 것도 가능하다고 하는 이점을 얻을 수 있다.
- [0203] 다음에, 본 발명의 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막 방법을 실시하는 것이 가능한 성막 장치의 예를, 본 발명의 제3 실시 형태로서 설명한다.
- [0204] <성막 장치>
- [0205] 도 10은 본 발명의 제3 실시 형태에 따른 성막 장치의 일례를 개략적으로 도시하는 단면도이다.
- [0206] 도 10에 도시하는 바와 같이, 배터식의 성막 장치(100)는 복수의 피처리 기관을 일괄해 처리하는 것으로, 하단이 개방된 천장을 갖는 원통체 형상의 처리실(101)을 갖고 있다. 처리실(101)의 전체는, 예를 들어, 석영에 의해 형성되어 있다. 처리실(101) 내의 천장에는, 석영제의 천장판(102)이 설치되어 있다. 처리실(101)의 하단 개구부에는, 예를 들어, 스테인리스 스틸에 의해 원통체 형상으로 성형된 매니폴드(103)가 O링 등의 시일 부재(104)를 개재하여 연결되어 있다.
- [0207] 매니폴드(103)는 처리실(101)의 하단을 지지하고 있다. 매니폴드(103)의 하방으로부터는, 도 4를 참조해서 설명한 중형 웨이퍼 보트(105)가 처리실(101) 내에 삽입된다. 중형 웨이퍼 보트(105)는, 복수개의 지지 홈(106a)이 형성된 로드(106)를 복수개 갖고 있고(도 4의 (B) 참조), 상기 지지 홈에 피처리체로서 복수매, 예를 들어, 50 내지 100매의 반도체 기관, 본 예에서는, 실리콘 기관(1)의 주변부의 일부를 지지시킨다. 이에 의해, 중형 웨이퍼 보트(105)에는, 실리콘 기관(1)이 다단으로 재치된다.
- [0208] 중형 웨이퍼 보트(105)는 석영제의 보온통(107)을 통해서 테이블(108) 상에 재치된다. 테이블(108)은 매니폴드(103)의 하단 개구부를 개폐하는, 예를 들어, 스테인리스 스틸제의 덮개부(109)를 관통하는 회전축(110) 상에 지지된다. 회전축(110)의 관통부에는, 예를 들어, 자성 유체 시일(111)이 설치되고, 회전축(110)을 기밀하게 시일하면서 회전 가능하게 지지하고 있다. 덮개부(109)의 주변부와 매니폴드(103)의 하단부 사이에는, 예를 들어, O링으로 이루어지는 시일 부재(112)가 개재하여 설치되어 있다. 이에 의해 처리실(101) 내의 시일성이 유지되어 있다. 회전축(110)은, 예를 들어, 보트 엘리베이터 등의 승강 기구(도시하지 않음)에 지지된 아암(113)의 선단에 설치되어 있다. 이에 의해, 웨이퍼 보트(105) 및 덮개부(109) 등은, 일체적으로 승강되어 처리실(101) 내에 대해서 삽입 분리된다.
- [0209] 성막 장치(100)는, 처리실(101) 내에 처리에 이용하는 가스를 공급하는 처리 가스 공급 기구(114) 및 처리실(101) 내에 불활성 가스를 공급하는 불활성 가스 공급 기구(115)를 갖고 있다.
- [0210] 본 예의 처리 가스 공급 기구(114)는 아미노실란계 가스 공급원(117a), 디실란 이상의 고차 실란계 가스 공급원(117b)(이하, 고차 실란계 가스 공급원으로 약칭함) 및 아미노기를 포함하지 않는 실란계 가스 공급원(117c)[이하, 실란계 가스 공급원(117c)으로 약칭함]을 포함하고 있다.
- [0211] 또한, 불활성 가스 공급 기구(115)는 불활성 가스 공급원(120)을 포함하고 있다. 아미노실란계 가스는 제1 시드층(2)의 형성에 이용되고, 그 일례는 DIPAS이다. 디실란 이상의 고차 실란계 가스는 제2 시드층(3)의 형성에 이용되고, 그 일례는 디실란(Si₂H₆)이다. 아미노기를 포함하지 않는 실란계 가스는 실리콘막(5)의 성막에 이용되고, 그 일례는 디실란(Si₂H₆)이다. 불활성 가스의 일례는 질소 가스이다. 불활성 가스는 퍼지 가스 등에 이용된다.

- [0212] 아미노실란계 가스 공급원(117a)은 유량 제어기(121a) 및 개폐 밸브(122a)를 통해서, 분산 노즐(123a)에 접속되어 있다. 마찬가지로, 고차 실란계 가스 공급원(117b)은 유량 제어기(121b) 및 개폐 밸브(122b)를 통해서 분산 노즐(123b)(도 10에는 도시의 편의상, 참조 부호만이 나타나고 있다)에 접속되어 있다. 마찬가지로, 실란계 가스 공급원(117c)은 유량 제어기(121c) 및 개폐 밸브(122c)를 통해서 분산 노즐(123c)에 접속되어 있다.
- [0213] 분산 노즐(123a 내지 123c)은 석영관으로 이루어지고, 매니폴드(103)의 측벽을 내측으로 관통해서 상방향으로 굴곡되어 수직으로 연장된다. 분산 노즐(123a 내지 123c)의 수직 부분에는, 복수의 가스 토출 구멍(124)이 소정의 수직 간격을 두고 형성되어 있다. 이에 의해, 각 가스는, 가스 토출 구멍(124)으로부터 수평 방향으로 처리실(101) 내를 향해서 대략 균일하게 토출된다.
- [0214] 불활성 가스 공급원(120)은 유량 제어기(121d) 및 개폐 밸브(122d)를 통해서, 노즐(128)에 접속되어 있다. 노즐(128)은 매니폴드(103)의 측벽을 관통하고, 그 선단으로부터 불활성 가스를, 수평 방향으로 처리실(101) 내를 향해서 토출시킨다.
- [0215] 처리실(101) 내의, 분산 노즐(123a 내지 123c)에 대해서 반대측의 부분에는, 처리실(101) 내를 배기하기 위한 배기구(129)가 형성되어 있다. 배기구(129)는 처리실(101)의 측벽을 상하 방향으로 깎아 뚫어냄으로써 가늘고 길게 형성되어 있다. 처리실(101)의 배기구(129)에 대응하는 부분에는, 배기구(129)를 덮도록 단면이 역치자 형상으로 성형된 배기구 커버 부재(130)가 용접에 의해 설치되어 있다. 배기구 커버 부재(130)는 처리실(101)의 측벽을 따라 상방으로 연장되어 있고, 처리실(101)의 상방에 가스 출구(131)를 규정하고 있다. 가스 출구(131)에는, 진공 펌프 등을 포함하는 배기 기구(132)가 접속된다. 배기 기구(132)는, 처리실(101) 내를 배기함으로써 처리에 이용한 처리 가스의 배기 및 처리실(101) 내의 압력을 처리에 따른 처리 압력으로 한다.
- [0216] 처리실(101)의 외주에는 통채 형상의 가열 장치(133)가 설치되어 있다. 가열 장치(133)는 처리실(101) 내에 공급된 가스를 활성화함과 함께, 처리실(101) 내에 수용된 피처리체, 본 예에서는 실리콘 기판(1)을 가열한다.
- [0217] 성막 장치(100)의 각 부의 제어는, 예를 들어 마이크로프로세서(컴퓨터)로 이루어지는 컨트롤러(150)에 의해 행해진다. 컨트롤러(150)에는, 오퍼레이터가 성막 장치(100)를 관리하기 위해 커맨드의 입력 조작 등을 행하는 터치 패널이나, 성막 장치(100)의 가동 상황을 가시화하여 표시하는 디스플레이 등으로 이루어지는 유저 인터페이스(151)가 접속되어 있다.
- [0218] 컨트롤러(150)에는 기억부(152)가 접속되어 있다. 기억부(152)는, 성막 장치(100)에서 실행되는 각종 처리를 컨트롤러(150)의 제어로 실현하기 위한 제어 프로그램이나, 처리 조건에 따라서 성막 장치(100)의 각 구성부에 처리를 실행시키기 위한 프로그램 즉 레시피가 저장된다. 레시피는, 예를 들어, 기억부(152) 중의 기억 매체에 기억된다. 기억 매체는 하드 디스크나 반도체 메모리이어도 되고, CD-ROM, DVD, 플래시 메모리 등의 가반성이 있어도 된다. 또한, 다른 장치로부터, 예를 들어 전용 회선을 통해서 레시피를 적절하게 전송시키도록 해도 된다. 레시피는, 필요에 따라서, 유저 인터페이스(151)로부터의 지시 등으로 기억부(152)로부터 관독되고, 관독된 레시피에 따른 처리를 컨트롤러(150)가 실행함으로써, 성막 장치(100)는 컨트롤러(150)의 제어 하에, 원하는 처리가 실시된다.
- [0219] 본 예에서는, 컨트롤러(150)의 제어 하에, 상기 제2 실시 형태에 따른 실리콘막의 성막 방법에 따른 성막 처리가 순차적으로 실시된다.
- [0220] 상기 제1 및 제2 실시 형태에 따른 시드층의 형성 방법을 이용한 실리콘막의 성막 방법은, 도 10의 성막 장치(100)와 같은, 1대의 성막 장치로 실시할 수 있다.
- [0221] 또한, 성막 장치로서는 도 10에 도시하는 바와 같은 배치식에 한정되지 않고, 매엽식의 성막 장치이어도 된다.
- [0222] 이상, 본 발명을 실시 형태에 따라서 설명하였지만, 본 발명은, 상기 실시 형태에 한정되지 않고, 다양하게 변형 가능하다.
- [0223] 예를 들어, 상기 실시 형태에 있어서는, 처리 조건을 구체적으로 예시하였지만, 상기 실시 형태에 기재한 구체적인 예시에 한정되는 것이 아니라, 실리콘 기판(1)의 크기, 처리실(101)의 용적 변화 등에 따라서, 상기 이점을 손상시키지 않는 범위에서 변경할 수 있는 것은 물론이다.
- [0224] 또한, 상기 실시 형태에 기재한 성막 방법은, 성막 프로세스의 저온 하에, 예를 들어, 상한 온도를 400℃ 미만으로 한 성막 프로세스라도, 실리콘막(5)의 막 두께의 면내 균일성의 향상 및 인큐베이션 시간의 단축에 의한 실리콘막(5)의 표면 거칠기의 정도의 한층 더한 개선을 달성할 수 있는 것이다. 이 때문에, 상기 실시 형태에 기재한 성막 방법은, 미세화의 진전이 진행되고 있는 전자 제품의 제조 방법, 예를 들어, 반도체 장치의 제조

프로세스나, 플랫 패널 디스플레이의 제조 프로세스에 적절하게 이용할 수 있다.

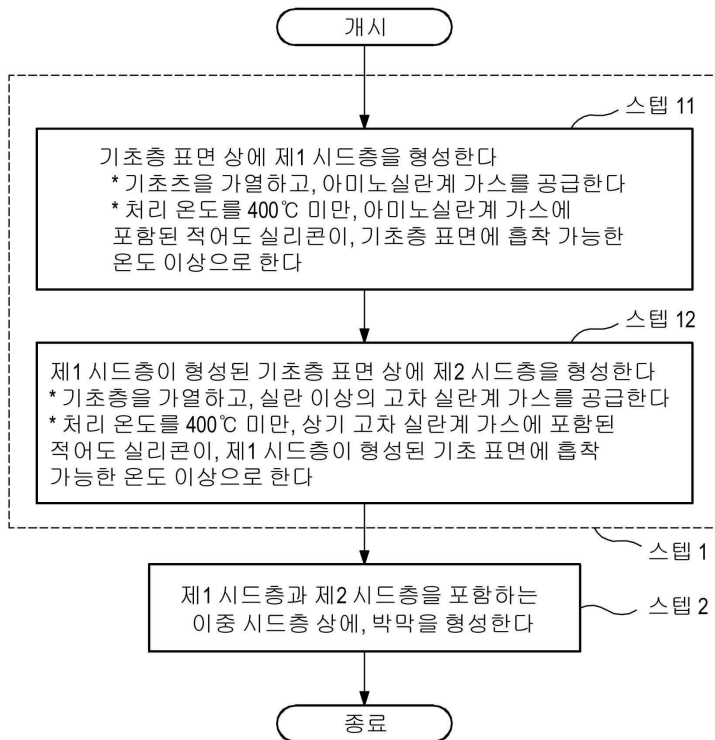
- [0225] 또한, 제1 시드층(2)과 제2 시드층(3)을 포함하는 이중 시드층(4)의 막 두께를 두껍게 하면, 이중 시드층(4)을 포함한 실리콘막(5)의 막 두께를 증가시키게 된다. 실리콘막(5)의 박막화의 관점으로부터는, 제1 시드층(2)의 두께는 얇은 것이 바람직하다. 바람직하게는 단원자층 레벨의 두께 정도인 것이 좋다. 구체적인 이중 시드층(4)의 두께를 언급하면, 0nm를 초과하고 1.0nm 이하의 유효값의 두께로 하는 것이 바람직하다.
- [0226] 그러나, 상술한 바와 같이, 제1 및 제2 실시 형태에 따른 실리콘막의 성막 방법에 따르면, 인큐베이션 시간을 더욱 개선할 수 있는 결과, 표면 거칠기의 정밀도를 더욱 향상시킬 수 있는 이점이 있다. 이 점으로부터, 실리콘막(5)을 비교적 두꺼운 막으로 하는 경우에도 적절하게 이용할 수 있다. 예를 들어, 반도체 장치의 제조에서 일반적으로 이용되고 있는 50nm 이상 100nm 이하의 실리콘막(5)에도, 그보다도 막 두께가 얇은, 예를 들어, 2nm를 초과하고 50nm 미만의 범위의 두께로 하는 것도 가능하다.
- [0227] 또한, 아미노실란계 가스는 분해시키지 않고, 예를 들어, 실리콘 기관(기초층)(1) 상에 흡착시키도록 하는 것이 좋다. 예를 들어, DIPAS는 450℃ 이상에서 열 분해한다. 아미노실란이 열 분해되면, 성막되는 막 중에 탄소(C), 질소(N) 등의 도펀트가 말려 들어가게 되는 경우가 있다. 아미노실란계 가스는 분해시키지 않고, 예를 들어, 실리콘 기관(기초층)(1) 상에 흡착시키도록 함으로써, 성막되는 막 중에 도펀트가 말려 들어가게 되는 사정을 억제할 수 있다고 하는 이점을 얻을 수 있다.
- [0228] 또한, 상기 실시 형태에 있어서는, 제1 시드층(2) 및 제2 시드층(3)을 형성할 때의 처리 압력으로서, 실리콘막(5)의 면내 균일성을 개선한다고 하는 관점으로부터, 133.3Pa(1Torr)를 초과하는 압력으로 하는 것이 좋다고 하였다. 구체적인 압력의 일례로서는, 399.9Pa(3Torr)를 예시하였다. 제1 시드층(2) 및 제2 시드층(3)을 형성할 때의 처리 압력의 상한으로서, 실용상의 관점으로부터 1333Pa(10Torr)이하가 적절한 값일 것이다.
- [0229] 그 외, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변형시킬 수 있다.

부호의 설명

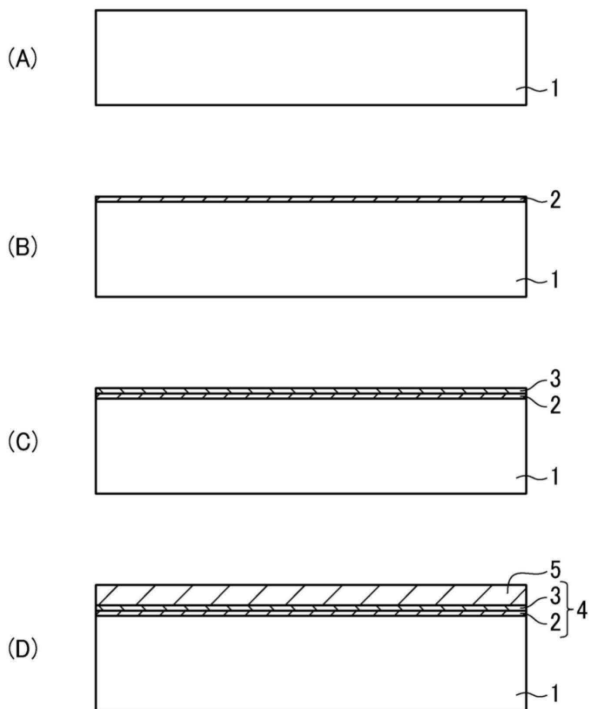
- [0230] 1 : 실리콘 기관
- 2 : 제1 시드층
- 3 : 제2 시드층
- 4 : 이중 시드층
- 5 : 실리콘막

도면

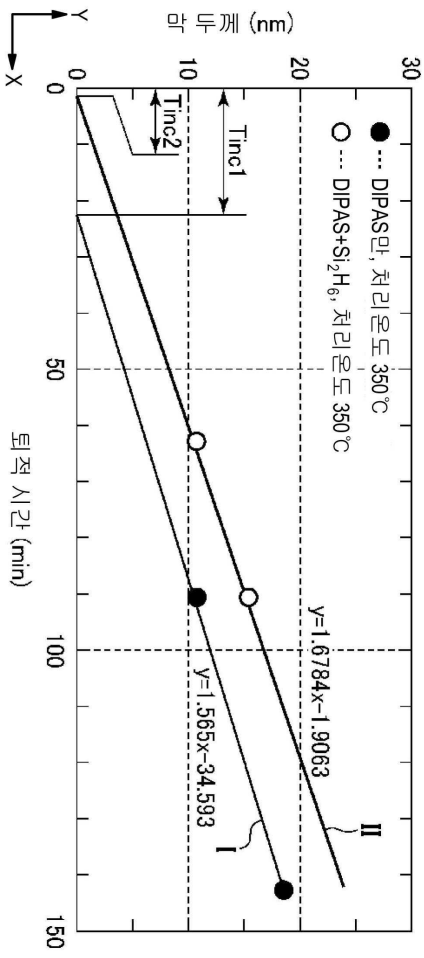
도면1



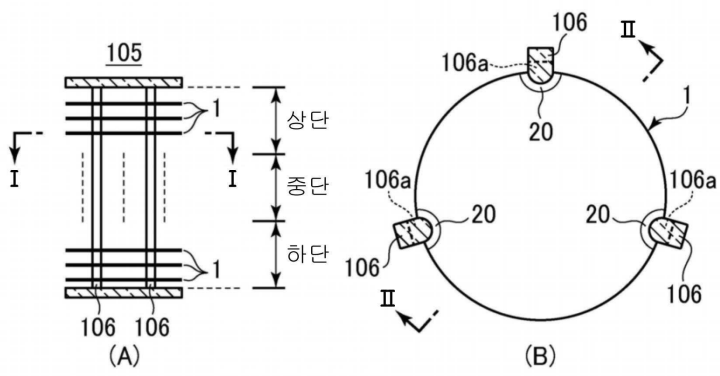
도면2



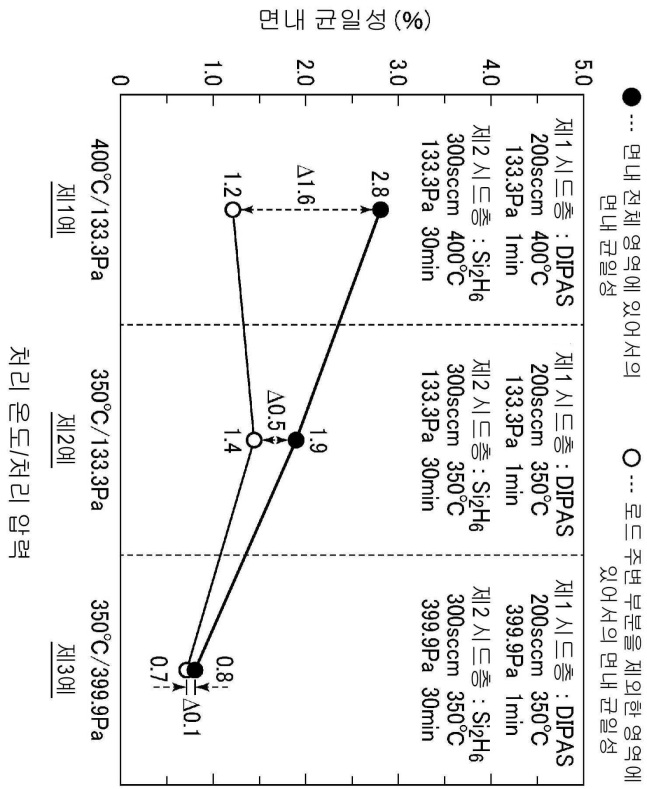
도면3



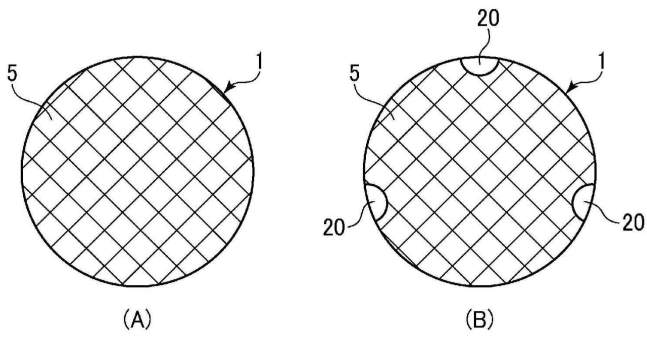
도면4



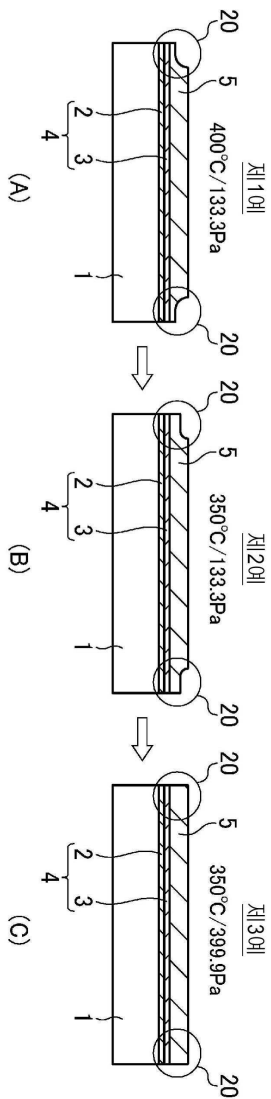
도면5



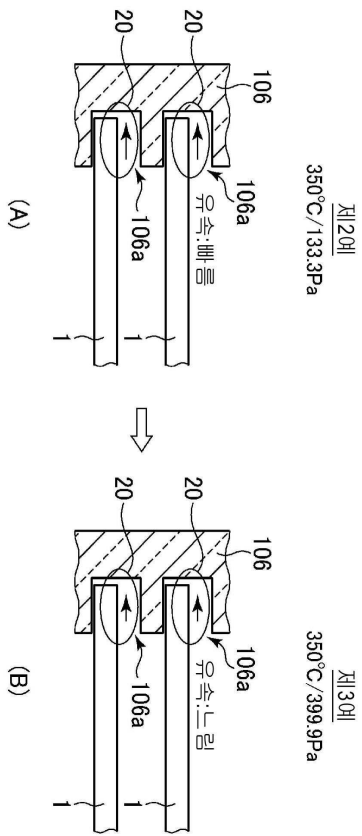
도면6



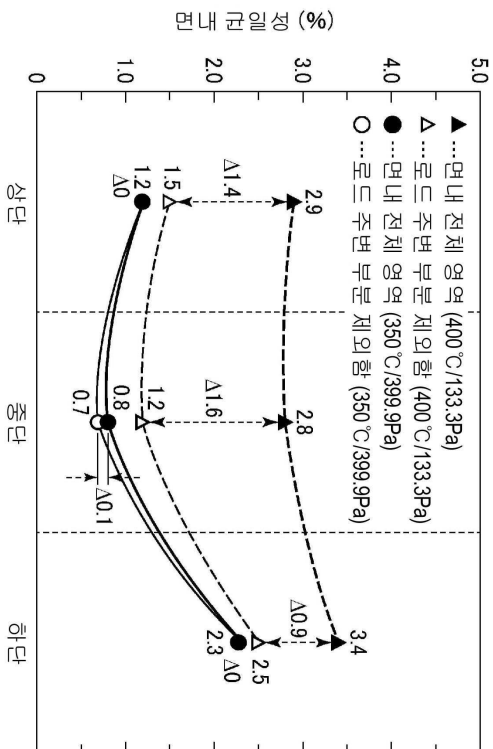
도면7



도면8



도면9



도면10

