



## 【特許請求の範囲】

## 【請求項 1】

半導体基板の主表面に間隔を隔てて形成された 1 対の不純物領域と、  
前記 1 対の不純物領域によって挟まれた前記半導体基板の領域上に形成された電荷を蓄積するための電荷蓄積層を含む絶縁膜と、  
前記絶縁膜上に形成され、前記電荷蓄積層に対して電荷の移動を制御するための電極部と、  
を備えた不揮発性半導体記憶装置における情報の消去方法であって、  
前記電荷蓄積層に蓄積された電荷を前記 1 対の不純物領域のそれぞれと前記半導体基板との 3 方向へ向けて同時に引き抜くための所定の電位を、前記半導体基板、前記 1 対の不純物領域および前記電極部のそれぞれに印加することによって行なわれる、不揮発性半導体記憶装置における情報の消去方法。

10

## 【請求項 2】

前記所定の電位は、  
前記半導体基板に印加すべき電位を第 1 電位、前記 1 対の不純物領域に印加すべき電位を第 2 電位および前記電極部に印加すべき電位を第 3 電位とすると、  
第 3 電位 < 第 1 電位 < 第 2 電位、かつ、 $0\text{ V} < \text{第 1 電位}$   
である、請求項 1 記載の不揮発性半導体記憶装置における情報の消去方法。

## 【請求項 3】

半導体基板の主表面に間隔を隔てて形成された 1 対の不純物領域と、  
前記 1 対の不純物領域によって挟まれた前記半導体基板の領域上に形成された電荷を蓄積するための電荷蓄積層を含む絶縁膜と、  
前記絶縁膜上に形成され、前記電荷蓄積層に対して電荷の移動を制御するための電極部と、  
を備えた不揮発性半導体記憶装置における情報の消去方法であって、  
前記電荷蓄積層に蓄積された電荷を前記電極部へ向けて引き抜くための所定の電位を、前記半導体基板、前記 1 対の不純物領域および前記電極部のそれぞれに印加することによって行なわれる、不揮発性半導体記憶装置における情報の消去方法。

20

## 【請求項 4】

前記所定の電位は、  
前記半導体基板に印加すべき電位を第 1 電位、前記 1 対の不純物領域に印加すべき電位を第 2 電位および前記電極部に印加すべき電位を第 3 電位とすると、  
第 1 電位 < 第 2 電位 < 第 3 電位  
である、請求項 3 記載の不揮発性半導体記憶装置における情報の消去方法。

30

## 【請求項 5】

前記所定の電位は、前記電荷蓄積層に 2 ビット分の電荷が蓄積された状態で印加される、請求項 1 ~ 4 のいずれかに記載の不揮発性半導体記憶装置における情報の消去方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置における情報の消去方法に関し、特に、酸化膜、窒化膜、酸化膜の積層膜（以下「ONO膜」と記す。）を有するメモリセルを備えた不揮発性半導体記憶装置における情報の消去方法に関するものである。

40

## 【0002】

## 【従来の技術】

不揮発性半導体記憶装置の一形態である MONOS (Metal Oxynitride Oxide Semiconductor) 型の不揮発性半導体記憶装置には、図 17 に示すように、1 つのセル 110 にて 2 ビットの情報を扱うことが可能な NROM (Nitrated Read Only Memory) 120 と呼ばれるものがある。

## 【0003】

50

個々のセルにおいては、たとえば図18に示すように、シリコン酸化膜105a、105cおよびシリコン窒化膜105bからなるONO膜105はフローティングゲート構造を有し、ONO膜105を構成する3層の膜のうち、シリコン窒化膜105bがフローティングゲートとなる。

【0004】

そのONO膜105を挟んで位置する半導体基板101の一方の領域と他方の領域とに、ソース/ドレイン領域としての1対の不純物領域103a、103bが形成されている。ONO膜105の上には、たとえばポリシリコン膜またはポリサイド構造のコントロールゲート電極107が形成されている。

【0005】

情報は、シリコン窒化膜105bにおける1対の不純物領域103a、103bのうちの一方の不純物領域103aの側に位置する部分と他方の不純物領域103bの側に位置する部分との2箇所に、チャンネルホットエレクトロン(以下、単に「電子」と記す。)をそれぞれ個々に注入することによって書き込まれることになる。これにより、1つのセルにて2ビットの情報を扱うことができる。

【0006】

次に、電子を注入することによって書き込まれた情報の消去動作として、まず2ビットのうちの一つのビットにのみ書き込まれた情報を消去する場合について説明する。

【0007】

図18は、シリコン窒化膜105bにおける一方の不純物領域103aの側に位置する部分に、情報としての電子111が注入された状態である。この状態では、コントロールゲート電極107、1対の不純物領域103a、103bのそれぞれに対して0Vの電位が印加されている。

【0008】

次に、図19に示すように、一方の不純物領域103aに8Vの電位を印加するとともに、他方の不純物領域103bをフローティングの状態にする。これにより、シリコン窒化膜105b中の電子111は、矢印115に示すように一方の不純物領域103aに向かって引き抜かれる。

【0009】

また、図21に示すように、シリコン窒化膜105bにおける他方の不純物領域103bの側に位置する部分に電子111が注入された場合も、その消去動作は前述した消去動作と同様に行なわれる。

【0010】

この場合には、図22に示すように、他方の不純物領域103bに8Vの電位を印加するとともに、一方の不純物領域103aをフローティングの状態にすることで、シリコン窒化膜105b中の電子111は、矢印115に示すように他方の不純物領域103bに向かって引き抜かれる。

【0011】

次に、電子を注入することによって書き込まれた情報の消去動作として、図24に示すように、2ビットの双方に書き込まれた情報を一括的に消去する場合について説明する。

【0012】

この場合には、図25に示すように、一方の不純物領域103aと他方の不純物領域103bにそれぞれ5Vの電位を印加するとともに、コントロールゲート電極107に-3Vの電位を印加する。

【0013】

これにより、シリコン窒化膜105b中における一方の不純物領域103aの側に位置する電子111は、矢印115に示すように一方の不純物領域103aに向かって引き抜かれ、他方の不純物領域103bの側に位置する電子111は、矢印115に示すように他方の不純物領域103bに向かって引き抜かれる。このようにして、NR0M120において情報の消去動作が行なわれる。

10

20

30

40

50

## 【0014】

## 【発明が解決しようとする課題】

しかしながら、上述したNROM120の消去動作では、以下のような問題点があった。情報を書き込む際に、図18、図21または図24に示すように、一方の不純物領域103aと他方の不純物領域103bとの略中間の領域の直上に位置するシリコン窒化膜105bの部分に、偶発的に電子111aがトラップされることがある。

## 【0015】

このような電子111aは上述した図19、図22および図25にそれぞれ示される消去動作によっては引き抜かれず、消去動作後においても、図20、図23および図26にそれぞれ示すように、シリコン窒化膜105b中に残留する。このため、消去動作後にシリコン窒化膜105b中に電子111aが蓄積された状態にあり、セル110のしきい値電圧が変動するという問題が発生した。なお、シリコン窒化膜105b中に残留する電子111aは、特にMPE(Miss Placed Electron)と呼ばれる。

10

## 【0016】

本発明は上記問題点を解決するためになされたものであり、その目的はMPEを生じさせない不揮発性半導体記憶装置における情報の消去方法を提供することである。

## 【0017】

## 【課題を解決するための手段】

本発明に係る不揮発性半導体記憶装置における情報の消去方法の第1のものは、半導体基板の主表面に間隔を隔てて形成された1対の不純物領域と、その1対の不純物領域によって挟まれた半導体基板の領域上に形成された電荷を蓄積するための電荷蓄積層を含む絶縁膜と、その絶縁膜上に形成され、電荷蓄積層に対して電荷の移動を制御するための電極部とを備えた不揮発性半導体記憶装置における情報の消去方法である。情報の消去は、電荷蓄積層に蓄積された電荷を1対の不純物領域のそれぞれと半導体基板との3方向へ向けて同時に引き抜くための所定の電位を、半導体基板、1対の不純物領域および電極部のそれぞれに印加することによって行なわれる。

20

## 【0018】

この消去方法によれば、電荷蓄積層に蓄積された電荷のうち、1対の不純物領域のうちの一方の不純物領域の側に存在する電荷は、その一方の不純物領域へ向かって引き抜かれる。1対の不純物領域のうちの他方の不純物領域の側に存在する電荷は、その他方の不純物領域へ向かって引き抜かれる。そして、一方の不純物領域と他方の不純物領域との略中間の領域の直上に位置する電荷蓄積層の部分(中央部分)に存在する電子は、半導体基板に向かって引き抜かれる。これにより、従来の消去方法と比べると、電荷蓄積層の中央部分に存在する電子も確実に引き抜かれて電荷蓄積層に蓄積された電子がすべて引き抜かれることになる。その結果、電荷蓄積層の中央部分に電子が存在することに伴うしきい値の変動を防止することができる。

30

## 【0019】

具体的にその所定の電位は、半導体基板に印加すべき電位を第1電位、1対の不純物領域に印加すべき電位を第2電位および電極部に印加すべき電位を第3電位とすると、第3電位<第1電位<第2電位、かつ、0V<第1電位であることが好ましい。

40

## 【0020】

これにより、電荷蓄積層の中央部分には電荷を電極部から半導体基板へ向かって移動させる向きに電界が生じるとともに、半導体基板が電荷を引き寄せる正電位に設定されることによって、特に電荷蓄積層の中央部分に存在する電荷が半導体基板に容易に引き寄せられて、電荷を確実に引き抜くことができる。

## 【0021】

本発明に係る不揮発性半導体記憶装置における情報の消去方法の第2のものは、半導体基板の主表面に間隔を隔てて形成された1対の不純物領域と、その1対の不純物領域によって挟まれた半導体基板の領域上に形成された電荷を蓄積するための電荷蓄積層を含む絶縁膜と、その絶縁膜上に形成され、電荷蓄積層に対して電荷の移動を制御するための電極部

50

とを備えた不揮発性半導体記憶装置における情報の消去方法である。消去は、電荷蓄積層に蓄積された電荷を電極部へ向けて引き抜くための所定の電位を、半導体基板、1対の不純物領域および電極部のそれぞれに印加することによって行なわれる。

【0022】

この消去方法によれば、一度の消去動作によって電荷蓄積層の中央に存在する電荷と1対の不純物領域のそれぞれの側に存在する電荷とが電荷蓄積層から電極部へ向かって同時に引き抜かれる。その結果、消去動作後において電荷蓄積層中に電荷が蓄積されていることがなくなって、しきい値電圧が変動するのを防止することができる。

【0023】

具体的に所定の電位は、半導体基板に印加すべき電位を第1電位、1対の不純物領域に印加すべき電位を第2電位および電極部に印加すべき電位を第3電位とすると、第1電位 < 第2電位 < 第3電位であることが好ましい。

【0024】

これにより、電荷蓄積層の全体には電荷を電極部に向かって移動させる向きに電界が生じ、電荷蓄積層中に蓄積されたすべての電荷が一度に電極部に容易に引き寄せられて、電荷を確実に引き抜くことができる。

【0025】

さらに、その所定の電位は、電荷蓄積層に2ビット分の電荷が蓄積された状態で印加されることが好ましい。

【0026】

これにより、過消去による不具合が発生するのを防止することができる。

【0027】

【発明の実施の形態】

実施の形態1

本発明の実施の形態1に係る不揮発性半導体記憶装置とその消去動作について説明する。まず、不揮発性半導体記憶装置の構成について説明する。図1および図2に示すように、不揮発性半導体記憶装置20では、個々のセルに対して情報の書き込み、読取りおよび消去を行なうための所定の回路が設けられている。

【0028】

ビット線電位発生回路21では、書き込み、読出しおよび消去にそれぞれ必要な電位が生成される。ビット線選択回路23では、選択されるセルに対してビット線電位発生回路21とその選択されるセルの2つのビット線との接続が制御される。

【0029】

センス回路22では、選択されるセルのデータを読み出す際にビット線に流れる電流が検知される。ワード線電位発生回路26では、書き込み、読出しおよび消去のそれぞれの電位が生成される。ワード線選択回路25では、ワード線電位発生回路26において生成される所定の電位が選択されるセルのワード線に印加される。基板電位発生回路24では、基板に印加される電位が生成される。

【0030】

次に、一のセル10の構造について説明する。図3に示すように、半導体基板1の表面上にシリコン酸化膜5a、シリコン窒化膜5bおよびシリコン酸化膜5cからなるONO膜5が形成されている。半導体基板1には基板電位発生回路24が接続されている。

【0031】

ONO膜5はフローティングゲート構造を有し、ONO膜5を構成する3層の膜のうち、シリコン窒化膜5bがフローティングゲートとなる。そのONO膜5上に、たとえばポリシリコン等のコントロールゲート電極7が形成されている。そのコントロールゲート電極7はワード線WL1に接続されている。

【0032】

ONO膜5を挟んで位置する半導体基板1の一方の領域と他方の領域とにソース/ドレイン領域としての1対の不純物領域3a、3bが形成されている。1対の不純物領域3a、

10

20

30

40

50

3 bのうちの一方の不純物領域3 aはビット線B L 1に接続され、他方の不純物領域3 bはビット線B L 2に接続されている。

【0033】

次に、セルの動作として、はじめに書き込み動作について説明する。まず、選択されるセルを図2に示されるセル10とする。図4に示すように、最初の状態では情報は書き込まれておらず、セルのコントロールゲート電極7、1対の不純物領域3 a、3 bおよび半導体基板1のそれぞれに0 Vの電位が印加されている。

【0034】

ビット線選択回路23により、スイッチングトランジスタS1、S2がON状態とされて、セル10における向かって左側のビット線B L 1とビット線M B L 1とが接続され、右側のビット線B L 2とビット線M B L 2とが接続される。

10

【0035】

そして、ワード線選択回路25によりワード線W L 1が選択されて、セル10のコントロールゲート電極7がワード線電位発生回路26に接続される。

【0036】

これにより、図5に示すように、コントロールゲート電極7にはたとえば9 Vの電位が印加される。不純物領域3 aには0 Vの電位が印加され、不純物領域3 bには5 Vの電位が印加される。

【0037】

このとき、不純物領域3 aから不純物領域3 bに向かって電子が流れ、不純物領域3 bの近傍においてチャンネルホットエレクトロンとなった電子11がONO膜5中のシリコン窒化膜5 bに注入される。その後、図6に示すように、セルのコントロールゲート電極7、1対の不純物領域3 a、3 bおよび半導体基板1のそれぞれに0 Vの電位が印加される。

20

【0038】

図6に示す状態において、シリコン窒化膜5 bにおいて不純物領域3 bの側に注入された電子11は、不純物領域3 aの側に向かつては移動しない。このようにして、一のセル10において1ビットの情報が書き込まれることになる。

【0039】

次に、その一のセル10にさらに1ビットの情報を書き込む動作について説明する。まず、図7に示す1ビットの情報が書き込まれた状態(図6と同じ状態)から、前述した動作と同様に、ビット線選択回路23により、セル10における向かって左側のビット線B L 1とビット線M B L 1とが接続され、右側のビット線B L 2とビット線M B L 2とが接続される。

30

【0040】

そして、ワード線選択回路25により、コントロールゲート電極7がワード線電位発生回路26に接続される。

【0041】

次に、図8に示すように、コントロールゲート電極7にはたとえば9 Vの電位が印加される。不純物領域3 aには5 Vの電位が印加され、不純物領域3 bには0 Vの電位が印加される。

40

【0042】

このとき、不純物領域3 bから不純物領域3 aに向かって電子が流れ、不純物領域3 aの近傍においてチャンネルホットエレクトロンとなった電子がONO膜5中のシリコン窒化膜5 bに注入される。その後、図9に示すように、セルのコントロールゲート電極7、1対の不純物領域3 a、3 bおよび半導体基板1のそれぞれに0 Vの電位が印加される。

【0043】

図9に示す状態において、シリコン窒化膜5 bにおいて不純物領域3 aの側に注入された電子は、不純物領域3 bの側に向かつては移動しない。このようにして、一のセル10において2ビットの情報が書き込まれることになる。

【0044】

50

このような書き込み動作において、一方の不純物領域 3 a と他方の不純物領域 3 b との略中間の領域の直上に位置するシリコン窒化膜 5 b の部分に、偶発的に電子 ( M P E ) 1 1 a がトラップされることがある。

【 0 0 4 5 】

次に、消去動作として M P E 1 1 a を生じさせない情報の消去動作について説明する。この消去動作においては、一のセル 1 0 に 2 ビットの情報が書き込まれた状態で消去動作が行なわれる。

【 0 0 4 6 】

このため、書き込まれた情報が 1 ビットである場合には、残りの 1 ビットに対して情報を書き込んで 2 ビットの情報が書き込まれた状態にされる。

10

【 0 0 4 7 】

たとえば図 6 に示すように、一のセル 1 0 において不純物領域 3 b の側に情報としての電子 1 1 が蓄積された状態の場合には、図 7 ~ 図 9 に示す方法によって不純物領域 3 a の側にも情報としての電子 1 1 が蓄積される。

【 0 0 4 8 】

一のセル 1 0 において、当初不純物領域 3 a の側にのみ情報としての電子が蓄積された状態の場合にも、同様にして不純物領域 3 b の側にも情報としての電子が蓄積される。

【 0 0 4 9 】

このようにして、図 1 0 に示すように、2 ビットの情報が書き込まれた状態とされる。なお、このようにシリコン窒化膜 5 b に 2 ビット分の電子が蓄積された状態とするのは、書き込まれた情報が 1 ビットである場合には、書き込まれていない方に対応するセルの部分が過消去状態となることに起因する不具合の発生を防止するためである。

20

【 0 0 5 0 】

この状態において、セルのコントロールゲート電極 7、1 対の不純物領域 3 a、3 b および半導体基板 1 のそれぞれに 0 V の電位が印加される。

【 0 0 5 1 】

次に、ビット線選択回路 2 3 により、セル 1 0 における向かって左側のビット線 B L 1 とビット線 M B L 1 とが接続され、右側のビット線 B L 2 とビット線 M B L 2 とが接続される。

【 0 0 5 2 】

そして、ワード線選択回路 2 5 によりワード線 W L 1 が選択されて、セル 1 0 のコントロールゲート電極 7 がワード線電位発生回路 2 6 に接続される。

30

【 0 0 5 3 】

次に、図 1 1 に示すように、コントロールゲート電極 7 にはたとえば - 3 V の電位が印加される。1 対の不純物領域 3 a、3 b には 5 V の電位が印加される。半導体基板 1 には 3 V の電位が印加される。

【 0 0 5 4 】

これにより、図 1 1 に示すように、シリコン窒化膜 5 b において不純物領域 3 a の側に存在する電子 1 1 は不純物領域 3 a に向かって移動する。不純物領域 3 b の側に存在する電子 1 1 は不純物領域 3 b に向かって移動する。

40

【 0 0 5 5 】

そして、一方の不純物領域 3 a と他方の不純物領域 3 b との略中間の領域の直上に位置するシリコン窒化膜 5 b の部分 ( 中央部分 ) に存在する電子 1 1 a は、半導体基板 1 に向かって移動する。

【 0 0 5 6 】

これは、このシリコン窒化膜 5 b の中央部分には電子 1 1 a をコントロールゲート電極 7 から半導体基板 1 へ向かって移動させる向きに電界が生じるとともに、半導体基板 1 が電子 1 1 a を引き寄せる正電位に設定されることによって、シリコン窒化膜 5 b の中央部分に存在する電子 1 1 a が、半導体基板 1 に容易に引き寄せられる現象が生じるためである。

50

## 【0057】

このようにして、図12に示すように、シリコン窒化膜5b中に蓄積されたすべての電子11、11aは引き抜かれて情報の消去動作が完了する。

## 【0058】

上述した消去動作によれば、シリコン窒化膜5bに蓄積された電子11、11aを、1対の不純物領域3a、3bのそれぞれと、半導体基板との3方向に向かって同時に引き抜くように、コントロールゲート電極7、1対の不純物領域3a、3bおよび半導体基板1にそれぞれ所定の電位が印加される。

## 【0059】

特に、図13に示すように、半導体基板1に印加する電位(電圧)が高いほど電子が半導体基板に吸収される割合(電子吸収率)が高くなって、コントロールゲート電極7に印加される負の電位によって追い出される電子が容易に半導体基板1へ引き寄せられることになる。

10

## 【0060】

これにより、一度の消去動作によってシリコン窒化膜5b中のすべての電子11、11aがシリコン窒化膜5bから同時に引き抜かれる。その結果、消去動作後にシリコン窒化膜5b中において電子11aがMPEとして残留することがなくなって、MPEが存在することに伴うセル10のしきい値電圧の変動を防止することができる。

## 【0061】

また、電子11aを引き抜くための専用のサイクルを設定しなくても、一度の消去動作によりシリコン窒化膜5b中に蓄積されたすべての電子が引き抜かれることで、消去時間の短縮を図ることができる。

20

## 【0062】

なお、上記実施の形態では、情報の消去の際に、コントロールゲート電極7に-3Vの電位が印加され、1対の不純物領域3a、3bには5Vの電位が印加され、半導体基板1には3Vの電位が印加される場合を例に挙げて説明したが、シリコン窒化膜5bに蓄積された電子11、11aを、1対の不純物領域3a、3bのそれぞれと、半導体基板との3方向に向かって同時に引き抜くことができる電位であれば、上述した電位に限られない。

## 【0063】

実施の形態2

前述した不揮発性半導体記憶装置の場合には、その消去動作の際に半導体基板1に正電位を印加する場合を例に挙げて説明した。不揮発性半導体記憶装置によっては、半導体基板に正電位を印加することが困難な場合がある。

30

## 【0064】

本発明の実施の形態2では、そのような半導体基板に正電位を印加することが困難な場合の不揮発性半導体記憶装置の消去動作について説明する。不揮発性半導体記憶装置においては、図1に示される複数のセルが形成されたメモリセル領域と、個々のセルに対して情報の書き込みや消去等を行なうための所定の回路が形成された周辺回路領域とが半導体基板に設けられている。

## 【0065】

たとえばウェルの構造としてトリプルウェル構造ではなくツインウェル構造の場合には、メモリセル領域と周辺回路領域とが電気的に分離されず、半導体基板の全体を正電位に印加することが困難である。このような場合には、シリコン窒化膜に蓄積された電子をコントロールゲート電極へ向かって引き抜く消去方法が有効である。

40

## 【0066】

なお、この場合にも、前述した理由により、図14に示すように一のセルに2ビットの情報が書き込まれた状態で消去動作が行なわれる。したがって、書き込まれた情報が1ビットである場合には、残りの1ビットに対して情報を書き込んで2ビットの情報が書き込まれた状態にされる。

## 【0067】

50



このようにして一のセルに2ビットの情報が書き込まれた後に、ビット線選択回路23により、ビット線BL1とビット線MBL1とが接続されるとともに、ビット線BL2とビット線MBL2とが接続される。

【0068】

そして、ワード線選択回路25によりワード線WL1が選択されて、セル10のコントロールゲート電極7がワード線電位発生回路26に接続される。

【0069】

次に、図15に示すように、コントロールゲート電極7にはたとえば8Vの電位が印加される。1対の不純物領域3a、3bには1Vの電位が印加される。半導体基板1には0Vの電位が印加される。

10

【0070】

これにより、シリコン窒化膜5bにおいて不純物領域3a、3bのそれぞれの側に存在する電子11が、コントロールゲート電極7に向かって移動する。そして、シリコン窒化膜5bの中央部分に存在する電子11aもコントロールゲート電極7に向かって移動する。

【0071】

このとき、1対の不純物領域3a、3bと半導体基板1との間はPN接合バイアスが-1Vであり、逆バイアス状態となっているとともに、ONO膜5の全体には電子をコントロールゲート電極7に向かって移動させる向きに電界(バイアス)が生じている。このことにより、シリコン窒化膜5b中に蓄積されたすべての電子11、11aが、一度にコントロールゲート電極7に容易に引き寄せられる。

20

【0072】

このようにして、図16に示すように、シリコン窒化膜5b中に蓄積されたすべての電子は、コントロールゲート電極7へ引き抜かれて情報の消去動作が完了する。

【0073】

上述した消去動作によれば、シリコン窒化膜5bに蓄積された電子を、コントロールゲート電極7に向かって同時に引き抜くように、コントロールゲート電極7、1対の不純物領域3a、3bおよび半導体基板1にそれぞれ所定の電位が印加される。

【0074】

これにより、一度の消去動作によってシリコン窒化膜5b中に存在するすべての電子11、11bがシリコン窒化膜5bからコントロールゲート電極7へ向かって同時に引き抜かれる。その結果、消去動作後にシリコン窒化膜5b中において電子11aがMPEとして残留することがなくなって、MPEが存在することに伴うセル10のしきい値電圧の変動を防止することができる。

30

【0075】

また、電子11aを引き抜くための専用のサイクルを設定しなくても、一度の消去動作によりシリコン窒化膜5b中に蓄積されたすべての電子11、11aが引き抜かれることで、消去時間の短縮を図ることができる。

【0076】

なお、上記実施の形態では、情報の消去の際に、コントロールゲート電極7に8Vの電位が印加され、1対の不純物領域3a、3bには1Vの電位が印加され、半導体基板1には0Vの電位が印加される場合を例に挙げて説明したが、シリコン窒化膜5bに蓄積された電子11、11aを、コントロールゲート電極7に向かって引き抜くことができる電位であれば、上述した電位に限られない。

40

【0077】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明は上記の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0078】

【発明の効果】

本発明に係る不揮発性半導体記憶装置における情報の消去方法の第1のものによれば、電

50

荷蓄積層に蓄積された電荷のうち、1対の不純物領域のうち一方の不純物領域の側に存在する電荷は、その一方の不純物領域へ向かって引き抜かれる。1対の不純物領域のうち他方の不純物領域の側に存在する電荷は、その他方の不純物領域へ向かって引き抜かれる。そして、一方の不純物領域と他方の不純物領域との略中間の領域の直上に位置する電荷蓄積層の部分（中央部分）に存在する電子は、半導体基板に向かって引き抜かれる。これにより、従来の消去方法と比べると、電荷蓄積層の中央部分に存在する電子も確実に引き抜かれて電荷蓄積層に蓄積された電子がすべて引き抜かれることになる。その結果、電荷蓄積層の中央部分に電子が存在することに伴うしきい値の変動を防止することができる。

【0079】

具体的にその所定の電位は、半導体基板に印加すべき電位を第1電位、1対の不純物領域に印加すべき電位を第2電位および電極部に印加すべき電位を第3電位とすると、第3電位<第1電位<第2電位、かつ、 $0V < \text{第1電位}$ であることが好ましく、これにより、電荷蓄積層の中央部分には電荷を電極部から半導体基板へ向かって移動させる向きに電界が生じるとともに、半導体基板が電荷を引き寄せる正電位に設定されることによって、特に、電荷蓄積層の中央部分に存在する電荷が半導体基板に容易に引き寄せられて、電荷を確実に引き抜くことができる。

【0080】

本発明に係る不揮発性半導体記憶装置における情報の消去方法の第2のものによれば、一度の消去動作によって電荷蓄積層の中央に存在する電荷と1対の不純物領域のそれぞれの側に存在する電荷とが電荷蓄積層から電極部へ向かって同時に引き抜かれる。その結果、消去動作後において電荷蓄積層中に電荷が蓄積されていることがなくなって、しきい値電圧が変動するのを防止することができる。

【0081】

具体的に所定の電位は、半導体基板に印加すべき電位を第1電位、1対の不純物領域に印加すべき電位を第2電位および電極部に印加すべき電位を第3電位とすると、第1電位<第2電位<第3電位であることが好ましく、これにより、電荷蓄積層の全体には電荷を電極部に向かって移動させる向きに電界が生じ、電荷蓄積層中に蓄積されたすべての電荷が一度に電極部に容易に引き寄せられて、電荷を確実に引き抜くことができる。

【0082】

さらに、その所定の電位は、電荷蓄積層に2ビット分の電荷が蓄積された状態で印加されることが好ましく、これにより、過消去による不具合が発生するのを防止することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る不揮発性半導体記憶装置の消去方法が適用される不揮発性半導体記憶装置の構成を示すブロック図である。

【図2】同実施の形態において、図1に示す不揮発性半導体記憶装置の部分拡大ブロック図である。

【図3】同実施の形態において、図1に示す不揮発性半導体記憶装置におけるセルの一断面図である。

【図4】同実施の形態において、不揮発性半導体記憶装置の書き込み動作を説明するための第1の断面図である。

【図5】同実施の形態において、不揮発性半導体記憶装置の書き込み動作を説明するための第2の断面図である。

【図6】同実施の形態において、不揮発性半導体記憶装置の書き込み動作を説明するための第3の断面図である。

【図7】同実施の形態において、不揮発性半導体記憶装置の書き込み動作を説明するための第4の断面図である。

【図8】同実施の形態において、不揮発性半導体記憶装置の書き込み動作を説明するための第5の断面図である。

10

20

30

40

50

【図 9】同実施の形態において、不揮発性半導体記憶装置の書き込み動作を説明するための第 6 の断面図である。

【図 10】同実施の形態において、不揮発性半導体記憶装置の消去動作を説明するための第 1 の断面図である。

【図 11】同実施の形態において、不揮発性半導体記憶装置の消去動作を説明するための第 2 の断面図である。

【図 12】同実施の形態において、不揮発性半導体記憶装置の消去動作を説明するための第 3 の断面図である。

【図 13】同実施の形態において、半導体基板に印加する電位と電子の吸収率との関係を示すグラフである。

10

【図 14】本発明の実施の形態 2 に係る不揮発性半導体記憶装置の消去動作を説明するための第 1 の断面図である。

【図 15】同実施の形態において、不揮発性半導体記憶装置の消去動作を説明するための第 2 の断面図である。

【図 16】同実施の形態において、不揮発性半導体記憶装置の消去動作を説明するための第 3 の断面図である。

【図 17】従来の不揮発性半導体記憶装置におけるセルの構造を示す図である。

【図 18】従来の不揮発性半導体記憶装置の消去動作を説明するための第 1 の断面図である。

【図 19】従来の不揮発性半導体記憶装置の消去動作を説明するための第 2 の断面図である。

20

【図 20】従来の不揮発性半導体記憶装置の消去動作を説明するための第 3 の断面図である。

【図 21】従来の不揮発性半導体記憶装置の消去動作を説明するための第 4 の断面図である。

【図 22】従来の不揮発性半導体記憶装置の消去動作を説明するための第 5 の断面図である。

【図 23】従来の不揮発性半導体記憶装置の消去動作を説明するための第 6 の断面図である。

【図 24】従来の不揮発性半導体記憶装置の消去動作を説明するための第 7 の断面図である。

30

【図 25】従来の不揮発性半導体記憶装置の消去動作を説明するための第 8 の断面図である。

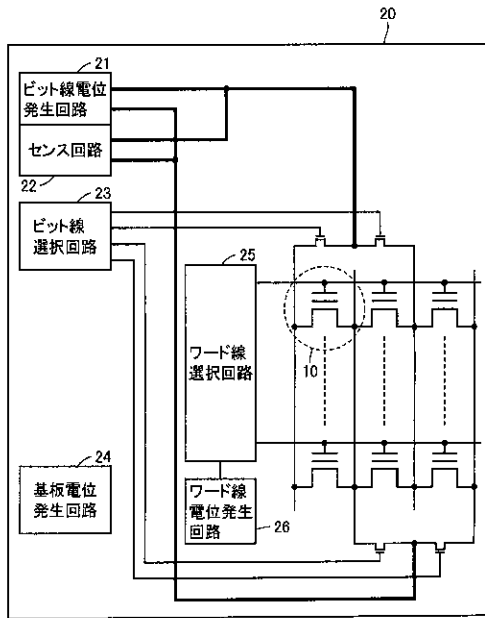
【図 26】従来の不揮発性半導体記憶装置の消去動作を説明するための第 9 の断面図である。

【符号の説明】

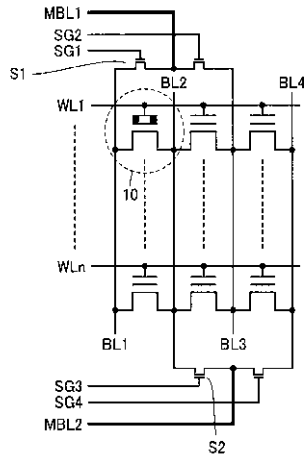
1 半導体基板、3 a、3 b 不純物領域、5 ONO膜、5 a、5 c シリコン酸化膜、5 b シリコン窒化膜、7 コントロールゲート電極、10 セル、20 不揮発性半導体記憶装置、21 ビット線電位発生回路、22 センス回路、23 ビット線選択回路、24 基板電位発生回路、25 ワード線選択回路、26 ワード線電位発生回路。

40

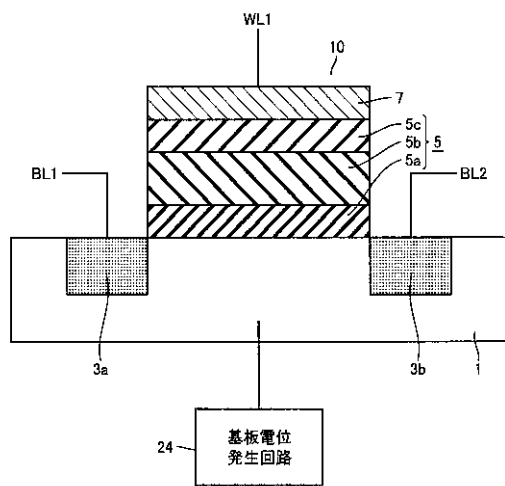
【 図 1 】



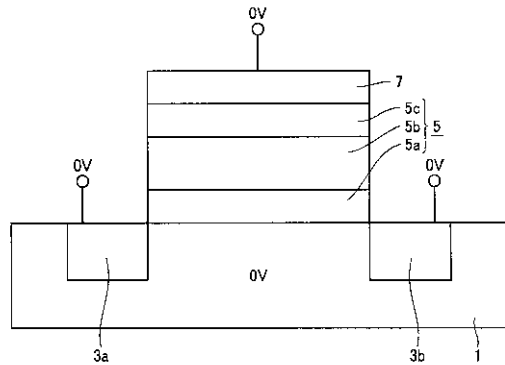
【 図 2 】



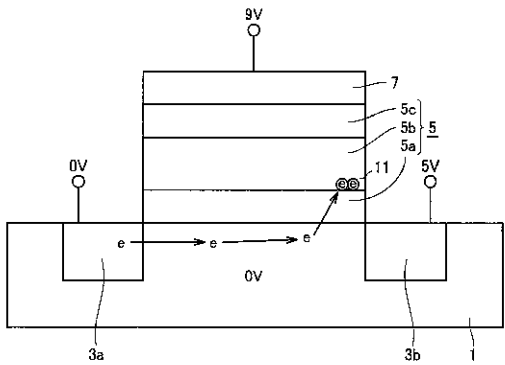
【 図 3 】



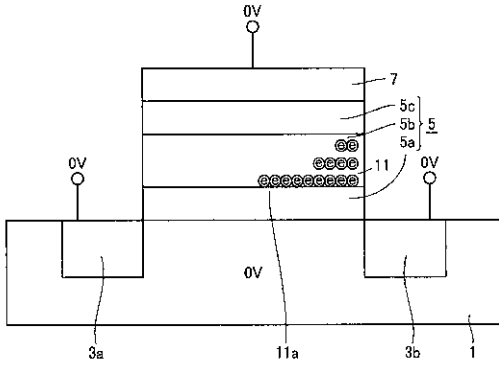
【 図 4 】



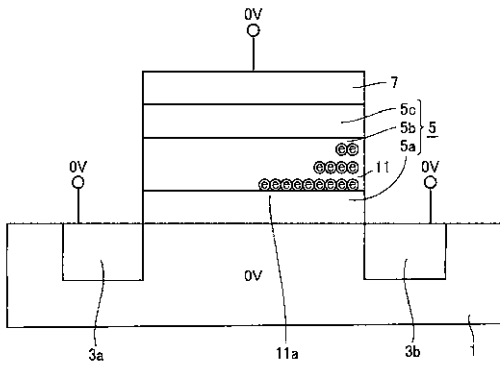
【 図 5 】



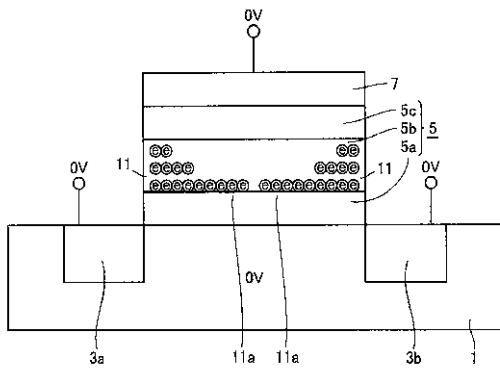
【図 6】



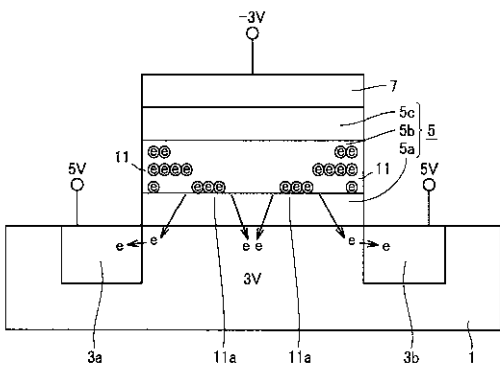
【図 7】



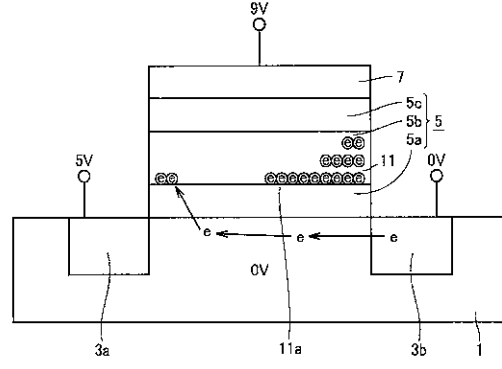
【図 10】



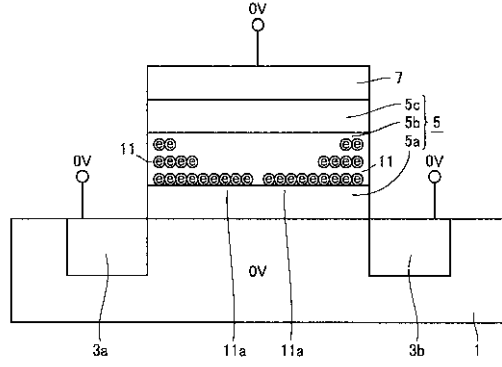
【図 11】



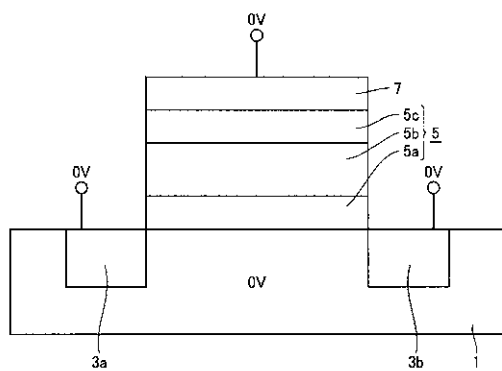
【図 8】



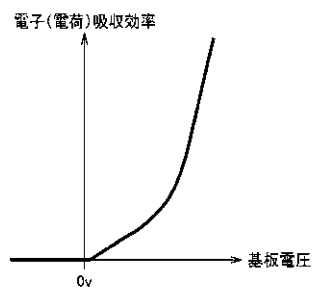
【図 9】



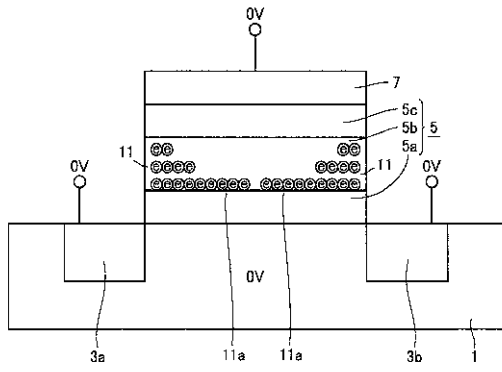
【図 12】



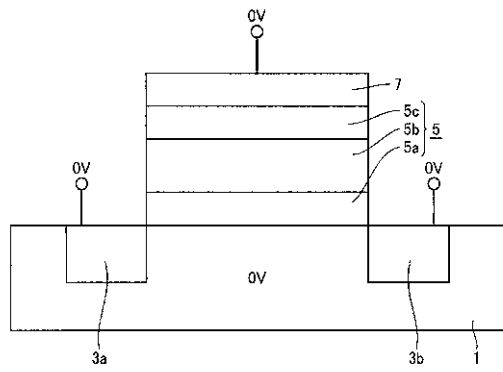
【図 13】



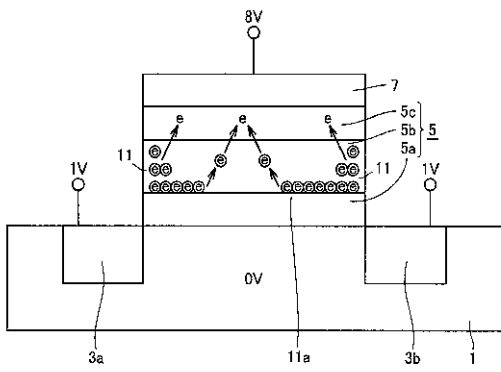
【 図 1 4 】



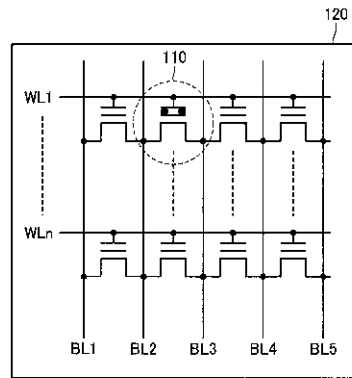
【 図 1 6 】



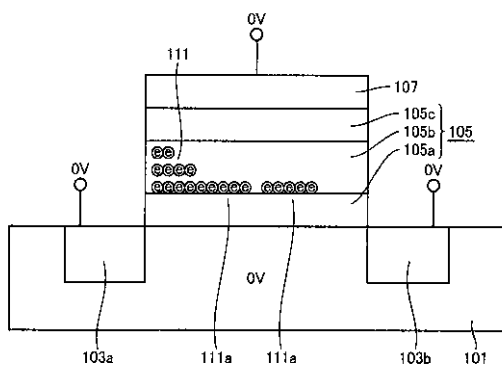
【 図 1 5 】



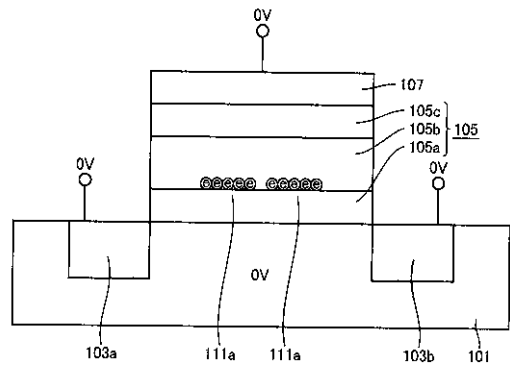
【 図 1 7 】



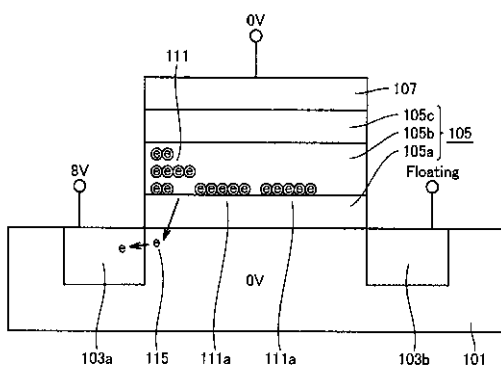
【 図 1 8 】



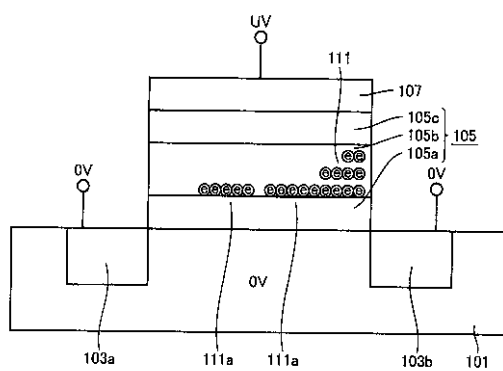
【 図 2 0 】



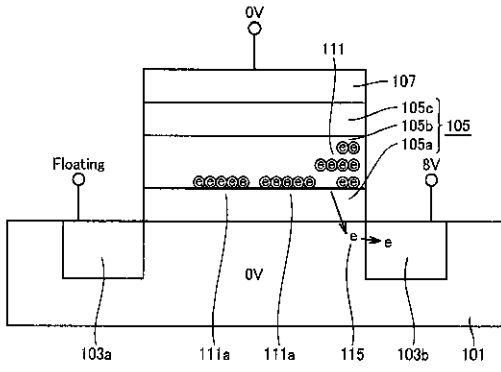
【 図 1 9 】



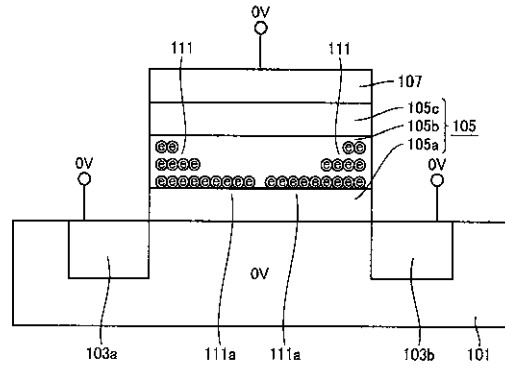
【 図 2 1 】



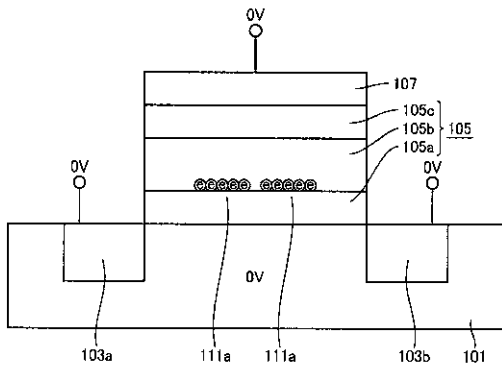
【 図 2 2 】



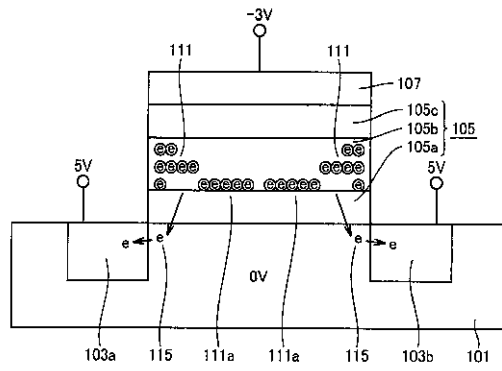
【 図 2 4 】



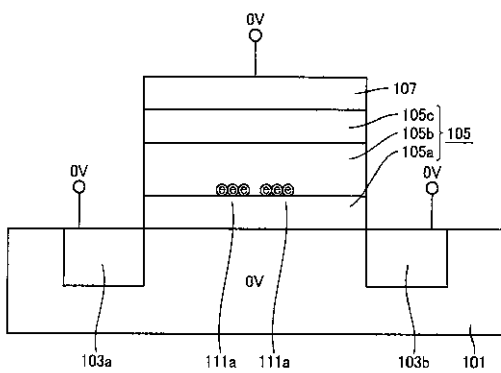
【 図 2 3 】



【 図 2 5 】



【 図 2 6 】



---

フロントページの続き

(51)Int.Cl.<sup>7</sup> F I テーマコード(参考)  
H 0 1 L 29/788 G 1 1 C 17/00 6 1 2 E  
H 0 1 L 29/792

(72)発明者 大谷 順

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

Fターム(参考) 5B025 AA01 AD08 AE08

5F083 EP18 EP23 EP48 ER02 ER15 ER16 ER17 ER19 ER21 ER30

GA16 GA17 JA04 LA03 LA04 LA05 LA08 ZA21

5F101 BA45 BB05 BC11 BD10 BD36 BE02 BE05 BE07 BF05