

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3658089号
(P3658089)

(45) 発行日 平成17年6月8日(2005.6.8)

(24) 登録日 平成17年3月18日(2005.3.18)

(51) Int. Cl.⁷

F I

GO2F 1/133
GO2F 1/1368

GO2F 1/133 550
GO2F 1/1368

請求項の数 7 (全 14 頁)

<p>(21) 出願番号 特願平8-157093 (22) 出願日 平成8年6月18日(1996.6.18) (65) 公開番号 特開平10-3070 (43) 公開日 平成10年1月6日(1998.1.6) 審査請求日 平成15年4月16日(2003.4.16)</p>	<p>(73) 特許権者 302036002 富士通ディスプレイテクノロジーズ株式会社 神奈川県川崎市中原区上小田中4丁目1番1号 (74) 代理人 100091340 弁理士 高橋 敬四郎 (74) 代理人 100105887 弁理士 来山 幹雄 (74) 代理人 100108187 弁理士 横山 淳一 (72) 発明者 花岡 一孝 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 液晶表示パネル及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

対向面を向かい合わせて相互に平行配置された第1及び第2の基板と、
前記第2の基板の対向面上に形成された共通電極と、
前記第1の基板の対向面上に形成され、相互に平行に配置された複数のゲートバスラインと、

前記第1の基板の対向面上に形成され、前記ゲートバスラインと交差する方向に延在し、相互に平行に配置された複数のデータバスラインと、

前記第1の基板の対向面上に形成され、相互に隣り合う2本のゲートバスラインと2本のデータバスラインによって囲まれた各領域に対応して配置された画素電極であって、各画素電極の外縁部が、その両側のデータバスラインのうち少なくとも一方に重なるように配置され、1つの画素電極とそれに隣接する2本のデータバスラインとの間の静電容量を C_{DS} 、1つの画素電極とそれに隣接する2本のゲートバスライン、2本のデータバスライン、及び前記共通電極との間の合計の静電容量を C_{PX} としたとき、

【数1】

$$8C_{DS} < C_{PX}$$

が成り立つ前記画素電極と、

前記第1の基板の対向面上に形成されたスイッチング素子であって、前記画素電極に対応して設けられ、対応する画素電極と1本のデータバスラインとを接続し、1本のゲート

バスラインにより導通状態が制御される前記スイッチング素子とを有する液晶表示パネル。

【請求項 2】

さらに、前記第 1 及び第 2 の基板のうち少なくとも一方の基板の対向面上に形成され、前記スイッチング素子の配置された領域に配置された遮光膜を有し、該遮光膜が、前記画素電極と前記データバスラインとの重なり領域には配置されていない請求項 1 に記載の液晶表示パネル。

【請求項 3】

対向面を向かい合わせて相互に平行配置された第 1 及び第 2 の基板と、
前記第 2 の基板の対向面上に形成された共通電極と、
前記第 1 の基板の対向面上に形成され、相互に平行に配置された複数のゲートバスラインと、

前記第 1 の基板の対向面上に形成され、前記ゲートバスラインと交差する方向に延在し、相互に平行に配置された複数のデータバスラインと、

前記第 1 の基板の対向面上に形成され、相互に隣り合う 2 本のゲートバスラインと 2 本のデータバスラインによって囲まれた各領域に対応して配置された画素電極であって、各画素電極の外縁部が、その両側のデータバスラインのうち少なくとも一方に重なるように配置された前記画素電極と、

前記第 1 の基板の対向面上に形成されたスイッチング素子であって、前記画素電極に対応して設けられ、対応する画素電極と 1 本のデータバスラインとを接続し、1 本のゲートバスラインにより導通状態が制御される前記スイッチング素子と

を含んで構成される液晶表示パネルと、
前記液晶表示パネルを、階調数が n となるように駆動するための駆動回路とを有し、

1 つの画素電極とそれに隣接する 2 本のデータバスラインとの間の静電容量を C_{DS} 、1 つの画素電極とそれに隣接する 2 本のゲートバスライン、2 本のデータバスライン、及び前記共通電極との間の合計の静電容量を C_{PX} としたとき、

【数 2】

$$nC_{DS} < 2C_{PX}$$

が成り立つ液晶表示装置。

【請求項 4】

さらに、前記第 1 の基板の対向面上に形成され、前記ゲートバスライン、データバスライン及びスイッチング素子を被覆し、前記ゲートバスライン及びデータバスライン上における膜厚が $1.5 \mu\text{m}$ 以上、比誘電率が 3.5 以下である層間絶縁膜を有する請求項 1 ~ 3 のいずれかに記載の液晶表示パネル。

【請求項 5】

前記層間絶縁膜が、アクリル系樹脂または感光性樹脂により形成されている請求項 4 に記載の液晶表示パネル。

【請求項 6】

対向面を向かい合わせて相互に平行配置された第 1 及び第 2 の基板と、
前記第 2 の基板の対向面上に形成された共通電極と、
前記第 1 の基板の対向面上に形成され、相互に平行に配置された複数のゲートバスラインと、

前記第 1 の基板の対向面上に形成され、前記ゲートバスラインと交差する方向に延在し、相互に平行に配置された複数のデータバスラインと、

前記第 1 の基板の対向面上に形成され、相互に隣り合う 2 本のゲートバスラインと 2 本のデータバスラインによって囲まれた各領域に対応して配置された画素電極であって、各画素電極の外縁部が、その両側のデータバスラインのうち少なくとも一方に重なるように配置され、1 つの画素電極とそれに隣接する 2 本のデータバスラインとの間の静電容量を

10

20

30

40

50

C_{DS} 、1つの画素電極とそれに隣接する2本のゲートバスライン、2本のデータバスライン、及び前記共通電極との間の合計の静電容量を C_{PX} としたとき、 $8C_{DS} < C_{PX}$ が成り立つ前記画素電極と、

前記第1の基板の対向面上に形成されたスイッチング素子であって、前記画素電極に対応して設けられ、対応する画素電極と1本のデータバスラインとを接続し、1本のゲートバスラインにより導通状態が制御される前記スイッチング素子と、

前記第1及び第2の基板間に挟持された液晶層であって、前記画素電極と前記共通電極との間の電圧の変化に応じて屈折率が変化し、高屈折率状態と低屈折率状態、及びその中間の屈折率状態を有する前記液晶層と

を有し、

各画素電極の外縁部が、当該画素電極に接続されたスイッチング素子を制御するゲートバスラインに重なるように配置され、1つの画素電極と当該画素電極に接続されたスイッチング素子を制御するゲートバスラインとの間の静電容量を C_{GS} 、1つの画素電極と、それに隣接する2本のゲートバスライン、2本のデータバスライン及び前記共通電極との間の合計の静電容量であって、高屈折率状態のときの容量を C_{PX1} 、低屈折率状態のときの容量を C_{PX2} 、前記スイッチング素子を導通状態にするためのゲートバスライン電圧と非導通状態にするためのゲートバスライン電圧との差の絶対値を V_G としたとき、

$$| (1 / C_{PX1}) - (1 / C_{PX2}) | \cdot C_{GS} \cdot V_G < 1$$

が成り立つ液晶表示パネル。

【請求項7】

対向面を向かい合わせて相互に平行配置された第1及び第2の基板と、

前記第2の基板の対向面上に形成された共通電極と、

前記第1の基板の対向面上に形成され、相互に平行に配置された複数のゲートバスラインと、

前記第1の基板の対向面上に形成され、前記ゲートバスラインと交差する方向に延在し、相互に平行に配置された複数のデータバスラインと、

前記第1の基板の対向面上に形成され、相互に隣り合う2本のゲートバスラインと2本のデータバスラインによって囲まれた各領域に対応して配置された画素電極であって、各画素電極の外縁部が、その両側のデータバスラインのうち少なくとも一方に重なるように配置された前記画素電極と、

前記第1の基板の対向面上に形成されたスイッチング素子であって、前記画素電極に対応して設けられ、対応する画素電極と1本のデータバスラインとを接続し、1本のゲートバスラインにより導通状態が制御される前記スイッチング素子と、

前記第1及び第2の基板間に挟持された液晶層であって、前記画素電極と前記共通電極との間の電圧の変化に応じて屈折率が変化し、高屈折率状態と低屈折率状態、及びその中間の屈折率状態を有する前記液晶層と

を含んで構成される液晶表示パネルと、

前記液晶表示パネルを、階調数が n となるように駆動するための駆動回路と

を有し、

1つの画素電極とそれに隣接する2本のデータバスラインとの間の静電容量を C_{DS} 、1つの画素電極とそれに隣接する2本のゲートバスライン、2本のデータバスライン、及び前記共通電極との間の合計の静電容量を C_{PX} としたとき、 $nC_{DS} < 2C_{PX}$ が成り立ち、

各画素電極の外縁部が、当該画素電極に接続されたスイッチング素子を制御するゲートバスラインに重なるように配置され、1つの画素電極と当該画素電極に接続されたスイッチング素子を制御するゲートバスラインとの間の静電容量を C_{GS} 、1つの画素電極と、それに隣接する2本のゲートバスライン、2本のデータバスライン及び前記共通電極との間の合計の静電容量であって、高屈折率状態のときの容量を C_{PX1} 、低屈折率状態のときの容量を C_{PX2} 、前記スイッチング素子を導通状態にするためのゲートバスライン電圧と非導通状態にするためのゲートバスライン電圧との差の絶対値を V_G としたとき、

$$| (1 / C_{PX1}) - (1 / C_{PX2}) | \cdot C_{GS} \cdot V_G < 1$$

10

20

30

40

50

が成り立つ液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示パネル及び液晶表示装置に関する。

【0002】

【従来の技術】

薄膜トランジスタ(TFT)を用いたアクティブマトリクス型液晶表示パネルは、TFTが形成されたTFT基板とそれに対向する対向基板、及び両基板の間に挟持された液晶材料とを含んで構成される。

10

【0003】

TFT基板の対向面上には、相互に平行に配置された複数のデータバスラインと、これに交差し、かつ相互に平行に配置された複数のゲートバスラインが設けられている。ゲートバスラインには走査信号が印加され、データバスラインには画像信号が印加される。ゲートバスラインとデータバスラインとに囲まれた領域に透明画素電極が配置されている。

【0004】

各画素電極は、画素電極ごとに設けられたTFTにより、1本のデータバスラインに接続される。各TFTのゲート電極は、1本のゲートバスラインに接続され、当該ゲートバスラインに印加される走査信号により導通状態が制御される。

【0005】

対向基板の対向面上には、全画素共通の透明共通電極が設けられている。また、対向基板側から入射する光によりTFTに励起される光励起電流の発生を防止するため、及びデータバスライン、ゲートバスラインと画素電極との間からの漏れ光を遮蔽するために対向基板の対向面上の所定の領域に遮光膜が配置される。

20

【0006】

対向基板の遮光膜で覆われていない領域(開口部)とTFT基板の透明画素電極とを正確に位置合わせすることにより、透明画素電極が形成された領域に入射する光のみを透過させ、それ以外の領域に入射する光を遮光することができる。実際には、対向基板とTFT基板との位置合わせ余裕をとるために、遮光膜と透明画素電極とが数 μm ~7 μm 程度の幅で重なるように設計される。

30

【0007】

位置合わせ余裕をとる必要があるため、液晶表示パネルの開口率が低下してしまう。直視型液晶表示パネルに比べて一画素の面積の小さい投写型液晶表示パネルにおいて、開口率の低下が特に大きな問題となる。光源の輝度を増加させることにより、開口率の低下を補うことができるが、光源の大きさ、液晶表示パネルの温度上昇等の問題が生じるため、光源の輝度の増加にも限界がある。

【0008】

液晶表示パネルの開口率を高くするために、透明画素電極の外縁部をバスラインに重ねて配置する構成が提案されている。この構成にすると、透明電極とバスラインとの間からの漏れ光がなくなるため、この部分に遮光膜を設ける必要がない。このため、遮光膜と透明画素電極との重なりによる開口率の低下を防止することができる。

40

【0009】

【発明が解決しようとする課題】

透明画素電極の外縁部とデータバスラインとを重ねて配置すると、透明画素電極とデータバスラインとの間の寄生容量が大きくなる。この寄生容量により、透明画素電極の電位がデータバスラインの電圧変化の影響を受けて変動する。透明画素電極の電位の変動が一階調分を超えると、クロストークが生じてしまう。

【0013】

本発明の目的は、クロストークの発生を抑制しつつ、開口率を大きくすることができる液晶表示パネルを提供することである。

50

【 0 0 1 4 】

【 課題を解決するための手段 】

本発明の一観点によると、対向面を向かい合わせて相互に平行配置された第 1 及び第 2 の基板と、前記第 2 の基板の対向面上に形成された共通電極と、前記第 1 の基板の対向面上に形成され、相互に平行に配置された複数のゲートバスラインと、前記第 1 の基板の対向面上に形成され、前記ゲートバスラインと交差する方向に延在し、相互に平行に配置された複数のデータバスラインと、前記第 1 の基板の対向面上に形成され、相互に隣り合う 2 本のゲートバスラインと 2 本のデータバスラインによって囲まれた各領域に対応して配置された画素電極であって、各画素電極の外縁部が、その両側のデータバスラインのうち少なくとも一方に重なるように配置され、1つの画素電極とそれに隣接する 2 本のデータバスラインとの間の静電容量を C_{DS} 、1つの画素電極とそれに隣接する 2 本のゲートバスライン、2本のデータバスライン、及び前記共通電極との間の合計の静電容量を C_{PX} としたとき、

10

【 0 0 1 5 】

【 数 4 】

$$8 C_{DS} < C_{PX}$$

が成り立つ前記画素電極と、前記第 1 の基板の対向面上に形成されたスイッチング素子であって、前記画素電極に対応して設けられ、対応する画素電極と 1 本のデータバスラインとを接続し、1本のゲートバスラインにより導通状態が制御される前記スイッチング素子とを有する液晶表示パネルが提供される。

20

【 0 0 1 6 】

静電容量 C_{DS} の 8 倍が静電容量 C_{PX} よりも小さくなるようにすると、16 階調表示を行う場合に、データバスラインの電圧が電圧変動範囲の中央から端まで変動したときの非走査画素の画素電圧の変動幅を、1 階調に相当する電圧幅以下に抑制することができる。

【 0 0 1 7 】

本発明の他の観点によると、対向面を向かい合わせて相互に平行配置された第 1 及び第 2 の基板と、前記第 2 の基板の対向面上に形成された共通電極と、前記第 1 の基板の対向面上に形成され、相互に平行に配置された複数のゲートバスラインと、前記第 1 の基板の対向面上に形成され、前記ゲートバスラインと交差する方向に延在し、相互に平行に配置された複数のデータバスラインと、前記第 1 の基板の対向面上に形成され、相互に隣り合う 2 本のゲートバスラインと 2 本のデータバスラインによって囲まれた各領域に対応して配置された画素電極であって、各画素電極の外縁部が、その両側のデータバスラインのうち少なくとも一方に重なるように配置された前記画素電極と、前記第 1 の基板の対向面上に形成されたスイッチング素子であって、前記画素電極に対応して設けられ、対応する画素電極と 1 本のデータバスラインとを接続し、1本のゲートバスラインにより導通状態が制御される前記スイッチング素子とを含んで構成される液晶表示パネルと、前記液晶表示パネルを、階調数が n となるように駆動するための駆動回路とを有し、1つの画素電極とそれに隣接する 2 本のデータバスラインとの間の静電容量を C_{DS} 、1つの画素電極とそれに隣接する 2 本のゲートバスライン、2本のデータバスライン、及び前記共通電極との間の合計の静電容量を C_{PX} としたとき、

30

40

【 0 0 1 8 】

【 数 5 】

$$n C_{DS} < 2 C_{PX}$$

が成り立つ液晶表示装置が提供される。

【 0 0 1 9 】

静電容量 C_{DS} の n 倍が静電容量 C_{PX} の 2 倍よりも小さくなるようにすると、 n 階調表示を行う場合に、データバスラインの電圧が電圧変動範囲の中央から端まで変動したときの非走査画素の画素電圧の変動幅を、1 階調に相当する電圧幅以下に抑制することができる。

【 0 0 2 3 】

【 発明の実施の形態 】

50

図 1 及び図 2 を参照して、従来技術の課題及び本発明の実施例による課題の解決方法について説明する。

【 0 0 2 4 】

図 1 (A) は、 T F T を用いたアクティブマトリクス型液晶表示パネルの一画素分の等価回路及び駆動回路を示す。相互に平行に配置された複数のデータバスライン 1 と、それに直交する複数のゲートバスライン 2 との交差箇所に、 T F T 3 が配置されている。各データバスライン 1 には、駆動回路 5 から画像信号が与えられ、ゲートバスライン 2 には、駆動回路 5 から走査信号が与えられる。 T F T 3 のドレイン端子 3 D は、 1 つのデータバスライン 1 に接続され、ゲート端子 3 G は、 1 つのゲートバスライン 2 に接続され、ソース端子 3 S は、画素電極 4 に接続されている。

10

【 0 0 2 5 】

画素電極 4 とその両側のデータバスライン 1 との間の寄生容量を C_{DS} 、画素電極 4 に接続された T F T 3 を制御するゲートバスライン 2 と当該画素電極 4 との間の寄生容量を C_{GS} 、他方のゲートバスライン 2 と画素電極 4 との間の補助容量を C_S とする。また、各画素電極 4 と、液晶層を挟んでそれに対向する共通電極との間の静電容量を C_{LC} とする。後述するように、補助容量 C_S ができるだけ大きくなるように設計される。

【 0 0 2 6 】

図 1 (B) は、液晶表示パネルの光透過率の電圧依存性を示す。横軸は画素電極と共通電極との間の電圧 (画素電圧) を表し、縦軸は光透過率を表す。画素電圧が V_{off} のとき高透過率 (白表示) になり、電圧が V_{on} のとき低透過率 (黒表示) になる。電圧 V_{on} と V_{off} との差 V の電圧範囲を n 等分し、各分割点に対応する電圧を印加することにより、 n 階調の表示を行うことができる。電圧 V_{off} と V_{on} との平均電圧 V_{mid} において、光透過率が白表示状態と黒表示状態との平均の値になり、灰色が表示される。

20

【 0 0 2 7 】

図 1 (C) は、データバスライン 1、ゲートバスライン 2、及び画素電極 4 の電圧の時間変化の一例を示す。図中の実線 V_D 及び V_G は、それぞれ着目している画素に対応する 1 本のデータバスライン 1 及びゲートバスライン 2 に印加される電圧、破線 V_S は、画素電極 4 の電圧を表す。

【 0 0 2 8 】

時刻 t_1 において、ゲートバスライン 2 にパルス電圧が印加され、着目している画素の走査が行われる。電圧 V_G がハイレベルになっている期間、 T F T が導通状態になる。灰色表示にする場合には、時刻 t_1 における電圧 V_D を V_{mid} に等しくしておく。時刻 t_1 に T F T 3 が導通状態になるため、画素電圧 V_S も V_{mid} に等しくなる。

30

【 0 0 2 9 】

電圧 V_G が立ち下がると、 T F T 3 が非導通状態になるため、画素電圧 V_S は、理想的には、 1 フレーム期間 T が経過して次フレームの走査が開始される時刻 t_2 まで一定電圧を維持する。しかし、実際には、寄生容量 C_{DS} の影響を受けて画素電圧 V_S が以下に説明するように変動する。

【 0 0 3 0 】

着目している画素の走査が終了すると、電圧 V_D が、次に走査される画素の表示状態に対応して変化する。例えば、次に走査される画素を黒表示にする場合には、図 1 (C) に示すように電圧 V_D を V_{mid} から V_{off} まで低下させる。電圧 V_D が低下すると、寄生容量 C_{DS} の影響を受けて画素電圧 V_S も低下する。このように、画素電極に隣接して配置されたデータバスライン 1 の電圧変化に応じて画素電圧 V_S が変動し、クロストークが発生する。

40

【 0 0 3 1 】

フレーム反転駆動する場合には、次フレームの走査開始時刻 t_2 の直前に、電圧 V_D を $-V_{mid}$ に等しくする。このとき、電圧 V_D の変化に対応して画素電圧 V_S も低下する。この電圧低下後の期間は、 1 フレーム期間 T に比べて極僅かであるため、表示品質に大きな影響は及ぼさない。

50

【0032】

クロストークの発生を抑制するためには、走査終了時における画素電圧の変動幅 V_s を小さくすることが好ましい。また、図1(B)に示すように、画素電圧 V_s が V_{mid} 近傍で変化するとき透過率の変化率が最も大きくなる。このため、画素電圧 V_s が V_{mid} にほぼ等しい画素においてクロストークが発生しやすい。画素電圧 V_s が V_{mid} に等しい画素におけるクロストークの発生を抑制するためには、当該画素の走査が終了した後、データバスライン1の電圧 V_D が V_{mid} から V_{off} もしくは V_{on} まで $V/2$ の幅で変化したときの画素電圧 V_s の変動幅 V_s を1階調分の電圧幅よりも小さくすることが好ましい。すなわち、画素電圧 V_s の変動幅 V_s を、

【0033】

【数7】

$$V_s < V/n \quad \dots (1)$$

とすることが好ましい。ここで、 n は階調数である。

【0034】

画素電圧 V_s の変動幅 V_s は、

【0035】

【数8】

$$V_s = (C_{DS} / C_{PX}) (V/2) \quad \dots (2)$$

と表せる。ここで、 C_{PX} は、画素電極4に関する全容量 $C_{DS} + C_{GS} + C_{LC} + C_S$ である。

【0036】

式(1)及び(2)から、

【0037】

【数9】

$$nC_{DS} < 2C_{PX} \quad \dots (3)$$

が導かれる。

【0038】

例えば、 $8C_{DS} < C_{PX}$ を満たすようにすることにより、16階調表示の液晶表示パネルにおいてクロストークを効果的に抑制することができる。また、 $32C_{DS} < C_{PX}$ を満たすようにすることにより、64階調表示の液晶表示パネルにおいてクロストークを効果的に抑制することができる。また、 $128C_{DS} < C_{PX}$ を満たすようにすることにより、256階調表示の液晶表示パネルにおいてクロストークを効果的に抑制することができる。

【0039】

図1(C)では、画素電極とデータバスラインとの間の寄生容量による表示品質への影響を説明した。次に、画素電極とゲートバスラインとの間の寄生容量による表示品質への影響について説明する。

【0040】

図2(A)は、図1(A)に示すデータバスライン1、ゲートバスライン2、及び画素電極4に印加される電圧の時間変化の一例を示す。図中の実線 V_G はゲートバスライン1の電圧を表し、実線 $V_D(on)$ 及び $V_D(off)$ は、それぞれ黒表示状態及び白表示状態の画素に対応するデータバスライン1の電圧を表し、破線 $V_s(on)$ 及び $V_s(off)$ は、それぞれ黒表示状態及び白表示状態の画素の画素電圧を表す。

【0041】

時刻 u_1 の走査が終了し、電圧 V_G が立ち下がると、図1(A)に示す寄生容量 C_{GS} の影響を受けて画素電圧 $V_s(on)$ 及び $V_s(off)$ が低下する。1フレーム期間 T が経過し時刻 u_2 の走査が終了した時点でも、同様に画素電圧 $V_s(on)$ 及び $V_s(off)$ が低下する。図1(C)の場合は、画素電圧 V_s の正負を問わず、走査終了時の画素電圧 V_s はその絶対値を減少させる向きに変化する。これに対し図2(A)の場合は、画素電圧 V_s が正のときはその絶対値を減少させ、負のときはその絶対値を増加させる向きに変化する。

【0042】

画素電圧 V_s の変化幅 V_s は、

10

20

30

40

50

【 0 0 4 3 】

【 数 1 0 】

$$V_s = (C_{GS} / C_{PX}) V_G \quad \dots (4)$$

と表される。ここで、 V_G は、ゲートバスライン 2 に印加されるパルス電圧のパルス高に相当する電圧である。すなわち、 V_G は、TFT13 を導通状態にするためのゲート電圧と非導通状態にするためのゲート電圧との差に相当する。

【 0 0 4 4 】

画素が黒表示状態 ($V_s = V_s(\text{on})$) の時と、白表示状態 ($V_s = V_s(\text{off})$) の時とで、液晶層の誘電率が異なるため、液晶層を挟んだ静電容量 C_{LC} も異なる。従って、黒表示状態の画素電極の全容量 C_{PX2} と白表示状態の画素電極の全容量 C_{PX1} とは相互に異なる。式 (4) から、

10

【 0 0 4 5 】

【 数 1 1 】

$$V_s(\text{on}) = (C_{GS} / C_{PX2}) V_G$$

$$V_s(\text{off}) = (C_{GS} / C_{PX1}) V_G \quad \dots (5)$$

が導き出される。ここで、 $V_s(\text{on})$ 及び $V_s(\text{off})$ は、それぞれ黒表示状態及び白表示状態の画素の画素電圧 V_s の変動幅である。

【 0 0 4 6 】

式 (5) に示すように、黒表示状態の画素と白表示状態の画素において、画素電圧 V_s の変動幅が相互に異なる。従って、黒表示状態の画素の画素電圧 $V_s(\text{on})$ の振幅の中心値 $V_c(\text{on})$ と白表示状態の画素の画素電圧 $V_s(\text{off})$ の振幅の中心値 $V_c(\text{off})$ とは、相互に異なる。

20

【 0 0 4 7 】

共通電極の電位を中心値 $V_c(\text{on})$ と $V_c(\text{off})$ のいずれかに合わせた場合、画素電圧の振幅の中心値が共通電極の電位と異なる表示状態の画素において、画素電圧 V_s に直流成分が残る。この直流成分が画面の焼きつきの原因になる。

【 0 0 4 8 】

図 2 (B) は、黒表示状態及び白表示状態の双方の画素において、直流成分を除去するための直流成分解消回路を、図 1 (A) の駆動回路 5 に追加した場合の電圧変化の一例を示す。図 2 (A) の場合と異なる点は、データバスライン 1 に印加される電圧 V_D に、黒表示及び白表示状態の各々に対応した直流バイアス電圧が与えられていることである。

30

【 0 0 4 9 】

すなわち、電圧 $V_D(\text{on})$ には、 $V_s(\text{on})$ に相当する直流バイアス電圧、電圧 $V_D(\text{off})$ には、 $V_s(\text{off})$ に相当する直流バイアス電圧が、予め与えられている。このため、画素電圧 $V_s(\text{on})$ の振幅の中心値と $V_s(\text{off})$ の振幅の中心値とを一致させることができる。この直流バイアス電圧は、駆動回路 5 内の直流成分解消回路により与えられる。

【 0 0 5 0 】

このように、データバスライン 1 に印加する電圧に、予め表示状態に応じた直流バイアス電圧を与えることにより、液晶層に印加される電圧の直流成分を除去することができる。ただし、直流成分解消回路により画素の表示状態に応じた直流バイアス電圧を与え、十分な直流成分除去効果を得るためには、画素電圧 V_s の変動分 $V_s(\text{on})$ と $V_s(\text{off})$ との差を 1 V より小さくすることが好ましい。

40

【 0 0 5 1 】

すなわち、式 (5) から、

【 0 0 5 2 】

【 数 1 2 】

$$\left(\frac{1}{C_{PX1}} - \frac{1}{C_{PX2}} \right) \cdot C_{GS} \cdot V_G < 1 \quad \dots (6)$$

とすることが好ましい。

【 0 0 5 3 】

式 (3) 及び式 (6) から、画素電極と各バスラインとの間の寄生容量 C_{DS} 及び C_{GS} を小

50

さくし、全容量 C_{PX} を大きくすることが好ましいことがわかる。全容量 C_{PX} を大きくするための1つの方法として、図1(A)に示す静電容量 C_S を大きくする方法が採用されている。

【0054】

図2(C)は、静電容量 C_S の影響による画素電圧 V_S の変動を示す。実線 V_D はデータバスラインに印加される電圧、破線 V_S は画素 G_1 の画素電圧 V_S を示す。パルス $G_1 \sim G_3$ は、それぞれデータバスラインに沿って連続配置された画素 $G_1 \sim G_3$ の各走査信号に対応するパルスである。図2(A)及び(B)で説明したように、パルス G_1 が立ち下ると、図1(A)に示す寄生容量 C_{GS} の影響を受けて画素電圧 V_S が低下する。

【0055】

パルス G_2 の立ち上がり及び立ち下がり時に、それぞれ静電容量 C_S の影響を受けて、画素電圧 V_S が上昇及び低下する。静電容量 C_S の影響は、パルス G_2 の立ち上がり及び立ち下がりの双方において生ずるため、パルス G_2 の影響を受ける前後で画素電圧 V_S は殆ど変動しない。従って、静電容量 C_S を積極的に大きくしても、画素電圧 V_S に与える影響は少ない。静電容量 C_S を大きくすることは、画素電圧 V_S の変動による表示品質の劣化よりも、式(3)及び(6)の全容量 C_{PX} が大きくなることによる表示品質の改善の効果が大きい。

【0056】

次に、図3を参照して、式(3)及び(6)を満足するための本発明の実施例による液晶表示パネルの構成について説明する。

【0057】

図3(A)は、実施例による液晶表示パネルの概略を示す平面図である。

図3(A)に示すように、相互に平行配置された複数のデータバスライン11が図の縦方向に延在し、相互に平行配置された複数のゲートバスライン12が図の横方向に延在する。データバスライン11とゲートバスライン12との交差箇所に対応してTFT13が設けられている。TFT13のドレイン領域13Dは、対応するデータバスライン11に接続され、ゲート電極13Gは、対応するゲートバスライン12に連続している。

【0058】

相互に隣り合う2本のデータバスライン11と2本のゲートバスライン12によって囲まれた領域に対応して画素電極14が配置されている。画素電極14は、対応するTFT13のソース領域13Sに接続されている。画素電極14の外縁部のうち、TFT13に面する部分以外の部分は、バスライン12及び13に重なっている。TFT13が配置された領域に対応して、遮光膜16が配置されている。相互に隣り合う2本のゲートバスライン12と2本のデータバスライン11との囲まれた矩形の全領域が、遮光膜16及び画素電極14のいずれかによって完全に覆われる。

【0059】

図3(B)は、図3(A)の一点鎖線B3-B3における断面図を示す。ガラス基板20と30が、相互に平行に配置されている。ガラス基板20の対向面上に、クロム(Cr)からなるゲート電極13Gが形成されている。ゲート電極13Gは、例えばスパッタリングによりガラス基板20の対向面上の全領域にCr膜を堆積した後、このCr膜をパターニングして形成される。Cr膜のパターニングにより、図3(A)に示すゲート電極13Gに連続するゲートバスライン12も同時に形成される。

【0060】

ガラス基板20の対向面上に、ゲート電極13Gを覆うように、SiNからなる厚さ約330nmのゲート絶縁膜21が形成されている。ゲート絶縁膜21は、例えば化学気相成長(CVD)により形成される。ゲート絶縁膜21の表面上の領域のうちTFTを形成すべき領域に、厚さ約150nmのアモルファスシリコン膜13Cが形成されている。

【0061】

アモルファスシリコン膜13Cの表面上の領域のうちソース及びドレインに対応する領域に、それぞれTi/Al/Tiの3層構造を有するソース電極13S及びドレイン電極1

10

20

30

40

50

3 Dが形成されている。下側Ti層の厚さは約20 nm、Al層の厚さは約50 nm、上側Ti層の厚さは約80 nmである。ドレイン電極13 Dは、図3(A)に示すドレイン電極13 Dに連続するデータバスライン11と同時に形成される。

【0062】

アモルファスシリコン膜13 Cの堆積は、例えば原料ガスとしてSiH₄を用いたCVDにより行い、パターニングは、レジストパターンをマスクとし、プラズマアッシャーを用いたエッチングにより行う。Ti層、Al層の堆積は、スパッタリングにより行い、パターニングは、レジストパターンをマスクとし、ウェット処理を用いたエッチングにより行う。

【0063】

ゲート絶縁膜21の表面上に、TFT13を覆うように厚さ約2 μmの層間絶縁膜22が形成されている。層間絶縁膜22は、例えば三洋化成製のアクリル系樹脂LC-201を回転塗布することにより形成される。アクリル系樹脂LC-201の比誘電率は、約3である。層間絶縁膜22の表面はほぼ平坦になる。

【0064】

層間絶縁膜22の表面上に、インジウムすずオキサイド(ITO)からなる複数の透明画素電極14が形成されている。各透明画素電極14は、層間絶縁膜22に形成されたコンタクトホールを介してTFT13のソース電極13 Sに接続されている。透明画素電極14を覆うように、全面に配向膜23が形成されている。

【0065】

ガラス基板30の対向面上には、TFT13が形成された領域に対応して、Crからなる厚さ約120 nmの遮光膜16が形成されている。遮光膜16は、例えばスパッタリングにより全面にCr膜を堆積した後、ウェット処理を用いたエッチングによりパターニングして形成される。

【0066】

遮光膜16を覆うように全面にITOからなる透明な共通電極31が形成され、その表面上に配向膜32が形成されている。配向膜23と32との間に、液晶材料40が挟持されている。

【0067】

図3(A)に示すデータバスライン11の幅を6 μm、ゲートバスライン12の幅を15 μm、両バスラインのピッチを共に100 μm、画素電極14とその両側のデータバスライン11及び対応するゲートバスライン12との重なり幅を共に2 μm、データバスライン11とゲートバスライン12によって囲まれた矩形領域のうち遮光膜16で遮光された部分の面積を約1400 μm²とした。

【0068】

なお、画素電極14とその隣の画素に対応するゲートバスライン12とは、静電容量を大きくするために重なり幅を広くしている。さらに、図3(B)に示すゲート絶縁膜21と層間絶縁膜22との界面に画素電極14に接続された補助電極を配置することにより、画素電極14とゲートバスライン間の実質的な距離を短くしている。

【0069】

このとき、図1(A)に示す寄生容量C_{GS}が27.8 fF、寄生容量C_{DS}が6.2 fF、静電容量C_Sが245 fF、電圧V_{off}印加時の静電容量C_{LC(off)}が150.8 fF、電圧V_{on}印加時の静電容量C_{LC(on)}が307.8 fFであった。これらの数値を式(3)に当てはめると、階調数nが138以下のとき不等式が成立する。すなわち、クロストークの発生を抑制しつつ最大138階調の表示を行うことが可能になる。

【0070】

また、これらの数値を式(6)に当てはめると、V_Gが57.8 V以下のときに不等式が成立する。すなわち、走査時のゲートバスラインの電圧と非走査時のゲートバスラインとの電圧の差V_Gが57.8 V以下になるように駆動すれば、式(6)を満たすことになる。通常のTFTのゲート電圧のオンレベルとオフレベルとの差は57.8 V以下であ

10

20

30

40

50

るため、図3に示す液晶表示パネルは、式(6)を満足する。

【0071】

図3(B)に示すように、画素電極14とデータバスライン11、ゲートバスライン12との間に、比誘電率3、厚さ2 μm 程度の層間絶縁膜22を形成することにより、画素電極14とそれに隣接して配置されたバスライン11、12との間の寄生容量を低減することができる。寄生容量を低減することにより、図1及び図2で説明したように、式(3)及び(6)が満たされ、クロストーク及び画面の焼きつきの発生を抑制することができる。

【0072】

なお、寄生容量低減の十分な効果を得るためには、画素電極14とバスライン11、12との間に配置される層間絶縁膜の比誘電率を3.5以下、膜厚を1.5 μm 以上とすることが好ましい。上記実施例では、層間絶縁膜22としてアクリル系樹脂を用いる場合を説明したが、比誘電率及び膜厚がこの範囲内であれば、その他の材料を用いてもよい。例えば、半導体プロセスで用いられる感光性樹脂を用いてもよい。感光性樹脂を用いると、露光と現像により容易にパターンニングすることができる。

【0073】

次に、図4を参照して、図3に示す液晶表示パネルの他の効果を説明する。

図4(A)は、画素電極14とゲートバスライン12の相対位置関係を示すための概略断面図である。各構成部分には、図3の対応する構成部分と同一の符号が付されている。なお、簡単化のために、ゲート絶縁膜等の記載を省略している。

【0074】

画素電極14とゲートバスライン12との間の電位差が生じている場合、画素電極14の端部近傍とゲートバスライン12との間に電界Eが発生する。この電界Eは、ほとんど液晶層に侵入しない。

【0075】

図4(B)は、従来の液晶表示パネルの場合を示す。図4(A)の層間絶縁膜22の代わりに、より薄い層間絶縁膜22aが形成されている。画素電極14は、その外縁部がゲートバスライン12に重ならないように配置されている。この場合、画素電極14の端部とゲートバスライン12との間に横方向に電界Eが発生する。

【0076】

横電界Eの一部は、液晶層に侵入する。液晶層に侵入した横電界Eの影響を受けて、液晶分子の配列が乱され、配列の乱れが表示品質の劣化の原因になる。これに対し、図4(A)の場合は、液晶層内に横電界が発生しないため、横電界による表示品質の劣化を防止することができる。

【0077】

また、図4(B)の場合には、ゲートバスライン12の近傍において、基板対向表面に凹凸が形成される。この凹凸が液晶分子の配列を乱す原因になる。これに対し、図4(A)の場合は、層間絶縁膜22の表面がほぼ平坦になるため、基板対向表面の凹凸による液晶分子の配列の乱れを防止することができる。

【0078】

図3では、遮光膜を対向基板側に設ける場合を説明したが、TF T基板側に設けてもよい。

【0079】

図5は、遮光膜をTF T基板側に設けた液晶表示パネルの断面図を示す。TF T13を覆うように黒色樹脂41が形成されている。黒色樹脂41は、図3(A)に示す遮光膜16とほぼ同様の領域に配置される。対向基板側には遮光膜が形成されていない。その他の構成は、図3(B)の場合と同様である。

【0080】

TF T基板側に黒色樹脂を形成すると、TF T基板と対向基板との貼り合わせ時に、高精度に位置合わせする必要がなくなる。このため、図3(A)に示す遮光膜16と画素電極

10

20

30

40

50

14との重なり部分を少なくすることができ、開口率をより大きくすることができる。

【0081】

図3及び図4では、画素電極14の外縁部をその周囲のデータバスライン11及びゲートバスライン12の双方と重ねる場合を示したが、一方のバスラインとのみ重なる構成としてもよい。また、画素電極14の両側のデータバスライン11のうち、一方のデータバスラインとのみ重なる構成としてもよい。この場合、画素電極14とそれに重ならないゲートバスライン及びデータバスラインとの間の隙間に対応する領域に、遮光膜を配置する。

【0082】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

10

【0083】

以上説明したように、本発明によれば、画素電極とバスラインとを重ねて配置し開口率を大きくした場合に、画素電極とバスラインとの間の寄生容量の増加を抑制し、クロストークの発生を低減することができる。

【図面の簡単な説明】

【図1】本発明の実施例による課題解決方法を説明するための、液晶表示パネルの1画素の等価回路、光透過率の電圧依存性を示すグラフ、データバスライン、ゲートバスライン及び画素電極の電圧の時間変化の一例を示すグラフである。

【図2】本発明の実施例による課題解決方法を説明するための、液晶表示パネルのデータバスライン、ゲートバスライン及び画素電極の電圧の時間変化の一例を示すグラフである。

20

【図3】本発明の実施例による液晶表示パネルの概略を示す平面図及び断面図である。

【図4】図3に示す液晶表示パネルの効果を説明するためのTFT基板の概略を示す断面図である。

【図5】本発明の実施例の変形例による液晶表示パネルの概略を示す平面図及び断面図である。

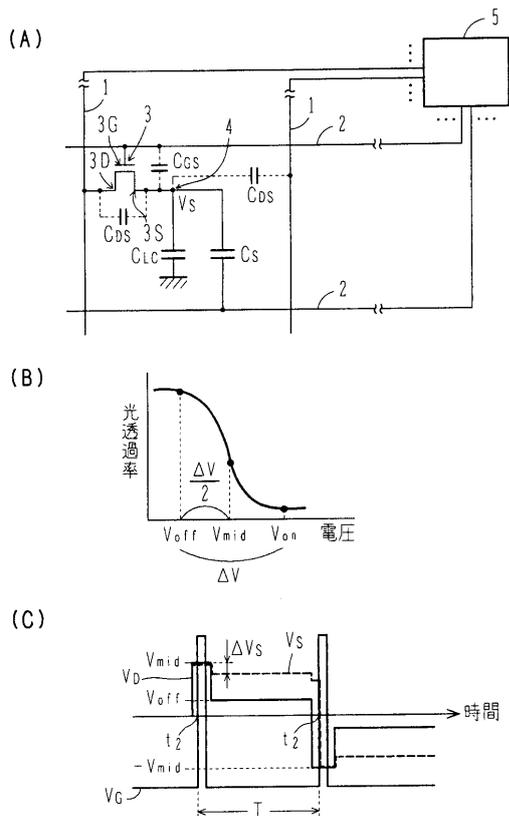
【符号の説明】

- 1、11 データバスライン
- 2、12 ゲートバスライン
- 3、13 TFT
- 4、14 画素電極
- 5 駆動回路
- 16 遮光膜
- 20、30 ガラス基板
- 21 ゲート絶縁膜
- 22 層間絶縁膜
- 23、32 配向膜
- 31 共通電極
- 40 液晶材料
- 41 黒色樹脂

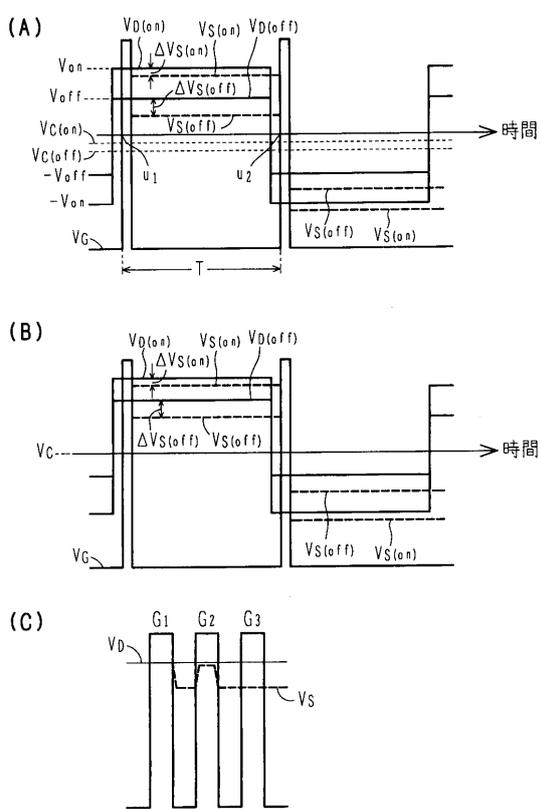
30

40

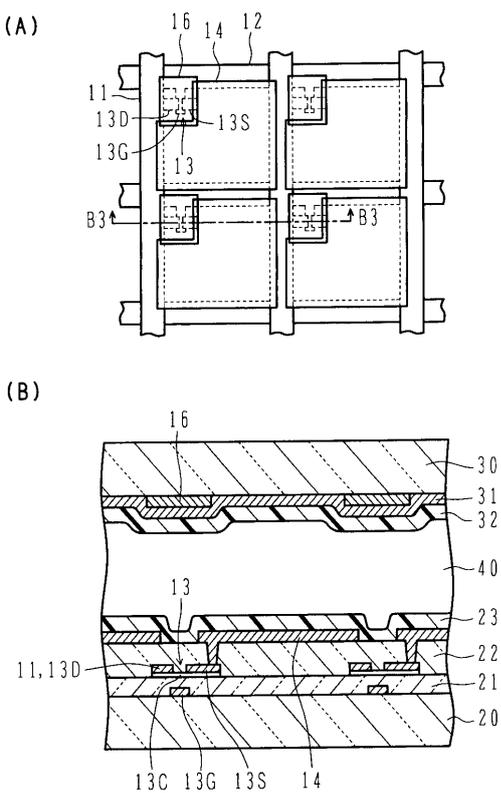
【 図 1 】



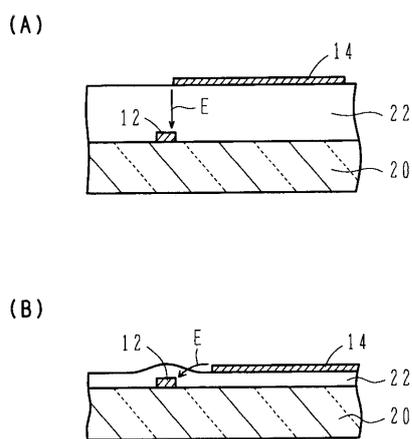
【 図 2 】



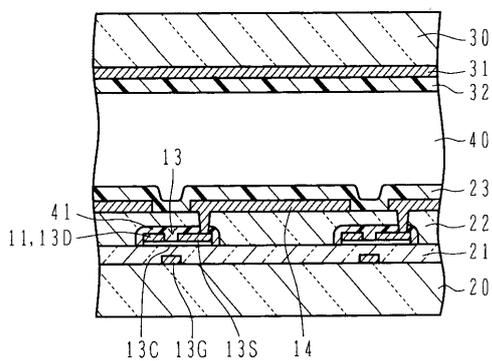
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 田坂 泰俊
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 小林 哲也
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 富田 生夫
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 藤田 都志行

- (56)参考文献 特開平06-202077(JP,A)
特開平07-261723(JP,A)
特開平04-331924(JP,A)
特開平05-224236(JP,A)
特開平04-220626(JP,A)
特開平06-202075(JP,A)
特開平02-157815(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

G02F 1/133 550

G02F 1/1368