

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205016

(P2008-205016A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 B  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2007-36514 (P2007-36514)  
 (22) 出願日 平成19年2月16日 (2007.2.16)

(71) 出願人 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 100071135  
 弁理士 佐藤 強  
 (72) 発明者 佐々木 陽介  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内

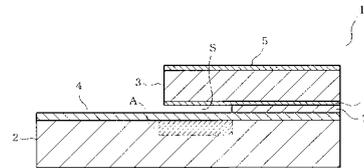
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 スタック構造の半導体装置において、一の半導体チップの応力に敏感な回路素子部分が他の半導体チップから応力を受けることのないようにする

【解決手段】 互いに重なり合う関係にある第1および第2の半導体チップ2および3において、第1の半導体チップ2の保護層4上の第2の半導体チップ3の重ね合わせ場所に、過敏回路素子領域を除外して塗布する。その上で第1の半導体チップ2上に第2の半導体チップ3を重ね合わせて接着層6により接着すれば、第2の半導体チップ3と第1の半導体チップ2の過敏回路素子領域との間には空間Sが生ずるので、当該過敏回路素子領域に応力が作用することがない。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

互いに重なり合う関係に配置される第 1 および第 2 の半導体チップを備えた半導体装置において、

前記第 1 および第 2 の半導体チップを互いに重なり合うように配置したとき、これら両半導体チップの重なり部分間の所定範囲に空間を生じさせるための隔離手段が設けられていることを特徴とする半導体装置。

## 【請求項 2】

請求項 1 記載の半導体装置において、

前記隔離手段は、前記第 1 および第 2 の半導体チップの間に、前記所定範囲を除外して設けられたスペーサ層からなることを特徴とする半導体装置。

10

## 【請求項 3】

請求項 1 記載の半導体装置において、

前記隔離手段は、

前記第 1 および第 2 の半導体チップのうち、一方の半導体チップの回路素子が形成された表面上に重ねられる他方の半導体チップにおいて、当該他方の半導体チップの裏面の前記所定範囲に形成された切除部であることを特徴とする半導体装置。

## 【請求項 4】

請求項 1 ないし 3 のいずれかに記載の半導体装置において、

前記第 1 および第 2 の半導体チップのうち、一方の半導体チップの回路素子が形成された表面上に他方の半導体チップの端縁が位置され、

20

前記所定範囲には前記他方の半導体チップの前記一方の半導体チップの前記表面上に位置される前記端縁を含むことを特徴とする半導体装置。

## 【請求項 5】

請求項 3 記載の半導体装置において、

前記他方の半導体チップの端縁が前記所定範囲に含まれており、

前記切除部は、前記所定範囲に含まれる前記他方の半導体チップの前記端縁に向って前記一方の半導体チップの前記表面から次第に離れるように傾斜面または円弧凸面に形成されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

30

## 【技術分野】

## 【0001】

本発明は、互いに重なり合う関係に配置される第 1 および第 2 の半導体チップを備えた半導体装置に関する。

## 【背景技術】

## 【0002】

複数の半導体チップを樹脂封止した構造（樹脂パッケージ型）の半導体装置がある。この半導体装置において、複数の半導体チップを平面的に配置したのでは、半導体装置全体として大型化する。この大型化を避けるために、スタック構造、つまり複数の半導体チップを互いに重なり合うように配置した構造の半導体装置がある。

40

なお、スタック構造の半導体装置ではないが、特許文献 1 には、樹脂封止される半導体チップの角部を傾斜面に形成することにより、角部に加わるモールド樹脂からの応力を緩和して半導体チップの信頼性を向上させることが開示されている。

【特許文献 1】特開 2004 - 264115 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

スタック構造の半導体装置においては、互いに重なり合う関係にある 2 個の半導体チップのうち、下側となる半導体チップにおいては、上に載せられる相手の半導体チップから応力を受けることとなる。このとき、応力を受ける部分に形成された回路素子によっては

50

、その応力を受けることによって素子間のバランスが崩れ、特性が変化することがある。

このような応力による特性変化を防止するには、上側の半導体チップの搭載（マウント）位置を変更し、その搭載位置が応力に敏感な回路素子の形成部分から外れるようにすればよい。しかしながら、搭載位置の決定には、マウント設備の位置精度を考慮して十分な余裕をもたせる必要があり、また、上下の半導体チップのボンディングワイヤどうしの接触の問題もあって搭載位置を変更することは容易ではない。勿論、このような特性変化は、特許文献1に記載された半導体チップの角部を傾斜面にする技術では防止することはできない。

#### 【0004】

本発明は上記の事情に鑑みてなされたもので、その目的は、互いに重なり合う関係に配置される第1および第2の半導体チップを備えた半導体装置において、第1および第2の両半導体チップの重ね合わせ位置に変更を加えることなく、一方の半導体チップの応力に敏感な回路素子部分が他方の半導体チップから応力を受けることのないようにして特性変化の発生を防止するところにある。

#### 【課題を解決するための手段】

#### 【0005】

請求項1では、互いに重なり合う関係にある第1および第2の半導体チップにおいて、第1の半導体チップの上に前記第2の半導体チップを配置したとき、これら両半導体チップの重なり部分間の所定範囲、即ち応力が加わると素子間のバランスが崩れて特性変化を起こす恐れのある応力に敏感な回路素子形成部分に空間を生じさせるための隔離手段が設けられているので、上に載せられる半導体チップから応力を受けることがなく、特性変化を生ずる恐れがない。

#### 【0006】

この場合、前記隔離手段を、請求項2のように、第1および第2の半導体チップの間に、前記所定範囲を除外して設けられたスペーサ層から構成すれば、両半導体チップの重なり部分の所定範囲に容易に空間を生じさせることができる。

#### 【0007】

請求項3では、隔離手段を、一方の半導体チップの上に載せられる他方の半導体チップの裏面の前記所定範囲に形成された切除部から構成するので、スペーサ層を設けるなどしなくとも済み、両半導体チップの重ね合わせのための工程数を減少することができる。

#### 【0008】

請求項4では、一方の半導体チップの応力に敏感な回路素子の形成部分に他方の半導体チップの端縁が重なるような場合、その端縁が隔離手段によって下側の一方の半導体チップから離されるので、半導体チップの端縁からは特に大きな応力を受け易いという事情があっても特性変化を効果的に防止できる。

#### 【0009】

請求項5では、一方の半導体チップの表面に載せられる他方の半導体チップの切除部が端縁に向かって一方の半導体チップから次第に離れるように傾斜面または円弧凸面に形成されているので、切除部の開始端部分が鈍角状または円弧状になるので、切除部の開始端縁が下側の第1の半導体チップに与える応力を小さくすることができる。

#### 【発明を実施するための最良の形態】

#### 【0010】

以下、本発明を実施形態により具体的に説明する。

#### （第1の実施形態）

図1および図2は、本発明の第1の実施形態を示す。図1に示すように、半導体装置1は、図示しない基板に実装される第1の半導体チップ2上に、更に第2の半導体チップ3を搭載（マウント）して構成されるスタック構造のものである。そして、これら半導体チップ2, 3はボンディングワイヤにより基板に接続され、或いは両半導体チップ2, 3どうしは、半田またはボンディングワイヤによって接続される。この半導体装置1は、最終的には、樹脂封止されて樹脂パッケージ型半導体装置として完成される。

10

20

30

40

50

## 【 0 0 1 1 】

さて、互いに重なり合う関係にある第1および第2の両半導体チップ2および3のうち、第1の半導体チップ（一方の半導体チップ）2の表面には、この表面側に形成された回路素子（図示せず）を保護するための保護膜4が塗布されている。ここで、第1の半導体チップ2の表面側に回路素子のうち、図1および図2に二点鎖線Aで囲まれた領域（図1に二点鎖線の斜線を付して示した領域。）の回路素子は、応力に敏感で、過度の応力が加わると素子間のバランスが崩れて特性変化を生ずる恐れがある。以下の説明では、この応力に敏感な回路素子が存在する領域を過敏回路素子領域ということとする。

## 【 0 0 1 2 】

一方、第2の半導体チップ（他方の半導体チップ）3の表面には、当該表面側に形成された回路素子（図示せず）を保護するための保護膜5が塗布されている。また、第2の半導体チップ3の裏面には、第1の半導体チップ2に固着するための接着層6が塗布されている。なお、接着層6は、例えば熱硬化性接着剤からなる。この第2の半導体チップ3は、図2に示すように、第1の半導体チップ2の表面のうち、過敏回路素子領域を含む場所に重ね合わされるようにして配置される。この場合、第2の半導体チップ3は、その一端縁が当該過敏素子領域を横切っている。

10

## 【 0 0 1 3 】

このため、第2の半導体チップ3をそのまま第1の半導体チップ2上に固定すると、第1の半導体チップ2の過敏回路素子領域に第2の半導体チップ3が重ね置かれこととなるので、過敏回路素子領域は、第2の半導体チップ3から大きな応力を受けることとなる。特に、第2の半導体チップ3の端縁は、大きな応力を第1の半導体チップ2に及ぼすが、本実施形態の場合、第2の半導体チップ3の一端縁の中央部分が第1の半導体チップ2の過敏回路素子領域にかかっているため、過敏回路素子領域が特性変化を起こす危険性が高い。

20

## 【 0 0 1 4 】

そこで、本実施形態では、第1の半導体チップ2の表面うち、第2の半導体チップ3が重ね置かれる場所に、過敏回路素子領域と重なる部分（所定範囲）を除外してスペーサ層7（隔離手段）を塗布している。スペーサ層7の塗布範囲を図2に斜線を付して示した。このスペーサ層7は、例えばPiQ（高耐熱ポリイミド）からなり、保護層4上に塗布されている。そして、第2の半導体チップ3は、このスペーサ層7上に重ね置かれ、接着層6により第1の半導体チップ2に固着される。

30

## 【 0 0 1 5 】

このようにしてスペーサ層7上に固着された第2の半導体チップ3は、スペーサ層7が過敏回路素子領域と重なる部分（所定範囲）を除外して塗布されていることにより、過敏回路素子領域とは空間Sを隔てて重ね置かれたこととなる。このため、最終的に半導体装置1が樹脂封止されても、第1の半導体チップ2の過敏回路素子領域と第2の半導体チップ3との間の空間Sには樹脂が充填されるだけで、第2の半導体チップ3は過敏回路素子領域からは離されるので、過敏回路素子領域が第2の半導体チップ3から過度の応力を受けることがなく、特性変化の発生が防止される。

## 【 0 0 1 6 】

40

（第2の実施形態）

図3は本発明の第2の実施形態を示す。この実施形態では、第2の半導体チップ3は、第1の半導体チップ2の過敏回路領域の全体を含む場所に重ね置かれるようになっている。そして、この実施形態では、第1の半導体チップ2の表面に、過敏回路素子領域を除外して保護膜4を塗布している。これにより、第2の半導体チップ3を第1の半導体チップ2上に固着したとき、第1の半導体チップ2の過敏回路素子領域と第2の半導体チップ3との間に空間Sが生ずるようにしている。従って、保護膜4は、隔離手段としての機能、具体的にはスペーサ層としての機能を有する。

なお、保護膜4を過敏回路素子領域を除外して塗布すると、過敏回路素子領域の保護がなされなくなるので、この実施形態では、配線となるアルミ膜形成時に、過敏回路素子領

50

域をアルミ膜（配線としては機能しない。）8により覆うようにしている。

【0017】

（第3の実施形態）

図4は本発明の第3の実施形態を示す。この実施形態では、上記の第2の実施形態と同様に、第2の半導体チップ3は、第1の半導体チップ2の過敏回路領域の全体を含む場所に重ね置かれるようになっている。

この実施形態では、第1の半導体チップ2の表面には、第1の実施形態と同様に、その全体にわたって保護膜4が塗布されている。そして、この保護膜4上に、P i Qなどからなるスペーサ層9が過敏回路素子領域を除外して塗布されている。これにより、第2の半導体チップ3を第1の半導体チップ2上に固着したとき、第1の半導体チップ2の過敏回路素子領域と第2の半導体チップ3との間に空間Sが生ずるようになっている。

10

【0018】

（第4の実施形態）

図5は本発明の第4の実施形態を示す。この実施形態では、前述の第1の実施形態と同様に、第2の半導体チップ3が第1の半導体チップ2の表面上に、当該第2の半導体チップ3の端縁が第1の半導体チップ2の過敏回路素子領域を横切るようにして搭載される。そして、この実施形態では、第2の半導体チップ3の裏面のうち、過敏回路素子領域に重なる部分を、凹状に切除し、この切除部10によって第2の半導体チップ3と第1の半導体チップ2の過敏回路素子領域との間に空間が生ずるようにしている。

【0019】

20

（第5の実施形態）

図6は本発明の第5の実施形態を示す。この実施形態では、第4の実施形態と同様に、第2の半導体チップ3の裏面側に切除部11を形成するようにしている。この実施形態では、切除部11の上面が、その最奥部から第2の半導体チップ3の端縁に向かって上方に傾く傾斜面となるように切除部11を形成している。

このように切除部11の上面を傾斜面とすれば、切除部11の第1の半導体チップ2と接する最奥部が鈍角部分となるので、仮に切除部11の最奥部が過敏回路素子領域のごく近くに存在したとしても、過敏回路素子領域に大きな応力が及ぶことはない。

【0020】

（第6の実施形態）

30

図7は本発明の第6の実施形態を示す。この実施形態では、第5の実施形態と同様の目的で、切除部12の上面を円弧凸面状としたものである。

【0021】

（その他の実施形態）

なお、本発明は上記し且つ図面に示す実施形態に限定されるものではなく、以下のような拡張或いは変更が可能である。

第1の半導体チップ2の過敏回路素子領域が第2の半導体チップ3の重ね合わせ場所の一部を含む場合、図8に示すように、過敏回路素子領域の幅の方が第2の半導体チップ3の重ね合わせ場所の幅よりも広い場合にも本発明を適用できる。このような形態に対し、第1の実施形態のようにスペーサ層を塗布する場合、図8に斜線を付した部分はその塗布範囲となる。また、第2の半導体チップ3に切除部を形成する手段を採用する場合、その切除部は、凹状ではなく、単に第2の半導体チップ3の一端側をその幅方向全体にわたって切除する階段形状或いは傾斜面形状或いは円弧凸面形状になる。

40

半導体チップを3個以上重ね配置する場合にも本発明を適用できる。この場合には、互いに重なり合う関係にある2個の半導体チップのうち下側になるものを第1の半導体チップ、上側になるものを第2の半導体チップとして本発明を適用すればよい。

【図面の簡単な説明】

【0022】

【図1】本発明の第1の実施形態を示す断面図

【図2】スペーサ層の塗布領域を示す平面図

50

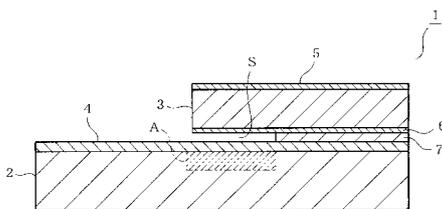
- 【図3】本発明の第2の実施形態を示す断面図
- 【図4】本発明の第3の実施形態を示す断面図
- 【図5】本発明の第4の実施形態を示す断面図
- 【図6】本発明の第5の実施形態を示す断面図
- 【図7】本発明の第6の実施形態を示す断面図
- 【図8】本発明の他の適用対象を示す図2相当図

【符号の説明】

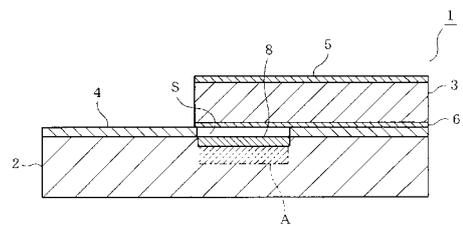
【0023】

図中、1は半導体装置、2は第1の半導体チップ、3は第2の半導体チップ、4は保護  
 幕、6は接着層、7はスペーサ層（隔離手段）、9はスペーサ層（隔離手段）、10～1  
 2は切除部を示す。

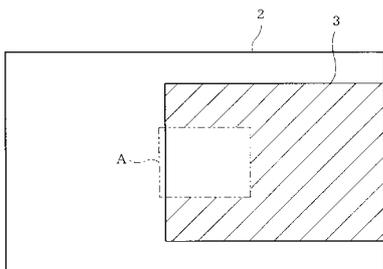
【図1】



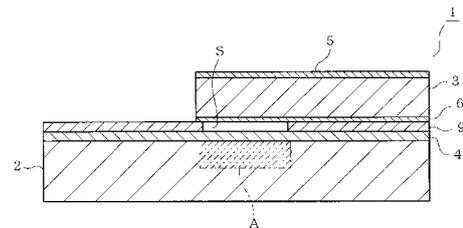
【図3】



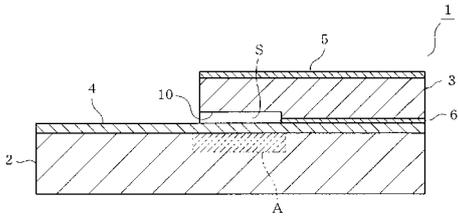
【図2】



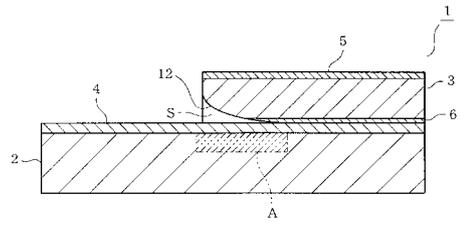
【図4】



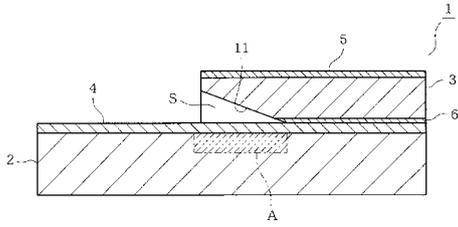
【図5】



【図7】



【図6】



【図8】

