



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0071018  
H01L 27/146 (2006.01) (43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0134131  
(22) 출원일자 2005년12월29일  
심사청구일자 없음

(71) 출원인 매그나칩 반도체 유한회사  
충북 청주시 흥덕구 향정동 1  
(72) 발명자 이다순  
충북 청주시 흥덕구 분평동 1211 분평주공1단지아파트 106동1102호  
(74) 대리인 특허법인 신성

전체 청구항 수 : 총 21 항

(54) 이미지 센서 및 그 제조방법

(57) 요약

본 발명은 기관 표면으로부터 유입되는 암전류의 흐름을 차단할 수 있는 이미지 센서 및 그 제조방법을 제공하기 위한 것으로서, 이를 위해 본 발명은 표면으로부터 깊이 단차를 갖도록 일정 경사면을 갖는 트렌치가 형성된 기관과, 상기 트렌치의 경사면과 중첩되도록 상기 기관 내에 형성된 포토 다이오드용 제1 도전형의 제1 확산영역과, 상기 기관 표면으로부터 유입되는 암전류를 차단하기 위하여 상기 제1 확산영역의 상부 표면으로부터 상기 경사면까지 확장되어 형성된 제2 도전형의 제2 확산영역과, 상기 경사면과 일부가 중첩되도록 상기 트렌치 상부에 형성된 게이트 전극을 포함하는 이미지 센서를 제공한다.

대표도

도 4

특허청구의 범위

청구항 1.

표면으로부터 깊이 단차를 갖도록 일정 경사면을 갖는 트렌치가 형성된 기관;

상기 트렌치의 경사면과 중첩되도록 상기 기관 내에 형성된 포토 다이오드용 제1 도전형의 제1 확산영역;

상기 기관 표면으로부터 유입되는 암전류를 차단하기 위하여 상기 제1 확산영역의 상부 표면으로부터 상기 경사면까지 확장되어 형성된 제2 도전형의 제2 확산영역; 및

상기 경사면과 일부가 중첩되도록 상기 트렌치 상부에 형성된 게이트 전극

을 포함하는 이미지 센서.

## 청구항 2.

제 1 항에 있어서,

상기 게이트 전극은 상기 제2 확산영역과 중첩되는 영역에서 상기 제2 확산영역의 경사면을 따라 경사를 갖고 형성된 이미지 센서.

## 청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 게이트 전극은 상기 포토 다이오드에 축적된 전하를 전송하기 위한 트랜스퍼 트랜지스터의 게이트 전극인 것을 특징으로 하는 이미지 센서.

## 청구항 4.

제 3 항에 있어서,

상기 트랜스퍼 트랜지스터를 통해 상기 포토 다이오드를 리셋시키기 위해 상기 트랜스퍼 트랜지스터의 게이트 전극과 일정 거리 이격된 상기 트랜치 상부에 형성된 리셋 트랜지스터의 게이트 전극을 더 포함하는 이미지 센서.

## 청구항 5.

제 4 항에 있어서,

상기 트랜스퍼 트랜지스터의 게이트 전극 및 리셋 트랜지스터의 게이트 전극 양측벽에는 스페이서가 구비된 이미지 센서.

## 청구항 6.

제 5 항에 있어서,

상기 제2 확산영역은 상기 스페이서와 대응되는 영역에서보다 상기 스페이서의 일측으로 노출된 영역에서 더 높은 도핑 농도를 갖는 이미지 센서.

## 청구항 7.

제 4 항에 있어서,

상기 트랜스퍼 트랜지스터의 게이트 전극 및 리셋 트랜지스터의 게이트 전극은 게이트 산화막을 통해 상기 기판과 전기적으로 분리된 이미지 센서.

## 청구항 8.

제 4 항에 있어서,

상기 기관은 소자분리막에 의해 액티브 영역과 필드 영역으로 정의된 이미지 센서.

### 청구항 9.

제 8 항에 있어서,

상기 소자분리막과 상기 기관 간의 계면에 형성된 상기 제2 도전형의 채널 스탭층을 더 포함하는 이미지 센서.

### 청구항 10.

제 9 항에 있어서,

상기 제2 확산영역은 상기 채널 스탭층의 상부 모서리 부분과 중첩되어 형성된 이미지 센서.

### 청구항 11.

액티브 영역과 필드 영역으로 정의된 기관을 제공하는 단계;

상기 기관 표면에 양측부에서 일정 경사면을 갖도록 희생 산화막을 형성하는 단계;

상기 기관 표면으로부터 유입되는 암전류를 차단하기 위하여 상기 희생 산화막의 양측으로 노출된 상기 액티브 영역의 상기 기관 및 상기 희생 산화막의 경사면에 대응되는 상기 기관 내에 제1 도전형의 제1 확산영역을 형성하는 단계;

상기 제1 확산영역 저부의 상기 기관 내에 국부적으로 포토 다이오드용 제2 도전형의 제2 확산영역을 형성하는 단계;

상기 희생 산화막을 제거하여 상기 기관 표면으로부터 깊이 단차를 갖도록 일정 경사면을 갖는 트렌치를 형성하는 단계;  
및

상기 제2 확산영역의 일측에 정렬되도록 상기 트렌치 상부에 게이트 전극을 형성하는 단계

를 포함하는 이미지 센서 제조방법.

### 청구항 12.

제 9 항에 있어서,

상기 게이트 전극은 상기 포토 다이오드에 축적된 전하를 전송하기 위한 트랜스퍼 트랜지스터의 게이트 전극인 것을 특징으로 하는 이미지 센서 제조방법.

### 청구항 13.

제 12 항에 있어서,

상기 트랜스퍼 트랜지스터의 게이트 전극을 형성하는 동시에 상기 트랜스퍼 트랜지스터를 통해 상기 포토 다이오드를 리셋시키기 위해 상기 트랜스퍼 트랜지스터의 게이트 전극과 일정 거리 이격된 상기 트랜치 상부에 리셋 트랜지스터의 게이트 전극을 형성하는 이미지 센서 제조방법.

#### 청구항 14.

제 11 항 내지 제 13 항 중 어느 하나의 항에 있어서,

상기 희생 산화막은 상기 포토 다이오드가 형성될 영역을 덮는 하드마스크 패턴을 산화 방지막으로 하는 LOCOS 공정을 실시하여 형성하는 이미지 센서 제조방법.

#### 청구항 15.

제 14 항에 있어서,

상기 하드마스크 패턴은 산화막/질화막의 적층막으로 형성하는 이미지 센서 제조방법.

#### 청구항 16.

제 15 항에 있어서,

상기 질화막은 상기 희생 산화막을 형성한 후 바로 제거하고, 상기 산화막은 잔류시켜 상기 제1 확산영역 형성시 스크린 산화막으로 사용하는 이미지 센서 제조방법.

#### 청구항 17.

제 16 항에 있어서,

상기 제1 확산영역을 형성한 후,

상기 산화막 및 상기 희생 산화막을 제거하는 단계;

상기 희생 산화막이 제거된 전체 구조 상부의 단차를 따라 게이트 산화막을 형성하는 단계; 및

문턱전압 조절을 위한 이온주입공정을 실시하는 단계

를 더 포함하는 이미지 센서 제조방법.

#### 청구항 18.

제 11 항 내지 제 13 항 중 어느 하나의 항에 있어서,

상기 게이트 전극을 형성한 후,

상기 게이트 전극의 일측으로 노출된 상기 제2 확산영역의 상부 표면에 존재하는 상기 제1 확산영역 내에 상기 제1 도전형의 불순물 이온을 주입하는 단계를 더 포함하는 이미지 센서 제조방법.

## 청구항 19.

제 18 항에 있어서,

상기 제1 확산영역 내에 상기 제1 도전형의 불순물 이온을 주입한 후,

상기 게이트 전극의 양측벽에 스페이서를 형성하는 단계; 및

상기 스페이서를 마스크로 이용한 소오스/드레인 이온주입공정을 실시하는 단계를 더 포함하는 이미지 센서 제조방법.

## 청구항 20.

제 11 항 내지 제 13 항 중 어느 하나의 항에 있어서,

상기 액티브 영역과 필드 영역으로 정의된 기판을 제공하는 단계는,

상기 기판 내에 일정 깊이의 트렌치를 형성하는 단계;

상기 트렌치로 인해 노출된 상기 기판의 계면을 따라 상기 제1 도전형의 채널 스탭층을 형성하는 단계; 및

상기 트렌치가 매립되도록 소자분리막을 형성하는 단계

를 포함하여 이루어지는 이미지 센서 제조방법.

## 청구항 21.

제 20 항에 있어서,

상기 제1 확산영역은 상기 채널 스탭층의 상부 모서리 부분과 중첩되도록 형성하는 이미지 센서 제조방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이미지 센서 및 그 제조방법에 관한 것으로, 특히 포토 다이오드를 포함하는 이미지 센서 및 그 제조방법에 관한 것이다.

최근들어 디지털 카메라(digital camera)는 인터넷을 이용한 영상통신의 발전과 더불어 그 수요가 폭발적으로 증가하고 있는 추세에 있다. 더욱이, 카메라가 장착된 PDA(Personal Digital Assistant), IMT-2000(International Mobile Telecommunications-2000), CDMA(Code Division Multiple Access) 단말기 등과 같은 이동통신단말기의 보급이 증가됨에 따라 소형 카메라 모듈의 수요가 증가하고 있다.

카메라 모듈로는 기본적인 구성요소가 되는 CCD(Charge Coupled Device)나 CMOS(Complementary Metal-Oxide-Semiconductor) 이미지 센서를 이용한 이미지 센서 모듈이 널리 보급되어 사용되고 있다.

보편적으로, CMOS 이미지 센서는 단위 화소(Unit pixel) 내에 포토 다이오드(photo diode)와 MOS 트랜지스터를 형성시켜 스위칭 방식으로 차례로 신호를 검출함으로써 이미지를 구현하게 되는데, 현재 대부분의 CMOS 이미지 센서의 단위 화소는 1개의 포토 다이오드와, 제어신호 Tx, Rx, Dx, Sx가 각각 게이트로 입력되는 4개의 NMOS 트랜지스터로 구성된다.

도 1은 일반적인 CMOS 이미지 센서의 단위 화소를 도시한 회로도이다.

도 1을 참조하면, CMOS 이미지 센서의 단위 화소는 빛을 받아 광전하를 생성하는 하나의 포토 다이오드(Photo Diode, PD)와, 포토 다이오드(PD)에서 모아진 광전하를 플로팅 확산노드(Floating Diffusion node; FD)로 운송하기 위한 트랜스퍼 트랜지스터(1), 플로팅 확산노드(FD)의 전위를 리셋시키기 위한 리셋 트랜지스터(2), 플로팅 확산노드(FD)의 전위를 증폭하기 위하여 소스 팔로워 버퍼 증폭기(Source Follower Buffer Amplifier)로 기능하는 드라이브 트랜지스터(3) 및 드라이브 트랜지스터(3)로부터 증폭된 신호를 출력하기 위하여 스위칭(Switching) 역할을 수행하는 셀렉트 트랜지스터(4)로 구성된다. 여기서, 미설명된 도면부호 '5'는  $R_L$  제어신호를 입력받는 로드(Load) 트랜지스터이다.

도 2는 일반적인 CMOS 이미지 센서의 단위 화소를 도시한 평면도이고, 도 3은 도 2에 도시된 I-I' 절취선을 따라 도시한 단면도이다.

도 2 및 도 3을 참조하면, 일반적인 CMOS 이미지 센서는 액티브 영역(A)의 기판(10) 내에 국부적으로 형성된 포토 다이오드용  $N^-$  확산영역(13)과, 일부가  $N^-$  확산영역(13)과 중첩되어 기판(10) 상에 형성된 트랜스퍼 트랜지스터의 게이트 전극(12a)과, 트랜스퍼 트랜지스터의 게이트 전극(12a)으로 인해 노출된 기판(10) 상에 형성된 복수의 트랜지스터용 게이트 전극을 포함한다.

특히, 기판(10) 표면으로부터  $N^-$  확산영역(13)으로 유입되는 암전류(Dark current)를 방지하기 위하여  $N^-$  확산영역(13) 상부 표면에는 이와 반대의 도전형으로 도핑된  $P^0$  확산영역(18)이 형성되는데, 이때,  $P^0$  확산영역(18)은 도면과 같이 LDD 형태로 형성된다.

즉,  $P^0$  확산영역(18)은 트랜스퍼 트랜지스터의 게이트 전극(12a)을 형성한 후 트랜스퍼 트랜지스터의 게이트 전극(12a)의 일측으로 노출된  $N^-$  확산영역(13) 내에 LDD 영역(14)을 형성하고, 이후 트랜스퍼 트랜지스터의 게이트 전극(12a)의 양측 벽에 스페이서(16)를 형성한 후 스페이서(16)의 일측으로 노출된  $N^-$  확산영역(13) 내에 고농도로 P형 도펀트를 주입하여 고농도 접합영역(17)을 형성하는 것이다.

따라서,  $P^0$  확산영역(18)은 스페이서(16)에 대응되는 영역에서의 깊이가 스페이서(16)의 일측으로 노출된 영역에서의 깊이보다 현저히 낮게 된다. 따라서, 상대적으로 낮은 깊이를 갖는 영역, 즉 스페이서(16)와 중첩되는 영역에서 암전류가 발생하는 문제가 있다.

도 2 및 도 3에 있어서, 미설명된 도면부호 '12b', '12c', '12d'는 각각 리셋 트랜지스터의 게이트 전극, 드라이브 트랜지스터의 게이트 전극 및 셀렉트 트랜지스터의 게이트 전극을 나타내는데, 이들은 각각 게이트 산화막(11)을 통해 기판(10)과 전기적으로 분리되고, '19a' 및 '19b'는 플로팅 확산영역과 소오스/드레인 영역을 나타내며, '15'는 플로팅 확산영역과 소오스/드레인 영역을 구성하는 LDD 영역이다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출된 것으로서, 기판 표면으로부터 유입되는 암전류의 흐름을 차단할 수 있는 이미지 센서 및 그 제조방법을 제공하는데 그 목적이 있다.

### 발명의 구성

상기 목적을 달성하기 위한 일 측면에 따른 본 발명은, 표면으로부터 깊이 단차를 갖도록 일정 경사면을 갖는 트렌치가 형성된 기판과, 상기 트렌치의 경사면과 중첩되도록 상기 기판 내에 형성된 포토 다이오드용 제1 도전형의 제1 확산영역과,

상기 기판 표면으로부터 유입되는 암전류를 차단하기 위하여 상기 제1 확산영역의 상부 표면으로부터 상기 경사면까지 확장되어 형성된 제2 도전형의 제2 확산영역과, 상기 경사면과 일부가 중첩되도록 상기 트렌치 상부에 형성된 게이트 전극을 포함하는 이미지 센서를 제공한다.

또한, 상기 목적을 달성하기 위한 다른 측면에 따른 본 발명은, 액티브 영역과 필드 영역으로 정의된 기판을 제공하는 단계와, 상기 기판 표면에 양측부에서 일정 경사면을 갖도록 희생 산화막을 형성하는 단계와, 상기 기판 표면으로부터 유입되는 암전류를 차단하기 위하여 상기 희생 산화막의 양측으로 노출된 상기 액티브 영역의 상기 기판 및 상기 희생 산화막의 경사면에 대응되는 상기 기판 내에 제1 도전형의 제1 확산영역을 형성하는 단계와, 상기 제1 확산영역 저부의 상기 기판 내에 국부적으로 포토 다이오드용 제2 도전형의 제2 확산영역을 형성하는 단계와, 상기 희생 산화막을 제거하여 상기 기판 표면으로부터 깊이 단차를 갖도록 일정 경사면을 갖는 트렌치를 형성하는 단계와, 상기 제2 확산영역의 일측에 정렬되도록 상기 트렌치 상부에 게이트 전극을 형성하는 단계를 포함하는 이미지 센서 제조방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다. 또한, 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 또는 그들 사이에 제3의 층이 개재될 수도 있다. 또한 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분은 동일한 구성요소들을 나타낸다.

### 실시예

도 4는 본 발명의 실시예에 따른 CMOS 이미지 센서의 단위 화소를 도시한 평면도다. 여기서는, 설명의 편의를 위해 일례로 포토 다이오드의 전하를 제어하는 트랜지스터를 NMOS 트랜지스터로 하였고, 하나의 포토 다이오드와 4개의 NMOS 트랜지스터로 구성된 단위 화소를 도시하였다.

도 4를 참조하면, 본 발명의 실시예에 따른 CMOS 이미지 센서는 표면으로부터 깊이 단차를 갖도록 일정 경사면을 갖는 트렌치(미도시)가 형성된 기판(20)과, 트렌치의 경사면과 중첩되도록 기판(20) 내에 형성된 포토 다이오드용  $N^-$  확산영역(39a)과, 기판(20) 표면으로부터 유입되는 암전류를 차단하기 위하여  $N^-$  확산영역(39a)의 상부 표면으로부터 경사면까지 확장되어 형성된  $P^0$  확산영역(35)과, 경사면과 일부가 중첩되도록 트렌치 상부에 형성된 트랜스퍼 트랜지스터의 게이트 전극(41a)을 포함한다.

결국, 본 발명의 실시예에 따르면,  $P^0$  확산영역(35)을 트랜스퍼 트랜지스터의 게이트 전극(41a)과 중첩되는 영역에서 일정 경사면을 갖고  $N^-$  확산영역(39a)의 일측부를 감싸도록 형성함으로써, 스페이서(50)와 중첩되는 영역의  $P^0$  확산영역(35)을 통해  $N^-$  확산영역(39a)으로 유입된 암전류가 채널 영역으로 흐르는 것을 확실히 차단할 수 있다.

여기서, 트랜스퍼 트랜지스터의 게이트 전극(41a) 또한  $P^0$  확산영역(35)과 중첩되는 영역에서  $P^0$  확산영역(35)의 경사면을 따라 경사를 갖고 형성될 수 있다. 그리고, 트랜스퍼 트랜지스터의 게이트 전극(41a)을 통해 포토 다이오드를 리셋시키기 위해 트랜스퍼 트랜지스터의 게이트 전극(41a)과 일정 거리 이격된 트렌치 상부에 형성된 리셋 트랜지스터의 게이트 전극(41b)을 더 포함할 수 있다.

여기서, 트랜스퍼 트랜지스터의 게이트 전극(41a) 및 리셋 트랜지스터의 게이트 전극(41b) 양측벽에는 절연막으로 이루어진 스페이서(50)가 구비되는데, 바람직하게,  $P^0$  확산영역(35)은 스페이서(50)와 대응되는 영역에서보다 스페이서(50)의 일측으로 노출된 영역에서 더 높은 도핑 농도를 갖는다.

이때, 트랜스퍼 트랜지스터의 게이트 전극(41a) 및 리셋 트랜지스터의 게이트 전극(41b)은 게이트 산화막(40)을 통해 기판(20)과 전기적으로 분리되고, 기판(20)은 소자분리막(27)에 의해 액티브 영역과 필드 영역으로 정의된다. 바람직하게, 소자분리막(27)은 공지된 STI 기술에 따라 형성된다.

여기서, 소자분리막(27)과 기판(20) 간의 계면에는  $P^0$  확산영역(35)과 동일한 도전형으로 도핑된 채널 스탭층(25)이 더 형성될 수 있다.  $P^0$  확산영역(35)은 채널 스탭층(25)과 전기적으로 연결되어  $P^0$  확산영역(35)에 전압을 인가할 시에 기판(20) 내에도 동일한 전압이 인가되도록 하기 위하여 채널 스탭층(25)의 상부 모서리 부분과 중첩되어 형성된다.

이를 위해, 기판(20) 또한 P<sup>0</sup> 확산영역(35) 및 채널 스탑층(25)과 동일한 P형 불순물 이온으로 도핑된다.

이외에도, 트랜스퍼 트랜지스터 및 리셋 트랜지스터의 게이트 전극(41a, 41b)을 포함한 복수의 트랜지스터용 게이트 전극 양측으로 노출된 기판(20) 내에는 플로팅 확산영역(53a) 및 소오스/드레인 영역(53b)이 형성된다. 바람직하게는, 플로팅 확산영역(53a) 및 소오스/드레인 영역(53b)은 LDD 형태로 형성된다. 이에 따라, 플로팅 확산영역(53a) 및 소오스/드레인 영역(53b)은 LDD 영역(48)을 구비한다.

이하, 도 5a 내지 도 5n을 참조하여 본 발명의 실시예에 따른 CMOS 이미지 센서 제조방법을 설명하기로 한다. 여기서는, 설명의 편의를 위해 CMOS 이미지 센서의 단위 화소의 일부분만을 도시하였다.

먼저, 도 5a에 도시된 바와 같이, 공지된 STI(Shallow Trench Isolation) 기술을 적용하여 기판(20) 내에 트렌치(23)를 형성한다. 이로써, 기판(20)에 액티브 영역과 필드 영역을 정의한다. 즉, 트렌치(23)는 필드 영역을 정의하기 위한 소자분리막 형성을 위해 형성되는 것이다.

일례로, 기판(20)은 P형으로 도핑된 P형 기판이고, 기판(20) 상부에는 이와 동일한 P형 불순물이 도핑되어 에피택셜(Epitaxial) 성장된 에피층(미도시)이 존재할 수 있다.

예컨대, 기판(20) 상에 패드 산화막(21)과 패드 질화막(22)을 순차적으로 증착한 후, 패드 질화막(22) 상에 소정의 포토레지스트 패턴(미도시)을 형성한다.

이어서, 포토레지스트 패턴을 이용한 STI 식각공정을 실시하여 패드 질화막(22)의 일부를 식각한 후, 스트립(Strip) 공정을 실시하여 포토레지스트 패턴을 제거한다. 그런 다음, 패드 질화막(22)을 마스크(mask)로 이용하여 노출된 패드 산화막(21) 및 기판(20)을 일정 깊이 식각하여 트렌치(23)를 형성한다.

이어서, 도 5b에 도시된 바와 같이, 패드 질화막(22)을 마스크(Mask)로 이용한 채널 스탑(Channel Stop) 이온주입공정(24)을 실시하여 트렌치(23, 도 5a 참조)로 인해 노출된 기판(20)의 계면을 따라 채널 스탑층(25)을 형성한다. 예컨대, 채널 스탑층(25)은 기판(20)과 동일한 P형 불순물 이온, 예컨대 보론(B) 이온을 주입하여 형성한다.

여기서, 채널 스탑 이온주입공정(24)은 이웃하는 단위 화소 간 격리(Isolation)를 강화하기 위하여 실시하는 것으로, 채널 스탑층(25)은 포토 다이오드의 캐패시턴스(Capacitance)를 증가시키는 역할을 하기도 한다. 이와 같이 채널 스탑층(25)이 포토 다이오드의 캐패시턴스를 증가시킬 수 있는 이유는 다음과 같다.

이는, 채널 스탑층(25)이 후속공정을 통해 형성될 P<sup>0</sup> 확산영역 및 기판(20)과 동일한 도전형으로 도핑되어 P<sup>0</sup> 확산영역에 역바이어스 전압이 인가되는 경우 채널 스탑층(25)을 통해 기판(20)에도 동일한 전압이 인가되게 된다. 따라서, 포토 다이오드의 공핍층(Depletion Layer)이 증가하여 포토 다이오드의 캐패시턴스를 증가시키게 되는 것이다.

특히, 채널 스탑 이온주입공정(24)은 트렌치(23, 도 5a 참조)로 인해 노출된 기판(20)의 계면에 얇게, 즉 액티브 영역 방향으로 불순물 이온이 적게 주입되도록 도핑되도록 틸트(Tilt) 이온주입 방식을 적용하여 실시한다. 이를 통해, 포토 다이오드의 면적을 감소시키는 것을 방지하여 이미지 센서의 감광도(Sensitivity)를 증가시킬 수 있다.

이어서, 도 5c에 도시된 바와 같이, 트렌치(23, 도 5a 참조)가 매립되도록 HDP(High Density Plasma) 산화막을 CMP(Cheical Mechanical Polishing) 공정을 실시하여 HDP 산화막을 평탄화한다.

이어서, 습식식각공정을 실시하여 패드 질화막(22, 도 5b 참조) 및 패드 산화막(21, 도 5b 참조)을 제거한다. 이로써, 트렌치(23) 내에 고립되는 소자분리막(27)이 형성된다.

이어서, 도 5d에 도시된 바와 같이, 소자분리막(27)을 포함한 기판(20) 상에 하드마스크(Hard mask)로 산화막(28)과 질화막(29)을 순차적으로 증착한다.

이어서, 질화막(29) 상에 포토레지스트(미도시)를 도포한 후, 포토 마스크(미도시)를 이용한 노광 및 현상공정을 실시하여 포토레지스트 패턴(30)을 형성한다.



이어서, 포토레지스트 패턴(30)을 마스크로 이용한 식각공정을 실시하여 하드마스크인 질화막(29)과 산화막(28)을 순차적으로 식각하여 하드마스크 패턴을 형성한다.

이어서, 도 5e에 도시된 바와 같이, 스트립 공정을 실시하여 포토레지스트 패턴(30, 도 5d 참조)을 제거한다.

그런 다음, 공지된 LOCOS(LOCAl Oxidation of Silicon) 기술을 적용하여 하드 마스크 패턴, 즉 질화막(29)과 산화막(28)으로 인해 노출된 기판(20) 표면에 LOCOS형 필드 산화막과 동일한 형태의 희생 산화막(32)을 형성한다. 여기서, 희생 산화막(32)은 후속공정을 통해 형성될  $P^0$  확산영역의 경사면을 확보하기 위해 형성되는 것이다.

이때, 희생 산화막(32)의 버즈빅(Bird's beak)을 제어하기 위하여 질화막(29)의 두께를 적절히 제어한다.

이어서, 도 5f에 도시된 바와 같이, 습식식각공정을 실시하여 질화막(29, 도 5e 참조)을 제거한다. 예컨대, 인산( $H_3PO_4$ )을 이용한 습식식각공정을 실시하여 질화막(29)을 제거한다.

이어서, 기판(20) 표면으로부터 발생하는 암전류를 방지하기 위해 잔류하는 산화막(28) 및 희생 산화막(32)을 마스크로 이용한 저농도의  $P^0$  이온주입공정(33)을 실시하여 기판(20) 내에 저농도의  $P^0$  확산영역(35)을 형성한다. 이때,  $P^0$  확산영역(35)은 채널 스탭층(25)을 통해 기판(20)과 전기적으로 연결되도록 채널 스탭층(25)과 중첩시켜 형성한다.

특히, 이러한  $P^0$  이온주입공정(33)시에는 희생 산화막(32)이 기울기를 갖는 부위에 대응되어 저농도의 P형 도펀트가 기판(20) 내에 주입된다. 따라서, 희생 산화막(32)이 경사면을 갖는 부분까지  $P^0$  확산영역(35)이 확장되어 형성된다.

이어서, 도 5g에 도시된 바와 같이, 희생 산화막(32)을 포함한 산화막(28) 상에 포토레지스트(미도시)을 도포한 후, 포토마스크(미도시)를 이용한 노광 및 현상공정을 실시하여 포토레지스트 패턴(36)을 형성한다. 여기서, 포토레지스트 패턴(36)은 포토 다이오드가 형성될 영역을 정의하기 위한 것으로 희생 산화막(32)과 소자분리막(27) 사이의 영역이 오픈된 구조로 형성한다.

이어서, 포토레지스트 패턴(36)을 마스크로 이용한  $N^-$  이온주입공정(37)을 실시하여 포토 다이오드용  $N^-$  확산영역(39)을 형성한다. 이때,  $N^-$  이온주입공정(37)은 주입되는 N형 불순물의 도핑 농도를 낮게 하여 빛에 의해 발생하는 전자정공쌍이 많아지도록 한다. 이를 통해, 포토 다이오드의 공핍층을 증가시킬 수 있다.

예컨대,  $N^-$  이온주입공정(37)은 5족 물질인 인(P) 또는 비소(As) 이온을 주입한다.

이어서, 도 5h에 도시된 바와 같이, 스트립 공정을 실시하여 포토레지스트 패턴(36, 도 5g 참조)을 제거한다. 그런 다음, 드라이브인(Drive-in) 공정을 실시하여  $N^-$  확산영역(39a)을 확산시킨다.

이어서, 도 5i에 도시된 바와 같이, 여러번의 이온주입공정을 통해 결함이 발생된 산화막(28, 도 5h 참조)과 희생 산화막(32, 도 5h 참조)을 제거한 후, 희생 산화막(32)의 제거로 인해 경사면을 갖는 전체 구조 상부의 단차를 따라 게이트 산화막(40)을 형성한다.

이어서, 게이트 산화막(40)을 이용하여 트랜지스터의 문턱전압 조절을 위한 문턱전압 이온주입공정(41)을 실시한다.

이어서, 도 5j에 도시된 바와 같이, 게이트 산화막(40) 상에 게이트 도전막으로 폴리 실리콘막(미도시)을 증착한다. 이때, 폴리 실리콘막은 도프트(Doped) 또는 언도프트(Undoped) 실리콘막을 증착한다. 예컨대, 언도프트 실리콘막의 경우에는  $SiH_4$ 를 이용하여 LPCVD(Low Pressure Chemical Vapor Deposition) 방식으로 증착한다. 한편, 도프트 실리콘막의 경우에는  $SiH_4$ 에  $PH_3$ ,  $PCl_5$ ,  $BCl_3$  또는  $B_2H_6$ 를 혼합시킨 기체를 이용하여 LPCVD 방식으로 증착한다.

이어서, 폴리 실리콘막 상에 소정의 포토레지스트 패턴(42)을 형성한다. 여기서, 포토레지스트 패턴(42)은 게이트 전극을 정의하기 위한 것으로  $P^0$  확산영역(35)의 경사부와 중첩되도록 형성한다.

이어서, 포토레지스트 패턴(42)을 마스크로 이용한 식각공정을 실시하여 폴리 실리콘막을 식각한다. 이로써, 게이트 산화막(40) 상에 복수의 트랜지스터용 게이트 전극이 형성된다. 예컨대,  $N^-$  확산영역(39a)의 일측에 정렬되도록 형성된 트랜스퍼 트랜지스터의 게이트 전극(41a)과 이와 일정 거리 이격되어 형성된 리셋 트랜지스터의 게이트 전극(41b)이 형성된다. 이외에도 드라이브 트랜지스터 및 셀렉트 트랜지스터의 게이트 전극(미도시)이 동시에 형성된다.

이어서, 도 5k에 도시된 바와 같이, 포토레지스트 패턴(42)을 마스크로 이용한 고농도의  $P^0$  이온주입공정(44)을 실시하여  $P^0$  확산영역(35) 내에 고농도의 P형 불순물 이온(점선표시)을 주입한다. 따라서,  $P^0$  확산영역(35)은 트랜스퍼 트랜지스터의 게이트 전극(41a)과 대응되는 영역에서보다 트랜스퍼 트랜지스터의 게이트 전극(41a)의 일측으로 노출된 영역에서 더 높은 도핑 농도를 갖는다.

이때, 도면에 도시하진 않았지만 후속 열처리 공정시 고농도의 P형 불순물 이온은  $P^0$  확산영역(35)의 경사부에도 쉽게 확산될 수 있다.

여기서, 고농도의  $P^0$  이온주입공정(44)은 게이트 전극 형성을 위해 형성된 포토레지스트 패턴(42)을 사용하지 않고 별도의 포토레지스트 패턴(미도시)을 형성하여 진행할 수도 있다.

이어서, 도 5l에 도시된 바와 같이, 스트립공정을 실시하여 포토레지스트 패턴(42, 도 5k 참조)을 제거한 후, 별도의 포토레지스트 패턴(46)을 형성한다. 여기서, 포토레지스트 패턴(46)은 트랜지스터의 소오스/드레인을 구성하는 LDD 영역을 정의하기 위한 것으로 포토 다이오드가 형성된 영역을 덮는 구조로 형성한다.

이어서, 포토레지스트 패턴(46)을 마스크로 이용한 LDD 이온주입공정(47)을 실시하여 복수의 트랜지스터용 게이트 전극으로 인해 노출된 기판(20) 내에 LDD 영역(48)을 형성한다. 예컨대, 트랜스퍼 트랜지스터의 게이트 전극(41a) 및 리셋 트랜지스터의 게이트 전극(41b)의 양측으로 노출된 기판(20) 내에 LDD 영역(48)을 형성한다.

이어서, 도 5m에 도시된 바와 같이, 스트립 공정을 실시하여 포토레지스트 패턴(46, 도 5l 참조)을 제거한 후, 복수의 트랜지스터용 게이트 전극의 양측벽에 스페이서(50)를 형성한다. 예컨대 트랜스퍼 트랜지스터의 게이트 전극(41a) 및 리셋 트랜지스터의 게이트 전극(41b)을 포함한 전체 구조 상부의 단차를 따라 스페이서용 절연막을 증착한 후, 이를 건식식각하여 스페이서(50)를 형성한다.

이어서, 별도의 포토레지스트 패턴(51)을 형성한다. 여기서, 포토레지스트 패턴(51)은 트랜지스터의 소오스/드레인 영역을 정의하기 위한 것으로 포토 다이오드가 형성된 영역을 덮는 구조로 형성한다.

이어서, 포토레지스트 패턴(51) 및 스페이서(50)를 마스크로 이용한 소오스/드레인 이온주입공정(52)을 실시하여 스페이서(50)로 인해 노출된 LDD 영역(48)을 관통하여 기판(20) 내에 소오스/드레인 영역(53a, 53b)을 형성한다. 이때, 트랜스퍼 트랜지스터의 게이트 전극(41a)과 리셋 트랜지스터의 게이트 전극(41b) 사이 영역에 형성된 소오스/드레인 영역(53a)은 플로팅 확산영역이라 한다.

이어서, 도 5n에 도시된 바와 같이, 스트립 공정을 실시하여 포토레지스트 패턴(51, 도 5m 참조)을 제거한다.

이후에는, 공지된 기술에 따라 콘택 및 배선공정을 실시한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

## 발명의 효과

이상에서 설명한 바와 같이, 본 발명에 의하면, 결국, P<sup>0</sup> 확산영역을 트랜스퍼 트랜지스터의 게이트 전극과 중첩되는 영역에서 일정 경사면을 갖고 N<sup>-</sup> 확산영역의 일측부를 감싸도록 형성함으로써, 스페이서와 중첩되는 영역의 P<sup>0</sup> 확산영역을 통해 N<sup>-</sup> 확산영역으로 유입된 암전류가 채널 영역으로 흐르는 것을 확실히 차단할 수 있다. 이를 통해, 이미지 센서의 노이즈를 제거하여 신뢰성을 향상시킬 수 있다.

### 도면의 간단한 설명

도 1은 일반적인 CMOS 이미지 센서의 단위 화소를 도시한 회로도.

도 2는 일반적인 CMOS 이미지 센서의 단위 화소를 도시한 평면도.

도 3은 도 2에 도시된 I-I' 절취선을 따라 도시한 단면도.

도 4는 본 발명의 실시예에 따른 CMOS 이미지 센서의 단위 화소 일부를 도시한 단면도.

도 5a 내지 도 5n은 도 4에 도시된 본 발명의 실시예에 따른 CMOS 이미지 센서 제조방법을 설명하기 위하여 도시한 공정 단면도.

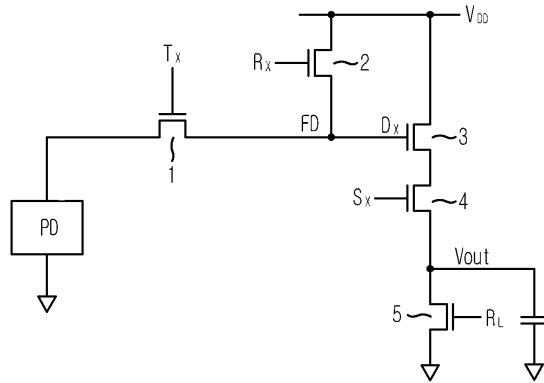
<도면의 주요부분에 대한 부호의 설명>

- 13 : 포토 다이오드 1 : 트랜스퍼 트랜지스터
- 2 : 리셋 트랜지스터 3 : 드라이브 트랜지스터
- 4 : 셀렉트 트랜지스터 A : 액티브 영역
- 20 : 기판 21 : 패드 산화막
- 22 : 패드 질화막 23 : 트렌치
- 24 : 채널 스택 이온주입공정 25 : 채널 스택층
- 27 : 소자분리막 28 : 산화막
- 29 : 질화막 30, 36, 42, 46, 51 : 포토레지스트 패턴
- 32 : 희생 산화막 33, 44 : P<sup>0</sup> 이온주입공정
- 35 : P<sup>0</sup> 확산영역 37 : 포토 다이오드 이온주입공정
- 39, 39a : N<sup>-</sup> 확산영역 40 : 게이트 산화막
- 41 : 문턱전압 이온주입공정
- 41a : 트랜스퍼 트랜지스터의 게이트 전극
- 41b : 리셋 트랜지스터의 게이트 전극
- 47 : LDD 이온주입공정 48 : LDD 영역
- 50 : 스페이서 52 : 소오스/드레인 이온주입공정

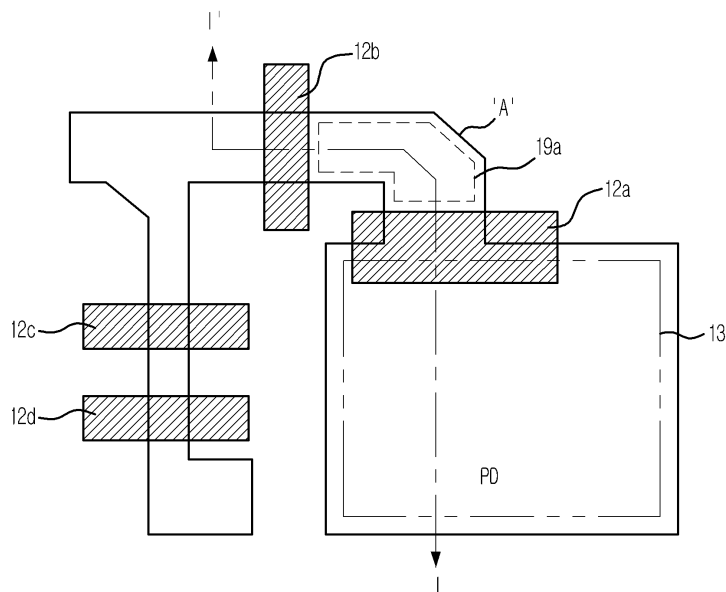
53a : 플로팅 확산영역 53b : 소오스/드레인 영역

도면

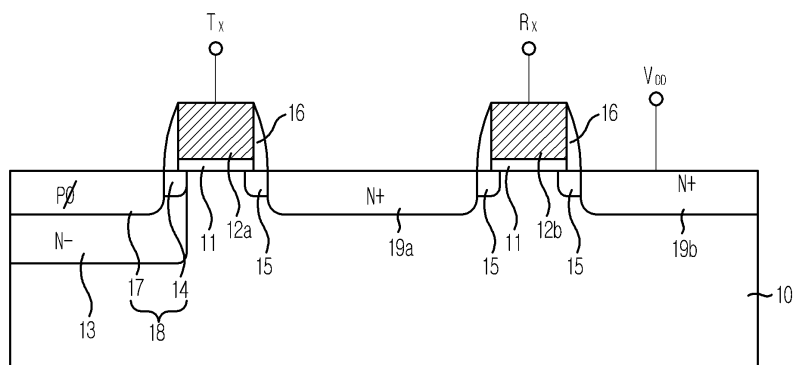
도면1



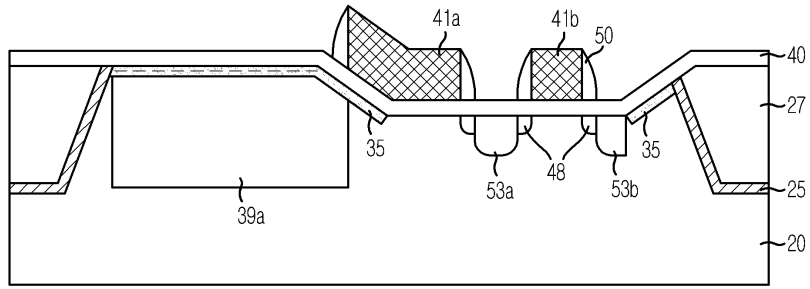
도면2



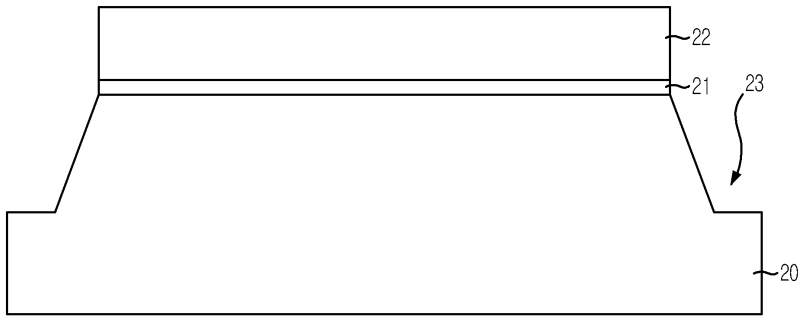
도면3



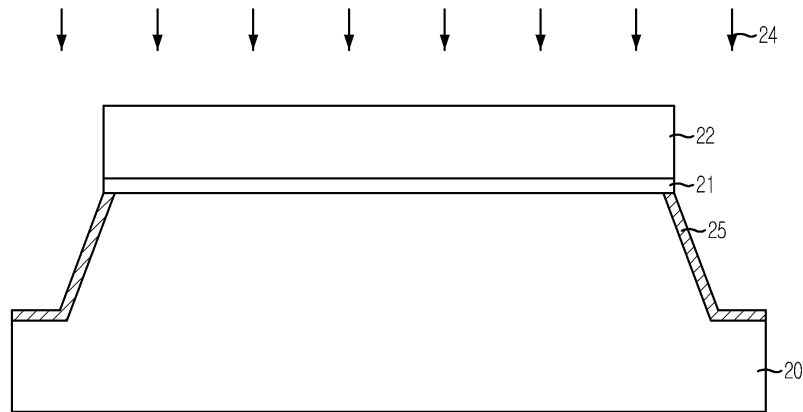
도면4



도면5a



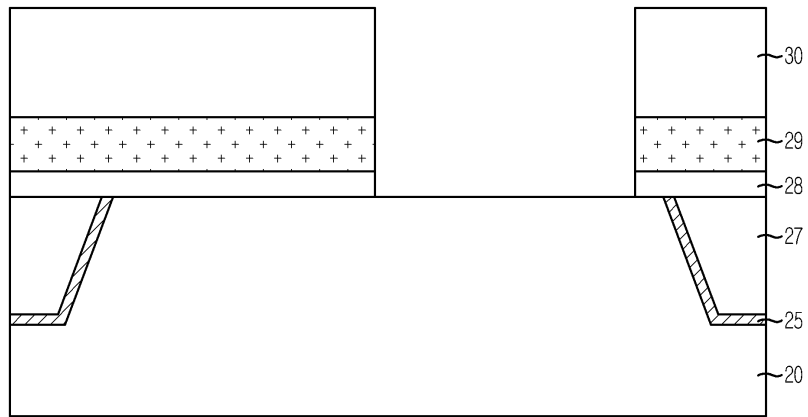
도면5b



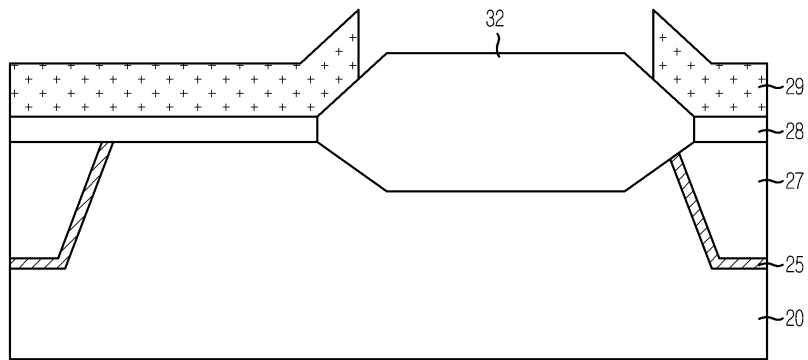
도면5c



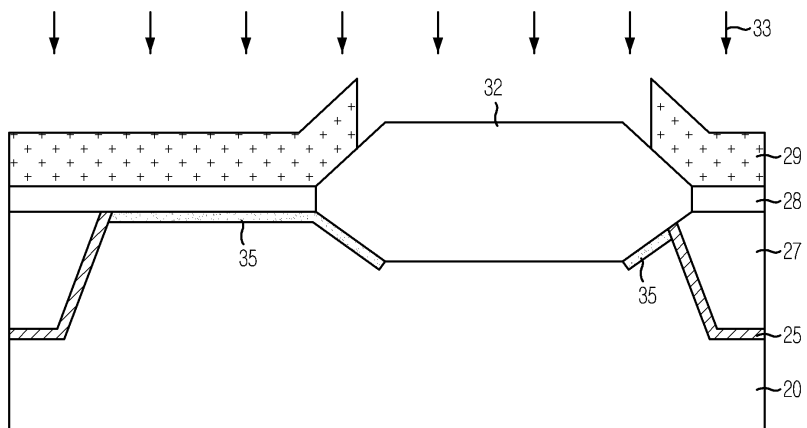
도면5d



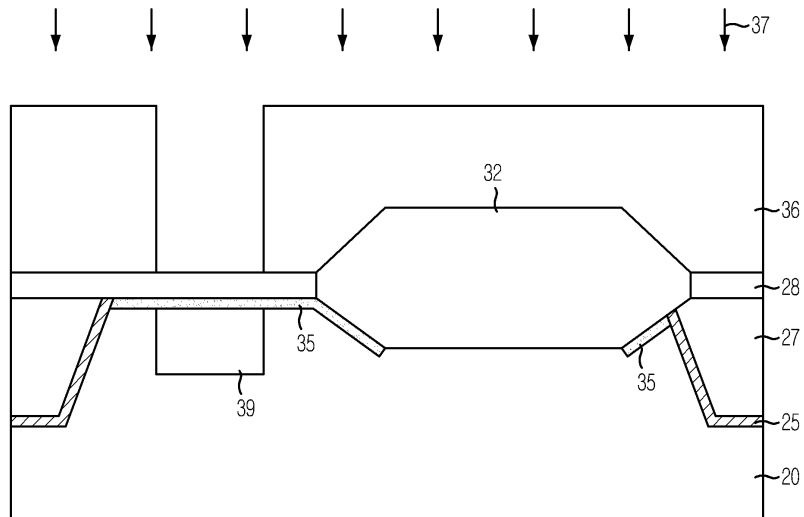
도면5e



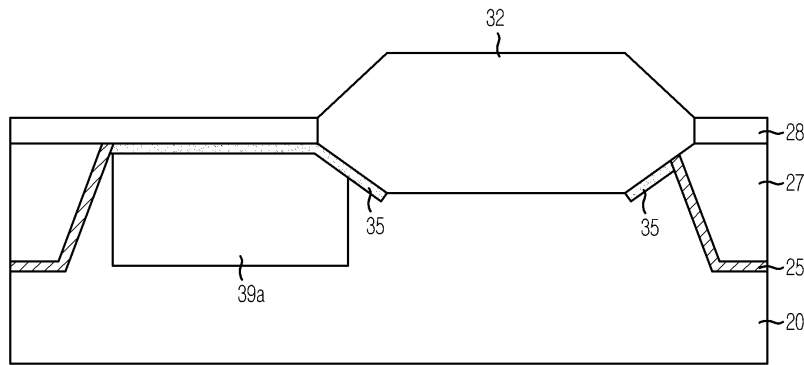
도면5f



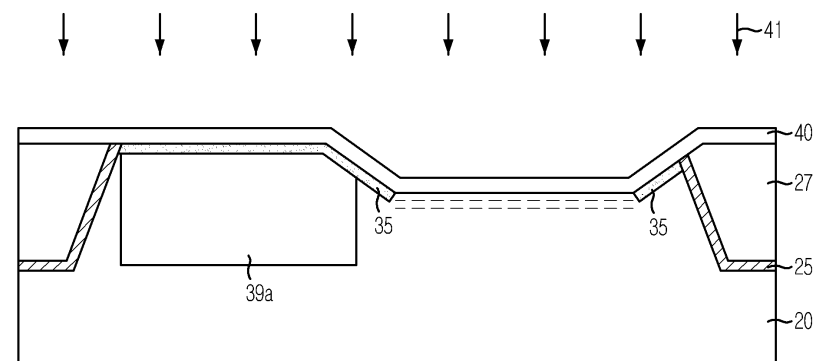
도면5g



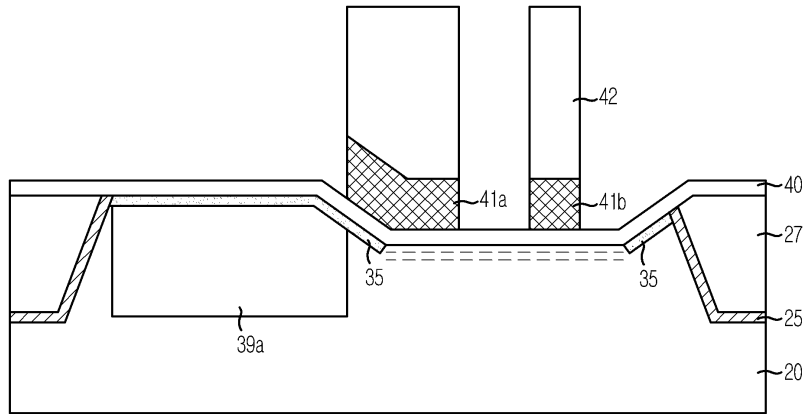
도면5h



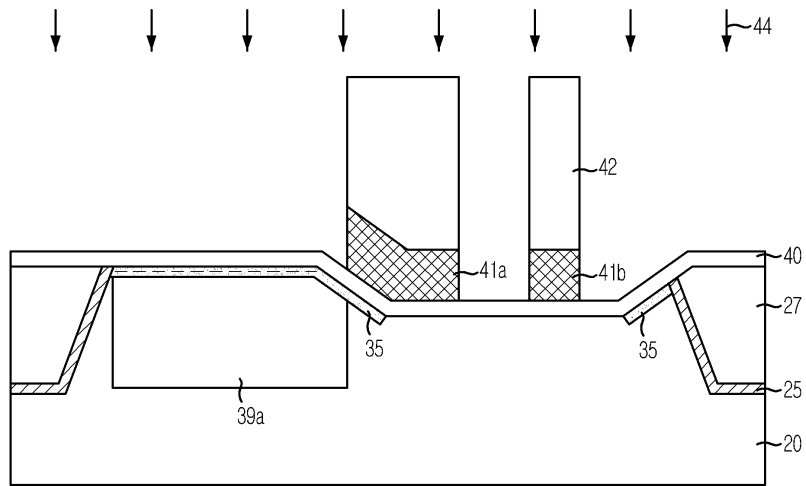
도면5i



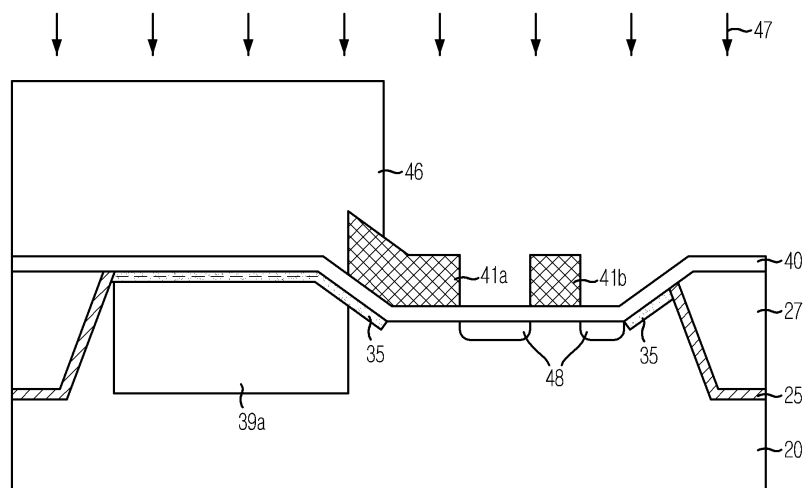
도면5j



도면5k

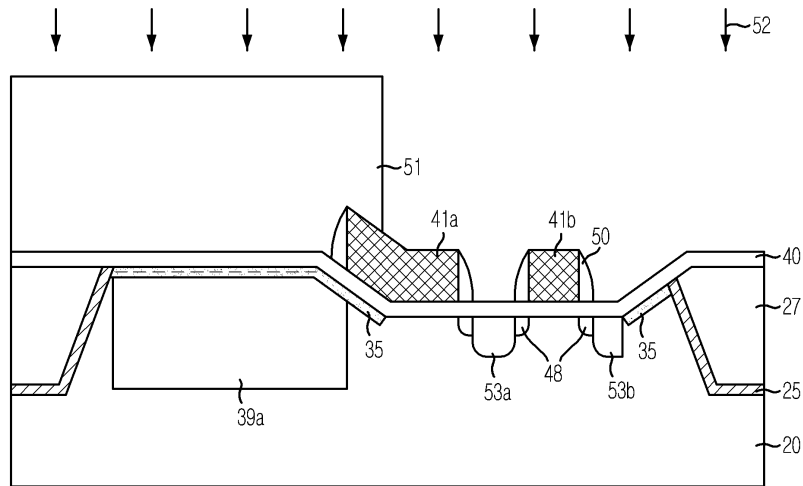


도면5l





도면5m



도면5n

