



(12)发明专利申请

(10)申请公布号 CN 111193395 A

(43)申请公布日 2020.05.22

(21)申请号 201911115077.2

(22)申请日 2019.11.14

(30)优先权数据

16/190,794 2018.11.14 US

16/378,529 2019.04.08 US

(71)申请人 纳维达斯半导体公司

地址 美国加利福尼亚州

(72)发明人 T·普尔巴里奇 D·M·金策

(74)专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 沈锦华

(51)Int.Cl.

H02M 3/158(2006.01)

H02M 1/08(2006.01)

H02M 1/088(2006.01)

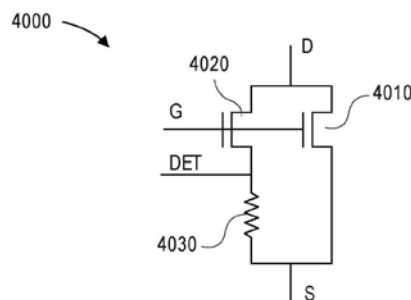
权利要求书3页 说明书31页 附图42页

(54)发明名称

基于零电流检测的谐振转换器控制

(57)摘要

本申请案是针对基于零电流检测的谐振转换器控制。揭示一种GaN谐振电路。所述GaN谐振电路包含功率开关,所述功率开关经配置以根据一或多个栅极信号选择性地传导,且经配置以产生指示流过所述功率开关的电流的值的开关信号。所述GaN谐振电路还包含经配置以响应于一或多个控制信号而产生所述栅极信号的功率开关驱动器,其中所述功率开关驱动器经配置以响应于所述开关信号指示流过所述功率开关的电流的值已转变越过阈值而使所述功率开关变为不传导。



1. 一种谐振电路,其包括:

功率开关,其经配置以根据一或多个栅极信号且根据流过所述功率开关的电流的值是否越过阈值而选择性地传导,其中所述功率开关包括:

第一开关,其具有第一栅极、第一漏极和第一源极;以及

第二开关,其具有第二栅极、第二漏极和第二源极,

其中所述第一和第二栅极电连接,

其中所述第一和第二漏极电连接,且

其中所述第一开关传导比所述第二开关多的电流,且所述第二开关经配置以产生指示流过所述功率开关的电流的开关信号。

2. 根据权利要求1所述的谐振电路,其中所述电流由电压信号指示且所述阈值是接地电压。

3. 根据权利要求1所述的谐振电路,其中所述电流由电压信号指示且所述阈值是非零电压。

4. 根据权利要求1所述的谐振电路,其中所述功率开关进一步包括连接于所述第一和第二源极之间的电阻器,且其中所述电阻器经配置以与所述第二开关协作地产生所述开关信号。

5. 根据权利要求4所述的谐振电路,其中所述功率开关经配置以在所述电阻器与所述第二源极之间的连接处产生所述开关信号。

6. 根据权利要求1所述的谐振电路,其中所述功率开关进一步包括比较器电路,所述比较器电路经配置以基于所述第二开关的电流是否大于所述阈值而与所述第二开关协作地产生所述开关信号。

7. 根据权利要求1所述的谐振电路,其进一步包括功率开关驱动器,其中所述功率开关驱动器经配置以在所述功率开关已变为传导之后响应于所述开关信号指示流过所述功率开关的所述电流的值已经历从小于所述阈值的值到大于所述阈值的值或从大于所述阈值的值到小于所述阈值的值的第一转变而使所述功率开关变为不传导。

8. 根据权利要求1所述的谐振电路,其中所述谐振电路包括降压式转换器。

9. 根据权利要求1所述的谐振电路,其中所述谐振电路包括升压式转换器。

10. 根据权利要求1所述的谐振电路,其进一步包括功率开关驱动器,其中所述功率开关驱动器经配置以响应于锁存器的输出具有响应所述开关信号的输出状态而控制所述功率开关的传导状态。

11. 一种操作谐振电路的方法,其包括:

提供一或多个栅极信号以使功率开关变为选择性地传导;以及

以功率开关驱动器响应于开关信号指示流过所述功率开关的电流的值已转变越过阈值而使所述功率开关变为不传导,其中所述功率开关包括:

第一开关,其具有第一栅极、第一漏极和第一源极;以及

第二开关,其具有第二栅极、第二漏极和第二源极,

其中所述第一和第二栅极电连接,

其中所述第一和第二漏极电连接,且

其中所述第一开关传导比所述第二开关多的电流,且所述第二开关经配置以产生所述

开关信号。

12. 根据权利要求11所述的方法,其中所述电流是以电压信号来指示且阈值是接地电压。

13. 根据权利要求11所述的方法,其中所述电流是以电压信号来指示且其中所述阈值是非零电压。

14. 根据权利要求11所述的方法,其中所述功率开关进一步包括连接于所述第一和第二源极之间的电阻器,且其中所述电阻器经配置以与所述第二开关协作地产生所述开关信号。

15. 根据权利要求11所述的方法,其进一步包括以所述功率开关驱动器在所述功率开关已变为传导之后响应于所述开关信号指示流过所述功率开关的所述电流的值已经历从小于所述阈值的值到大于所述阈值的值或从大于所述阈值的值到小于所述阈值的值的第一转变而使所述功率开关变为不传导。

16. 根据权利要求11所述的方法,其中所述谐振电路包括降压式转换器。

17. 根据权利要求11所述的方法,其中所述谐振电路包括升压式转换器。

18. 根据权利要求11所述的方法,其进一步包括以所述功率开关驱动器响应于锁存器的输出具有响应所述开关信号的输出状态而产生所述栅极信号。

19. 一种谐振电路,其包括:

功率开关,所述功率开关包括:

第一和第二端子,以及

第一和第二并联电流路径,所述第一和第二电流路径中的每一者终止于所述第一和第二端子中的每一者处,其中所述第一和第二电流路径经配置以根据栅极信号选择性地传导,其中所述第二电流路径经配置以产生指示流过所述功率开关的电流的值的开关信号,且其中所述第一电流路径大体上不产生所述开关信号;以及

功率开关驱动器,其经配置以响应于一或多个控制信号产生所述栅极信号,其中所述功率开关驱动器经配置以响应于所述开关信号指示流过所述功率开关的电流的值大于阈值而使所述功率开关变为不传导。

20. 根据权利要求19所述的谐振电路,其中所述功率开关进一步包括比较器电路,所述比较器电路经配置以基于所述第二电流路径的电流是否大于所述阈值而产生所述开关信号。

21. 根据权利要求19所述的谐振电路,其中所述功率开关驱动器经配置以在所述功率开关已变为传导之后响应于所述开关信号指示流过所述功率开关的所述电流的值已经历从小于所述阈值的值到大于所述阈值的值或从大于所述阈值的值到小于所述阈值的值的第一转变而使所述功率开关变为不传导。

22. 根据权利要求19所述的谐振电路,其中所述功率开关驱动器经配置以响应于锁存器的输出具有响应所述开关信号和所述控制信号的输出状态而产生所述栅极信号。

23. 一种操作谐振电路的方法,其包括:

提供栅极信号以根据所述栅极信号使功率开关变为传导,其中所述功率开关包括第一和第二端子,且其中所述功率开关包括第一和第二并联电流路径,所述第一和第二电流路径中的每一者终止于所述第一和第二端子中的每一者处;

以所述功率开关的所述第二电流路径产生指示流过所述功率开关的电流的值的开关信号,且其中所述第一电流路径大体上不产生所述开关信号;

以功率开关驱动器响应于一或多个控制信号而产生所述栅极信号;以及

以所述功率开关驱动器响应于所述开关信号指示流过所述功率开关的所述电流的值大于阈值而使所述功率开关变为不传导。

24. 根据权利要求23所述的方法,其中所述功率开关进一步包括比较器电路,且其中所述方法进一步包括以所述比较器电路基于所述第二电流路径的电流是否大于所述阈值而产生所述开关信号。

25. 根据权利要求23所述的方法,其进一步包括以所述功率开关驱动器在所述功率开关已变为传导之后响应于所述开关信号指示流过所述功率开关的所述电流的值已经历从小于所述阈值的值到大于所述阈值的值或从大于所述阈值的值到小于所述阈值的值的第一转变而使所述功率开关变为不传导。

26. 根据权利要求23所述的方法,其进一步包括以所述功率开关驱动器响应于锁存器的输出具有响应所述开关信号和所述控制信号的输出状态而产生所述栅极信号。

基于零电流检测的谐振转换器控制

[0001] 交叉相关申请参考

[0002] 本专利申请案要求2018年11月14日提交的标题为“基于零电流检测的谐振转换器控制 (RESONANT CONVERTER CONTROL BASED ON ZERO CURRENT DETECTION)”的第16/190,794号美国专利申请案以及还有2019年4月8日提交的第16/378,529号美国专利申请案的优先权。每一前述公开案的内容的全文特此以引用的方式并入。

技术领域

[0003] 本发明大体上涉及功率转换电路,且特定来说涉及利用一或多个基于GaN的半导体装置的功率转换电路。

背景技术

[0004] 例如计算机、服务器和电视等等电子装置使用一或多个电能转换电路以将一种形式的电能转换成另一种形式的电能。一些电能转换电路使用称为半桥转换器的电路拓扑来将高DC电压转换成更低DC电压。因为许多电子装置对功率转换电路的大小和效率敏感,所以可能需要新型半桥转换器电路和组件来满足新型电子装置的需要。

发明内容

[0005] 一个发明性方面是一种GaN谐振电路。所述GaN谐振电路包含功率开关,所述功率开关经配置以根据一或多个栅极信号选择性地传导,且经配置以产生指示流过功率开关中的电流的值的开关信号。所述GaN谐振电路还包含经配置以响应于一或多个控制信号而产生栅极信号的功率开关驱动器,其中所述功率开关驱动器经配置以响应于所述开关信号指示流过功率开关的电流的值已转变越过阈值而使功率开关变为不传导。

[0006] 另一发明性方面是一种操作GaN谐振电路的方法。所述方法包含提供一或多个栅极信号以使功率开关变为选择性地传导。所述方法还包含以所述功率开关产生指示流过所述功率开关的电流的值的开关信号。所述方法还包含以功率开关驱动器响应于一或多个控制信号而产生栅极信号。所述方法还包含以功率开关驱动器响应于开关信号指示流过功率开关的电流的值已转变跨越阈值而使功率开关变为不传导。

附图说明

[0007] 图1是根据本发明的实施例的半桥式功率转换电路的简化示意图;

[0008] 图2是图1中所说明的低侧控制电路内的电路的简化示意图;

[0009] 图3是图1中所说明的第一电平移位晶体管的示意图;

[0010] 图4是图1中所说明的电平移位驱动电路的示意图;

[0011] 图5是图1中所说明的消隐脉冲产生器电路的示意图;

[0012] 图6是图5中说明的消隐脉冲产生器内的波形的实例;

[0013] 图7是图1中所说明的自举晶体管驱动电路的示意图;

- [0014] 图8是图1中所说明的低侧晶体管驱动电路的框图
- [0015] 图9是图1中所说明的启动电路的示意图；
- [0016] 图10是可用作图9的示意图中的二极管箝位器的一系列二极管连接式基于GaN的增强型晶体管；
- [0017] 图11是图1中所说明的UVLO电路的示意图；
- [0018] 图12是图1中所说明的自举电容器充电电路的示意图；
- [0019] 图13是相比于图12中所说明的电路的替代自举电容器充电电路的示意图；
- [0020] 图14是图1中所说明的高侧逻辑和控制电路的示意图；
- [0021] 图15是图14中所说明的第一电平移位接收器电路的示意图；
- [0022] 图16是图14中所说明的第二电平移位接收器电路的示意图；
- [0023] 图17是图14中说明的上拉触发电路的示意图；
- [0024] 图18是图14中所说明的高侧UVLO电路的示意图；
- [0025] 图19是图14中所说明的高侧晶体管驱动器电路的示意图；
- [0026] 图20是图14中说明的高侧参考电压产生电路的示意图；
- [0027] 图21是根据本发明的另一实施例的半桥式功率转换电路的简化示意图；
- [0028] 图22是图21中所说明的低侧控制电路内的电路的简化示意图；
- [0029] 图23是图22中所说明的第一电平移位晶体管的示意图；
- [0030] 图24是图22中所说明的反相器/缓冲器电路的示意图；
- [0031] 图25是图22中所说明的接通脉冲产生器电路的示意图；
- [0032] 图26是图22中所说明的关断脉冲产生器电路的示意图；
- [0033] 图27是图22中所说明的消隐脉冲产生器电路的示意图；
- [0034] 图28是图22中所说明的低侧晶体管驱动电路的示意图；
- [0035] 图29是图21中所说明的高侧控制电路内的电路的简化示意图；
- [0036] 图30是图29中所说明的电平移位1接收器电路的示意图；
- [0037] 图31是图29中所说明的电平移位2接收器电路的示意图；
- [0038] 图32是图29中所说明的高侧UVLO电路的示意图；
- [0039] 图33是图29中所说明的高侧晶体管驱动器电路的示意图；
- [0040] 图34是根据本发明的实施例的静电放电 (ESD) 箝位电路的示意图；
- [0041] 图35是根据本发明的实施例的静电放电 (ESD) 箝位电路的示意图；
- [0042] 图36是根据本发明的实施例的电子封装的一部分的图示；
- [0043] 图37是图36的电子封装的图示；
- [0044] 图38是根据本发明的实施例的半桥式功率转换电路的说明。
- [0045] 图39是说明图38的半桥式功率转换电路的操作的波形图。
- [0046] 图40是电流检测FET的示意性说明。
- [0047] 图41是电流检测FET的实施例的布局图。
- [0048] 图42是驱动器电路的示意图。
- [0049] 图43说明表示图42的驱动器电路的操作的波形图。
- [0050] 图44是降压半桥式功率转换电路的说明。
- [0051] 图45是说明图44的半桥式功率转换电路的操作的波形图。

- [0052] 图46是可在开关转换器中使用的电路的示意性说明；
[0053] 图47说明表示图46的驱动器电路的操作的波形图；
[0054] 图48是可在开关转换器中使用的电路的示意性说明；
[0055] 图49说明表示图48的驱动器电路的操作的波形图。

具体实施方式

[0056] 本发明的某些实施例涉及使用一或多个氮化镓 (GaN) 装置的半桥式功率转换电路。虽然本发明可适用于广泛多种半桥电路,但本发明的一些实施例尤其适用于被设计成在高频率和/或高效率下与集成驱动器电路、集成电平移位电路、集成自举电容器充电电路、集成启动电路和/或使用GaN和硅装置的混合式解决方案一起操作的半桥电路,如下文更详细地描述。

[0057] 半桥电路#1

[0058] 现参考图1,在一些实施例中,电路100可包含受经配置以调节递送给负载的功率的一或多个控制电路控制的一对互补功率晶体管(在本文中也被称为开关)。在一些实施例中,高侧功率晶体管连同控制电路的一部分安置在高侧装置上,且低侧功率晶体管连同控制电路的一部分安置在低侧装置上,如下文更详细地描述。

[0059] 图1中所说明的集成半桥式功率转换电路100包含低侧GaN装置103、高侧GaN装置105、负载107、自举电容器110和其它电路元件,如所说明且在下文更详细地论述。一些实施例还可具有提供到电路100的一或多个输入以调节电路的操作的外部控制器(在图1中未展示)。电路100仅是出于说明性目的,且其它变体和配置处于本发明的范围内。

[0060] 在一个实施例中,低侧GaN装置103可具有包含具有低侧控制栅极117的低侧功率晶体管115的基于GaN的低侧电路104。低侧电路104可进一步包含具有连接到低侧晶体管控制栅极117的输出123的集成低侧晶体管驱动器120。在另一实施例中,高侧GaN装置105可具有包含具有高侧控制栅极127的高侧功率晶体管125的基于GaN的高侧电路106。高侧电路106可进一步包含具有连接到高侧晶体管控制栅极127的输出133的集成高侧晶体管驱动器130。

[0061] 电压源135(也被称为干线电压)可连接到高侧晶体管125的漏极137,且高侧晶体管可用以控制到功率转换电路100中的功率输入。高侧晶体管125可进一步具有耦合到低侧晶体管115的漏极143的源极140,从而形成开关节点145。低侧晶体管115可具有连接到接地的源极147。在一个实施例中,低侧晶体管115和高侧晶体管125可以是基于GaN的增强型场效应晶体管。在其它实施例中,低侧晶体管115和高侧晶体管125可以是任何其它类型的装置,包含但不限于基于GaN的耗尽型晶体管、与硅基增强型场效应晶体管串联连接的基于GaN的耗尽型晶体管、基于碳化硅的晶体管或硅基晶体管,所述耗尽型晶体管的栅极连接到硅基增强型晶体管的源极。

[0062] 在一些实施例中,高侧装置105和低侧装置103可由基于GaN的材料制成。在一个实施例中,基于GaN的材料可包含一层硅上的一层GaN。在其它实施例中,基于GaN的材料可包含但不限于一层碳化硅、蓝宝石或氮化铝上的一层GaN。在一个实施例中,基于GaN的层可包含但不限于例如氮化铝和氮化镓等其它第III族氮化物和例如AlGaN和InGaN等第III族氮化物合金的复合堆叠。在其它实施例中,基于GaN的低侧电路104和基于GaN的高侧电路106

可安置于单块基于GaN的装置上。在其它实施例中,基于GaN的低侧电路104可安置于第一基于GaN的装置上,且基于GaN的高侧电路106可安置于第二基于GaN的装置上。在又另外的实施例中,基于GaN的低侧电路104和基于GaN的高侧电路106可安置在多于两个基于GaN的装置上。在一个实施例中,基于GaN的低侧电路104和基于GaN的高侧电路106可在任何配置中含有任何数目个有源或无源电路元件布置。

[0063] 低侧装置

[0064] 低侧装置103可包含用于低侧装置和高侧装置105的控制和操作的多个电路。在一些实施例中,低侧装置103可包含控制低侧晶体管115和高侧晶体管125的切换连同其它功能的逻辑、控制和电平移位电路(低侧控制电路)150,如下文更详细地论述。低侧装置103还可包含启动电路155、自举电容器充电电路157和屏蔽电容器160,如也在下文更详细地论述。

[0065] 现参考图2,在功能上说明低侧控制电路150内的电路。在下文论述且在一些状况下在图3到14中更详细地展示低侧控制电路150内的每个电路。在一个实施例中,低侧控制电路150的主要功能可以从控制器接收例如PWM信号等一或多个输入信号并控制低侧晶体管115和高侧晶体管125的操作。

[0066] 在一个实施例中,第一电平移位晶体管203和第二电平移位晶体管205分别可用以与高侧高侧逻辑和控制电路153通信(见图1)。在一些实施例中,第一电平移位晶体管203可以是高电压增强型GaN晶体管。在另外的实施例中,第一电平移位晶体管203可类似于低侧晶体管115(见图1)和高侧晶体管125,但其大小可能小得多(例如,第一电平移位晶体管的栅极宽度可为几十微米且具有最小沟道长度)。

[0067] 在其它实施例中,只要高侧晶体管125(见图1)接通,第一电平移位晶体管203就可同时经历高电压和高电流(即,装置可在装置安全工作区的高功率部分处操作)。此类条件可能引起相对高的功率耗散,因此一些实施例可涉及第一电平移位晶体管203的设计中的设计和装置可靠性考量,如下文更详细地论述。在其它实施例中,可与第一电平移位晶体管203的源极210串联地添加第一电平移位电阻器207,以限制栅极213到源极210电压并因此限制穿过第一电平移位晶体管的最大电流。其它方法可用以限制穿过第一电平移位晶体管203的电流,且处于本发明的范围内。第一电平移位晶体管203的漏极215可耦合到高侧逻辑和控制电路153(参见图1),如下文更详细地论述。

[0068] 在一个实施例中,第一电平移位晶体管203可包含反相器电路的一部分,所述部分具有第一输入和第一输出,且经配置以在第一输入端子处接收第一输入逻辑信号并作为响应而在第一输出端子处提供第一反相输出逻辑信号,如下文更详细地论述。在其它实施例中,第一输入和第一反相输出逻辑信号可参考不同电压电位。在一些实施例中,第一电平移位电阻器207可以能够与参考比第一输入逻辑信号的参考电压大13伏的电压的第一反相输出逻辑信号一起操作。在其它实施例中,其能够以能够与参考比第一输入逻辑信号的参考电压高20伏的电压的第一反相输出逻辑信号一起操作,但在其它实施例中所述电压可比第一输入逻辑信号的参考电压高80到400伏之间。

[0069] 在其它实施例中,第一电平移位电阻器207可被任何形式的电流吸收器替换。举例来说,在一个实施例中,第一电平移位晶体管203的源极210可连接到栅极到源极短路耗尽型装置。在另一实施例中,可通过以叠置于场介电层的顶部上的高电压场板金属替换增强

型栅极堆叠来制造耗尽型装置。场介电质的厚度和金属的功函数可用以确定堆叠的夹断电压。

[0070] 在其它实施例中,第一电平移位电阻器207可被电流吸收器替换。电流吸收器可使用可由启动电路155(图1中所说明且在下文更详细地论述)产生的参考电流(I_{ref})。耗尽型晶体管和电流吸收器实施例两者可相比于电阻器实施例产生显著的装置面积减小(即,这是因为相对小的耗尽型晶体管将满足且 I_{ref} 已可从启动电路155获得)。

[0071] 第二电平移位晶体管205可类似于第一电平移位晶体管203而设计(例如,在电压能力、电流处置能力、耐热性等方面)。第二电平移位晶体管205还可内置有有源电流吸收器或电阻器,类似于第一电平移位晶体管203。在一个实施例中,与第二电平移位晶体管205的主要差异可在于其操作。在一些实施例中,第二电平移位晶体管205的主要目的可以是在低侧晶体管115关断时防止错误触发高侧晶体管125(见图1)。

[0072] 在一个实施例中,举例来说,当低侧晶体管115的关断产生流经高侧晶体管125的负载电流,同时在第三象限中操作晶体管,其栅极短路到其源极(即,处于同步整流模式下)时,会在升压操作中发生错误触发。此条件可在开关节点(V_{sw})145处引入 dv/dt 条件,这是因为开关节点在低侧晶体管115接通时处于接近接地的电压下且接着在相对较短的时间段内转变成干线电压135。所得寄生 $C \cdot dv/dt$ 电流(即,其中 C =第一电平移位晶体管203的 C_{oss} 加任何其它对地电容)可致使第一电平移位节点305(见图3)变得拉低,这将接着接通高侧晶体管125。在一些实施例中,此条件可能不是合乎需要的,这是因为可能不存在停滞时间控制,且可从同时处于导电状态下的高侧晶体管125和低侧晶体管115发生击穿。

[0073] 图3说明展示第一电平移位晶体管203可如何电耦合到高侧装置105的一个实施例。说明了位于低侧装置103上的第一电平移位晶体管203,连同可位于高侧装置105(参见图1)上的上拉电阻器303。在一些实施例中,第一电平移位晶体管203可操作为电阻器上拉反相器中的下拉晶体管。

[0074] 在其它实施例中,当电平移位驱动器电路217(见图2)向第一电平移位晶体管203供应高栅极信号($L1_DR$)时,第一电平移位节点305变得拉低,这将由高侧高侧逻辑和控制电路153(见图1)反相。反相信号呈现为接通高侧晶体管137(参见图1)的高状态信号,其接着将开关节点(V_{sw})145处的电压拉到接近干线电压135。

[0075] 相反地,当电平移位驱动器电路217(见图2)向第一电平移位晶体管203供应低栅极信号时,第一电平移位节点305变得拉动到高逻辑状态,这由高侧高侧逻辑和控制电路153(见图1)反相。反相信号表现为断开高侧晶体管125的低逻辑状态信号。此方案可导致到高侧晶体管125的非反相栅极信号。在另外的实施例中,第一电平移位晶体管203可经设计为足够大而能够在第一电平移位节点305上下拉,但不会大到使其漏极到源极和漏极到衬底(即,半导体衬底)电容引发高侧逻辑和控制电路153的错误触发。

[0076] 在一些实施例中,上拉电阻器303可替代地是增强型晶体管、耗尽型晶体管或参考电流源元件。在另外的实施例中,上拉电阻器303可耦合于以不同于接地的电压轨为参考的浮动供应器(例如,在下文更详细地论述的自举电容器)的漏极与正端子之间。在又其它实施例中,在第一输出端子(LS_NODE)305与开关节点(V_{sw})145(见图1)之间的可存在第一电容,且在第一输出端子与接地之间可存在第二电容,其中第一电容大于第二电容。第一电容可设计成使得响应于开关节点(V_{sw})145(见图1)处的高 dv/dt 信号,允许 $C \cdot dv/dt$ 电流的大

部分传导穿过第一电容,以确保第一输出端子305处的电压跟踪开关节点(V_{sw})处的电压。在一些实施例中,屏蔽电容器160(参见图1)可被设计成充当如上文所描述的第一电容器。在其它实施例中,屏蔽电容器160(见图1)可用以在半桥式功率转换电路100中在第一输出端子305与开关节点(V_{sw})145(见图1)之间的产生电容。在又其它实施例中,屏蔽电容器160(见图1)还可用以最小化第一输出端子305与衬底(即,半导体衬底)之间的电容。更具体地说,在一些实施例中,可通过将导电屏蔽层添加到装置并将层耦合到开关节点(V_{sw})145来产生屏蔽电容器160。此结构可有效地产生两个电容器。一个电容器耦合于输出端子305与开关节点(V_{sw})145之间,且另一电容器耦合于开关节点与衬底之间。由此实际上消除输出端子305与衬底之间的电容。在其它实施例中,屏蔽电容器160(见图1)可建构于低侧芯片103上。

[0077] 逻辑、控制和电平移位电路150(见图2)可具有其它功能和电路,例如但不限于电平移位驱动器电路217、低侧晶体管驱动电路120、消隐脉冲产生器223、自举晶体管驱动电路225和欠压锁定电路227,如所下文在单独的图中更详细地解释。

[0078] 现在参考图4,更详细地展示电平移位驱动器电路217。在一个实施例中,电平移位驱动器电路217可包含顺序链中的第一反相器405和第二反相器410。在其它实施例中,因为电平移位驱动器电路217可驱动小栅极宽度第一电平移位晶体管203,所以可不需要缓冲器级。

[0079] 在一个实施例中,电平移位驱动器电路217由来自控制器(未展示)的脉宽调制高侧信号(PWM_HS)直接驱动。在一些实施例中,(PWM_HS)信号可由外部控制电路供应。在一个实施例中,外部控制电路可以是与高侧装置105、低侧装置103、这两个装置处于相同封装中或自行封装的外部控制器。在另外的实施例中,电平移位驱动器电路217还可包含控制电平移位驱动器电路何时与第一电平移位晶体管203(参见图3)通信的逻辑。在一个实施例中,任意的低侧欠压锁定信号(LS_UVLO)可由电平移位驱动器电路217内的欠压锁定电路产生。如果低侧(V_{dd_LS})的(V_{cc})或(V_{dd})变得低于某一参考电压或所述参考电压的一部分,那么低侧欠压锁定电路可用以关断电平移位驱动器电路217。

[0080] 在另外的实施例中,电平移位驱动器电路217可为低侧晶体管(STP_LS)产生击穿保护信号,击穿保护信号用以防止从低侧晶体管115和高侧晶体管125重叠栅极信号产生的击穿。(STP_LS)信号的功能可以是确保当到高侧晶体管125的栅极信号是低的时候低侧驱动器电路120(见图2)仅与低侧晶体管115的栅极端子通信。在其它实施例中,第一反相器405的输出可用以为低侧晶体管115产生击穿保护信号(STP_LS)。

[0081] 在其它实施例中,可通过向第一反相器405添加多输入“与非”门来实施用于UVLO和击穿保护的逻辑,其中到“与非”门的输入是(PWM_HS)、(LS_UVLO)和(STP_HS)信号。在又其它实施例中,如果(STP_HS)和(LS_UVLO)信号两者是高的,那么第一反相器405可仅对(PWM_HS)信号作出响应。在其它实施例中,可从低侧栅极驱动器块120产生产生STP_HS信号,如在单独的图中更详细地解释。

[0082] 现参考图5,消隐脉冲产生器223可用以产生对应于低侧晶体管115的断开瞬态的脉冲信号。此脉冲信号可接着在脉冲的持续时间内接通第二电平移位晶体管205,此触发高侧装置105(参见图1)上的控制电路以防止第一电平移位节点305电压的错误下拉。

[0083] 图5说明消隐脉冲产生器223的一个实施例的示意图。在一些实施例中,低侧晶体

管115栅极信号 (LS_GATE) 作为输入被馈送到消隐脉冲产生器223。(LS_GATE) 信号由第一级反相器505反相,接着通过RC脉冲产生器510发送以产生正脉冲。在一些实施例中,可能需要反相信号,这是因为脉冲对应于 (LS_GATE) 信号的下降沿。RC脉冲产生器510电路中的电容器515可用作允许其输入处的dv/dt跨越电阻器520出现的高通滤波器。一旦dv/dt在到RC脉冲产生器510的输入处变为零,那么电容器515可通过电阻器520缓慢地充电,从而跨越电阻器产生慢衰减的电压波形。可接着通过第二反相器525、第三反相器530和缓冲器535发送脉冲,以产生消隐脉冲 (B_PULSE) 信号的方形波脉冲。脉冲的持续时间可由RC脉冲产生器510中的电容器515和电阻器520的值确定。在一些实施例中,可使用漏极到源极短路增强型GaN晶体管来建构电容器515。

[0084] 现参考图6,对于一个实施例说明消隐脉冲产生器223内的实例波形600。迹线605展示低侧栅极脉冲 (LS_GATE) 的下降沿。迹线610展示第一级反相器505输出的上升沿。迹线615展示RC脉冲产生器510的输出,且迹线620展示作为消隐脉冲产生器223的输出的所得消隐脉冲 (B_PULSE) 信号。

[0085] 现参考图7,更详细地说明自举晶体管驱动电路225。自举晶体管驱动电路225包含反相器730、第一缓冲器735和第二缓冲器745。自举晶体管驱动电路225可从低侧驱动器电路120接收 (BOOTFET_DR_IN) 信号。(BOOTFET_DR_IN) 信号可相对于LS_GATE信号反相。自举晶体管驱动电路225可经配置以向自举充电电路157 (见图1) 中的自举晶体管提供称为 (BOOTFET_DR) 的栅极驱动信号,如在下文更详细地论述。(BOOTFET_DR) 栅极驱动信号可经定时以在接通低侧晶体管115时接通自举晶体管。而且,因为自举晶体管驱动电路225由 (Vcc) 驱动,所以此电路的输出可具有从低状态下的0伏变成高状态下的 (Vcc)+6伏的电压。在一个实施例中,在接通低侧晶体管115之后接通自举晶体管,且在关断低侧晶体管之前关断自举晶体管。

[0086] 在一些实施例中,可通过将串联延迟电阻器705引入到第二缓冲器745的输入来延迟 (BOOTFET_DR) 信号的接通瞬态,所述第二缓冲器可以是最终缓冲器级中的晶体管的栅极。在其它实施例中,可通过向低侧驱动器电路120中的最终下拉晶体管的栅极添加串联电阻器来延迟低侧晶体管115 (见图1) 的关断瞬变。在一个实施例中,一或多个电容器可用于自举晶体管驱动电路225中,且支持数量级为 (Vcc) 的电压,取决于最终用户要求和电路的设计,电压例如可以是20伏。在一些实施例中,一或多个电容器可制成具有场介电质到GaN电容器而非漏极到源极短路增强型晶体管。

[0087] 现参考图8,说明低侧晶体管驱动电路120的框图。低侧晶体管驱动电路120可具有第一反相器805、缓冲器810、第二反相器815、第二缓冲器820和第三缓冲器825。第三缓冲器825可向低侧晶体管115 (见图1) 提供 (LS_GATE) 信号。在一些实施例中,可使用两个反相器/缓冲器级,这是因为到低侧晶体管115 (见图1) 的栅极的输入可与 (Vin) 同步。因此,高状态下的 (Vin) 可对应于高状态下的低侧晶体管115的 (Vgate),且反之亦然。

[0088] 在其它实施例中,低侧驱动器电路120的某些部分可具有不对称滞后。一些实施例可包含使用具有晶体管下拉850的电阻分压器840的不对称滞后。

[0089] 其它实施例可具有多个输入“与非”门用于 (STP_LS) 信号 (低侧晶体管115上的击穿保护)。在一个实施例中,低侧驱动器电路120可从电平移位驱动器电路217接收击穿保护信号 (STP_LS)。(STP_LS) 信号的目的可类似于先前描述的 (STP_HS) 信号。(STP_LS) 信号可确

保低侧晶体管驱动电路120在电平移位驱动器电路217输出处于高状态下时不与低侧晶体管115的栅极117(参见图1)通信。在其它实施例中,第一反相器级805的输出可作用于电平移位驱动器电路217的(STP_HS)信号和用于自举晶体管驱动电路225的(BOOTFET_DR_IN)信号。

[0090] 在一些实施例中,低侧晶体管驱动电路120可使用从UVLO电路227(参见图2)接收到的(LS_UVLO)信号的多个输入“与非”门。其它实施例可使用可与最终缓冲器级825中的最终下拉晶体管的栅极串联的关断延迟电阻器。延迟电阻器在一些实施例中用以确保在低侧晶体管115关断之前关断自举晶体管。

[0091] 现参考图9,更详细地说明启动电路155。启动电路155可被设计成具有众多功能性,如下文更详细地论述。主要地,启动电路155可用以提供内部电压(在此状况下为START_Vcc)并提供足够的电流以支持由(Vcc)驱动电路。此电压可保持接通以支持所述电路,直到(Vcc)充电到从干线电压135外部需要的电压(V+)为止。启动电路155还可提供可独立于启动电压的参考电压(Vref)以及参考电流吸收器(Iref)。

[0092] 在一个实施例中,耗尽型晶体管905可充当电路中的主要电流源。在另外的实施例中,耗尽型晶体管905可由安置在钝化层上方的金属层形成。在一些实施例中,耗尽型晶体管905可将高电压场板(通常是任何高电压GaN技术固有)用作栅极金属。在其它实施例中,场介电质可充当栅极绝缘体。所得门控晶体管可以是具有高沟道夹断电压(V夹断)的耗尽型装置(即,夹断电压与场介电质厚度成正比)。耗尽型晶体管905可被设计成阻断其漏极(连接到V+)与其源极之间的相对高电压。此连接可称为源极跟随器连接。耗尽型晶体管905可具有耦合到接地的栅极906、耦合到第一节点911的源极907和耦合到电压源135的漏极909。

[0093] 在另外的实施例中,一系列相同二极管连接式增强型低电压晶体管910可与耗尽型晶体管905串联。相同二极管连接式增强型低电压晶体管910的串联可串联连接于第一节点911与第二节点912之间。一或多个中间节点913可安置在串联的相同二极管连接式增强型低电压晶体管910中的每一个之间。晶体管的宽度与长度比可设定从(V+)汲取的电流以及跨越每个二极管的电压。为了去除阈值电压并处理变化敏感度,串联的相同二极管连接式增强型低电压晶体管910可被设计为大沟道长度装置。在一些实施例中,串联的相同二极管连接式增强型低电压晶体管910可由一或多个高值电阻器替换。

[0094] 在另外的实施例中,在串联的相同二极管连接式增强型低电压晶体管910的底端处,电流镜915可由两个增强型低电压晶体管构成且用以产生参考电流吸收器(Iref)。第一电流镜晶体管920可以是二极管连接式的,且第二电流镜晶体管925可具有连接到第一电流镜晶体管的栅极的栅极。第一电流镜晶体管920的源极和第二电流镜晶体管925的源极分别可耦合且系结到接地。第一电流镜晶体管920的漏极端子可耦合到第二节点912,且第二电流镜晶体管925的源极端子可用作电流吸收器端子。电流镜915和串联的相同二极管连接式增强型低电压晶体管910的此堆叠可形成称为到耗尽型晶体管905的“源极跟随器负载”的装置。

[0095] 在其它实施例中,当耗尽型晶体管905的栅极906系结到接地时,耗尽型晶体管的源极907可在电流被供应给“源极跟随器负载”时采用接近(V夹断)的电压。同时,跨越电流镜915中的二极管连接式晶体管920的压降可接近晶体管的阈值电压(Vth)。此条件暗示跨

越串联的相同二极管连接式增强型低电压晶体管910中的每一个的压降可等于 $(V_{\text{夹断}} - V_{\text{th}}) / n$,其中‘n’是电流镜915与耗尽型晶体管905之间的二极管连接式增强型晶体管的数目。

[0096] 举例来说,如果,启动晶体管930的栅极从底部连接到第三相同二极管连接式增强型低电压晶体管,那么启动晶体管的栅极电压可以是 $3 * (V_{\text{夹断}} - V_{\text{th}}) / n + V_{\text{th}}$ 。因此,启动电压可以是 $3 * (V_{\text{夹断}} - V_{\text{th}}) / n + V_{\text{th}} - V_{\text{th}} = 3 * (V_{\text{夹断}} - V_{\text{th}}) / n$ 。作为更具体实例,在 $(V_{\text{夹断}}) = 40$ 伏的一个实施例中, $(V_{\text{th}}) = 2$ 伏,其中 $n = 6$ 且 $(V_{\text{启动}}) = 19$ 伏。

[0097] 在其它实施例中,启动电路155可产生参考电压信号 (V_{ref}) 。在一个实施例中,产生 (V_{ref}) 的电路可类似于上文所论述的启动电压产生电路。参考电压晶体管955可连接于相同二极管连接式增强型低电压晶体管910中的两个串联的晶体管之间。在一个实施例中, $(V_{\text{ref}}) = (V_{\text{夹断}} - V_{\text{th}}) / n$ 。

[0098] 在其它实施例中,停用下拉晶体管935可跨越启动晶体管930的栅极连接到源极。当停用信号为高时,启动晶体管930将停用。下拉电阻器940可连接到停用晶体管935的栅极以防止停用晶体管的错误接通。在其它实施例中,二极管箝位器945可连接于启动晶体管930的栅极与源极端之间,以确保在电路操作期间不会违反启动晶体管的栅极到源极电压能力(即,经配置为栅极过压保护装置)。在一些实施例中,二极管箝位器945可制成具有一系列二极管连接式基于GaN的增强型晶体管1050,如图10中所说明。

[0099] 现参考图11,更详细地说明UVLO电路227。在一些实施例中,UVLO电路227可具有差分比较器1105、向下电平移位器1110和反相器1115。在其它实施例中,UVLO电路227可将由启动电路155(见图9)产生的 (V_{ref}) 和 (I_{ref}) 用于差分比较器/向下电平移位器电路中,以产生馈送到电平移位驱动器电路217(见图2)和低侧晶体管驱动器电路120中的 (LS_UVLO) 信号。在一些实施例中,UVLO电路227还可被设计成具有不对称滞后。在另外的实施例中,UVLO电路227的输出可独立于阈值电压。这可以通过选择具有相对高增益的差分比较器来实现。在一个实施例中,可通过增大电流源和差分比较器中的上拉电阻器的值来增大增益。在一些实施例中,电流和电阻器的限度可由 (V_{ref}) 设定。

[0100] 在其它实施例中,电压 (VA) 1120和 (VB) 1125可分别与 (V_{cc}) 或 $(V_{\text{dd_LS}})$ 和 (V_{ref}) 成正比,如由每个输入上的电阻分压器比指示。当 $(VA) 1120 > (VB) 1125$ 时,反相端子的输出变成低状态。在一个具体实施例中,低状态 $= (V_{\text{th}})$,这是因为电流源产生源极跟随器配置。类似地,当 $(VA) 1120 < (VB) 1125$ 时,输出变成高状态 (V_{ref}) 。在一些实施例中,可能需要向下电平移位器1110,这是因为低电压需要按一个阈值电压向下移位,以确保到下一级的低输入低于 (V_{th}) 。向下经移位输出可由简单电阻器上拉反相器1115反相。反相器1115的输出是 (LS_UVLO) 信号。

[0101] 现参考图12,更详细地说明自举电容器充电电路157。在一个实施例中,自举二极管和晶体管电路157可包含高电压二极管连接式增强型晶体管1205与高电压自举晶体管1210的并联连接。在其它实施例中,高电压二极管连接式增强型晶体管1205与高电压自举晶体管1210可被设计成共用相同漏极指状物。在一些实施例中,可从自举晶体管驱动电路225(见图2)导出 $(BOOTFET_DR)$ 信号。如上文所论述,高电压自举晶体管1210可与低侧晶体管115(见图1)的接通重合地接通。

[0102] 现参考图13,可替代上文在图12中论述的自举二极管和晶体管电路157使用替代

性自举二极管和晶体管电路1300。在图13中所说明的实施例中，由增强型低电压GaN装置1310共源共栅的耗尽型装置1305可如示意图1300中所说明而连接。在另一实施例中，耗尽型装置1305的栅极可连接到接地以减少共源共栅增强型装置1310上的电压应力，这取决于耗尽型装置的夹断电压。

[0103] 高侧装置

[0104] 现参考图14，详细说明高侧逻辑和控制电路153的实施例。在一个实施例中，高侧驱动器130从第一电平移位接收器1410和高侧UVLO电路1415接收输入，且向高侧晶体管125（见图1）发送（HS_GATE）信号。在又其它实施例中，上拉触发电路1425经配置以接收（LSHIFT_1）信号并控制上拉晶体管1435。在一些实施例中，第二电平移位接收电路1420经配置以控制消隐晶体管1440。上拉晶体管1435和消隐晶体管1440两者可与上拉电阻器1430并联连接。在下文论述且在一些状况下在图16到20中更详细地展示高侧逻辑和控制电路153内的每个电路。

[0105] 现参考图15，更详细地说明第一电平移位接收器1410。在一些实施例中，第一电平移位接收器1410可将（L_SHIFT1）信号转换成可由高侧晶体管驱动器130（参见图14）处理以驱动高侧晶体管125（参见图1）的（LS_HSG）信号。在其它实施例中，第一电平移位接收器1410可具有用于多电平向下移位器中的三个增强型晶体管1505、1510、1515和充当二极管箝位器的多个二极管连接式晶体管1520，如下文更详细地论述。

[0106] 在一个实施例中，第一电平移位接收器1410可使（L_SHIFT1）信号向下移位 $3 \cdot V_{th}$ （例如，每个增强型晶体管1505、1510、1515可具有接近 V_{th} 的栅极到源极电压）。在一些实施例中，最后一个源极跟随器晶体管（例如，在此状况下晶体管1515）可跨越其栅极到源极具有三二极管连接式晶体管箝位器1520。在另外的实施例中，可使用此布置，这是因为其源极电压可仅高达（Vdd_HS）（即，这是因为其漏极连接到Vdd_HS），而其栅极电压可高达 $V(L_SHIFT1) - 2 \cdot V_{th}$ 。因此，在一些实施例中，最后一个源极跟随器晶体管1515上的最大栅极到源极电压可大于装置技术的最大额定栅极到源极电压。最终源极跟随器晶体管1515的输出是到高侧晶体管驱动130（参见图1）的输入（即，输出是LS_HSG信号）。在其它实施例中，可使用多于或少于三个源极跟随器晶体管。在又其它实施例中，可在箝位器1520中使用多于或少于三个二极管连接式晶体管。

[0107] 现参考图16，更详细地说明第二电平移位接收器1420。在一个实施例中，第二电平移位接收器1420可具有向下电平移位电路1605和反相器电路1610。在一些实施例中，第二电平移位接收器1420可以与第一电平移位接收器1410（参见图15）类似的方式建构，除了第二电平移位接收器可仅具有一个向下电平移位电路（例如，增强型晶体管1615）和跟随的反相器电路1610之外。在一个实施例中，向下电平移位电路1605可从第二电平移位晶体管205（见图2）接收（L_SHIFT2）信号。在一个实施例中，反相器电路1610可由（V自举）信号驱动，且反相器的上拉晶体管的栅极电压可用作驱动消隐晶体管1440（参见图14）的（BLANK_FET）信号。在一些实施例中，电压可从低状态下的0伏变成高状态下的（V自举+ $0.5 \cdot (V_{自举} - V_{th})$ ）。类似于第一电平移位接收器1410，第二电平移位接收器1420可跨越源极跟随器晶体管1615的栅极到源极具有二极管连接式晶体管箝位器1620。在其它实施例中，箝位器1620可包含多于或少于三个二极管连接式晶体管。

[0108] 现参考图17，更详细地说明上拉触发电路1425。在一个实施例中，上拉触发电路

1425可具有第一反相器1705、第二反相器1710、RC脉冲产生器1715和栅极到源极箝位器1720。在一些实施例中,上拉触发电路1425可接收(L_SHIFT1)信号作为输入,且作为响应,一旦(L_SHIFT1)电压大致转变成第一反相器1705的输入阈值,上拉触发电路就产生脉冲。所产生脉冲可用作驱动上拉晶体管1435(参见图14)的(PULLUP_FET)信号。第二反相器1710可由(V自举)而非(V_{dd_HS})驱动,这是因为上拉晶体管1435栅极电压可能需要大于(L_SHIFT1)信号电压。

[0109] 现参考图18,更详细地说明高侧UVLO电路1415。在一个实施例中,高侧UVLO电路1415可具有向下电平移位器1805、具有不对称滞后的电阻器上拉反相器1810、和栅极到源极箝位器1815。在其它实施例中,由高侧UVLO电路1415产生的(HS_UVLO)信号可有助于通过在自举电容器110电压变得低于某一阈值时关断由高侧驱动电路130(见图14)产生的(HS_GATE)信号来防止电路故障。在一些实施例中,测量自举电容器110电压(V自举)(即,浮动供电电压),且作为响应,产生逻辑信号且将其与来自第一电平移位接收器1410的输出信号(LS_HSG)组合,所述输出信号接着用作到高侧栅极驱动电路130的输入。更具体地说,在此实施例中,举例来说,UVLO电路被设计成在(V自举)减小到比开关节点(V_{sw})145电压高小于 $4 \cdot V_{th}$ 时接合。在其它实施例中,可使用不同阈值电平。

[0110] 在其它实施例中,高侧UVLO电路1415可在向下电平位移器1805中使(V自举)向下移位,并将信号转移到具有不对称滞后1810的反相器。具有不对称滞后的反相器1810的输出可产生在逻辑上与来自第一电平移位接收器1410的输出组合以关断高侧晶体管125(见图1)的(HS_UVLO)信号。在一些实施例中,滞后可用以减少高侧晶体管125(见图1)的可对半桥电路100的总体性能不利的自触发接通和关断事件的数目。

[0111] 现参考图19,更详细地说明高侧晶体管驱动器130。高侧晶体管驱动器130可具有第一反相器级1905继之以高侧驱动级1910。第一反相器级1905可使从电平移位1接收器1410(见图15)接收到的经向下移位(LS_HSG)信号反相。可接着通过高侧驱动级1910发送经向下移位信号。高侧驱动级1910可产生(HS_GATE)信号以驱动高侧晶体管125(见图1)。在另外的实施例中,第一反相器级1905可含有可确保当(HS_UVLO)处于高状态下时关断高侧晶体管125(参见图1)的双输入“或非”门。

[0112] 现参考图20,可使用参考电压产生电路2000以从供应轨产生高侧参考电压。此电路可放置于高侧GaN装置105上来产生参考开关节点电压145的内部电源供应器。在一些实施例中,电路2000可类似于图9中的启动电路155。电路2000中的一个差异可以是添加连接于第一节点2011与第二节点2012之间的源极跟随器电容器2010。在一些实施例中,可能需要源极跟随器电容器2010以确保在第一节点2011与第二节点2012之间产生良好的稳定电压,其不会随开关节点(V_{sw})145处出现的dv/dt而波动。在其它实施例中,参考电压电容器2015可连接在参考电压晶体管2055的源极与第二节点2012之间。在一些实施例中,参考电压晶体管2055的漏极可连接到(V自举)节点。在一些实施例中,可能需要参考电压电容器2015以确保(V_{ref})经良好地调节并且不对开关节点(V_{sw})145(见图1)处的高dv/dt条件作出响应。在又其它实施例中,电路2000中的另一差异可以是第二节点2012可耦合到不断变化的电压,例如开关节点(V_{sw})145(见图1),而非穿过电流吸收器电路915(见图9)的接地连接。在又另外实施例中,(V_{ref})可在半桥电路100中用作(V_{dd_HS})。

[0113] 电路2000中的另一差异可以是添加耦合在耗尽型晶体管2005与串联的相同二极

管连接式增强型低电压晶体管2020之间的高电压二极管连接式晶体管2025(即,晶体管的栅极耦合到晶体管的源极)。更具体地说,高电压二极管连接式晶体管2025可具有耦合到耗尽型晶体管2005的源极、耦合到第一节点2011的漏极和耦合到其源极的栅极。高电压二极管连接式晶体管2025可用以确保源极跟随器电容器2010不会在源极跟随器电容器的顶板处的电压上升高于(V+)时放电。在其它实施例中,源极跟随器电容器2010可相对小且可集成于半导体衬底上或电子封装内。在图20中还展示了可在半桥电路外部添加的自举电容器110。

[0114] 在一些实施例中,屏蔽电容器160(参见图1)可从第一电平移位节点305(参见图3)和第二电平移位节点(未展示)连接到开关节点145,以辅助减少上文所论述的错误触发。在一些实施例中,屏蔽电容器160的值越大,电路越不会受到接地的寄生电容所导致的错误触发影响。但是,在高侧晶体管125关断期间,屏蔽电容器160可通过连接到第一电平移位节点305的上拉电阻器303(见图3)放电。这可显著地减缓高侧晶体管125关断过程。在一些实施例中,此考量可用以设定屏蔽电容器160的值的上限。在其它实施例中,可通过使用第一电平移位节点与开关节点145之间的箝位电路161(见图1)来防止第一电平移位节点305(见图3)上的过压条件。在一些实施例中,箝位电路161可由二极管连接式晶体管构成,其中晶体管的漏极连接到第一电平移位节点305(见图3)且栅极和源极连接到开关节点(V_{sw})145(见图1)。在其它实施例中,第二屏蔽电容器和第二箝位电路可放置于第二电平移位节点与开关节点(V_{sw})145(见图1)之间。

[0115] 半桥电路#1操作

[0116] 半桥电路100的以下操作序列仅仅是实例,且可在不脱离本发明的情况下使用其它序列。现在将同时参考图1、2和14。

[0117] 在一个实施例中,当来自控制器的(PWM_LS)信号是高的时,低侧逻辑、控制和电平移位电路150向低侧晶体管驱动器120发送高信号。低侧晶体管驱动器120接着通过(LS_GATE)信号与低侧晶体管115通信以将其接通。这将开关节点电压(V_{sw})145设定成接近0伏。当低侧晶体管115接通时,其提供使自举电容器110通过连接于(V_{cc})与(V_{自举})之间的充电电路157变得充电的路径。充电路径具有高电压自举二极管1205(见图12)与晶体管1210的并联组合。(BOOTFET_DR)信号向自举晶体管1210(见图12)提供提供用于为自举电容器110充电的低电阻路径的驱动信号。

[0118] 自举二极管1205(参见图12)可用以确保存在用于当不存在低侧晶体管115栅极驱动信号(LS_GATE)时在启动期间为自举电容器110充电的路径。在此时间期间,(PWM_HS)信号应是低的。如果(PWM_HS)信号在此时间期间无意中接通(即,处于高状态下),那么从低侧晶体管驱动器120产生的(STP_HS)信号将防止高侧晶体管125接通。如果在(PWM_HS)信号接通时接通(PWM_LS)信号,那么从电平移位驱动器电路217产生的(STP_LS)信号将防止低侧晶体管115接通。而且,在一些实施例中,(LS_UVLO)信号可防止低侧晶体管115和高侧晶体管125在(V_{cc})或(V_{dd_LS})变得低于预设阈值电压电平时接通。

[0119] 在其它实施例中,当(PWM_LS)信号是低的时,到低侧晶体管115的低侧栅极信号(LS_GATE)也是低的。在(PWM_LS)信号低状态到(PWM_HS)高状态转变之间的停滞时间期间,电感负载将迫使高侧晶体管125或低侧晶体管115在同步整流器模式下接通,这取决于功率流的方向。如果高侧晶体管125在停滞时间期间(例如,在升压模式操作期间)接通,那么开

关节点 (Vsw) 145电压可上升到接近于 (V+) 135 (干线电压)。

[0120] 在一些实施例中,由于电容耦合到接地,开关节点145 (Vsw) 上的dv/dt条件可倾向于相对于开关节点 (Vsw) 145将第一电平移位节点 (LSHIFT_1) 305 (参见图3) 拉到低状态。这可接通高侧栅极驱动电路130,从而造成高侧晶体管125的非既定触发。在一个实施例中,这不会产生在击穿条件下可能损害半桥电路100的停滞时间。在其它实施例中,为了防止此条件发生,消隐脉冲产生器223可感测低侧晶体管115的关断瞬变并发送脉冲以接通第二电平移位晶体管205。这可将 (L_SHIFT2) 信号电压拉动到接着与第二电平移位接收器1420通信以产生消隐脉冲信号 (B_PULSE) 来驱动消隐晶体管1440的低状态。消隐晶体管1440可接着充当上拉以防止第一电平移位节点 (LSHIFT_1) 305 (参见图3) 相对于交换节点 (Vsw) 145变成低状态。

[0121] 在其它实施例中,在停滞时间之后,当 (PWM_HS) 信号变成高状态时,电平移位驱动器电路217可向第一电平移位晶体管203的栅极发送高信号 (通过来自电平移位驱动器电路217的L1_DR信号)。高信号将相对于开关节点 (Vsw) 145将第一电平移位节点 (LSHIFT_1) 305 (见图3) 拉低,此将在高侧晶体管125的输入处产生高信号,从而接通高侧晶体管125。开关节点电压 (Vsw) 145将保持接近 (V+) 135。在一个实施例中,在此时间期间,自举电容器110可通过第一电平移位晶体管203 (其在此时间期间处于接通状态) 放电。

[0122] 如果高侧晶体管125在相对长的时间 (即,大工作周期) 内保持接通,那么自举电容器110电压将降低到低电压,其足够低使得其将防止高侧晶体管125在 (PWM_HS) 信号变低时关断。在一些实施例中,这可能发生,因为 (L_SHIFT1) 信号可达到的最大电压是可能过低而无法关断高侧晶体管125的 (V自举)。在一些实施例中,可通过高侧UVLO电路1415防止此情形,所述高侧UVLO电路通过在 (V自举) 变得低于特定电平时向高侧栅极驱动电路130发送高输入来强制性地关断高侧晶体管125。

[0123] 在又其它实施例中,当 (PWM_HS) 信号变低时,第一电平移位晶体管203将也关断 (通过来自电平移位驱动器电路217的L1_DR信号)。这会将第一电平移位节点 (LSHIFT_1) 305 (参见图3) 拉到高状态。但是,在一些实施例中,此过程可以是相对慢的,这是因为高值上拉电阻器303 (见图3) (在一些实施例中用以降低功耗) 需要为附接到第一电平移位节点 (L_SHIFT1) 305 (见图3) 的电容充电,包含第一电平移位晶体管213和屏蔽电容器160的输出电容 (Coss)。这可增加高侧晶体管125的关断延迟。为了减少高侧晶体管125关断延迟,上拉触发电路1425可用以感测第一电平移位节点 (L_SHIFT1) 305 (参见图3) 何时变得高于 (Vth)。此条件可产生被施加到与上拉电阻器1430并联地起作用的上拉晶体管1435的 (PULLUP_FET) 信号,可显著地加速第一电平移位节点 (L_SHIFT1) 305 (参见图3) 电压的上拉,从而促进关断过程。

[0124] 半桥电路#2

[0125] 现参考图21,公开半桥电路2100的第二实施例。半桥电路2100可具有与图1中所说明的电路100相同的框图,然而,电路2100中的电平移位晶体管可以脉冲输入而非连续信号操作,如下文更详细地描述。在一些实施例中,脉冲输入可产生更低的功率、电平移位晶体管上的减小的应力和减少的转换时间,如下文更详细地论述。

[0126] 继续参考图21,一个实施例包括使用低侧GaN装置2103、高侧GaN装置2105、负载2107、自举电容器2110和其它电路元件的集成半桥式功率转换电路2100,如下文更详细地

论述。一些实施例还可具有提供到电路2100的一或多个输入以调节电路的操作的外部控制器(在图21中未展示)。电路2100仅是出于说明性目的,且其它变体和配置处于本发明的范围内。

[0127] 如在图21中进一步说明,在一个实施例中,集成半桥式功率转换电路2100可包括安置于低侧GaN装置2103上的低侧电路,所述低侧GaN装置2103包括具有低侧控制栅极2117的低侧晶体管2115。低侧电路可进一步包含具有连接到低侧晶体管控制栅极2117的输出2123的集成低侧晶体管驱动器2120。在另一实施例中,可存在安置在包含具有高侧控制栅极2127的高侧晶体管2125的高侧GaN装置2105上的高侧电路。高侧电路可进一步包含具有连接到高侧晶体管控制栅极2127的输出2133的集成高侧晶体管驱动器2130。

[0128] 高侧晶体管2125可用以控制到功率转换电路2100中的功率输入并具有连接到高侧晶体管的漏极2137的电压源(V+) 2135(有时称为干线电压)。高侧晶体管2125可进一步具有耦合到低侧晶体管2115的漏极2143的源极2140,从而形成开关节点(V_{sw}) 2145。低侧晶体管2115可具有连接到接地的源极2147。在一个实施例中,低侧晶体管2115和高侧晶体管2125可以是增强型场效应晶体管。在其它实施例中,低侧晶体管2115和高侧晶体管2125可以是任何其它类型的装置,包括但不限于基于GaN的耗尽型晶体管、与硅基增强型场效应晶体管串联连接的基于GaN的耗尽型晶体管、基于碳化硅的晶体管或硅基晶体管,所述耗尽型晶体管的栅极连接到硅基增强型晶体管的源极。

[0129] 在一些实施例中,高侧装置2105和低侧装置2103可由基于GaN的材料制成。在一个实施例中,基于GaN的材料可包含一层硅上的一层GaN。在其它实施例中,基于GaN的材料可包含但不限于一层碳化硅、蓝宝石或氮化铝上的一层GaN。在一个实施例中,基于GaN的层可包含但不限于例如氮化铝和氮化镓等其它第III族氮化物和例如AlGaN和InGaN等第III族氮化物合金的复合堆叠。

[0130] 低侧装置

[0131] 低侧装置2103可具有用于低侧装置和高侧装置2105的控制和操作的多个电路。在一些实施例中,低侧装置2103可包含控制低侧晶体管2115和高侧晶体管2125的切换连同其它功能的逻辑、控制和电平移位电路(低侧控制电路) 2150,如下文更详细地论述。低侧装置2103还可包含启动电路2155、自举电容器充电电路2157和屏蔽电容器2160,如也在下文更详细地论述。

[0132] 现参考图22,在功能上说明低侧控制电路2150内的电路。在下文论述且在一些状况下在图23到28中更详细地展示低侧控制电路2150内的每个电路。在一个实施例中,低侧控制电路2150的主要功能可以从控制器接收例如PWM信号等一或多个输入信号并控制低侧晶体管2115和高侧晶体管2125的操作。

[0133] 第一电平移位晶体管2203可以是“接通”脉冲电平移位晶体管,而第二电平移位晶体管2215可以是“关断”脉冲电平移位晶体管。在一个实施例中,来自控制器(未展示)的脉宽调制高侧(PWM_HS)信号可由反相器/缓冲器2250处理并发送到接通脉冲产生器2260和关断脉冲产生器2270上。接通脉冲产生器2260可产生对应于(PWM_HS)信号的低状态到高状态瞬态的脉冲,因此在脉冲的持续时间期间接通第一电平移位晶体管2203。关断脉冲产生器2270可类似地产生对应于(PWM_HS)信号的高状态到低状态转变的脉冲,因此在关断脉冲的持续时间期间接通第二电平移位晶体管2205。

[0134] 第一电平移位晶体管2203和第二电平移位晶体管2205分别可用作电阻器上拉反相器电路中的下拉晶体管。更具体地说,接通可意味着相应电平移位节点电压相对于开关节点(V_{sw}) 2145被拉低,且关断可致使相应电平移位节点采用(V_{自举})电压。因为第一电平移位晶体管2203和第二电平移位晶体管2215分别仅在脉冲的持续时间内“接通”,所以这两个装置上的功率耗散和应力水平可小于图1中所说明的半桥电路100。

[0135] 第一电阻器2207和第二电阻器2208分别可与第一电平移位晶体管2203和第二电平移位晶体管2215的源极串联地添加,以分别将栅极限于源电压并因此限制穿过晶体的最大电流。第一电阻器2207和第二电阻器2208分别可小于图1中所说明的半桥电路100中的源极跟随器电阻器,这可有助于较快地进行第一电平移位晶体管2203和第二电平移位晶体管2215的下拉动作,从而降低到高侧晶体管2125的传播延迟。

[0136] 在其它实施例中,第一电阻器2207和第二电阻器2208分别可被任何形式的电流吸收器替换。一个实施例可将第一电平移位晶体管2203和第二电平移位晶体管2205的源极分别连接到栅极到源极短路的耗尽型装置。在高电压GaN技术中形成的耗尽型晶体管的一个实施例可以是以叠置于场介电质层的顶部上的高电压场板金属中的一个替换增强型栅极堆叠。场介电质的厚度和金属的功函数可控制堆叠的夹断电压。

[0137] 在其它实施例中,第一电阻器2207和第二电阻器2208分别可被电流吸收器替换。在一个实施例中,可使用由启动电路2155(见图21)产生的参考电流(I_{ref})。耗尽型晶体管和电流吸收器实施例两者可相比于电阻器选项产生显著的裸片面积减小(即,这是因为小型耗尽晶体管将满足且I_{ref}已可用)。

[0138] 自举晶体管驱动电路2225可类似于上文图2中所说明的自举晶体管驱动电路225。自举晶体管驱动电路2225可从低侧驱动电路2220(见图22)接收输入,并将称为(BOOTFET_DR)的栅极驱动信号提供给自举电容器充电电路2157(见图21)中的自举晶体管,如在上文更详细地论述。

[0139] 现参考图23,说明第一电平移位晶体管2203连同可定位于高侧装置2105中的上拉电阻器2303。在一些实施例中,第一电平移位晶体管2203可操作为电阻器上拉反相器中的下拉晶体管,类似于图3中所说明的第一电平移位晶体管203。如上文所论述,拉高电阻器2303可安置在高侧装置2105(参见图21)中。第二电平移位晶体管2215可具有类似配置。在一些实施例中,在第一输出端子(LS_NODE) 2305与开关节点(V_{sw}) 2145(见图21)之间可存在第一电容,且在第一输出端子2305与接地之间可存在第二电容,其中第一电容大于第二电容。第一电容可设计成使得响应于开关节点(V_{sw}) 2145(见图21)处的高dv/dt信号,允许C*dv/dt电流的大部分传导穿过第一电容,以确保第一输出端子2305处的电压跟踪开关节点(V_{sw})处的电压。屏蔽电容器2160(见图21)可经配置以充当如上文所描述的第一电容器。在其它实施例中,屏蔽电容器2160(见图21)可用以在半桥式功率转换电路2100中在第一输出端2305与开关节点(V_{sw}) 2145(见图21)之间的产生电容。屏蔽电容器2160还可用以最小化第一输出端子2305与半导体装置的衬底之间的电容。在其它实施例中,屏蔽电容器2160可建构于低侧GaN装置2103上。

[0140] 现参考图24,更详细地说明反相器/缓冲器电路2250。在一个实施例中,反相器/缓冲器电路2250可具有第一反相器级2405和第一缓冲器级2410。在其它实施例中,反相器/缓冲器电路2250可由来自控制器(未展示)的(PWM_HS)信号直接驱动。第一反相器级2405的输

出可以是到接通脉冲产生器2260(见图22)的输入信号(PULSE_ON),而第一缓冲器级2410的输出可以是到关断脉冲产生器2270的输入信号(PULSE_OFF)。

[0141] 在一些实施例中,可通过将由UVLO电路2227(参见图22)产生的信号发送到安置在第一反相器级2405中的“与非”门中来产生任选(LS_UVLO)信号。如果(V_{cc})或(V_{dd_LS})变得低于某一参考电压(或参考电压的一部分),那么此电路可用以关断电平移位操作。在其它实施例中,反相器/缓冲器电路2250可为低侧晶体管2115(见图21)产生可施加到低侧晶体管栅极驱动电路2120的击穿保护信号(STP_LS1)。当(PWM_HS)信号是高的时,这可关断低侧晶体管栅极驱动电路2120(参见图21),从而防止击穿。

[0142] 现参考图25,更详细地说明接通脉冲产生器2260。在一个实施例中,接通脉冲产生器2260可具有第一反相器级2505、第一缓冲器级2510、RC脉冲产生器2515、第二反相器级2520、第三反相器级2525和第三缓冲器级2530。在另外的实施例中,来自反相器/缓冲器电路2250(参见图22)的(PULSE_ON)信号输入可首先反相,并接着由RC脉冲产生器2515和方波产生器变换成接通脉冲。此操作的结果是被传输到第一电平移位晶体管2203(参见图22)的栅极驱动信号(LI_DR)。

[0143] 在其它实施例中,接通脉冲产生器2260可包含一或多个逻辑功能,例如二进制或组合性功能。在一个实施例中,接通脉冲产生器2260可具有(STP_HS)信号的多输入“或非”门。(STP_HS)信号可具有与(LS_GATE)信号相同的极性。因此,如果(STP_HS)信号是高的(对应于LS_GATE信号是高的),那么可不产生接通脉冲,这是因为图25中的第一反相器电路2505将拉低,这将会去激活脉冲产生器2515。

[0144] 在其它实施例中,RC脉冲产生器2515可包括箝位二极管(未展示)。可添加箝位二极管以确保RC脉冲产生器2515在(PWM_LS)信号的极小工作周期工作。在一些实施例中,接通脉冲产生器2260可经配置以接收介于2纳秒到20微秒范围内的输入脉冲并传输所述范围内的大体上恒定的持续时间的脉冲。在一个实施例中,如果跨越箝位二极管的电压变得大于(V_{th}),那么箝位二极管可接通并使RC脉冲产生器2515中的电阻器短路(同时提供极小的电容器放电时间)。这可显著地改善脉冲产生器电路2260的最大操作工作周期(相对于PWM_HS信号)。

[0145] 现参考图26,更详细地说明关断脉冲产生器2270。在一个实施例中,关断脉冲产生器2270可具有RC脉冲产生器2603、第一反相器级2605、第二反相器级2610和第一缓冲器级2615。在其它实施例中,关断脉冲产生器2270可从反相器/缓冲器电路2250(见图22)接收可随后传达到RC脉冲产生器2603的输入信号(PULSE_OFF)。

[0146] 在另外的实施例中,通过第一反相器级2605、第二反相器级2610和缓冲器级2615发送来自RC脉冲产生器2603的脉冲。脉冲可接着作为(L2_DR)信号发送到第二电平移位晶体管2215(参见图22)。箝位二极管还可包含在关断脉冲产生器2270中。在一些实施例中,工作原理可类似于上文关于接通脉冲产生器2260(参见图25)所论述的工作原理。此类工作原理可确保关断脉冲产生器2270在高侧晶体管2125(见图21)的极低接通时间中操作(即电路将在相对小的工作循环中操作)。在一些实施例中,关断脉冲产生器2270可经配置以接收介于2纳秒到20微秒范围内的输入脉冲并传输所述范围内的大体上恒定的持续时间的脉冲。在另外的实施例中,关断电平移位脉冲可由接通输入脉冲缩短以实现接通高侧晶体管2125的小于50纳秒的关断时间。

[0147] 在一些实施例中,RC脉冲产生器2603可包含与电阻分压器网络连接的电容器。来自电阻器的输出可以是发送到反相器2275(参见图22)的信号(INV),所述反相器2275产生传输到低侧驱动器电路2220的击穿保护信号(STP_LS2)。在其它实施例中,关断脉冲产生器2270可包括一或多个逻辑功能,例如二进制或组合性功能。在一个实施例中,类似于(STP_LS1)信号,(STP_LS2)信号发送到低侧驱动器电路2220内的NAND逻辑电路。在一些实施例中,这些信号可用以确保在关断脉冲信号(PULSE_OFF)的持续时间期间,低侧晶体管2115(参见图21)不接通(即,这是因为高侧晶体管2125在关断脉冲期间关断)。在一些实施例中,此方法可适用于补偿关断传播延迟(即,PULSE_OFF信号可实现击穿保护),从而确保低侧晶体管2115将仅在高侧晶体管2125栅极完全关断之后才接通。

[0148] 在其它实施例中,可使用第二电平移位晶体管2215来使消隐脉冲电平移位到高侧装置2105。为了实现这一点,可将消隐脉冲发送到第一反相器级2605中的“或非”输入中。消隐脉冲可用以阻止由于开关节点 V_{sw} 2145(见图20)处的高 dv/dt 条件的错误触发。在一些实施例中,消隐脉冲不可用以对 dv/dt 引发或其它非期望电平移位输出脉冲进行滤波。

[0149] 现参考图27,更详细地说明消隐脉冲产生器2223。在一个实施例中,消隐脉冲产生器2223可以是比图1中所说明的半桥电路100中使用更简单的设计,这是因为方形波脉冲产生器已经是关断脉冲产生器2270的部分。在一个实施例中,(LS_GATE)信号从低侧栅极驱动电路2220(参见图22)作为输入馈入到消隐脉冲产生器2223。此信号可经反相且接着通过RC脉冲产生器发送以产生正向脉冲。在一些实施例中,可使用反相信号,这是因为脉冲需要对应于(LS_GATE)信号的下降沿。此输出可用作到关断脉冲产生器2270的消隐脉冲输入(B_PULSE)。

[0150] 现参考图28,更详细地说明低侧晶体管驱动电路2220。在一个实施例中,低侧晶体管驱动电路2220可具有第一反相器级2805、第一缓冲器级2810、第二反相器级2815、第二缓冲器级2820和第三缓冲器级2825。在一些实施例中,可使用两个反相器/缓冲器级,这是因为到低侧晶体管2115的栅极的输入与(PWM_LS)信号同步。因此,在一些实施例中,(PWM_LS)高状态可对应于(LS_GATE)高状态,且反之亦然。

[0151] 在其它实施例中,低侧晶体管驱动电路2220还可包括不对称滞后,所述不对称滞后使用具有类似于120中描述的方案(见图8)的晶体管下拉的电阻分压器。在一个实施例中,低侧晶体管驱动电路2220包含用于(STP_LS1)和(STP_LS2)(低侧晶体管2115上的击穿预防)信号的多个输入“与非”门。(STP_LS1)和(STP_LS2)信号可确保低侧晶体管驱动电路2220(参见图22)在高侧晶体管2125接通时不与低侧晶体管2115(参见图21)通信。此技术可用以避免击穿的可能性。其它实施例可包含(LS_UVLO)信号的“与非”门(类似于上文在图28中所使用的“与非”门)。一个实施例可包含与最终下拉晶体管的栅极串联的关断延迟电阻器。此可用以确保在低侧晶体管2115关断之前关断自举晶体管。

[0152] 在其它实施例中,低侧装置2103(见图21)还可包含可分别类似于如上文所论述的启动电路155、自举电容器充电电路157、屏蔽电容器160和UVLO电路227的启动电路2155、自举电容器充电电路2157、屏蔽电容器2160和UVLO电路2227。

[0153] 高侧装置

[0154] 现参考图29,更详细地说明高侧逻辑和控制电路2153和其与高侧晶体管驱动器2130交互的方式。在一些实施例中,高侧逻辑和控制电路2153可以与上文在图15中所论述

的高侧逻辑和控制电路153类似的方式操作。在其它实施例中，高侧逻辑和控制电路2153可以以不同方式操作，如下文更详细地论述。

[0155] 在一个实施例中，电平移位1接收器电路2910从第一电平移位晶体管2203（参见图22）接收（L_SHIFT1）信号，所述第一电平移位晶体管2203在（PWM_HS）信号的从低状态到高状态转变时接收接通脉冲，如上文所论述。作为响应，电平移位1接收器电路2910驱动上拉晶体管2960（例如，在一些实施例中，低电压增强型GaN晶体管）的栅极。在其它实施例中，上拉晶体管2960可接着将状态存储电容器2955电压上拉到接近关于开关节点（V_{sw}）2145电压的（V_{dd_HS}）的值。状态存储电容器2955上的电压可接着传送到高侧晶体管驱动器2130并传送到高侧晶体管栅极2127（见图21）的栅极上以接通高侧晶体管2125。在一些实施例中，状态存储电容器2955可以是经配置以响应于第一脉冲输入信号而改变状态并响应于第二脉冲输入信号而改变状态的锁存存储逻辑电路。在另外的实施例中，状态存储电容器2955可被任何类型的锁存电路替换，例如但不限于RS触发器。

[0156] 在另外的实施例中，在此时间期间，电平移位2接收器电路2920可将下拉晶体管2965（例如，在一些实施例中，低电压增强型GaN晶体管）维持在断开状态。这可切断状态存储电容器2955的任何放电路径。因此，在一些实施例中，状态存储电容器2955可具有相对小的充电时间常数和相对大的放电时间常数。

[0157] 类似地，电平移位2接收器电路2920可从第二电平移位晶体管2215（参见图22）接收（L_SHIFT2）信号，所述第二电平移位晶体管2215在（PWM_HS）信号的高状态到低状态转变时接收关断脉冲，如上文所论述。作为响应，电平移位2接收器电路2920驱动下拉晶体管2965（例如，在一些实施例中，低电压增强型GaN晶体管）的栅极。在另外的实施例中，下拉晶体管2965可接着将状态存储电容器2955电压下拉（即，放电）到接近开关节点（V_{sw}）2145的值，所述开关节点（V_{sw}）2145可因此通过高侧晶体管驱动器2130关断高侧晶体管2125。

[0158] 继续参考图29，第一屏蔽电容器2970和第二屏蔽电容器2975分别可从（L_SHIFT1）和（L_SHIFT2）节点连接，以帮助阻止开关节点（V_{sw}）2145（参见图21）处的高dv/dt条件期间的错误触发。在其它实施例中，在（L_SHIFT1）和（L_SHIFT2）节点与开关节点（V_{sw}）2145（见图21）之间还可存在箝位二极管。这可确保开关节点（V_{sw}）2145（见图21）与（L_SHIFT1）和（L_SHIFT2）节点之间的电位差决不会变得高于（V_{th}）。这可用以产生高侧晶体管2125（参见图21）的相对快速的接通和关断。

[0159] 现参考图30，更详细地说明电平移位1接收器2910。在一个实施例中，电平移位1接收器2910可包含向下电平移位器3005、第一反相器3010、第二反相器3015、第一缓冲器3020、第三反相器3025、第二缓冲器3030和第三缓冲器3135。在一些实施例中，电平移位1接收器2910使（L_SHIFT1）信号向下移位（即，调制）3*V_{th}的电压（例如，使用三个增强型晶体管，其中每个增强型晶体管可具有接近V_{th}的栅极到源极电压）。在其它实施例中，可使用更少或更多向下移位晶体管。

[0160] 在另外的实施例中，最后一个源极跟随器晶体管可跨越其栅极到其源极具有三二极管连接式晶体管箝位器。在一些实施例中，可使用此配置，这是因为其源极电压可仅高达（V_{dd_HS}）（即，这是因为其漏极连接到V_{dd_HS}），而其栅极电压可高达V（L_SHIFT1）-2*V_{th}。因此，在一些实施例中，最终源极跟随器晶体管上的最大栅极到源极电压可大于技术的最大额定栅极到源极电压。

[0161] 在其它实施例中,第一反相器3010还可具有用于高侧欠压锁定的使用由高侧UVLO电路2915产生的(UV_LS1)信号的“或非”门。在一个实施例中,电平移位1接收器2910(参见图29)的输出可以是被传送到上拉晶体管2960(参见图29)的栅极的(PU_FET)信号。此信号的电压可从低状态中的0伏变成高状态中的 $(V_{dd_HS}) + (V_{dd_HS} - V_{th})$ 。此电压可在接通脉冲的持续时间内保持接通。

[0162] 现参考图31,更详细地说明电平移位2接收器2920。在一个实施例中,电平移位2接收器2920可类似于上文所论述的电平移位1接收器2910。在另外的实施例中,电平移位2接收器2920可包含消隐脉冲产生器3105、向下电平移位器3110、第一反相器3115、第二反相器3120、第一缓冲器3125、第三反相器3130、第二缓冲器3135和第三缓冲器3140。在一个实施例中,除了 $3 \cdot V_{th}$ 向下电平移位器3110和多个反相器/缓冲器级以外,还可使用消隐脉冲产生器3105。

[0163] 在其它实施例中,可以使用不同配置。在一些实施例中,当电平移位2接收器2920兼用作高侧晶体管2125(参见图21)关断以及消隐晶体管2940(参见图29)驱动以得到较好 dv/dt 抗扰性时,此特定配置可为适用的。在一些实施例中,消隐脉冲产生器3105可与图17中所说明的电平移位2接收器1520相同。在一个实施例中,电平移位2接收器2920(参见图29)可接收(L_SHIFT2)和(UV_LS2)信号,并作为响应而向下拉晶体管2965发射(PD_FET)信号。在另外的实施例中,第一反相器3115可具有用于来自高侧UVLO电路2915(参见图29)的(UV_LS2)信号的双输入“与非”门。

[0164] 现参考图32,更详细地说明高侧UVLO电路2915。在一个实施例中,高侧UVLO电路2915可包含向下电平移位器3205和电阻器上拉反相器级3210。在一些实施例中,高侧UVLO电路2915可经配置以通过在自举电容器2110电压变得低于某一阈值时关断到高侧晶体管2125(参见图21)的(HS_GATE)信号来防止电路故障。在一个实例实施例中,高侧UVLO电路2915被设计成在(V自举)减小到比开关节点(V_{sw})2145电压低小于 $4 \cdot V_{th}$ 的值时接合。在另一实施例中,向下电平移位器3205的输出可以是发射到第二电平移位接收器2920的(UV_LS2)信号,且电阻器上拉反相器级3210的输出可以是发射到第一电平移位接收器2910的(UV_LS1)信号。

[0165] 如下文所论述,在一些实施例中,高侧UVLO电路2915可不同于上文分别在图14和18中所论述的半桥电路100的高侧UVLO电路1415。在一个实施例中,(V自举)信号可向下移位 $3 \cdot V_{th}$ 并传送到电阻器上拉反相器级3210。在另外的实施例中,因为电平移位2接收器电路2920(参见图29)基于高侧晶体管2125(参见图21)而控制关断过程,所以在电平移位2接收器电路2920的输入处直接施加到“与非”门的 $3 \cdot V_{th}$ 向下移位输出将接合欠压锁定。

[0166] 然而,在一些实施例中,因为引传导压可能过低,所以这还可以保持上拉晶体管2960(参见图29)接通。在一些实施例中,这可能产生冲突。当电平移位2接收器电路2920(参见图29)尝试保持高侧晶体管2125(参见图21)关断时,电平移位1接收器电路2910可尝试接通高侧晶体管。为了避免此情形,一些实施例可使来自高侧UVLO电路2915(参见图29)的 $3 \cdot V_{th}$ 向下移位信号的输出反相,并将其发送到电平移位1接收器电路2910上的“或非”输入。这可确保电平移位1接收器电路2910不会干扰UVLO引发的关断过程。

[0167] 现参考图33,更详细地说明高侧晶体管驱动器2130。在一个实施例中,高侧晶体管驱动器2130可包含第一反相器3305、第一缓冲器3310、第二反相器3315、第二缓冲器3320和

第三缓冲器3325。在一些实施例中，高侧晶体管驱动器2130可以是比图1中所说明的半桥电路100中使用的高侧晶体管驱动器130更基本的设计。在一个实施例中，高侧晶体管驱动器2130从状态存储电容器2955(参见图29)接收(S_CAP)信号，并将对应的驱动(HS_GATE)信号递送到高侧晶体管2125(参见图21)。更具体地说，当(S_CAP)信号处于高状态时，(HS_GATE)信号处于高状态，且反之亦然。

[0168] 半桥电路#2操作

[0169] 半桥电路2100(见图21)的以下操作序列仅仅是实例，且可在不脱离本发明的情况下使用其它序列。现在将同时参考图21、22和29。

[0170] 在一个实施例中，当(PWM_LS)信号处于高状态时，低侧逻辑、控制和电平移位电路2150可向低侧晶体管驱动器2120发送高信号，所述低侧晶体管驱动器接着将所述信号传送到低侧晶体管2115以将其接通。这可将开关节点(V_{sw})2145电压设定成接近0伏。在另外的实施例中，当低侧晶体管2115接通时，其可为自举电容器2110提供用以充电的路径。充电路径可具有高电压自举二极管与晶体管的并联组合。

[0171] 在一些实施例中，自举晶体管驱动电路2225可向提供用于为自举电容器2110充电的低电阻路径的自举晶体管提供驱动信号(BOOTFET_DR)。在一个实施例中，自举二极管可确保当不存在低侧栅极驱动信号(LS_GATE)时在启动期间存在用于为自举电容器2110充电的路径。在此时间期间，(PWM_HS)信号应处于低状态。如果(PWM_HS)信号在此时间期间无意中接通，那么从低侧驱动器电路2220产生的(STP_HS)信号将防止高侧晶体管2125接通。如果在(PWM_HS)信号接通时接通(PWM_LS)信号，那么从反相器/缓冲器2250和反相器2275产生的(STP_LS1)和(STP_LS2)信号分别将防止低侧晶体管2115接通。另外，在一些实施例中，(LS_UVLO)信号可防止低侧栅极2117和高侧栅极2127在(V_{cc})或(V_{dd_LS})变得低于预定电压电平时接通。

[0172] 相反地，在一些实施例中，当(PWM_LS)信号处于低状态时，到低侧晶体管2115的(LS_GATE)信号也可处于低状态。在一些实施例中，在(PWM_LS)低信号与(PWM_HS)高信号转变之间的停滞时间期间，电感负载可迫使高侧晶体管2125或低侧晶体管2115在同步整流器模式下接通，这取决于功率流的方向。如果高侧晶体管2125在停滞时间期间(例如，在升压模式中)接通，则开关节点(V_{sw})2145电压可升高为接近(V₊)2135(即，干线电压)。开关节点(V_{sw})2145上的此dv/dt条件可倾向于相对于开关节点(即，由于电容耦合到接地)将(L_SHIFT1)节点拉动到低状态，这可接通高侧晶体管驱动器2130，从而引起高侧晶体管2125的非既定传导。此条件可抵消停滞时间，从而引起击穿。

[0173] 在一些实施例中，此条件可以通过使用消隐脉冲产生器2223感测低侧晶体管2115的关断瞬变并发送脉冲以接通第二电平移位晶体管2205来阻止。这可将(L_SHIFT2)信号拉到低状态，(L_SHIFT2)信号可接着与电平移位2接收器电路2920通信以产生驱动消隐晶体管2940的消隐脉冲。在一个实施例中，消隐晶体管2940可充当阻止(L_SHIFT1)信号相对于开关节点(V_{sw})2145变成低状态的上拉。

[0174] 在另外的实施例中，在停滞时间之后，当(PWM_HS)信号从低状态转变到高状态时，接通脉冲产生器2260可产生接通脉冲。这可在短暂的时间段内将(L_SHIFT1)节点电压拉低。在另外的实施例中，此信号可由电平移位1接收器电路2910反相，且短暂高信号将被发送到将使状态存储电容器2955充电到高状态的上拉晶体管2960。这可在高侧晶体管驱动器

2130的输入处产生将接通高侧晶体管2125的对应高信号。开关节点(V_{sw}) 2145电压可保持接近(V₊) 2135(即,干线电压)。状态存储电容器2955电压可在此时间期间保持在高状态,这是因为不存在放电路径。

[0175] 在另外其它实施例中,在接通脉冲期间,自举电容器2110可通过第一电平移位晶体管2203放电。然而,因为所述时间段相对较短,所以自举电容器2110可能不像其将在第一电平移位晶体管2203在(PWM_HS)信号的整个持续时间期间接通的情况下同等多地放电(图1中的半桥电路100中状况也是如此)。更具体地说,在一些实施例中,这可使UVL0接合的开关频率是比在图1中的半桥电路100中的值相对更低的值。

[0176] 在一些实施例中,当(PWM_HS)信号从高状态转变到低状态时,关断脉冲产生器2270可产生关断脉冲。这可在短暂的时间段内将(L_SHIFT2)节点电压拉低。此信号可由电平移位2接收器电路2920反相,且短暂高状态信号可被发送到将使状态存储电容器2955放电到低状态的下拉晶体管2965。这将在高侧晶体管驱动器2130的输入处产生将关断高侧晶体管2125的低信号。在其它实施例中,状态存储电容器2955电压可在此时间期间保持在低状态,这是因为其不具有放电路径。

[0177] 在一个实施例中,因为电路2100中的关断过程不涉及通过高值上拉电阻器为电平移位节点电容器充电,所以关断时间可比在图1的半桥电路100中相对更短。在另外的实施例中,高侧晶体管2125接通和关断过程可受大体上类似的电平移位晶体管2203、2205的接通控制,因此接通和关断传播延迟可大体上类似。这可产生不需要如在图1中的半桥电路100中使用的上拉触发电路和/或上拉晶体管两者的实施例。

[0178] ESD电路

[0179] 现参考图34,在一些实施例中,一或多个引脚(即,从电子封装内的半导体装置到电子封装上的外部端子的连接)可采用静电放电(ESD)箝位电路来保护电路。以下实施例说明可在本文中所示的一或多个实施例以及可能需要ESD保护的其它实施例中的一些或多个引脚上使用的ESD箝位电路。在其它实施例中,本文中所揭示的ESD箝位电路可在基于GaN的装置上采用。

[0180] 说明静电放电(ESD)箝位电路3400的一个实施例。ESD箝位电路3400可具有采用由增强型晶体管制成的一或多个源极跟随器级3405的配置。每一源极跟随器级3405可具有连接到邻近源极跟随器级的源极3407的栅极3406。在图34中所说明的实施例中,采用四个源极跟随器级3405,然而在其它实施例中,可使用更少或更多源极跟随器级。电阻器3410耦合到源极跟随器级3405的源极3407。

[0181] ESD晶体管3415耦合到一或多个源极跟随器级3405,并可经配置以在暴露于过压脉冲时传导大于500mA的电流,如下文所述。电阻器3410安置在ESD晶体管3415的源极3420与源极跟随器级3405的每个源极3407之间。源极跟随器级3405的漏极3408连接到ESD晶体管3415的漏极3425。最后一个源极跟随器级的源极3407耦合到ESD晶体管3415的栅极3430。

[0182] 在一个实施例中,ESD箝位电路3400的接通电压可由源极跟随器级3405的总数目设定。然而,因为最后一个源极跟随器级是具有特定的漏极3408到源极3407电压和栅极3406到源极电压的晶体管,所以穿过最末电阻器3410的电流可以是相对大的,且可产生跨越ESD晶体管3415的较大栅极3430到源极3420电压。此条件可产生相对大的ESD电流容量,

且在一些实施例中,相比于其它ESD电路配置,此条件可产生改进的泄漏性能。

[0183] 在另外的实施例中,ESD箝位电路3400可关于晶体管大小和电阻器值具有多个自由度。在一些实施例中,ESD箝位电路3400能够制成小于其它ESD电路配置。在其它实施例中,可通过在源极跟随器级3405更接近ESD晶体管3415时递增地增大源极跟随器级的大小来提高ESD箝位电路3400的性能。在另外的实施例中,电阻器3410可例如被耗尽型晶体管、参考电流吸收器或参考电流源替换。

[0184] 现在参考图35,说明类似于图34中的ESD箝位电路3400的实施例,然而,ESD箝位电路3500可具有呈不同配置的电阻器,如下文更详细地论述。ESD箝位电路3500可具有采用由一或多个增强型晶体管制成的一或多个源极跟随器级3505的配置。每一源极跟随器级3505可具有连接到邻近源极跟随器级的源极3507的栅极3506。在图35中所说明的实施例中,采用四个源极跟随器级3505,然而在其它实施例中,可使用更少或更多源极跟随器级。电阻器3510耦合在邻近源极跟随器级3505的源极3507之间。ESD晶体管3515通过安置于ESD晶体管3515的源极3520与源极跟随器级3505的源极3507之间的电阻器3510耦合到源极跟随器级3505。源极跟随器级3505的漏极3508可耦合在一起,且耦合到ESD晶体管3515的漏极3525。

[0185] 电子封装

[0186] 现参考图36和37,在一些实施例中,一或多个半导体装置可安置于一或多个电子封装中。电子封装的多种封装配置和类型可用,且处于本越过的范围内。图36说明称为在内部具有两个半导体装置的方形扁平无引脚电子封装的一个实例。

[0187] 电子封装3600可具有封装基底3610,其具有由一或多个端子3620包围的一或多个裸片垫3615。在一些实施例中,封装基底3610可包括引线框,而在其它实施例中,其可包括有机印刷电路板、陶瓷电路或另一种材料。

[0188] 在图36中所描绘的实施例中,第一装置3620安装到第一裸片垫3615且第二装置3625安装到第二裸片垫3627。在另一实施例中,第一装置3620和第二装置3625中的一或多个分别可安装于安装到封装基底3610的绝缘体(未图示)上。在一个实施例中,绝缘体可以是陶瓷或其它非传导材料。第一装置3620和第二装置3625分别通过线接合3630或任何其它类型的电互连件电耦合到端子3640,电互连件例如是可用于倒装芯片应用中的倒装芯片凸块或柱。线接合3630可在装置接合垫3635与端子3640之间延伸,且在一些状况下延伸到裸片垫3615、3627,且在其它状况下延伸到邻近装置上的装置接合垫3635。

[0189] 现参考图37,展示电子封装3600的等距视图。端子3640以及裸片附接垫3615和3627可安置在外表面上且经配置以附接到印刷电路板或其它装置。在另外的实施例中,端子3640以及裸片附接垫3615和3627可以仅可在电子封装3600内部接达,且其它连接件可安置在电子封装的外部。更具体地说,一些实施例可具有内部电气路线,且在内部与外部连接件之间可能不存在一对一相关性。

[0190] 在另外的实施例中,分别第一装置3620和第二装置3625(见图36)以及封装基底3610的顶部表面可由例如模制化合物等非传导材料囊封。可使用多种其它电子封装,例如但不限于SOIC、DIPS、MCM等等。此外,在一些实施例中,每个装置可在单独的电子封装中,而其它实施例可具有单个封装内的两个或更多个电子装置。其它实施例可具有一或多个电子封装内的一或多个无源装置。

[0191] 图38是根据本发明的实施例的降压半桥式功率转换电路3800的说明。半桥式功率

转换电路3800连接到负载电容器3870和负载3880,且可包含与图1中说明的半桥式功率转换电路100的对应特征和方面类似或相同的特征和方面。

[0192] 半桥式功率转换电路3800包含控制电路3810、高侧驱动器3820、高侧电流检测功率FET 3830、低侧驱动器3840、低侧电流检测功率FET 3850和电感器3860。

[0193] 本文中描述半桥式功率转换电路3800的特定操作性方面。未描述半桥式功率转换电路3800的特定操作性方面,因为其是所属领域的技术人员已知的。此外,在一些实施例中,控制电路3810致使半桥式功率转换电路3800的其它元件以与本文所论述的特定实例不同的方式运作。所属领域的一般技术人员从所描述方面的论述可理解此类其它未描述的功能性。

[0194] 控制电路3810经配置以在节点HSC和LSC处产生控制信号以便在输出节点OUT处产生特定电压。在一些实施例中,控制电路3810可用特定电压的值来编程。此外,在一些实施例中,控制电路3810接收指示输出节点OUT处的实际电压的反馈信号(未图示),且控制电路3810经配置以修改节点HSC和LSC处的控制信号以便减小输出节点OUT处的实际电压和经编程特定电压之间的差。

[0195] 高侧驱动器3820经配置以接收节点HSC和HDET处的信号,且基于所接收信号在节点HSG处产生栅极电压。节点HSG处的栅极电压选择性地控制高侧电流检测功率FET3830的传导状态。

[0196] 高侧电流检测功率FET 3830接收节点HSG处的栅极电压,且根据所接收栅极电压选择性地传导。在传导时,高侧电流检测功率FET 3830提供功率节点V+和开关节点VSW之间的低电阻电流路径。在不传导时,高侧电流检测功率FET 3830呈现功率节点V+和开关节点VSW之间的高电阻电流路径,且额外呈现功率节点V+和开关节点VSW之间的耦合电容。

[0197] 低侧驱动器3840经配置以接收节点LSC和LDET处的信号,且基于所接收信号在节点LSG处产生栅极电压。节点LSG处的栅极电压选择性地控制低侧电流检测功率FET 3850的传导状态。

[0198] 低侧电流检测功率FET 3850接收节点LSG处的栅极电压,且根据所接收栅极电压选择性地传导。在传导时,低侧电流检测功率FET 3850提供接地节点和开关节点VSW之间的低电阻电流路径。当不传导时,低侧电流检测功率FET 3850呈现接地节点和开关节点VSW之间的高电阻电流路径,且额外呈现接地节点和开关节点VSW之间的耦合电容。

[0199] 控制电路3810经配置以在节点HSC和LSC处产生控制信号以便致使高侧电流检测功率FET 3830和低侧电流检测功率FET 3850协作地向电感器3860提供电流,使得在输出节点OUT处产生经编程特定电压。

[0200] 图39是说明图38的半桥式功率转换电路3800的操作的波形图。说明节点HSC和LSC处的控制信号的电压、节点HSG和LSG处的栅极电压,以及开关节点VSW处的电压。此外,还说明电感器电流IL、低侧电流检测FET 3850的IDS电流IDSLFET、与低侧电流检测FET 3850的电流IDSLFET对应的电压,以及节点LI处的电压。应注意,水平时间标度、竖直电压或电流标度、信号斜率以及信号形状不是实际操作的准确说明。实际上,这样绘制是为了实际上说明半桥式功率转换电路3800的功能性的某些方面和特征。

[0201] 在时间周期T-1期间,节点HSC处的控制信号为高,且节点HSC处的控制信号为高致使高侧驱动器3820在节点HSG处产生高栅极电压。节点HSG处的高栅极电压致使高侧电流检

测FET 3830传导。

[0202] 在时间周期T-1期间,节点LSC处的控制信号为低,且节点LSC处的控制信号为低致使低侧驱动器3840在节点LSG处产生低栅极电压。节点LSG处的低栅极电压致使低侧电流检测FET 3850不传导。

[0203] 因为高侧电流检测FET 3830为传导的且低侧电流检测FET 3850为不传导的,所以高侧电流检测FET 3830和低侧电流检测FET 3850共同地致使开关节点VSW处的电压等于功率节点V+的电压。

[0204] 同样在时间周期T-1期间,因为开关节点VSW处的电压等于功率节点V+的大体上固定的电压,且输出节点OUT处的电压等于大体上固定的输出电压,所以通过电感器3860的电流IL大体上线性地增加。此外,在时间周期T-1期间,通过电感器3860的电流由高侧电流检测FET 3830供应。

[0205] 在时间周期T-1期间,大体上不存在通过低侧电流检测FET 3850的电流IDSLFET。

[0206] 在时间周期T-2期间,节点HSC处的控制信号为低,且节点HSC处的控制信号为低致使高侧驱动器3820在节点HSG处产生低栅极电压。节点HSG处的低栅极电压致使高侧电流检测FET 3830不传导。

[0207] 在时间周期T-2期间,节点LSC处的控制信号为低,且节点LSC处的控制信号为低致使低侧驱动器3840在节点LSG处产生低栅极电压。节点LSG处的低栅极电压致使低侧电流检测FET 3850不传导。

[0208] 响应于高侧电流检测FET 3830和低侧电流检测FET 3850不传导,电感器3860中的电流IL致使开关节点VSW处的电压减小直至其钳位在大体上接地电压处。电感器3860中的电流IL由低侧电流检测FET 3850提供,其在图39中说明为IDSLFET。如所指示,在时间周期T-2期间,电感器3860中的电流IL为正且低侧电流检测FET 3850中的电流为负。

[0209] 使用所属领域的技术人员所了解的技术中的一个,在开关节点VSW处的电压达到或接近接地电压之后,控制电路3810致使节点LSC处的控制信号变高。因此,低侧驱动器3840致使节点LSG处的栅极电压变高,且低侧电流检测FET 3850变得传导。因此,开关节点VSW处的电压等于或大体上等于接地电压,此时电感器3860中的电流IL朝向零继续减小,且低侧电流检测FET 3850中的电流IDSLFET朝向零增加。

[0210] 在时间周期T-3开始时,低侧电流检测FET 3850中的电流IDSLFET跨过零或变为正。因此,节点LDET处的电压变为正,且节点LI处的电压变高。响应于节点LDET处的电压变为正,低侧驱动器3840致使节点LSG处的栅极电压变低。此外,响应于节点LI处的电压变高,控制电路3810致使节点LSC处的控制信号变低。在一些实施例中,节点LDET处的电压不会致使低侧驱动器3840将节点LSG处的栅极电压驱动为低。在此类实施例中,响应于节点LSC处的控制信号由于节点LI处的电压变高而变低,低侧驱动器3840致使节点LSG处的栅极电压变低。

[0211] 在时间周期T-3期间,高侧电流检测FET 3830和低侧电流检测FET 3850不传导。因此,电路根据电路的电感、电容和电阻而谐振,如所属领域的技术人员所了解。相应地,通过电感器3860的电流IL、开关节点VSW处的电压和低侧电流检测FET 3850中的电流IDSLFET展现阻尼震荡响应。

[0212] 如图39中所示出,节点LI处的电压提供节点LDET处的电压的极性的指示,其与低

侧电流检测FET 3850的电流IDSLFET的极性对应。如所说明,节点LI处的电压中的正转变指示电流IDSLFET中的正转变,且对应地指示开关节点VSW处的电压中的电压最小值。类似地,节点LI处的电压中的负转变指示电流IDSLFET中的负转变,且对应地指示开关节点VSW处的电压中的电压最大值。

[0213] 响应于节点LI处的电压中的转变中的一个,控制电路3810致使节点HSC处的电压在持续时间T-4开始时变高。

[0214] 在一些实施例中,控制电路3810经配置以响应于节点LI处的电压中的第N转变致使节点HSC处的电压变高。举例来说,如所说明,在一些实施例中,控制电路3810经配置以响应于节点LI处的电压中的第四转变致使节点HSC处的电压变高。在此类实施例中,控制电路3810可经配置以通过调整节点HSC处的控制信号的高时间的持续时间来影响半桥式功率转换电路3800的输出节点OUT处的电压。

[0215] 在一些实施例中,控制电路3810经配置以响应于节点LI处的电压中的选定转变致使节点HSC处的电压变高。在此类实施例中,控制电路3810可经配置以选择转变以便影响半桥式功率转换电路3800的输出节点OUT处的电压。

[0216] 在一些实施例中,控制电路3810经配置以选择与开关节点VSW处的电压中的最大值中的一个对应的转变。在替代实施例中,控制电路3810经配置以选择与开关节点VSW处的电压中的最小值中的一个对应的转变。

[0217] 响应于持续时间T-4期间节点HSC处的电压变高,高侧驱动器3820致使节点HSG处的电压变高,从而致使高侧电流检测FET 3830变得传导。响应于高侧电流检测FET 3830变得传导,开关节点VSW处的电压增加到功率节点V+的电压,且电感器3860中的电流IL大体上线性地增加。

[0218] 时间周期T-4期间半桥式功率转换电路3800的功能性等同于其在时间周期T-1期间的功能性。

[0219] 图40是电流检测FET 4000的示意性说明。电流检测FET 4000可例如用作图38的半桥式功率转换电路3800中的高侧电流检测FET 3830和/或低侧电流检测FET 3850。

[0220] 电流检测FET 4000包含主FET 4010、检测FET 4020和感测电阻器4030。

[0221] 主FET 4010和检测FET 4020根据栅极G和源极S处的电压之间的差而传导或不传导,其中栅极G处的电压比源极S处的电压大至少某一阈值致使主FET 4010和检测FET 4020传导,如所属领域的技术人员所了解。当传导时,主FET 4010提供漏极D和源极S之间的低电阻电流路径。当不传导时,主FET 4010提供漏极D和源极S之间的高电阻电流路径,且额外呈现漏极D和源极S之间的耦合电容。当传导时,检测FET 4020提供漏极D和电阻器4030之间的低电阻电流路径。当不传导时,检测FET 4020提供漏极D和电阻器4030之间的高电阻电流路径,且额外呈现漏极D和电阻器4030之间的耦合电容。

[0222] 电阻器4030的电阻值足够低,使得当主FET 4010和检测FET 4020均传导时,通过主FET 4010的电流与通过检测FET 4020的电流的比率大体上等于主FET 4010的宽度除以长度与检测FET 4020的宽度除以长度的比率。此外,电阻器4030的电阻值足够高,使得通过检测FET 4020的电流致使输出节点DET处的电压具有足够的量值,使得低侧驱动器3840的比较器产生有效的输出信号,如在下文进一步详细论述。

[0223] 在一些实施例中,主FET 4010的宽度除以长度是检测FET 4020的宽度除以长度的

约5、约10、约25、约50、约100、约200、约300、约400、约500、约600、约700、约800、约900,或约1000倍。

[0224] 图41是电流检测FET 4100的实施例的布局图。电流检测FET 4100可具有与图40中说明的电流检测FET 4000的方面和特征类似或相同的方面和特征。

[0225] 电流检测FET 4100包含主FET 4110、检测FET 4120和感测电阻器4130。

[0226] 主FET 4110由布局结构4110D、4110FP、4110G和4110S形成,其中结构4110D共同地形成主FET 4110的漏极,结构4110FP共同地形成主FET 4110的场板,结构4110G共同地形成主FET 4110的栅极,且结构4110S共同地形成主FET 4110的源极。

[0227] 检测FET 4120由标记为4120D、4120FP、4120G和4120S的布局结构形成,其中结构4120D共同地形成检测FET 4120的漏极,结构4120FP共同地形成检测FET 4120的场板,结构4120G共同地形成检测FET 4120的栅极,且结构4120S共同地形成检测FET 4120的源极。

[0228] 电阻器4130由结构4130形成。

[0229] 布局结构4110D和4120D例如使用此项技术中已知的接触件和金属化结构而电连接。类似地,布局结构4110G和4120G也例如使用此项技术中已知的接触件和金属化结构而电连接。此外,电阻器4130的第一端子使用例如此项技术中已知的接触件和金属化结构电连接到检测FET 4120的源极(由布局结构4120S形成)。此外,电阻器4130的第二端子使用例如此项技术中已知的接触件和金属化结构电连接到主FET 4110的源极(由布局结构4110S)形成。

[0230] 在一些实施例中,检测FET 4120的场板结构4120FP使用例如此项技术中已知的接触件和金属化结构电连接到主FET 4110的场板结构4110FP。在一些实施例中,检测FET 4120的场板结构4120FP使用例如此项技术中已知的接触件和金属化结构电连接到检测FET 4120的源极结构4120S。

[0231] 图42是根据一实施例的驱动器电路4200的示意图。驱动器电路4200可例如用作如图38中所说明的半桥式功率转换电路3800的高侧驱动器3820和/或低侧驱动器3840。

[0232] 在所说明的实施例中,检测FET 4120由两个单独区段形成,如图41中所说明。在替代实施例中,检测FET 4120由单个区段形成。在一些实施例中,检测FET 4120由例如三个、四个、五个或更多个区段等大于两个的数目的区段形成。

[0233] 在一些实施例中,由单个区段形成的检测FET 4120放置成处于主FET 4110中心的区域中。或者,在一些实施例中,由单个区段形成的检测FET 4120放置成处于主FET 4110的周边的区域中。

[0234] 在一些实施例中,由第一和第二区段形成的检测FET 4120放置成使得第一区段放置于主FET 4110的第一半的中心的区域中,且第二区段放置于主FET 4110的第二半的中心的区域中。

[0235] 在一些实施例中,由第一、第二、第三和第四区段形成的检测FET 4120放置成使得第一区段放置于主FET 4110的第一象限的中心的区域中,第二区段放置于主FET 4110的第二象限的中心的区域中,第三区段放置于主FET 4110的第三象限的中心的区域中,且第四区段放置于主FET 4110的第四象限的中心的区域中。

[0236] 驱动器电路4200包含比较器4210、锁存器4220以及输出驱动器4230和4240。输入信号C和ID向锁存器4220产生由输出驱动器4230缓冲的两个输出信号。此外,比较器4210的

输出由输出驱动器4240缓冲。

[0237] 图43说明表示驱动器电路4200的操作的波形图。参考图42和43,输入信号C为高致使锁存器4220输出高信号。锁存器4220的高输出信号致使输出驱动器4230用高信号驱动输出OUT。

[0238] 当输入信号ID小于接地电压时,比较器4210的输出R大体上等于接地。此外,当输入信号ID大于接地电压时,比较器4210的输出R为高。

[0239] 相应地,当输入信号ID从小于接地电压转变为大于接地电压时,比较器4210的输出R从低转变为高。响应于比较器4210的输出R的高转变,锁存器4220复位,使得其输出从高转变为低。因此,输出OUT处的输出信号也从高转变到低。

[0240] 在一些实施例中,比较器4210的负输入端子连接到除接地电压以外的电压。在此类实施例中,比较器4210的输出R响应于由输入信号ID表示的电流跨过除零以外的值而转变。

[0241] 在替代操作模式中,高侧电流检测功率FET 3830、高侧驱动器3820和控制电路3810以与低侧电流检测功率FET 3850、低侧驱动器3840和控制电路3810的功能性类似、等同或对称的方式协作地运作,如所描述。

[0242] 图44是根据本发明的实施例的降压半桥式功率转换电路4400的说明。半桥式功率转换电路4400连接到负载电容器4470和负载4480,且可包含与图1中说明的半桥式功率转换电路100的对应特征和方面类似或相同的特征和方面。

[0243] 半桥式功率转换电路4400包含控制电路4410、高侧驱动器4420、高侧电流检测功率FET 4430、低侧驱动器4440、低侧电流检测功率FET 4450和电感器4460。

[0244] 高侧电流检测功率FET 4430和低侧电流检测功率FET 4450可具有与图38的半桥式功率转换电路3800的高侧电流检测功率FET 3830和低侧电流检测功率FET 3850类似或相同的特征。

[0245] 高侧驱动器4420和低侧驱动器4440可具有与图38的半桥式功率转换电路3800的高侧驱动器3820和低侧驱动器3840类似或相同的特征。

[0246] 本文中描述半桥式功率转换电路4400的特定操作性方面。未描述半桥式功率转换电路4400的特定操作性方面,因为其是所属领域的技术人员已知的。此外,在一些实施例中,控制电路4410致使半桥式功率转换电路4400的其它元件以与本文所论述的特定实例不同的方式运作。所属领域的一般技术人员从所描述方面的论述可推断此类其它未描述的功能性。

[0247] 控制电路4410经配置以在节点HSC和LSC处产生控制信号以便在输出节点OUT处产生特定电压。在一些实施例中,控制电路4410可用特定电压的值来编程。此外,在一些实施例中,控制电路4410接收指示输出节点OUT处的实际电压的反馈信号(未图示),且控制电路4410经配置以修改节点HSC和LSC处的控制信号以便减小输出节点OUT处的实际电压和经编程特定电压之间的差。

[0248] 高侧驱动器4420经配置以接收节点HSC和HDET处的信号,且基于所接收信号在节点HSG处产生栅极电压。节点HSG处的栅极电压选择性地控制高侧电流检测功率FET 4430的传导状态。

[0249] 高侧电流检测功率FET 4430接收节点HSG处的栅极电压,且根据所接收栅极电压

选择性地传导。在传导时,高侧电流检测功率FET 4430提供输出节点OUT和开关节点VSW之间的低电阻电流路径。在不传导时,高侧电流检测功率FET 4430呈现输出节点OUT和开关节点VSW之间的高电阻电流路径,且额外呈现输出节点OUT和开关节点VSW之间的耦合电容。

[0250] 低侧驱动器4440经配置以接收节点LSC和LDET处的信号,且基于所接收信号在节点LSG处产生栅极电压。节点LSG处的栅极电压选择性地控制低侧电流检测功率FET 4450的传导状态。

[0251] 低侧电流检测功率FET 4450接收节点LSG处的栅极电压,且根据所接收栅极电压选择性地传导。在传导时,低侧电流检测功率FET 4450提供接地节点和开关节点VSW之间的低电阻电流路径。当不传导时,低侧电流检测功率FET 4450呈现接地节点和开关节点VSW之间的高电阻电流路径,且额外呈现接地节点和开关节点VSW之间的耦合电容。

[0252] 控制电路4410经配置以在节点HSC和LSC处产生控制信号以便致使高侧电流检测功率FET 4430和低侧电流检测功率FET 4450协作地将电流从电感器4460提供到输出节点OUT,使得在输出节点OUT处产生经编程特定电压。

[0253] 图45是说明图44的半桥式功率转换电路4400的操作的波形图。说明节点HSC和LSC处的控制信号的电压、节点HSG和LSG处的栅极电压,以及开关节点VSW处的电压。此外,还说明电感器电流 I_L 、高侧电流检测FET 4430的IDS电流 I_{DSHFET} 、与高侧电流检测FET 4430的电流对应的电压,以及节点HI处的电压。应注意,水平时间标度、竖直电压或电流标度、信号斜率以及信号形状不是实际操作的准确说明。实际上,这样绘制是为了实际上说明半桥式功率转换电路4400的功能性的某些方面和特征。

[0254] 在时间周期T-1期间,节点LSC处的控制信号为高,且节点LSC处的控制信号为高致使低侧驱动器4440在节点LSG处产生高栅极电压。节点LSG处的高栅极电压致使低侧电流检测FET 4450传导。

[0255] 在时间周期T-1期间,节点HSC处的控制信号为低,且节点HSC处的控制信号为低致使高侧驱动器4420在节点HSG处产生低栅极电压。节点HSG处的低栅极电压致使高侧电流检测FET 4430不传导。

[0256] 因为低侧电流检测FET 4450传导且高侧电流检测FET 4430不传导,所以高侧电流检测FET 4430和低侧电流检测FET 4450共同地致使开关节点VSW处的电压等于接地电压。

[0257] 同样在时间周期T-1期间,因为开关节点VSW处的电压等于大体上固定的接地电压,且输出节点OUT处的电压等于大体上固定的输出电压,所以通过电感器4460的电流 I_L 大体上线性地增加。此外,在时间周期T-1期间,通过电感器4460的电流由低侧电流检测FET 4430吸收。

[0258] 在时间周期T-1期间,大体上没有电流 I_{DSHFET} 通过高侧电流检测FET 4430。

[0259] 在时间周期T-2期间,节点LSC处的控制信号为低,且节点LSC处的控制信号为低致使低侧驱动器4440在节点LSG处产生低栅极电压。节点LSG处的低栅极电压致使低侧电流检测FET 4450不传导。

[0260] 在时间周期T-2开始时,节点HSC处的控制信号为低,且节点HSC处的控制信号为低致使高侧驱动器4420在节点HSG处产生低栅极电压。节点HSG处的低栅极电压致使高侧电流检测FET 4430不传导。

[0261] 响应于高侧电流检测FET 4430和低侧电流检测FET 4450不传导,电感器4460中的

电流 I_L 致使开关节点VSW处的电压增加直至其大体上钳位在输出OUT处的输出电压处。电感器4460中的电流 I_L 经由高侧电流检测FET 4430从开关节点VSW传导到输出OUT,其在图45中说明为IDSHFET。如所指示,在时间周期T-2期间,电感器4460中的电流 I_L 为正且高侧电流检测FET 4430中的电流为负。

[0262] 使用所属领域的技术人员所了解的技术中的一个,在开关节点VSW处的电压达到或接近输出OUT处的电压之后,控制电路4410致使节点HSC处的控制信号变高。因此,高侧驱动器4440致使节点HSG处的栅极电压变高,且高侧电流检测FET 4430变得传导。因此,开关节点VSW处的电压等于或大体上等于输出OUT处的电压,此时电感器4460中的电流 I_L 朝向零继续减小,且高侧电流检测FET 4430中的电流IDSHFET朝向零增加。

[0263] 在时间周期T-3开始时,高侧电流检测FET 4430中的电流IDSLFET跨过零或变为正。因此,节点HDET处的电压变为正,且节点HI处的电压变高。响应于节点HDET处的电压变为正,高侧驱动器4420致使节点HSG处的栅极电压变低。此外,响应于节点HI处的电压变高,控制电路4410致使节点HSC处的控制信号变低。在一些实施例中,节点HDET处的电压不会致使高侧驱动器4420将节点HSG处的栅极电压驱动为低。在此类实施例中,响应于节点HSC处的控制信号由于节点HI处的电压变高而变低,高侧驱动器4420致使节点HSG处的栅极电压变低。

[0264] 在时间周期T-3期间,高侧电流检测FET 4430和低侧电流检测FET 4450不传导。因此,电路根据电路的电感、电容和电阻而谐振,如所属领域的技术人员所了解。相应地,通过电感器4460的电流 I_L 、开关节点VSW处的电压和高侧电流检测FET 4430中的电流IDSHFET展现阻尼震荡响应。

[0265] 如图45中所说明,节点HI处的电压提供节点HDET处的电压的极性的指示,其与高侧电流检测FET 4430的电流IDSHFET的极性对应。如所说明,节点HI处的电压中的正转变指示电流IDSHFET中的正转变,且对应地指示开关节点VSW处的电压中的电压最小值。类似地,节点HI处的电压中的负转变指示电流IDSHFET中的负转变,且对应地指示开关节点VSW处的电压中的电压最大值。

[0266] 响应于节点HI处的电压中的转变中的一个,控制电路4410致使节点LSC处的电压在持续时间T-4开始时变高。

[0267] 在一些实施例中,控制电路4410经配置以响应于节点HI处的电压中的第N转变致使节点LSC处的电压变高。举例来说,如所说明,在一些实施例中,控制电路4410经配置以响应于节点HI处的电压中的第四转变致使节点LSC处的电压变高。在此类实施例中,控制电路4410可经配置以通过调整节点LSC处的控制信号的高时间的持续时间来影响半桥式功率转换电路4400的输出节点OUT处的电压。

[0268] 在一些实施例中,控制电路4410经配置以响应于节点HI处的电压中的选定转变致使节点LSC处的电压变高。在此类实施例中,控制电路4410可经配置以选择转变以便影响半桥式功率转换电路4400的输出节点OUT处的电压。

[0269] 在一些实施例中,控制电路4410经配置以选择与开关节点VSW处的电压中的最大值中的一个对应的转变。在替代实施例中,控制电路4410经配置以选择与开关节点VSW处的电压中的最小值中的一个对应的转变。

[0270] 响应于节点LSC处的电压在持续时间T-4期间变高,低侧驱动器4440致使节点LSG

处的电压变高,从而致使低侧电流检测FET 4450变得传导。响应于低侧电流检测FET4450变得传导,开关节点VSW处的电压变为等于或大体上等于接地电压,且电感器4460中的电流 I_L 大体上线性地增加。

[0271] 时间周期T-4期间半桥式功率转换电路4400的功能性等同于其在时间周期T-1期间的功能性。

[0272] 在替代操作模式中,高侧电流检测功率FET 4430、高侧驱动器4420和控制电路4410以与低侧电流检测功率FET 4450、低侧驱动器4440和控制电路4410的功能性类似、等同或对称的方式协作地运作,如所描述。

[0273] 图46是电路4600的示意性说明,其可例如在例如图38的降压半桥式功率转换电路3800或图44的升压半桥式功率转换电路4400等开关转换器中使用,如所属领域的技术人员所了解。在电路4600的实施例中,电流检测FET 4620的电阻器处的电压输出用作过流保护电路的一部分。

[0274] 电路4600包含驱动器4610、电流检测FET 4620、运算跨导放大器4630、电阻器4640和控制器4650。

[0275] 图47说明表示图46的驱动器电路4600的操作的波形图。

[0276] 参考图46和47,在时间周期T-1期间,控制器4650致使节点C处的信号为低。因此,节点G处的栅极电压为低,电流检测FET 4620不传导,且节点VI和AVI处的电压也为低。

[0277] 在时间周期T-2期间,根据其转换器控制方案,控制器4650致使节点C处的信号为高。因此,节点G处的栅极电压为高,电流检测FET 4620变得传导,且电流流经FET和电流检测FET 4620的电阻器两者。因此,节点VI处的电压根据流经电流检测FET 4620的电阻器的电流而增加。

[0278] 由于节点VI处的电压增加,由OTA 4630产生的电流对应地增加。此外,由OTA 4630产生的电流传导经过电阻器4640,且节点AVI处的电压也增加。

[0279] 在时间周期T-3开始时,节点AVI处的电压已增加到阈值以上,且控制器4650致使节点C处的信号变低。由于节点C处的信号为低,所以驱动器4610致使节点G处的栅极电压减小,使得电流检测FET 4620变得不传导。因此,电流不再流动穿过电流检测FET 4620的电阻器,且节点VI和AVI处的电压下降。

[0280] 相应地,如图47中所说明,正由电流检测FET 4620传导的电流大于阈值,电路4600致使电流检测FET 4620关断。

[0281] 图48是电路4800的示意性说明,其可例如在例如图38的降压半桥式功率转换电路3800或图44的升压半桥式功率转换电路4400等开关转换器中使用,如所属领域的技术人员所了解。在电路4800的实施例中,电流检测FET 4620的电阻器处的电压输出用作过流保护电路的一部分。

[0282] 电路4800包含驱动器4810、电流检测FET 4820、运算跨导放大器(OTA) 4830、电阻器4840、控制器4850、锁存器4860和“与”门4870。

[0283] 图49说明表示图48的驱动器电路4800的操作的波形图。

[0284] 参考图48和49,在时间周期T-1期间,控制器4850致使节点C2处的信号为高。因此,锁存器4860致使“与”门4870的输入节点OC中的一个处的信号为高。

[0285] 此外,在时间周期T-1期间,控制器4850致使节点C1处的信号为低。因此,节点G处

的栅极电压为低,电流检测FET 4820不传导,且节点VI和AVI处的电压也为低。

[0286] 在时间周期T-2期间,控制器4850致使节点C2处的信号为低。尽管如此,锁存器4860继续致使节点OC处的信号为高。

[0287] 在时间周期T-3期间,根据其转换器控制方案,控制器4850致使节点C1处的信号为高。因此,节点G处的栅极电压由驱动器4810驱动为高,电流检测FET 4820变得传导,且电流流经FET和电流检测FET 4820的电阻器两者。因此,节点VI处的电压根据流经电流检测FET 4820的电阻器的电流而增加。

[0288] 由于节点VI处的电压增加,由OTA 4830产生的电流对应地增加。此外,由OTA 4830产生的电流传导经过电阻器4840,且节点AVI处的电压也增加。

[0289] 在时间周期T-4开始时,节点AVI处的电压增加到阈值以上,且锁存器4860致使节点OC处的信号变低。由于节点OC处的信号为低,所以驱动器4810致使节点G处的栅极电压下降。此外,响应于节点AVI处的电压增加到阈值以上,控制器4850致使节点C1处的信号变低。由于节点C1或OC处的信号为低,所以驱动器4810致使节点G处的栅极电压为低,使得电流检测FET 4820变得不传导。因此,电流不再流动穿过电流检测FET 4820的电阻器,且节点VI和AVI处的电压下降。

[0290] 在时间周期T-5期间,根据其转换器控制方案,控制器4850致使节点C2处的信号为高,且锁存器4860致使节点OC处的信号为高,如上文参考周期T-1所描述。

[0291] 相应地,如图49中所说明,正由电流检测FET 4820传导的电流大于阈值,电路4800致使电流检测FET 4820关断。

[0292] 在前文说明书中,本发明的实施例已经参考可针对不同实施方案变化的许多特定细节进行描述。因此,说明书和图式应在说明性意义上而非限制性意义上看待。本发明范围的单一和排他性指示和由申请人预期是本发明范围的内容是以产生权利要求集合(包含任何后续修正)的特定形式产生于本申请的此类权利要求的字面且等效范围。

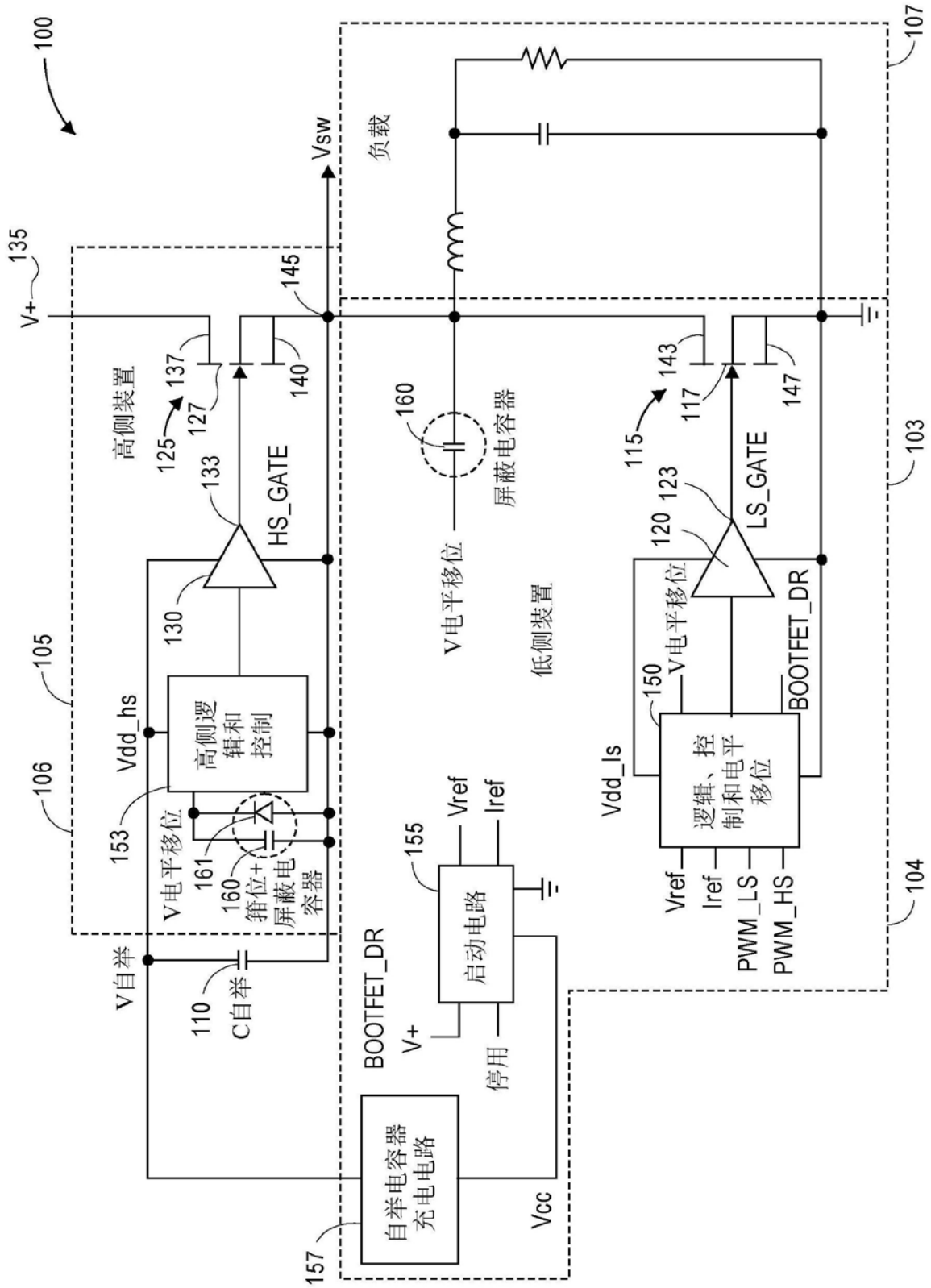


图1

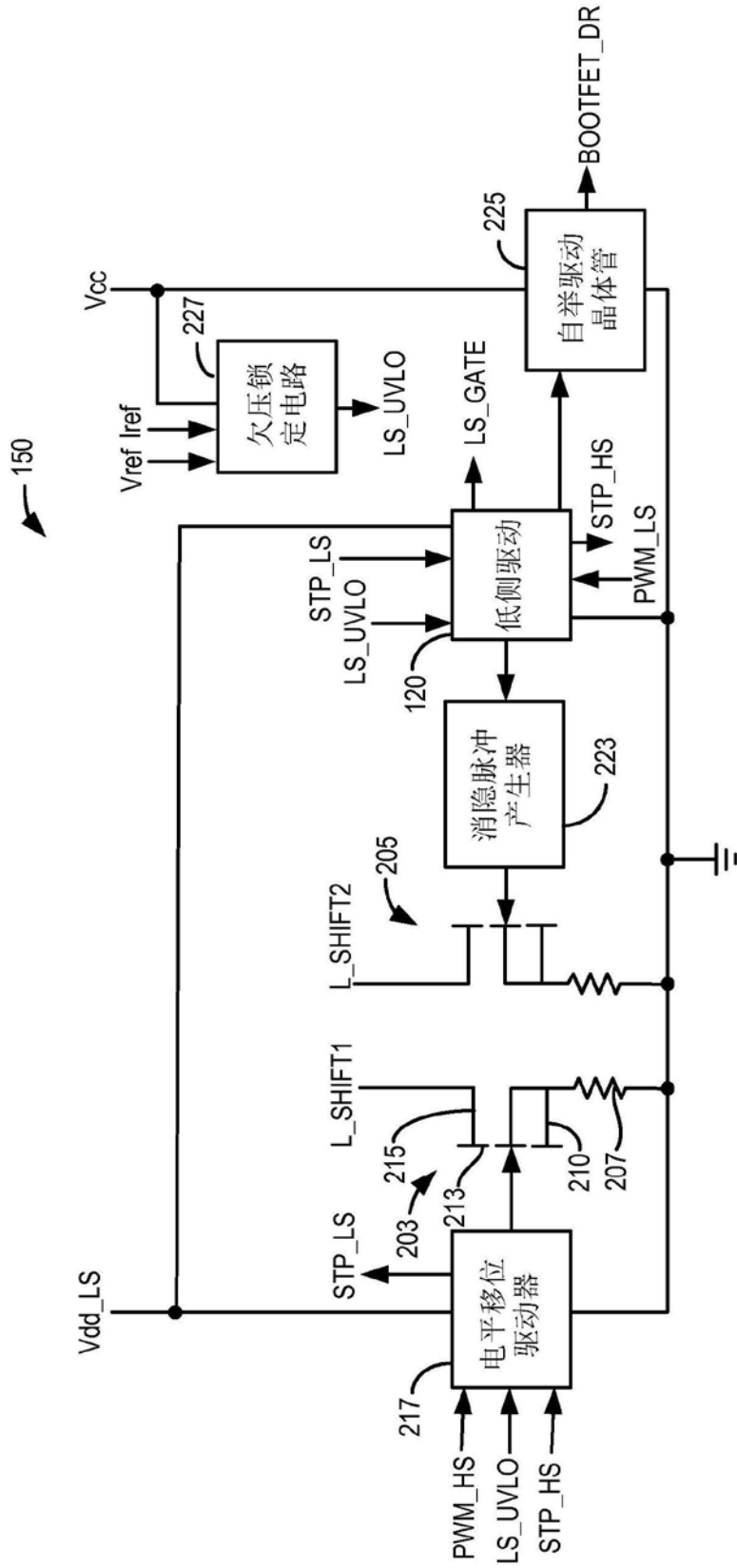


图2

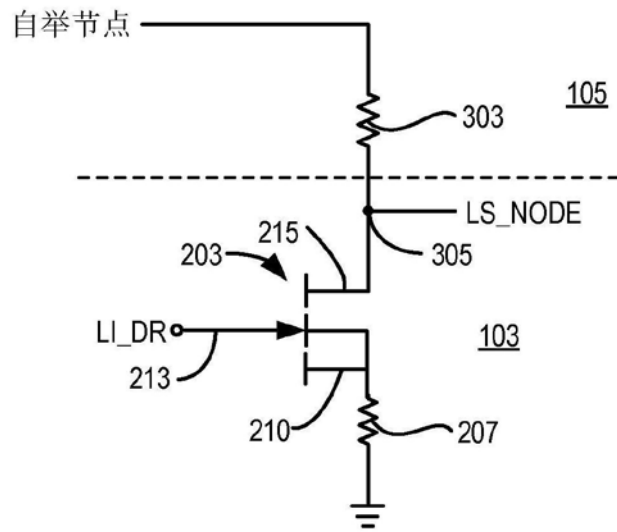


图3

217

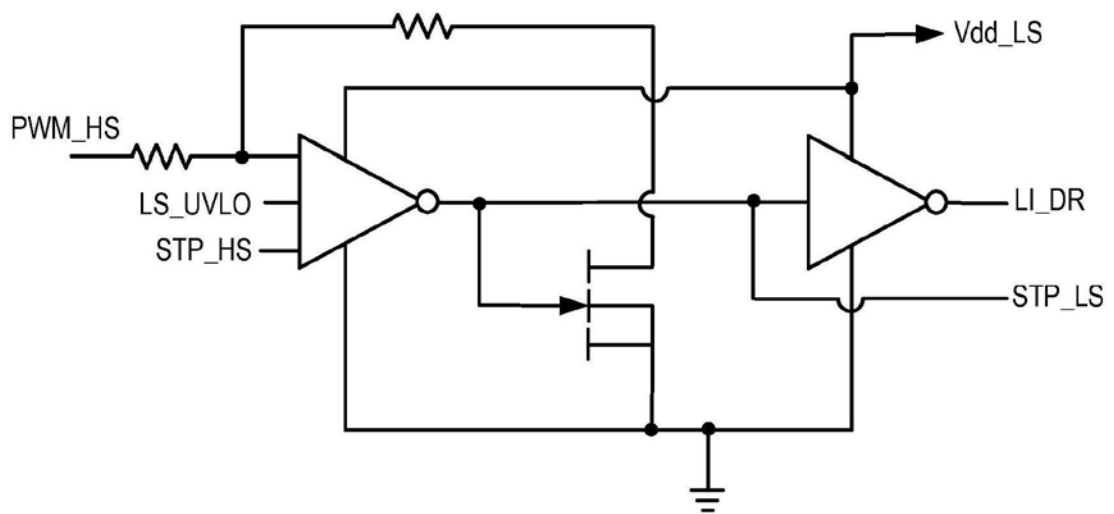


图4

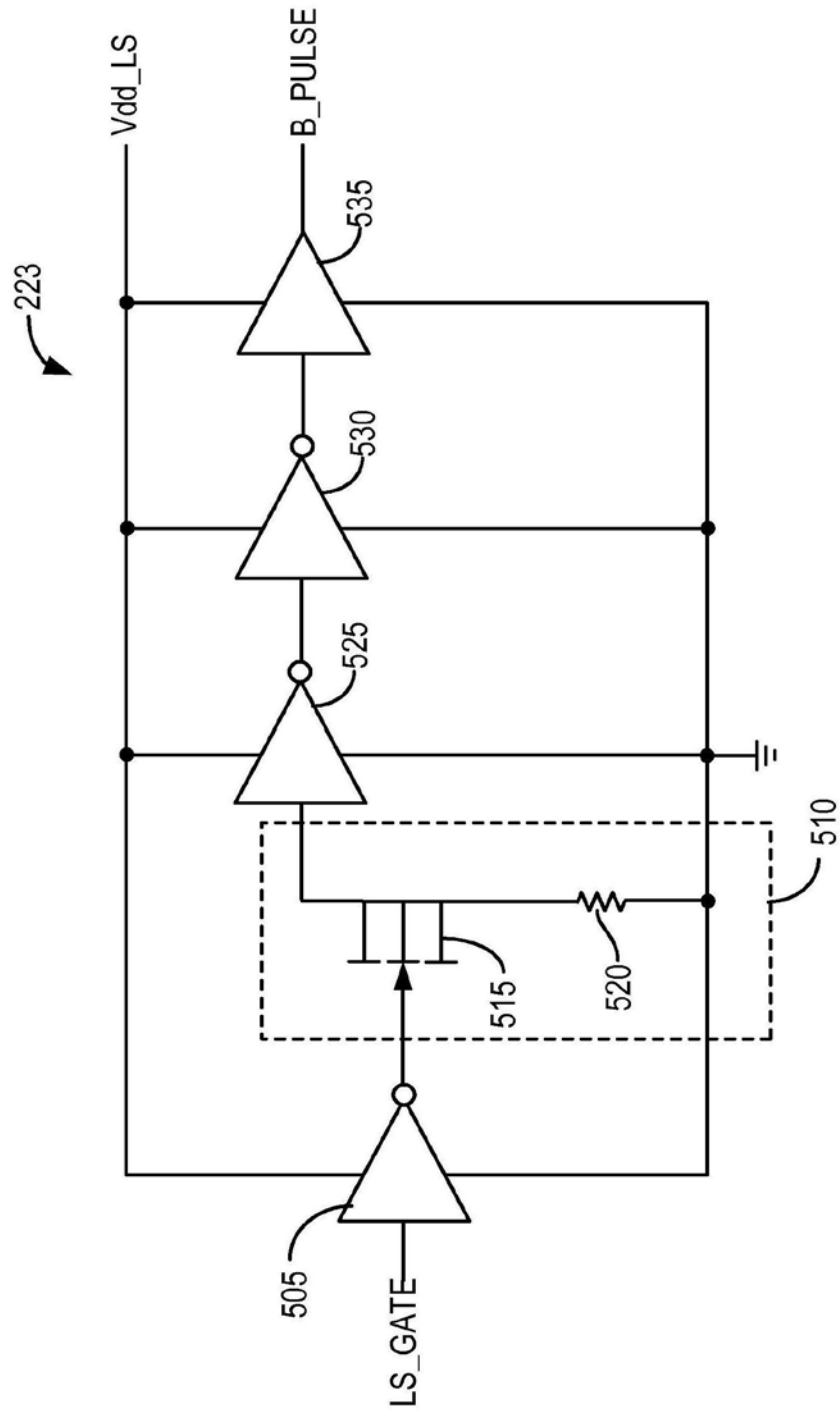


图5

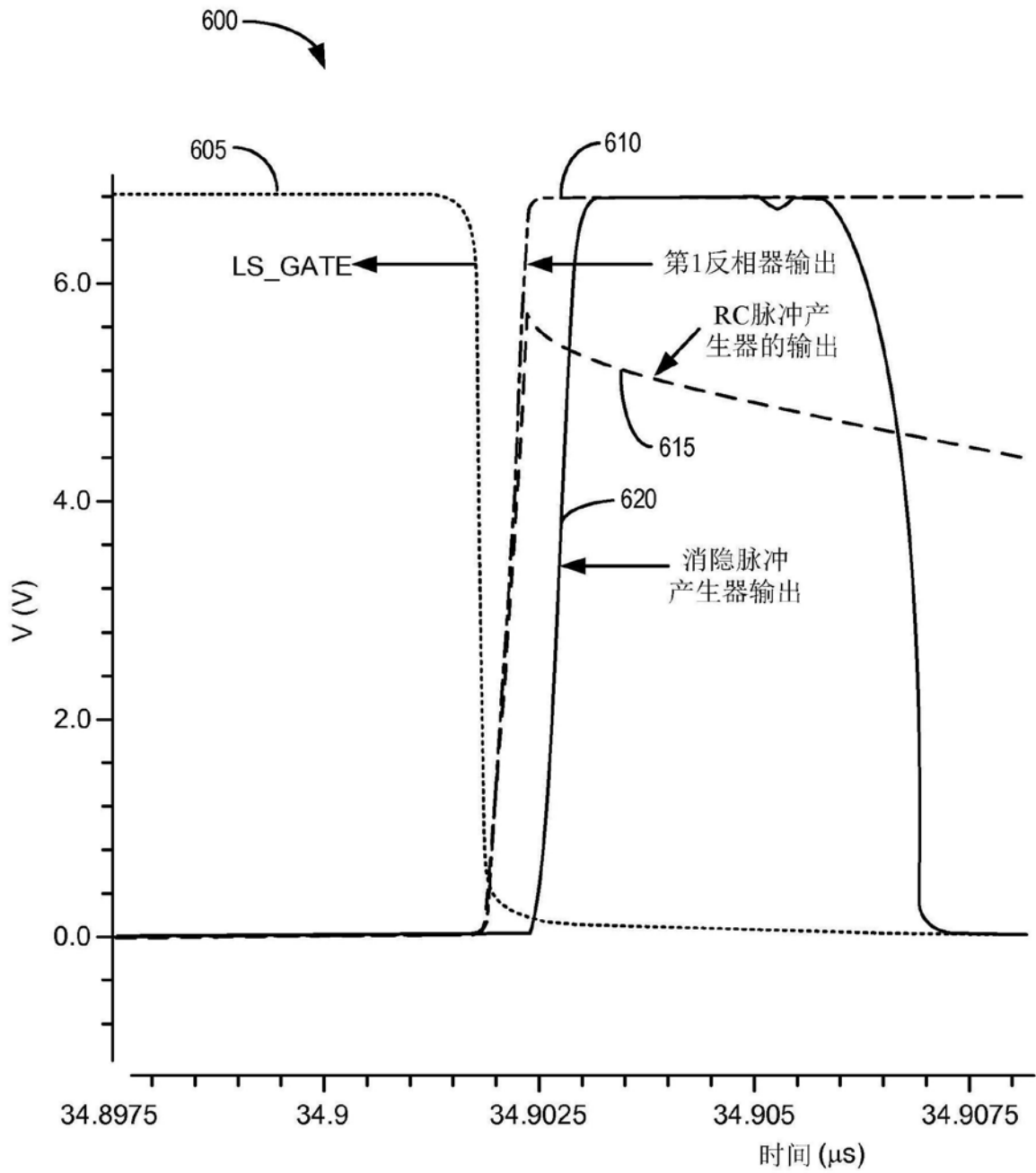


图6

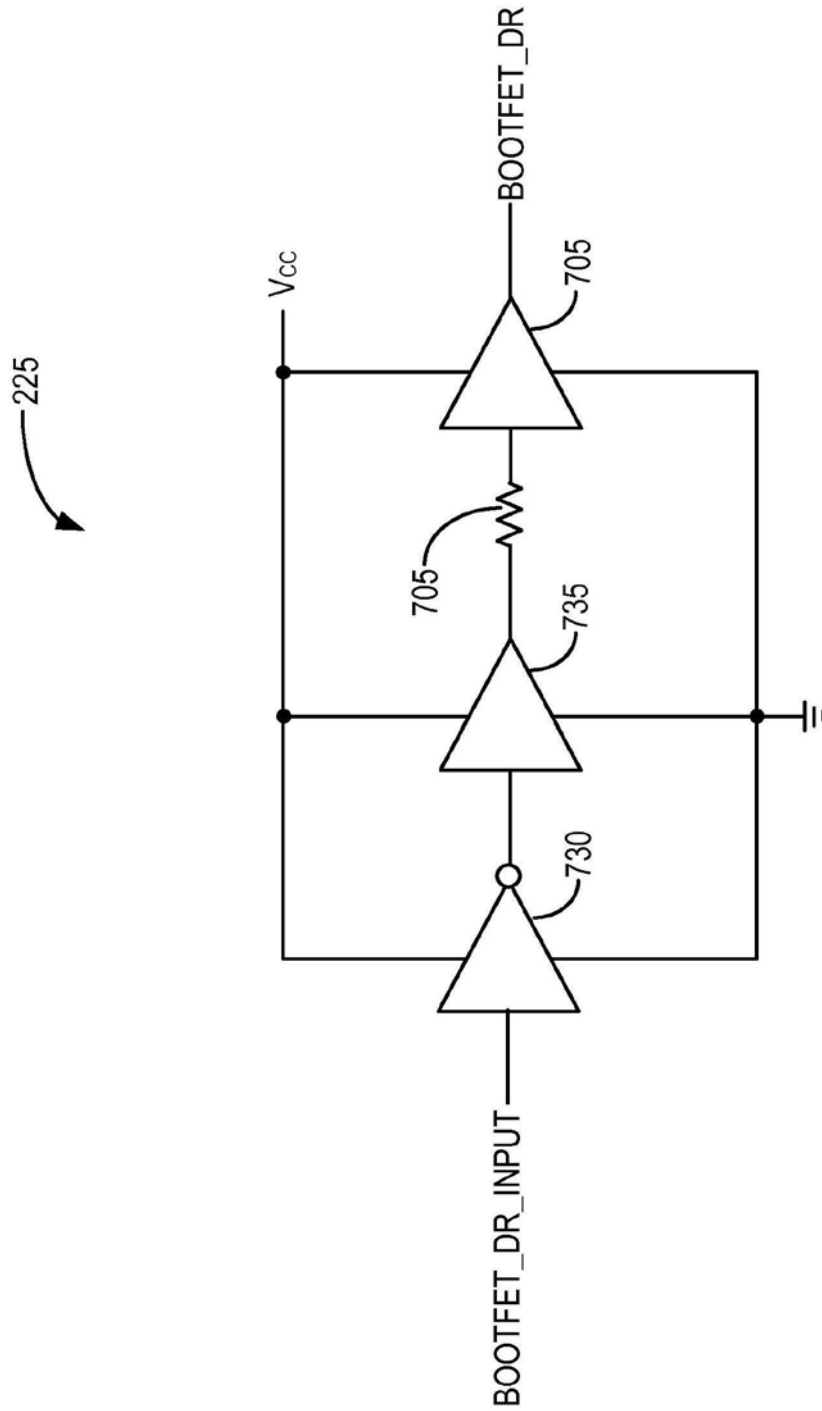


图7

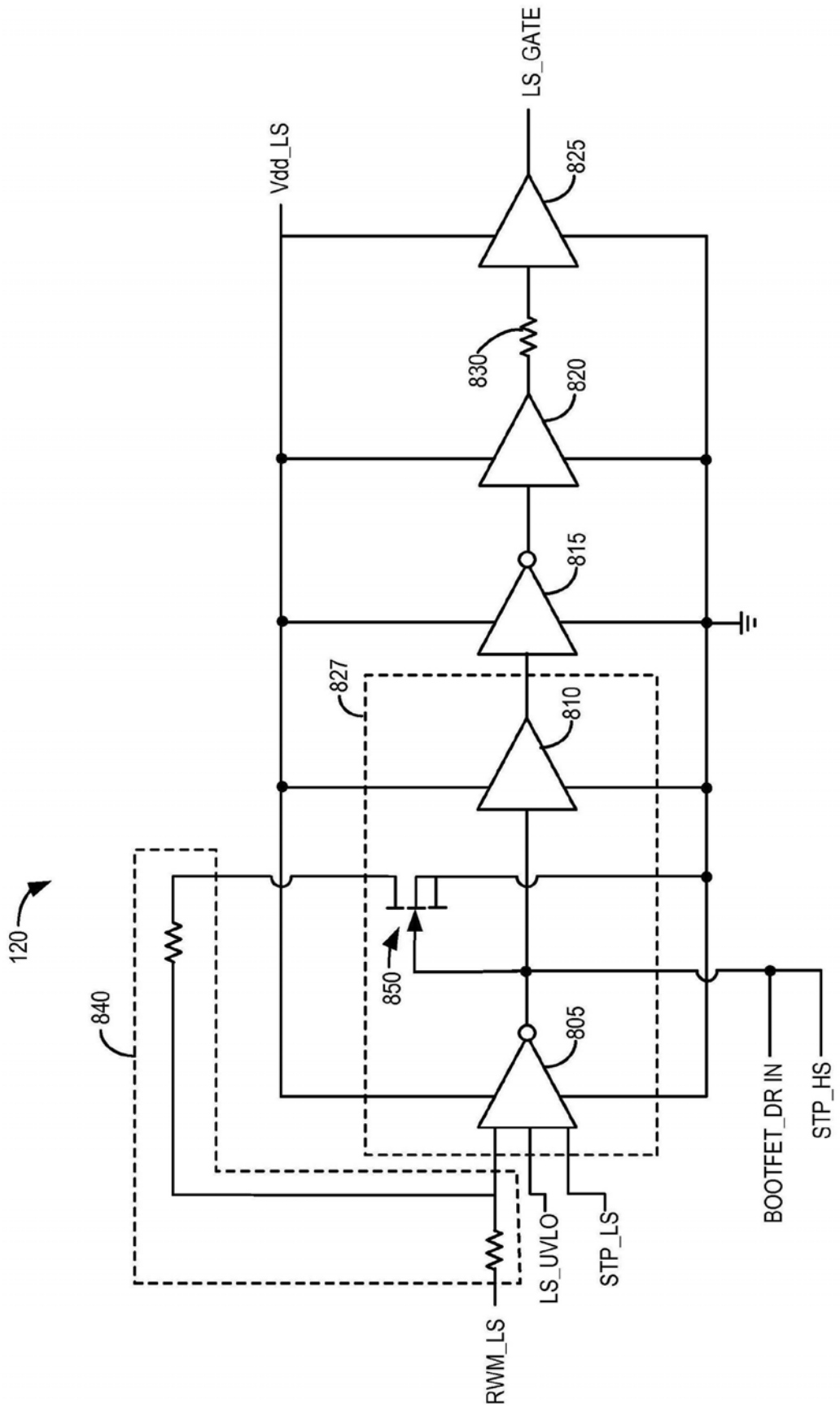


图8

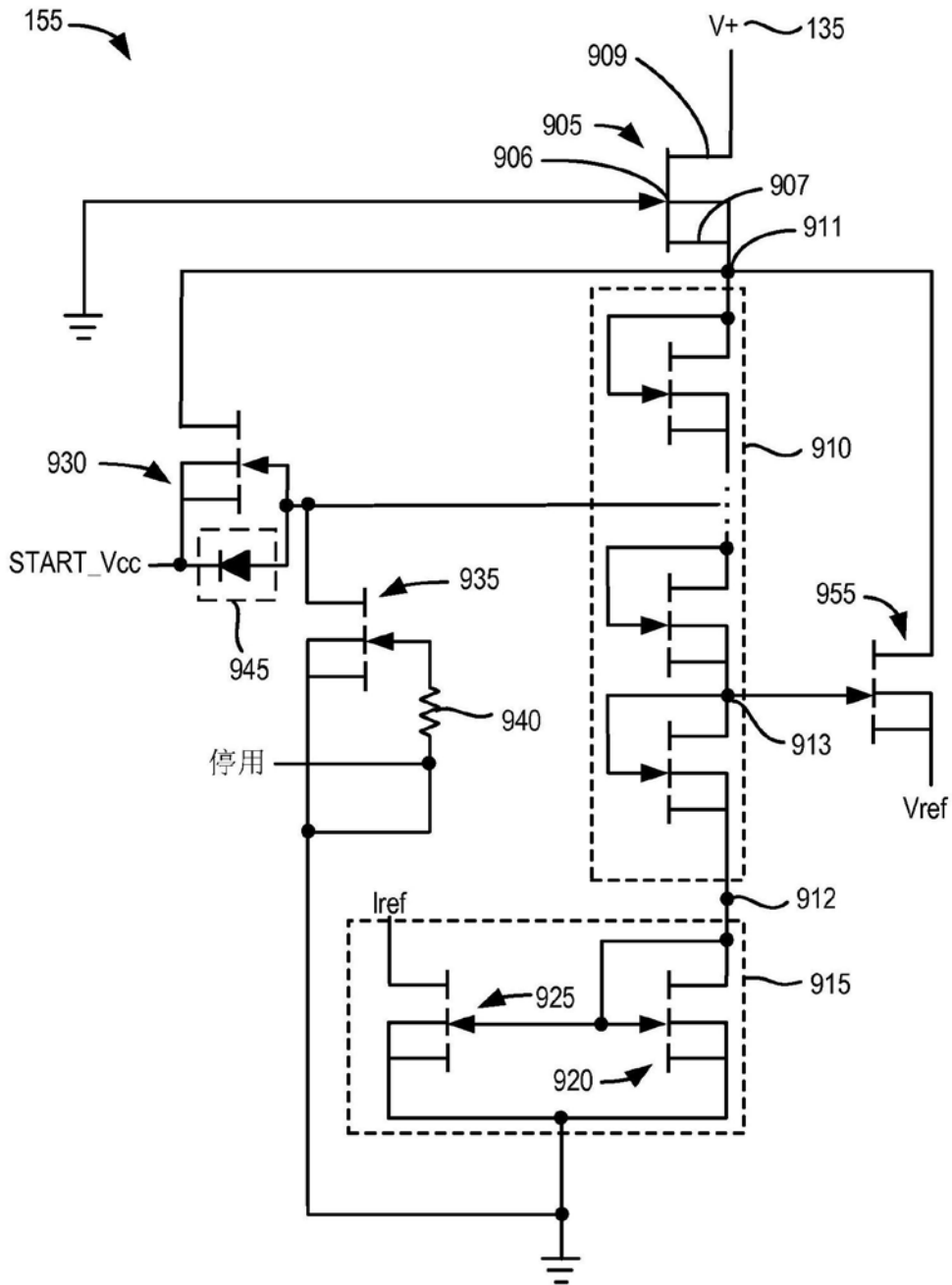


图9

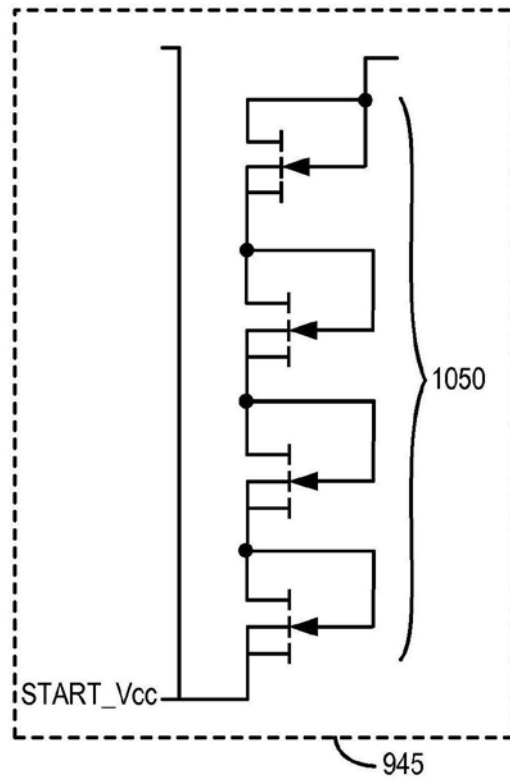


图10

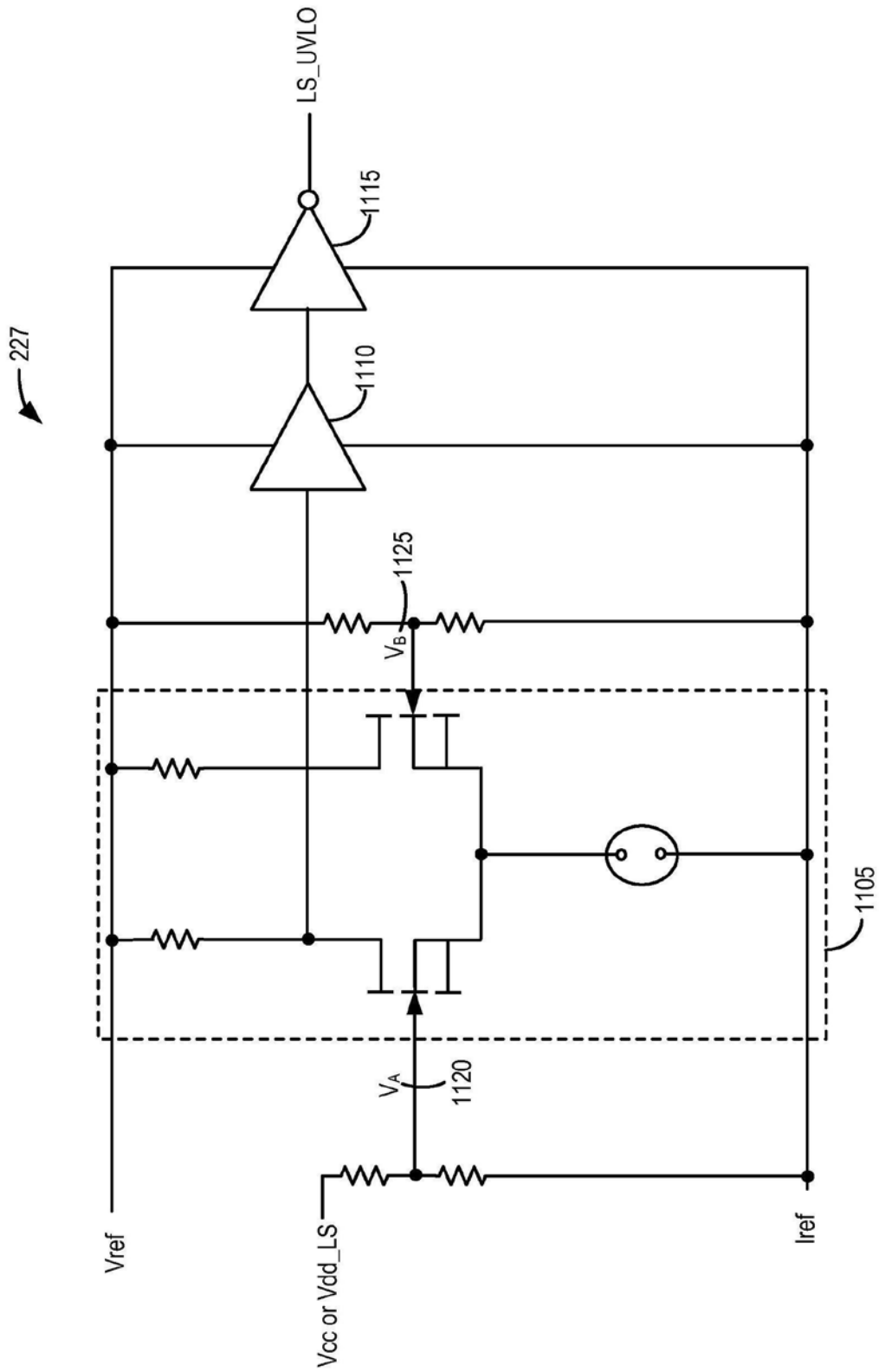


图11

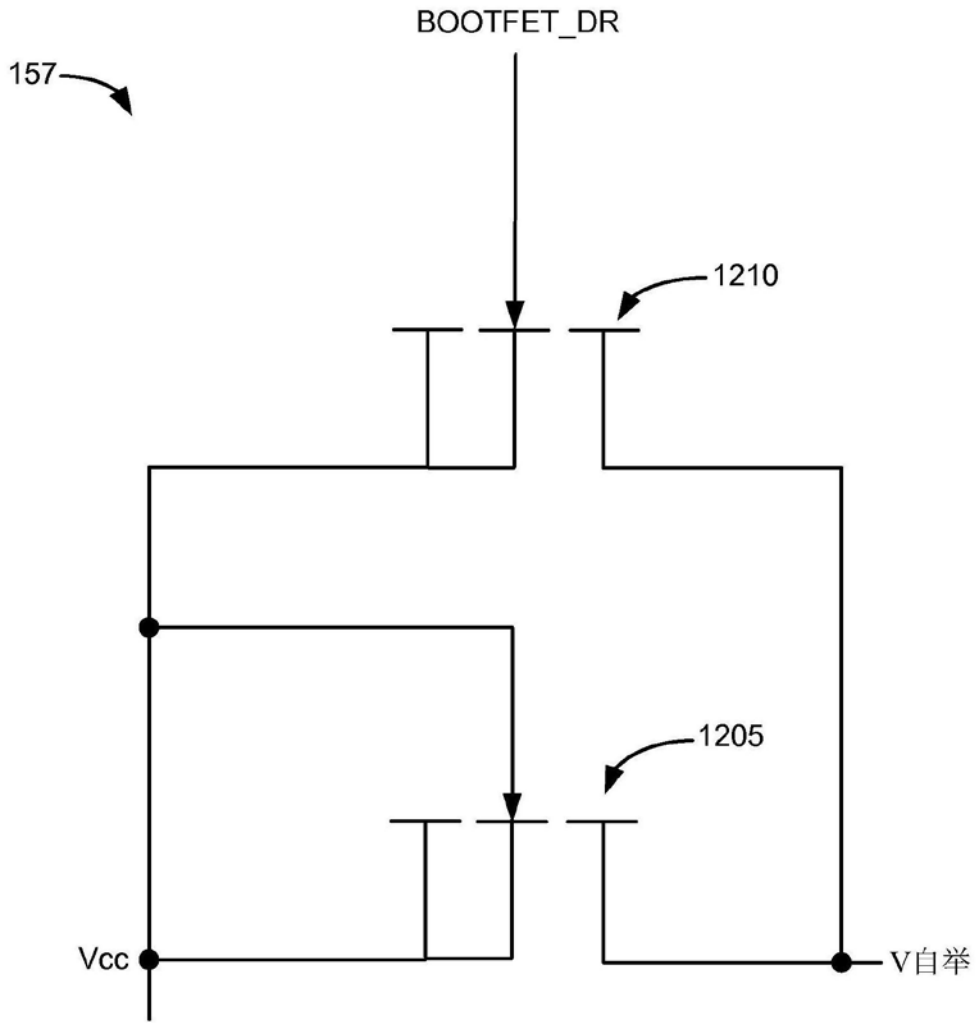


图12

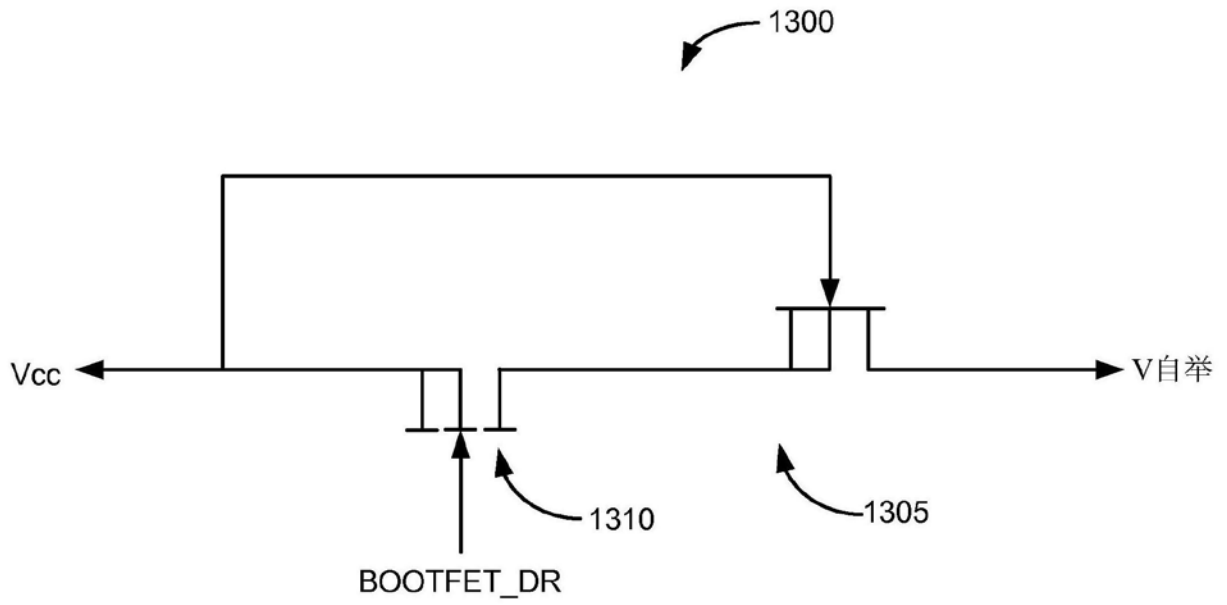


图13

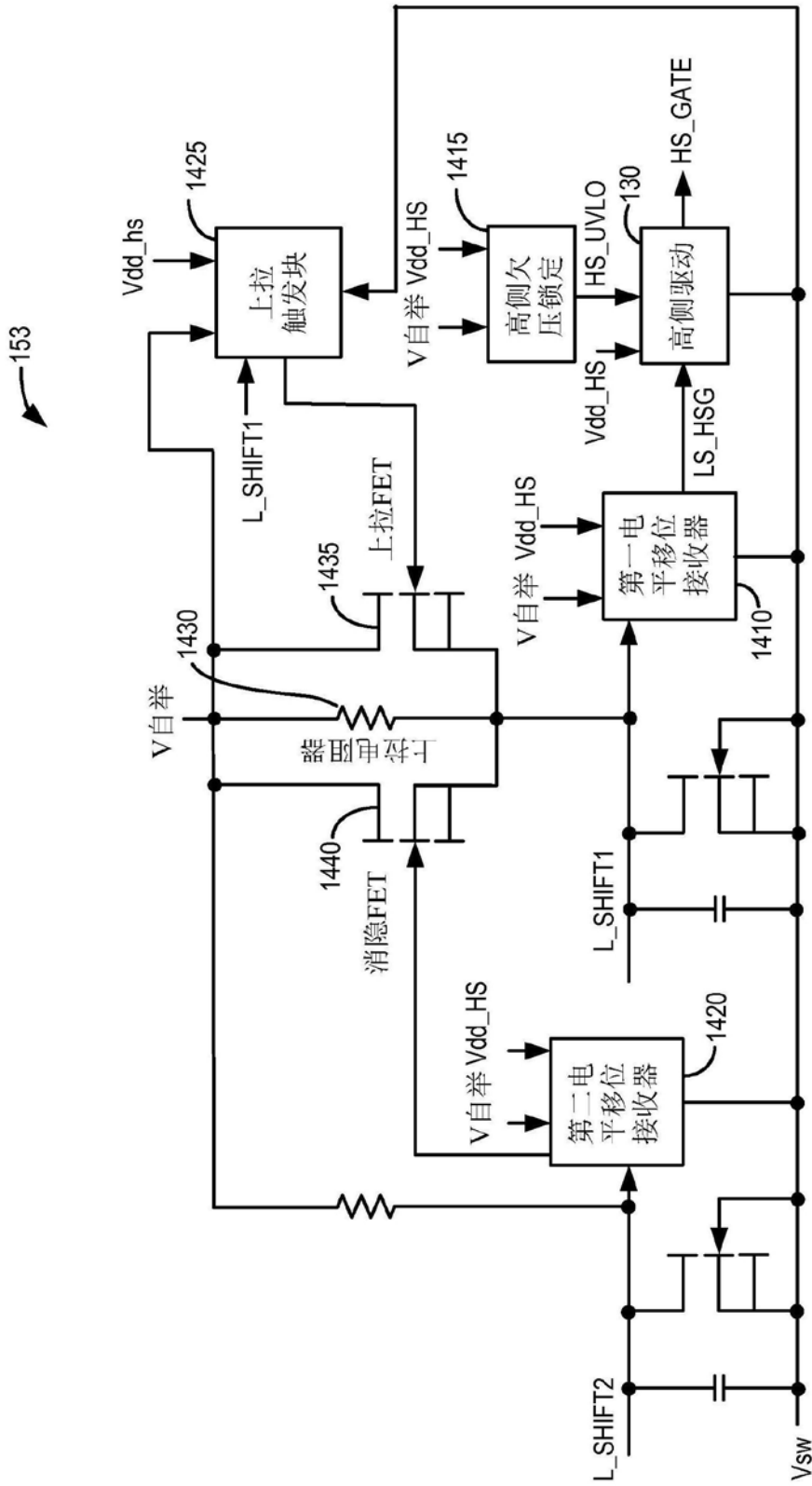


图14

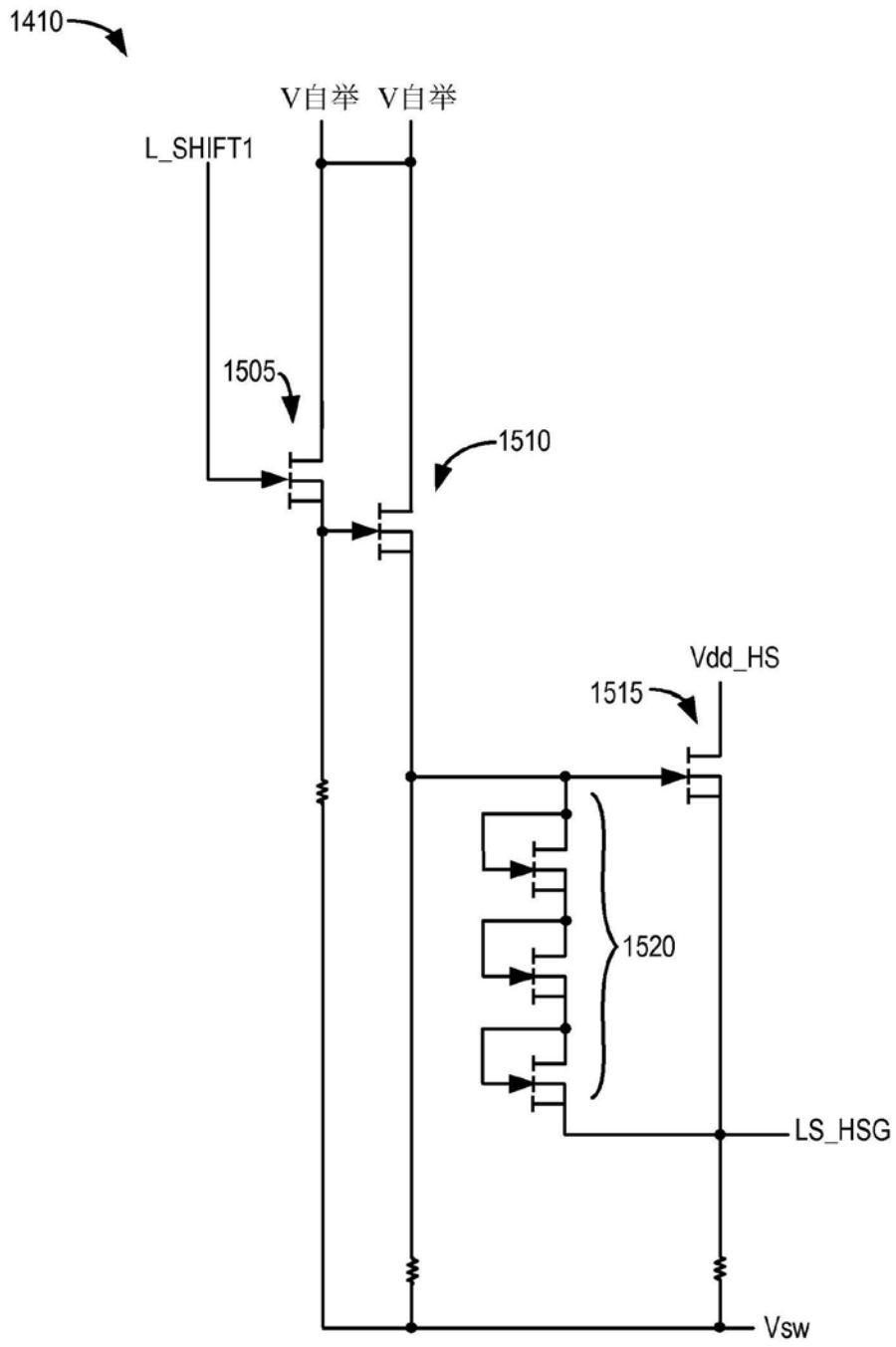


图15

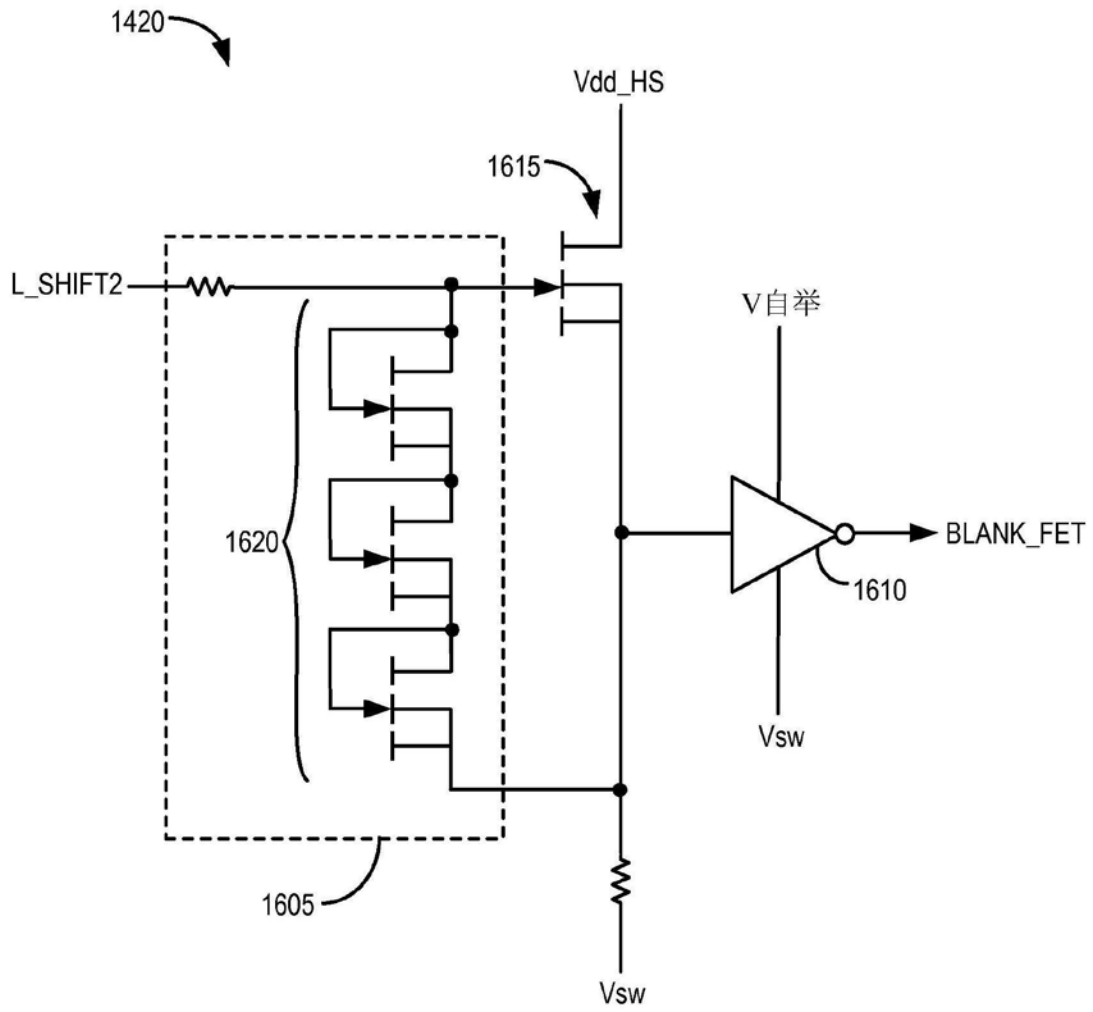


图16

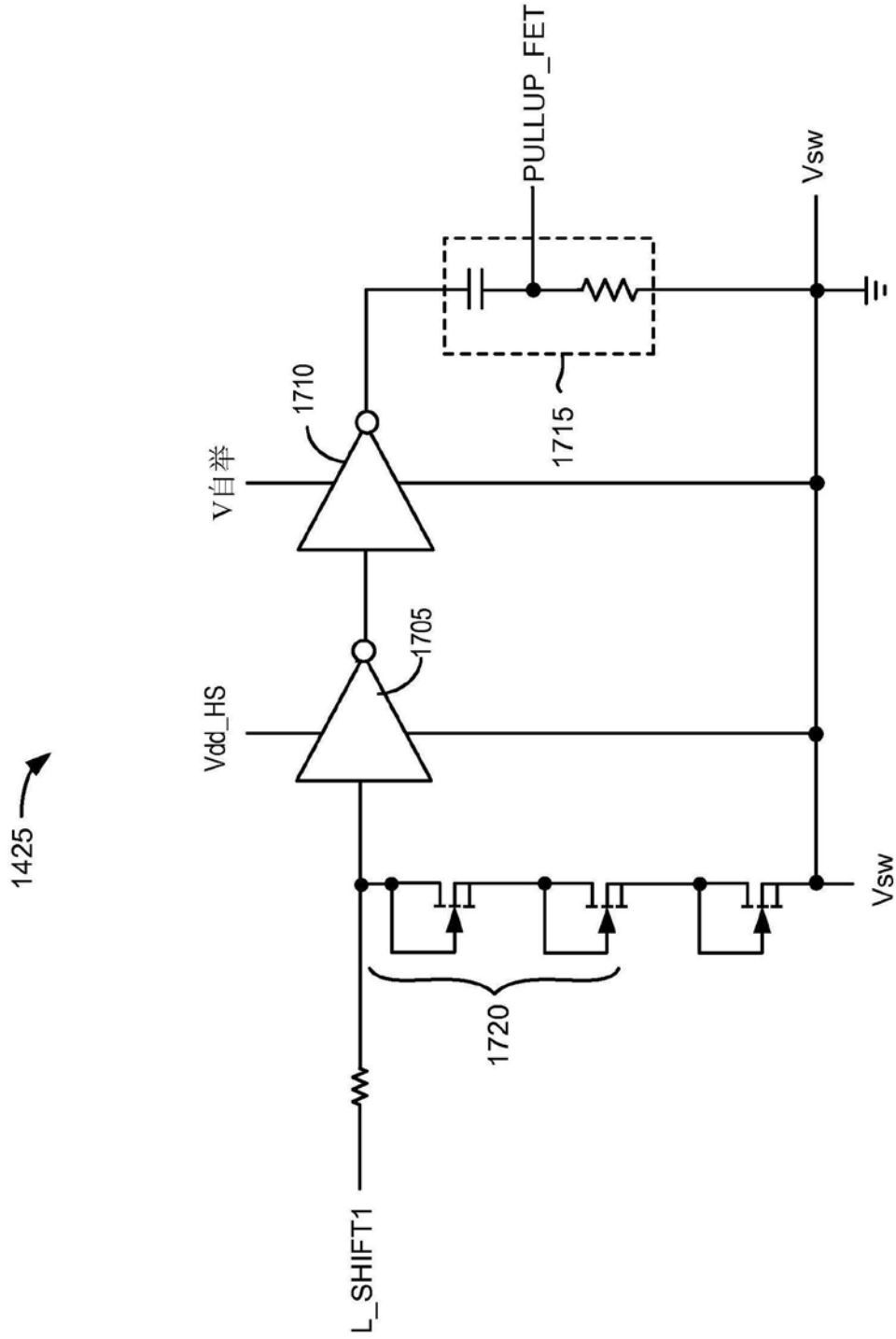


图17

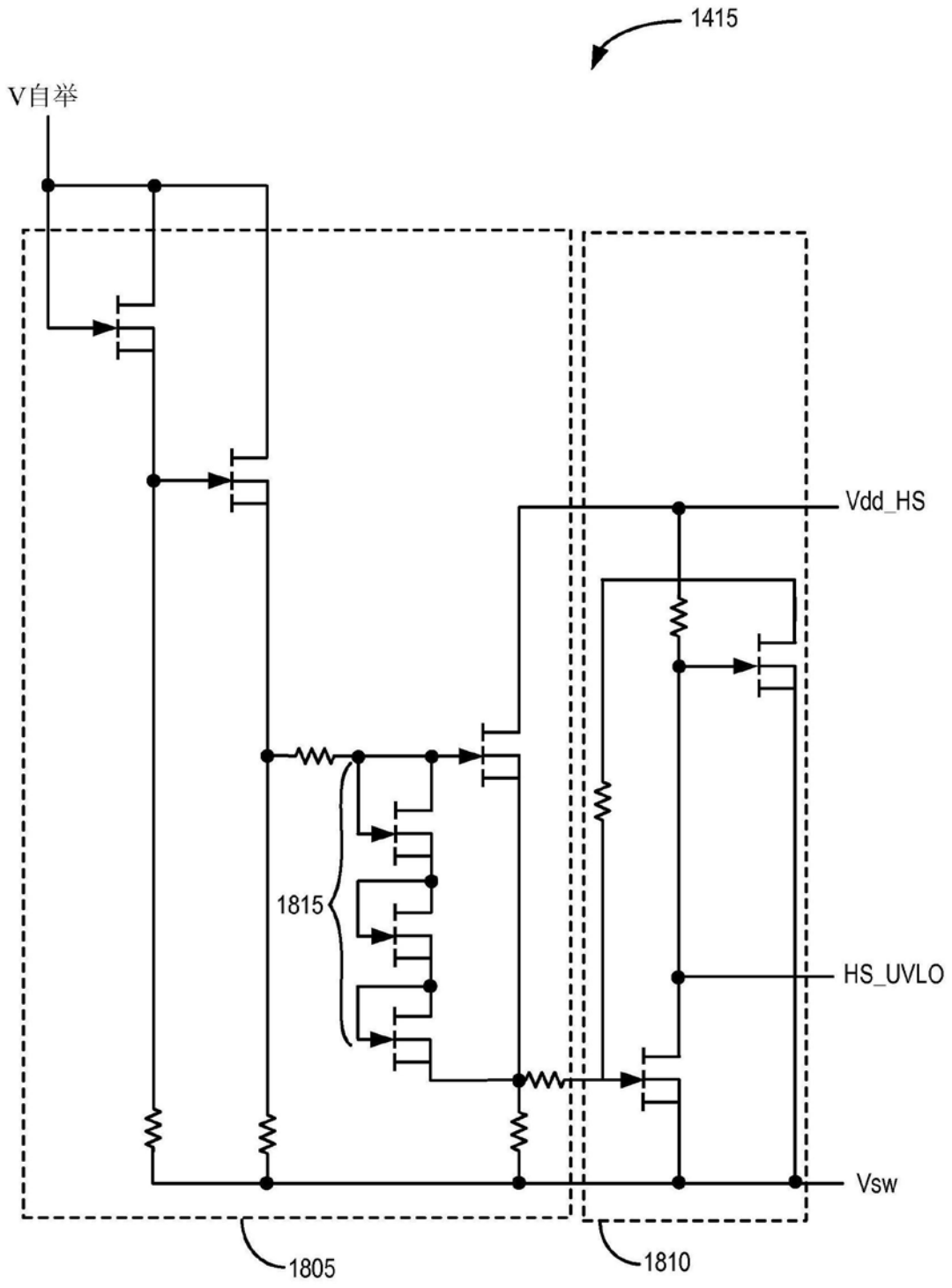


图18

130

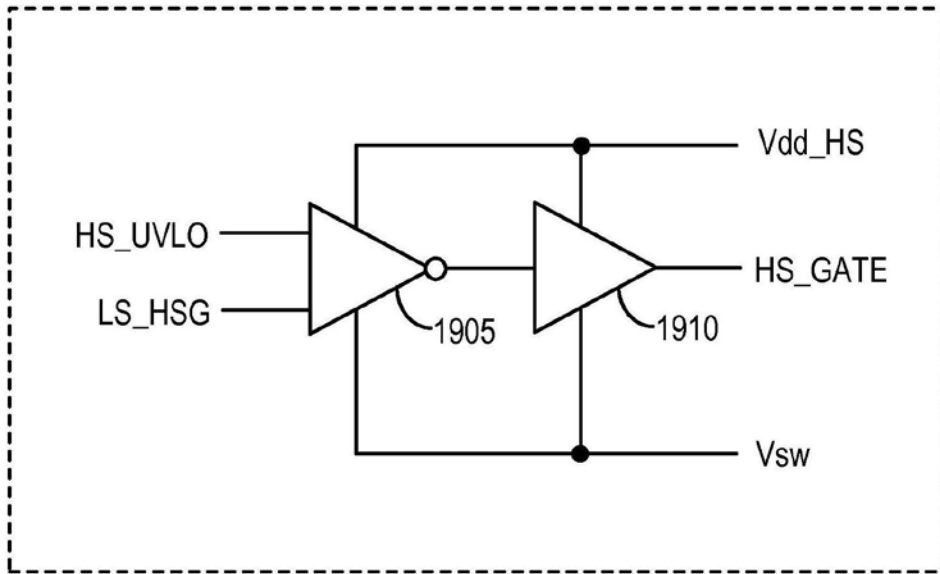


图19

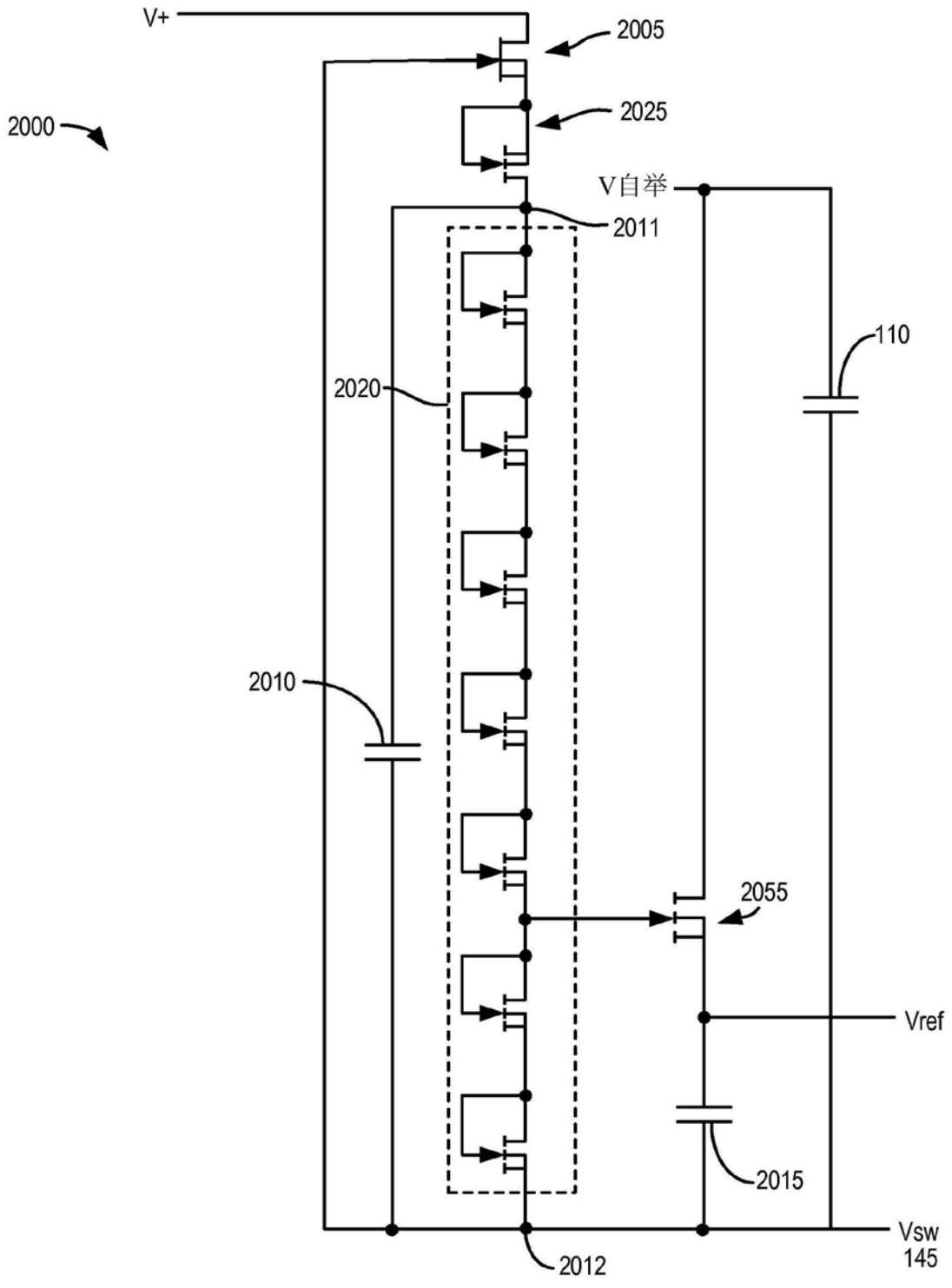


图20

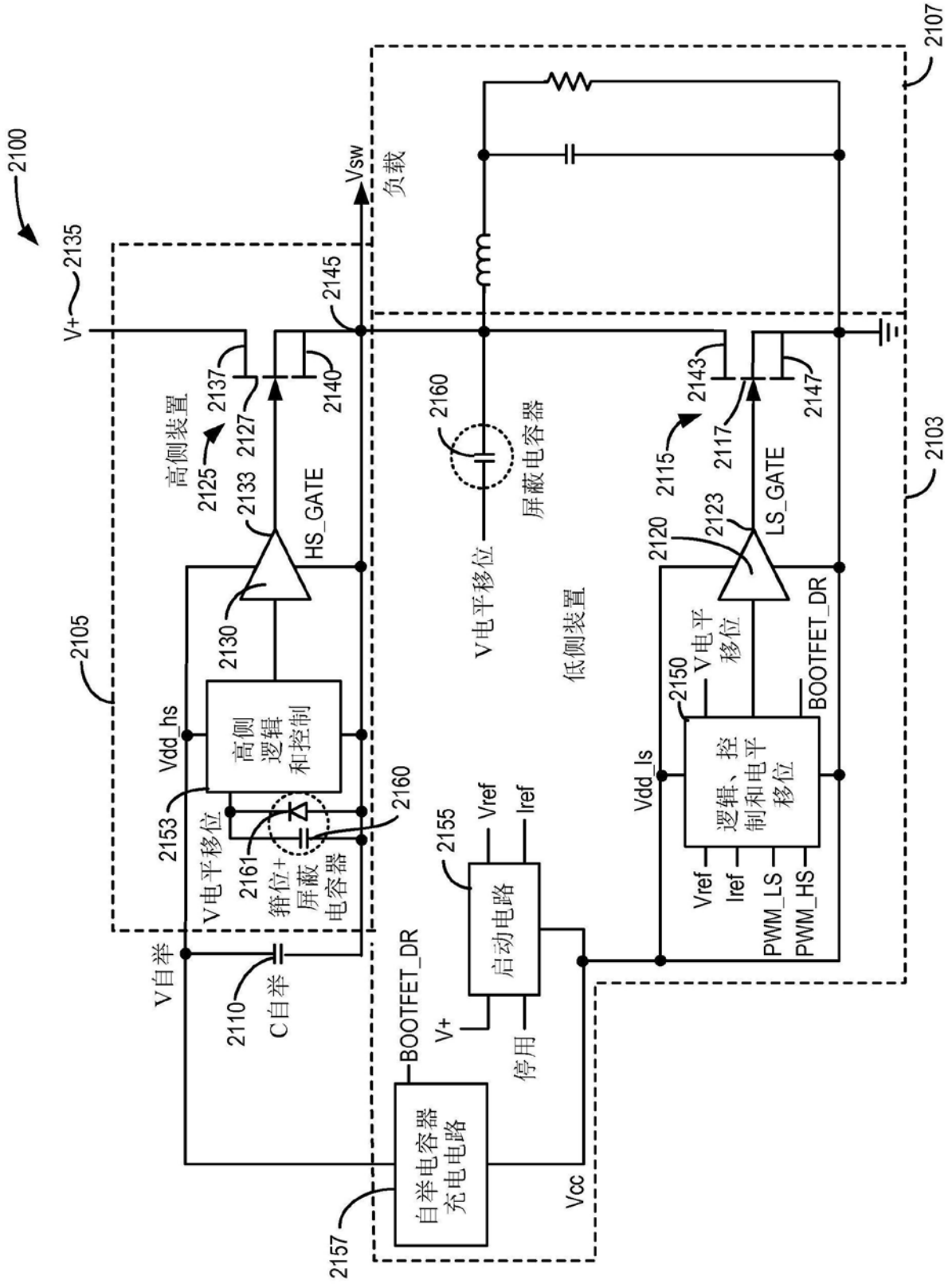


图21

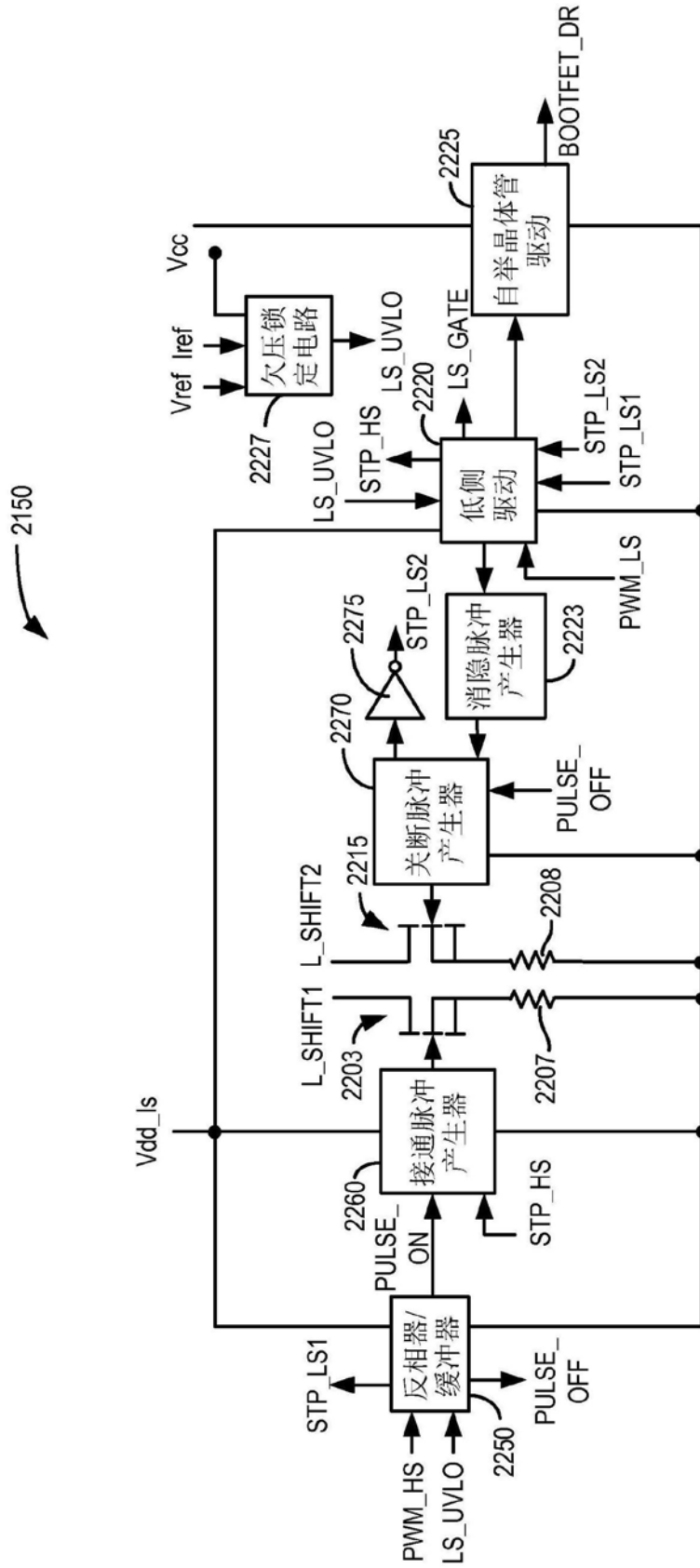


图22

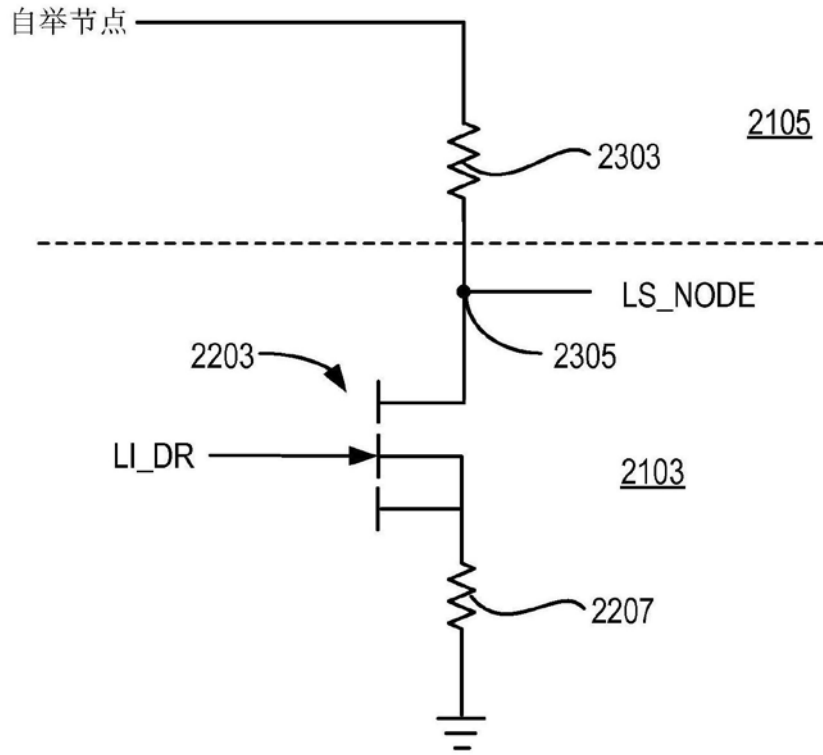


图23

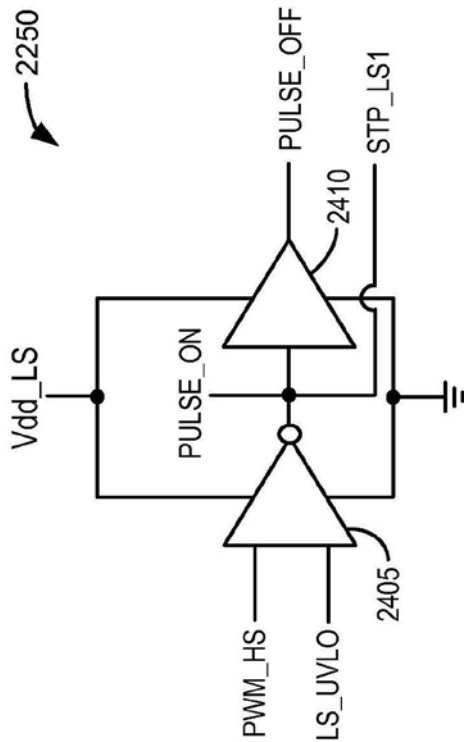


图24

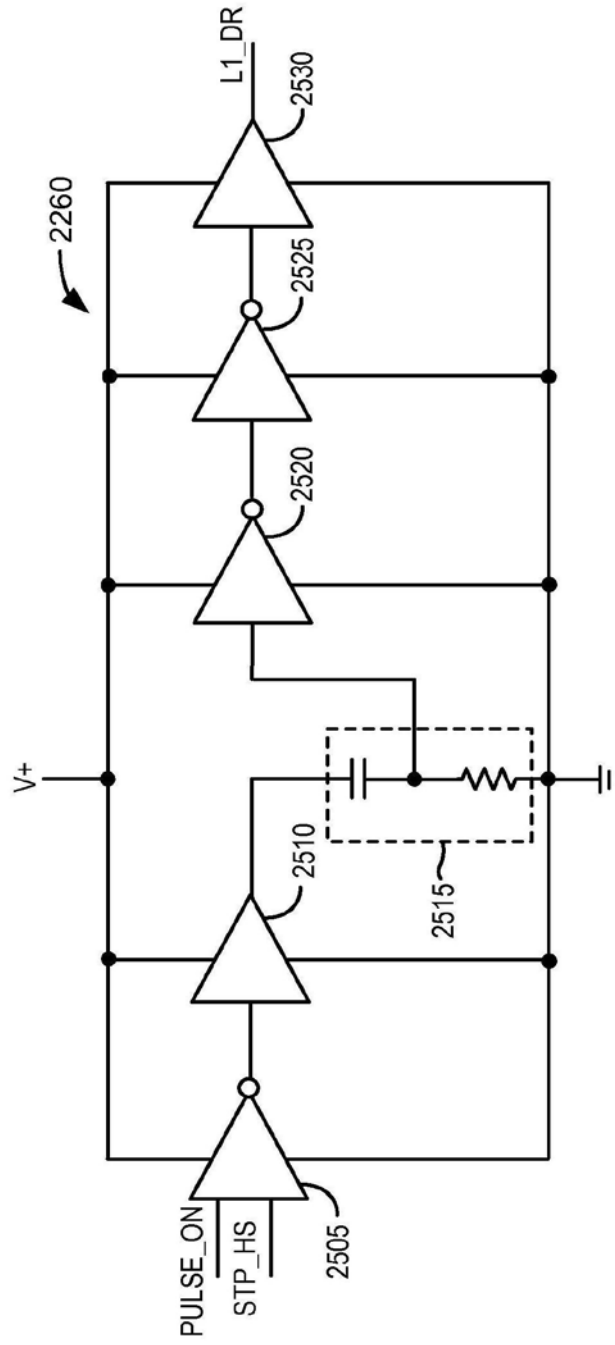


图25

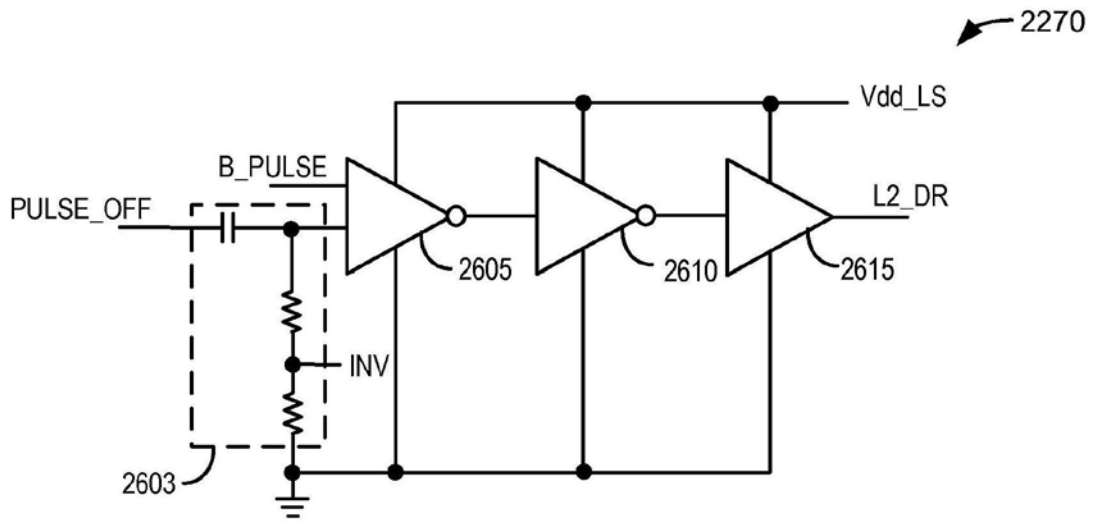


图26

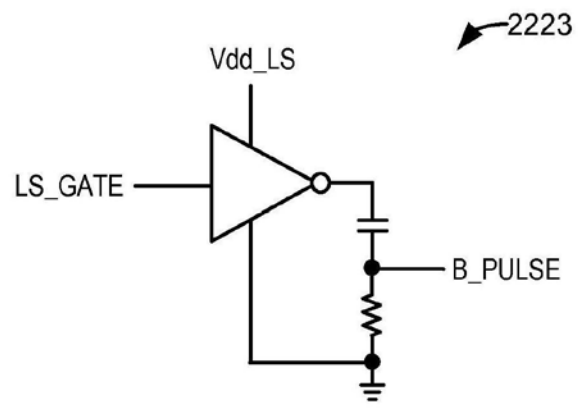


图27

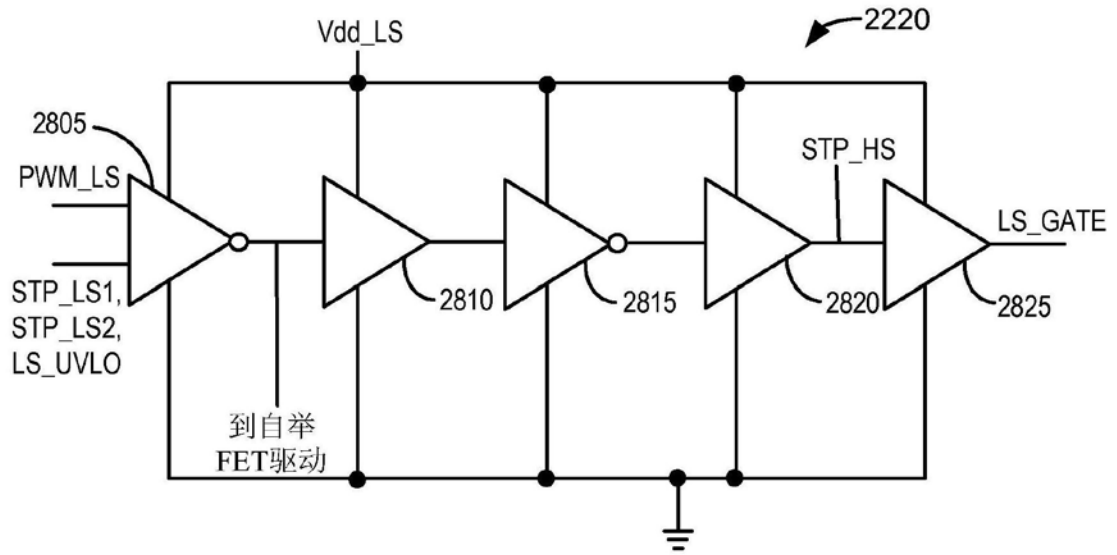


图28

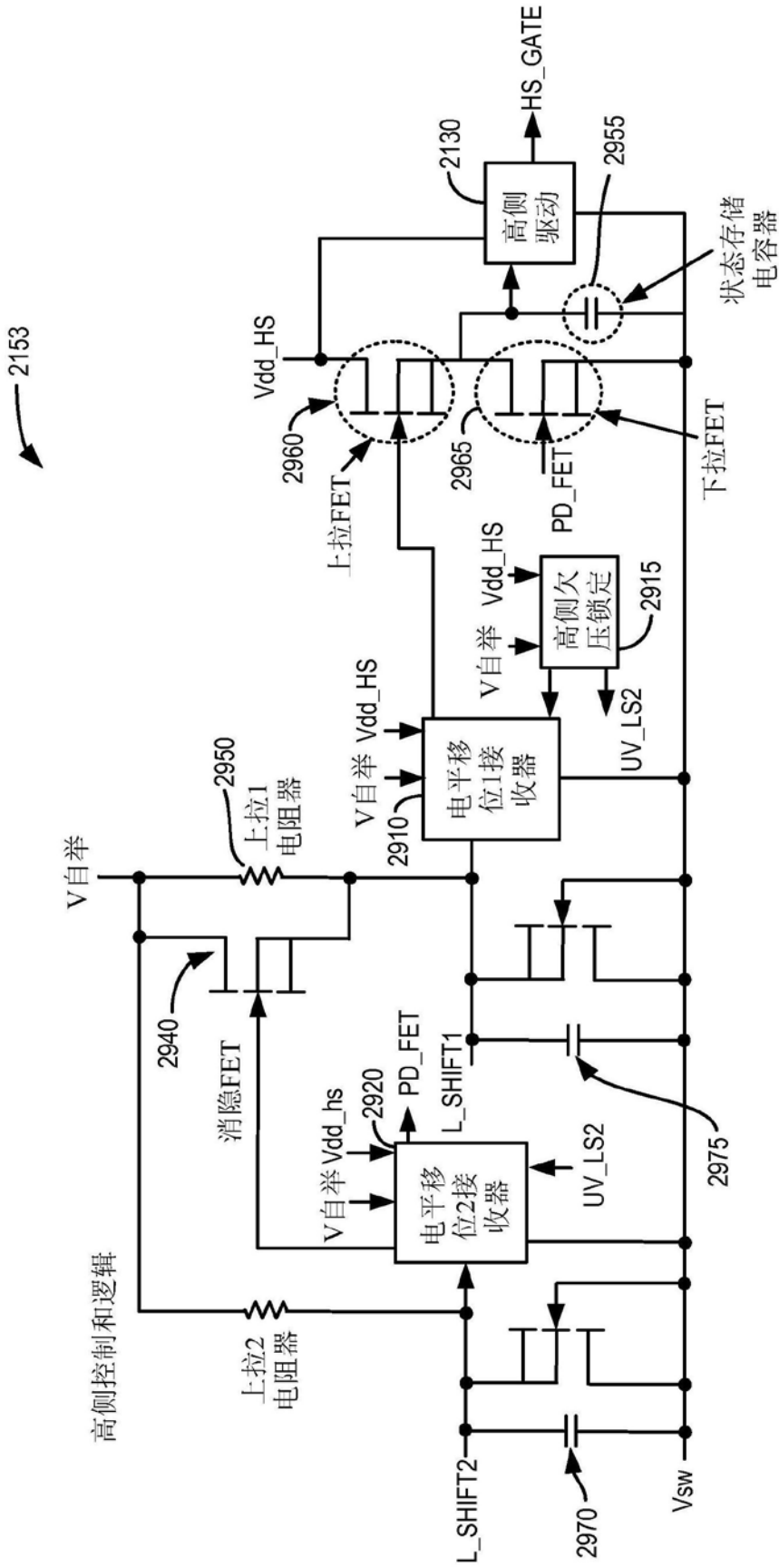


图29

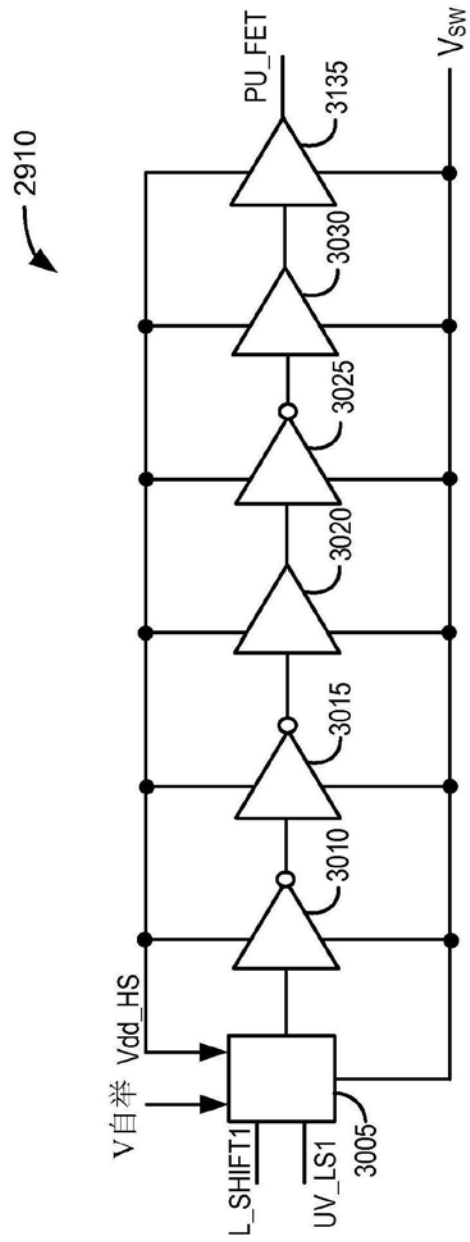


图30

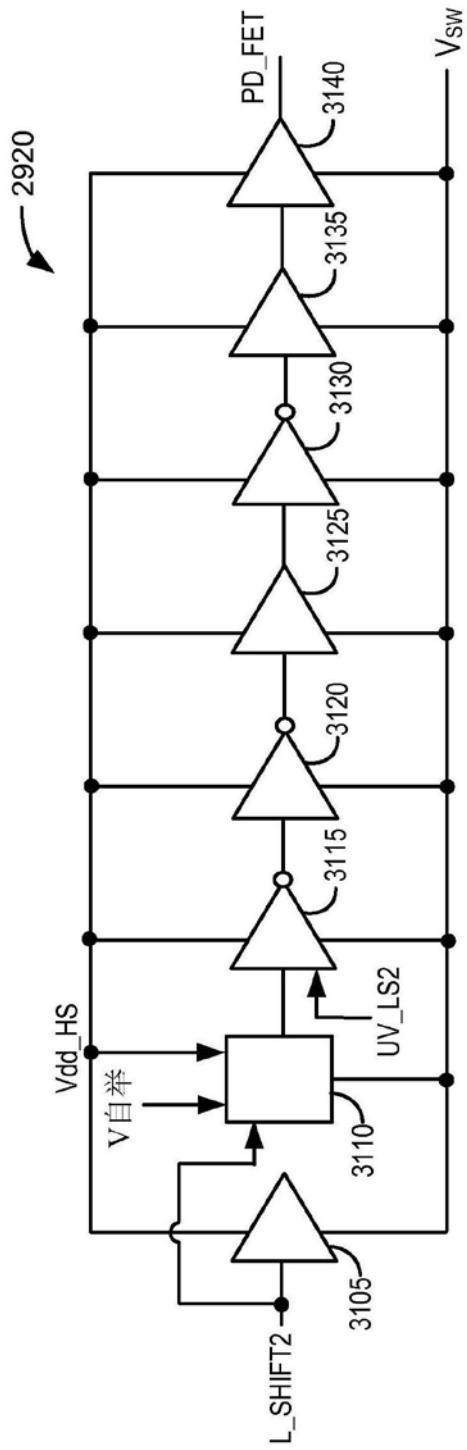


图31

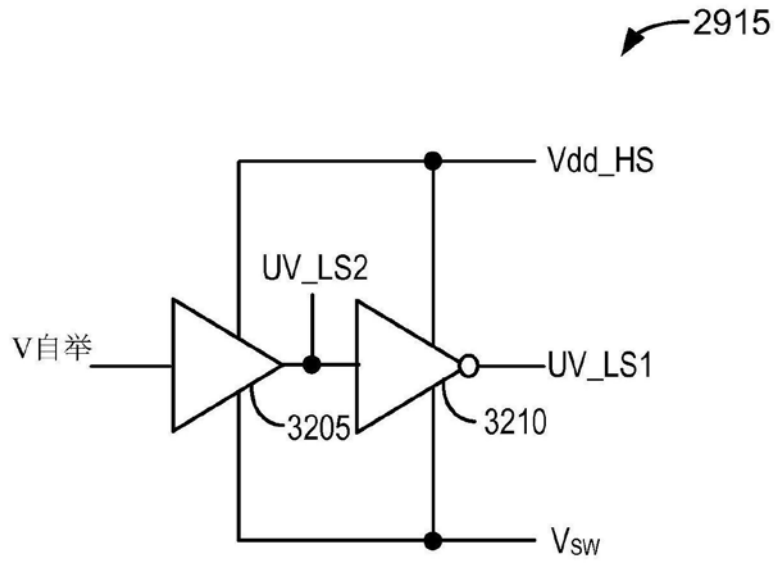


图32

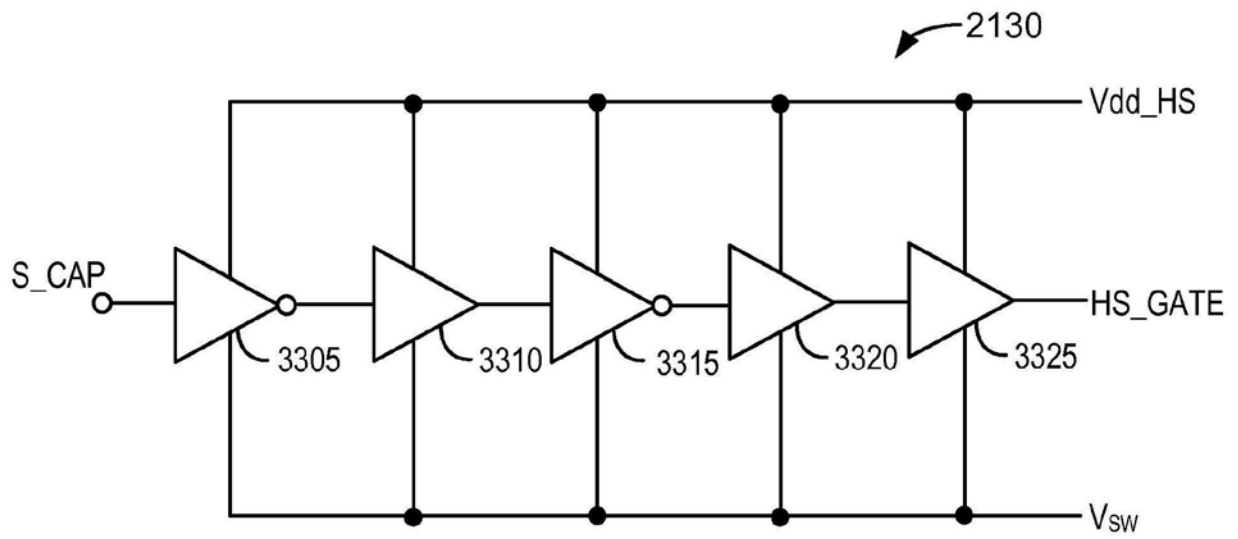


图33

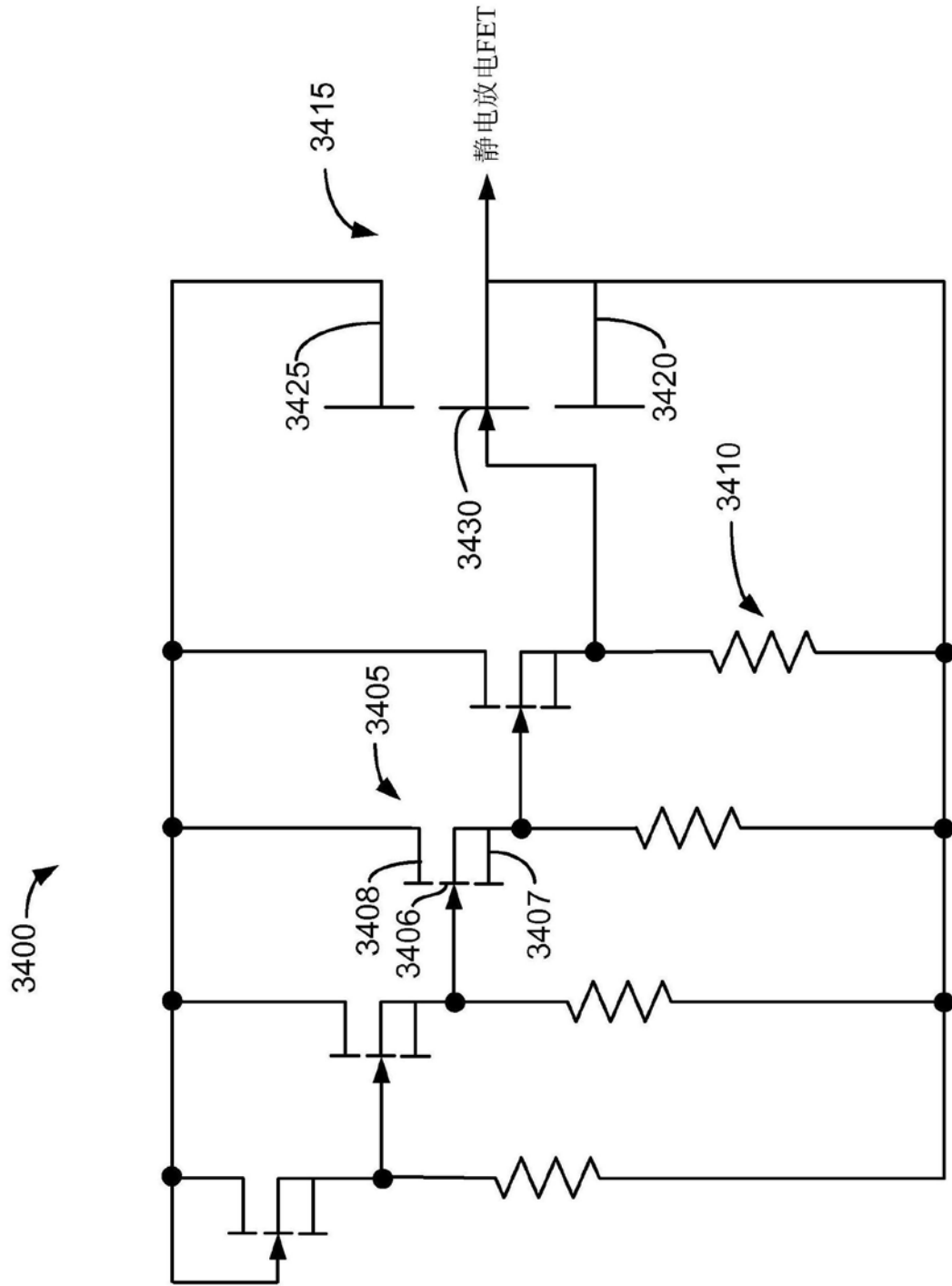


图34

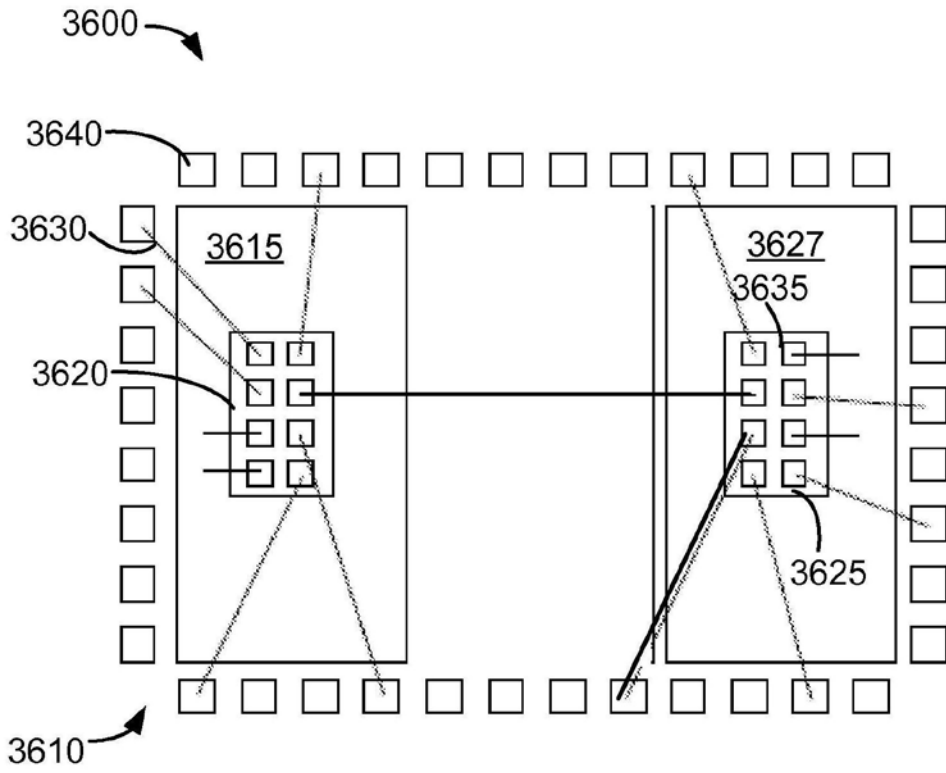


图36

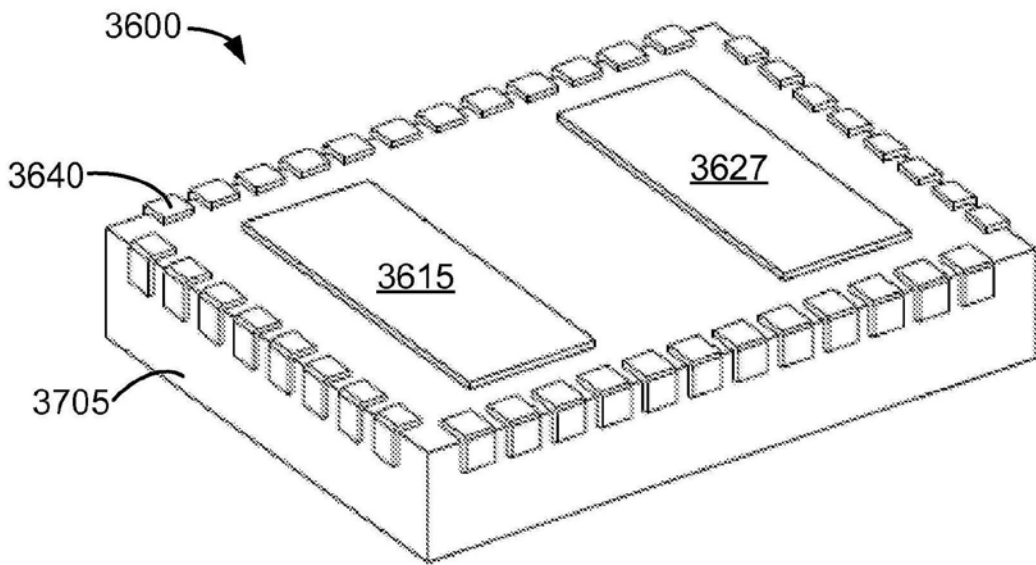


图37

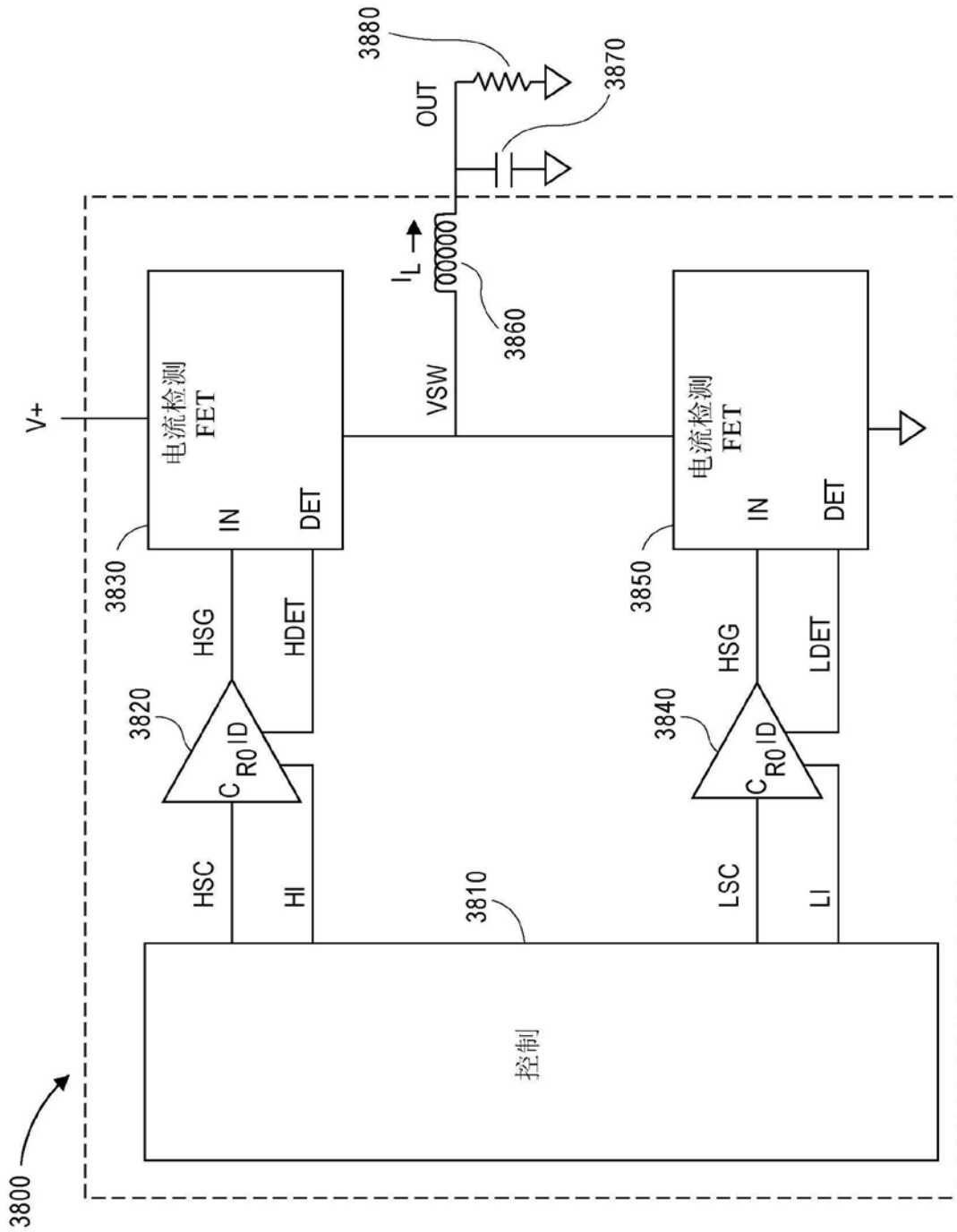


图38

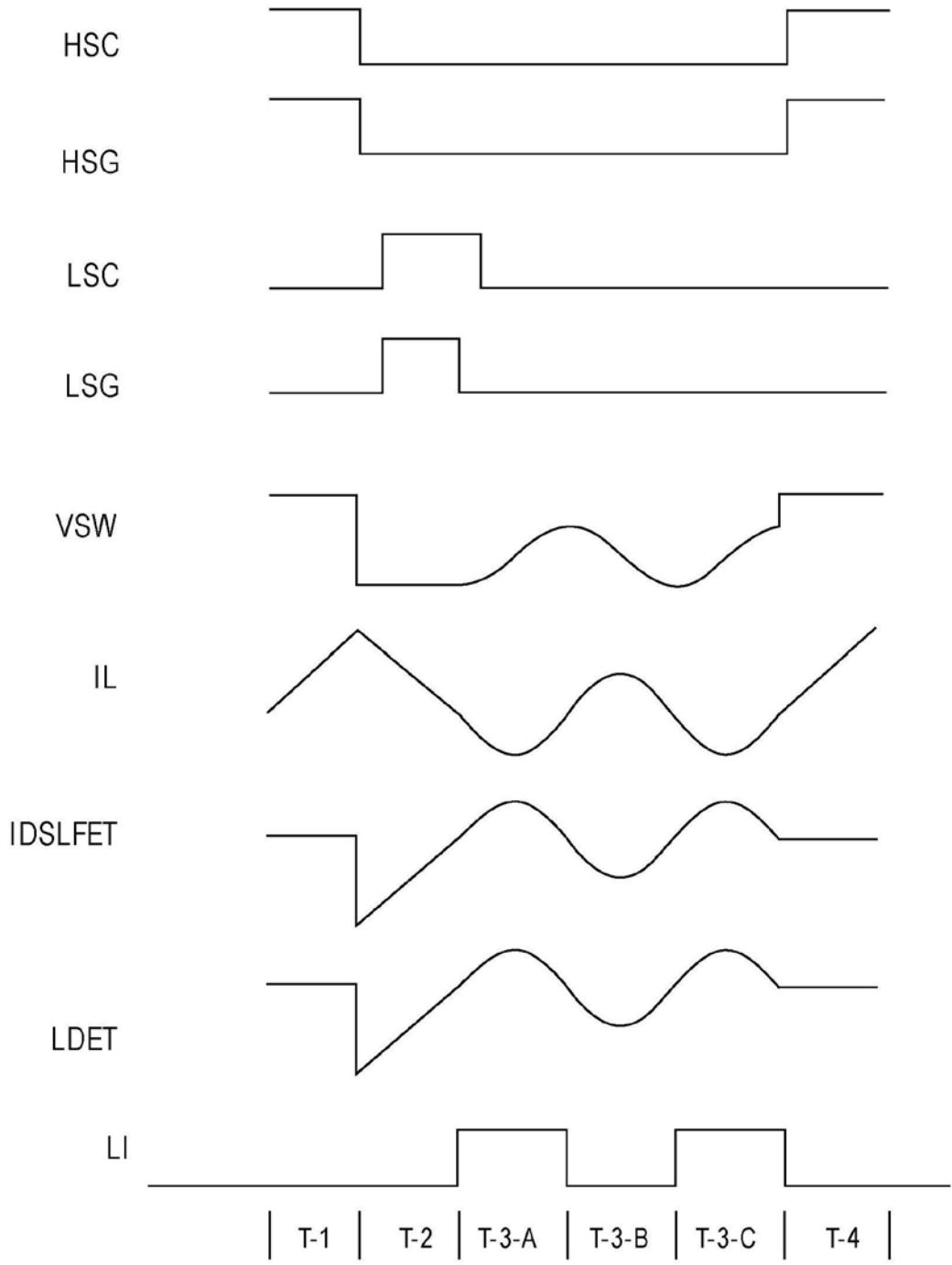


图39

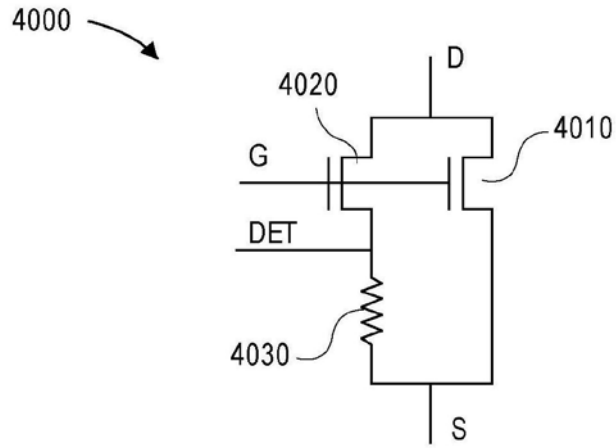


图40

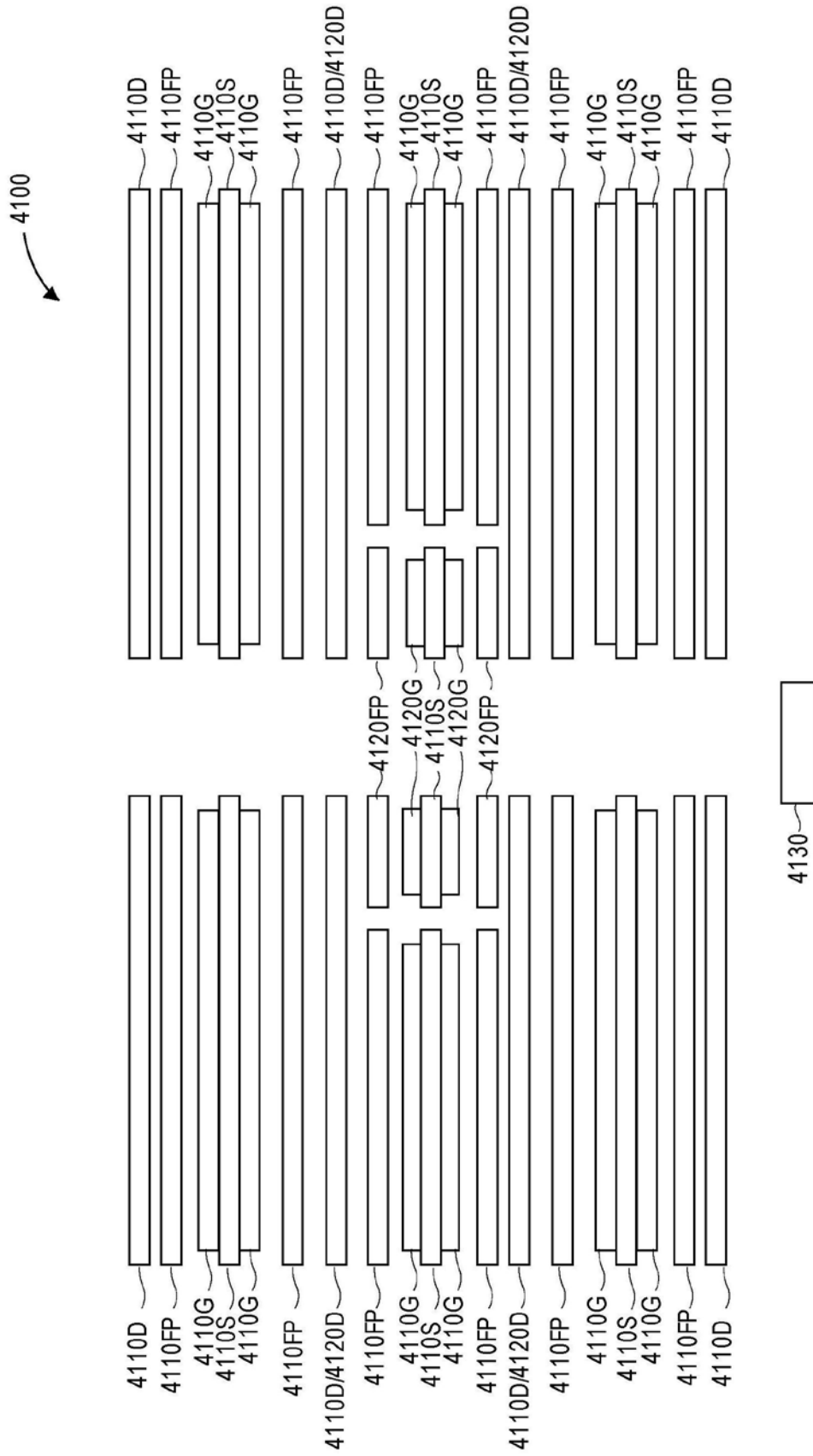


图41

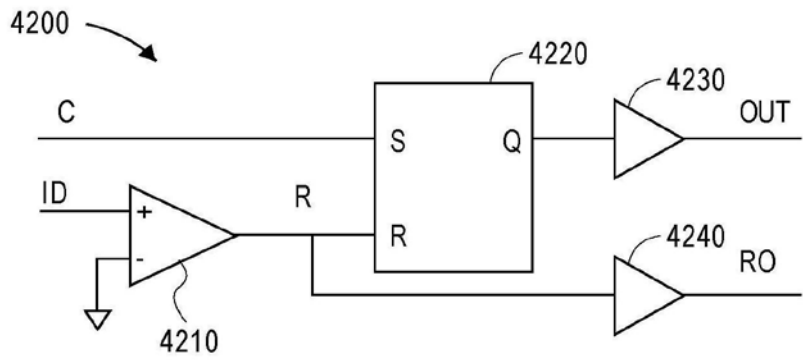


图42

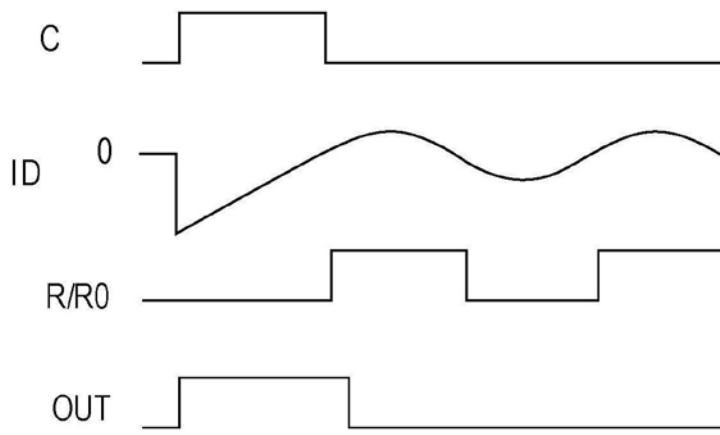


图43

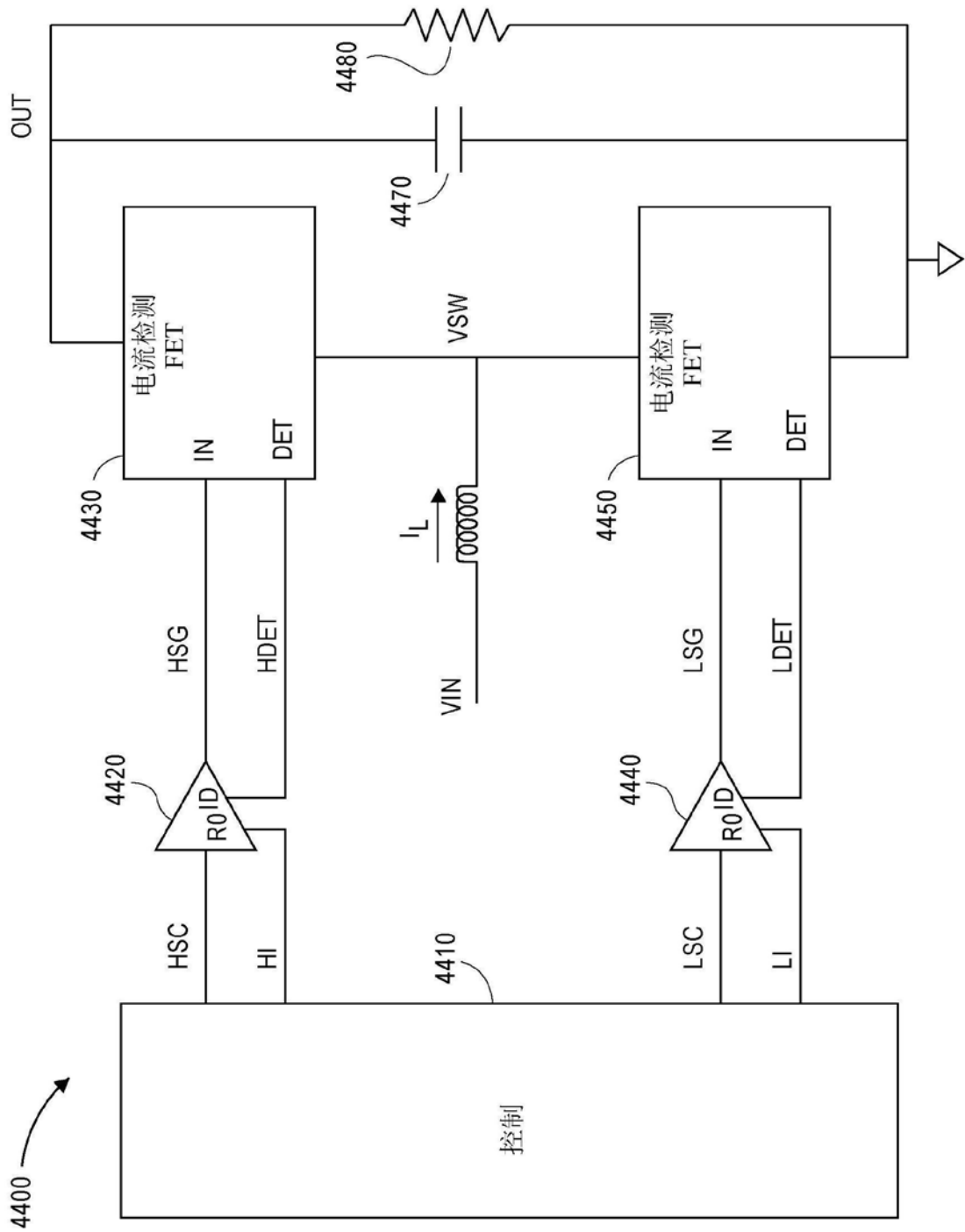


图44

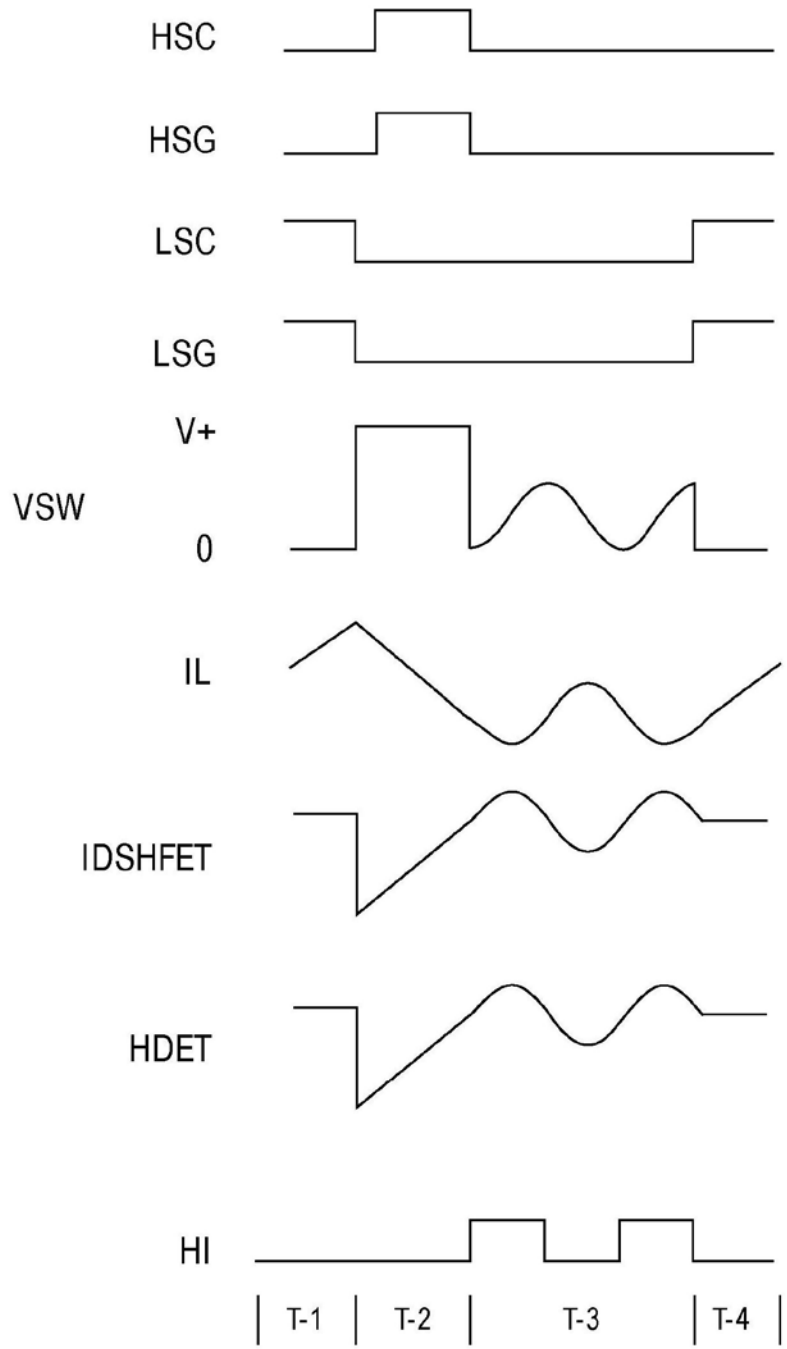


图45

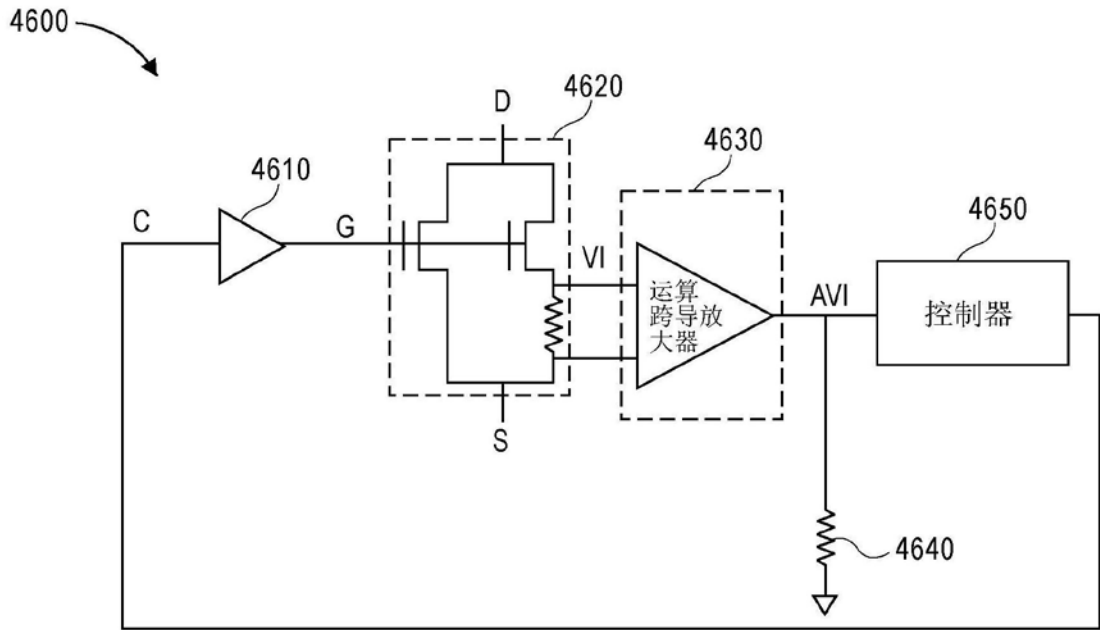


图46

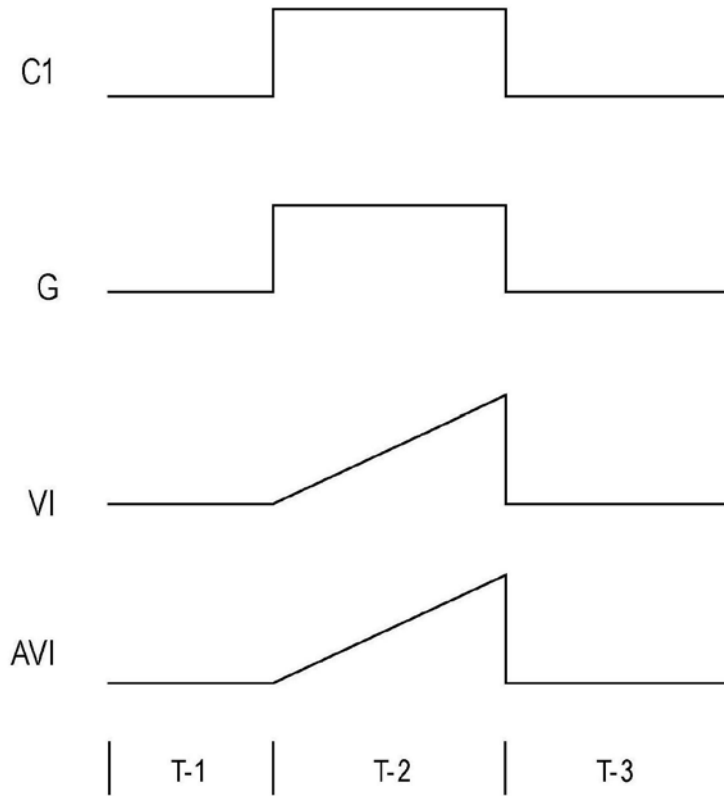


图47

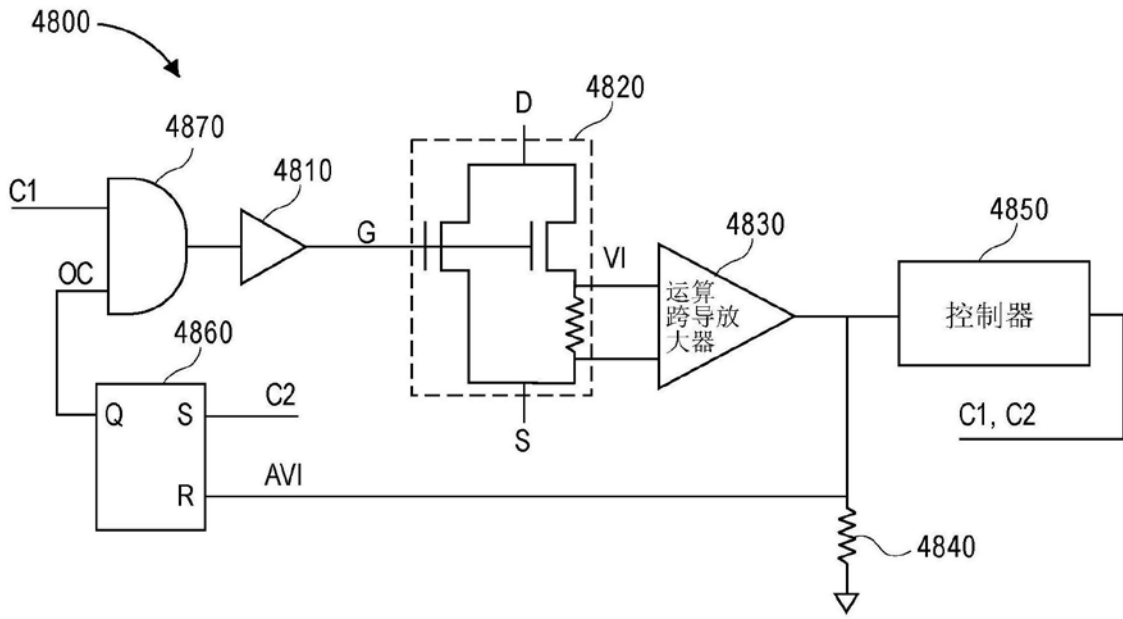


图48

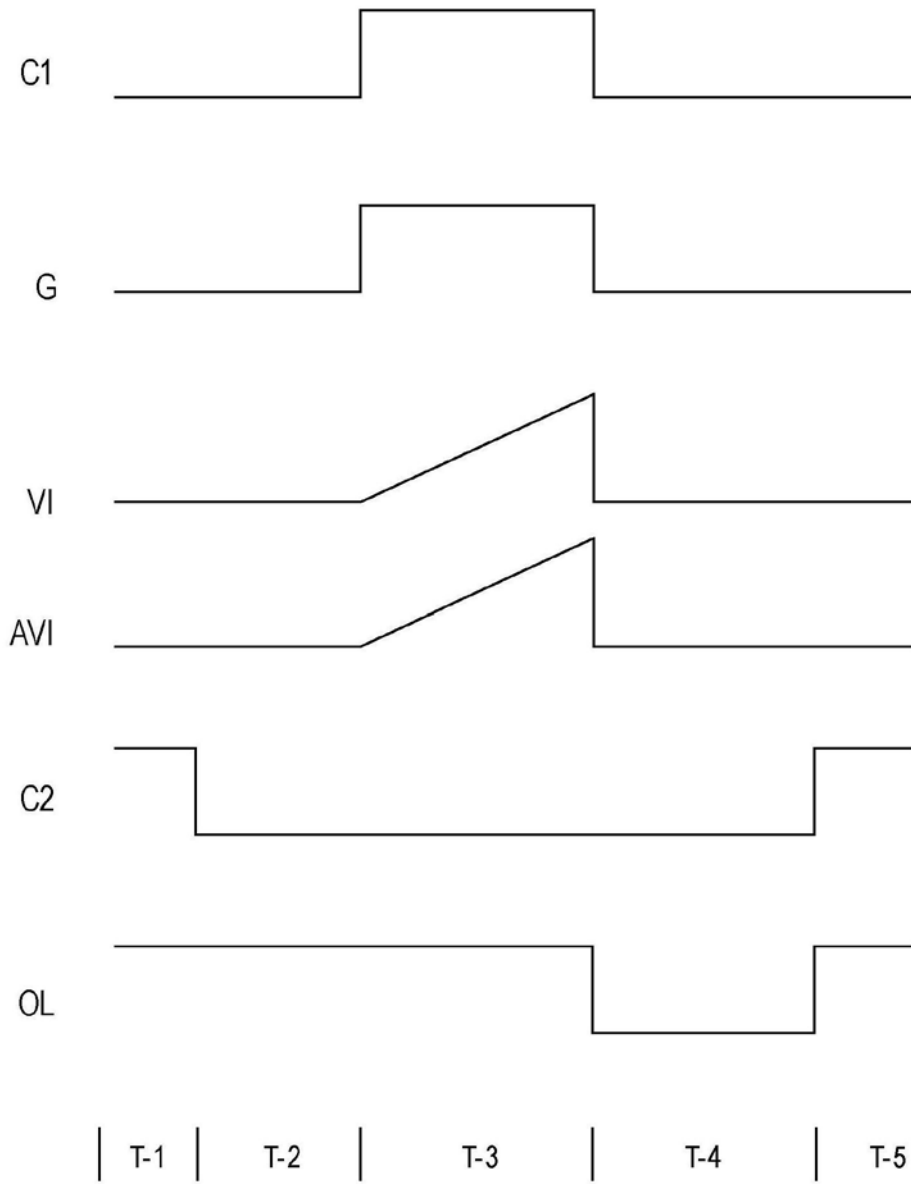


图49