



(12) 发明专利

(10) 授权公告号 CN 102386923 B

(45) 授权公告日 2014. 01. 01

(21) 申请号 201110280963. 8

审查员 刘剑

(22) 申请日 2011. 09. 21

(73) 专利权人 北京工业大学  
地址 100124 北京市朝阳区平乐园 100 号

(72) 发明人 黄冠中 林平分

(74) 专利代理机构 北京思海天达知识产权代理  
有限公司 11203

代理人 楼良基

(51) Int. Cl.  
H03M 1/38 (2006. 01)

(56) 对比文件  
US 2007/0001890 A1, 2007. 01. 04, 全文。  
CN 102006075 A, 2011. 04. 06, 全文。

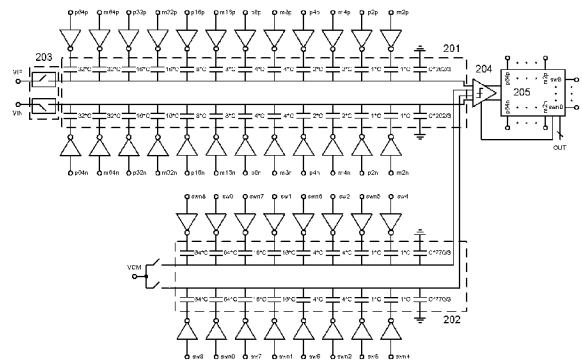
权利要求书1页 说明书4页 附图3页

(54) 发明名称

异步逐次逼近模数转换器及转换方法

(57) 摘要

本发明公开了一种异步逐次逼近模数转换器及转换方法,包含:采样网络、主电容阵列、附电容阵列、比较器和逻辑控制电路;主电容阵列的采样网络采用自举式开关,附电容阵列的采样网络采用 CMOS 开关;主电容阵列每两个相同的电容为一组,按照两倍关系递减,所有电容上极板和自举式开关连接输出到比较器;附电容阵列每两个相同的电容为一组,按照四倍关系递减,所有电容上极板和 CMOS 开关连接输出到比较器;比较器包含预放大器和锁存器,比较主电容阵列和附电容阵列的输出电压大小;逻辑控制电路采用异步时序控制电容阵列依次完成切换,有效提高了模数转换器的功耗效率,并且降低了电容匹配和外围电路需求,适用于深亚微米低电压设计。



1. 一种异步逐次逼近模数转换器,包含:采样网络、主电容阵列、附电容阵列、比较器和逻辑控制电路;其特征在于:主电容阵列的采样网络由两个自举式开关分别连接到差分模拟输入信号的正相输入端和反向输入端;附电容阵列的采样网络由两个 CMOS 开关连接到模拟输入信号的共模参考电压;

所述的主电容阵列中所有电容的上极板和前述自举式开关的一端连接在一起输入比较器;其中每两个相同的电容为一组,下极板由逻辑控制电路的输出通过反相器控制,电容值大小按照两倍的关系逐个递减,最后一个电容下极板接地,补齐电容阵列正确切换所需剩下的容值;

所述的附电容阵列中所有电容的上极板和前述 CMOS 开关的一端连接在一起输入比较器;其中每两个相同的电容为一组,下极板由逻辑控制电路的输出通过反相器控制,电容值大小按照四倍的关系逐个递减,最后一个电容下极板接地,补齐电容阵列正确切换所需剩下的容值;

比较器通过比较主电容阵列和附电容阵列上极板的电压,输出比较结果以及比较完成的信号;

逻辑控制电路接收来自比较器的比较结果和比较完成信号,分别相应地交替切换主电容阵列和附电容阵列直至完成一次采样所有的比较,然后再将所有的下极板控制信号重置为初始值开始下一次采样。

2. 根据权利要求 1 所述的异步逐次逼近模数转换器,其特征在于:所述的差分模拟输入信号范围在  $+V_{ref}$  到  $-V_{ref}$  之间。

3. 一种基于权利要求 1 所述的异步逐次逼近模数转换器的异步逐次逼近模数转换方法,其特征在于包括如下几个步骤:

步骤 1:重置所有的下极板控制信号为初始值;

步骤 2:根据第一次比较结果切换附电容阵列中最大的一组电容对应的控制信号:如果比较结果为正,则将其输出切换为  $+1/2V_{ref}$ ;如果比较结果为负,则将其输出切换为  $-1/2V_{ref}$ ;

步骤 3:完成步骤 2 后再次根据新一轮的比较结果切换主电容阵列中最大的一组电容对应的控制信号:若步骤 2 比较结果为正:如果本次比较结果为正,则切换完成  $-3/4V_{ref}$  的操作;如果本次比较结果为负,则切换完成  $-1/4V_{ref}$  的操作;若步骤 2 比较结果为负:如果本次比较结果为正,则切换完成  $+1/4V_{ref}$  的操作;如果本次比较结果为负,则切换完成  $+3/4V_{ref}$  的操作;

步骤 4:以此类推,重复循环步骤 2 和步骤 3 直至切换到主电容阵列和附电容阵列中最小的一组电容,然后输出比较得到的二进制码和转换完成信号,结束本次采样转换过程,等待进入下一次。

## 异步逐次逼近模数转换器及转换方法

### 技术领域

[0001] 本发明涉及一种异步逐次逼近模数转换器及转换方法,特别涉及一种通过改进检索方式,提高功耗效率、降低电容匹配和外围电路需求,并且适用于深亚微米低电源电压的异步逐次逼近模数转换器。

### 技术背景

[0002] 逐次逼近模数转换器是一种应用于中等精度、中等采样率的类型,相对于快闪型、流水线型等其他类型模数转换器有着最高的功耗效率,在医疗和便携设备中有广泛的应用。

[0003] 传统的同步逐次逼近模数转换器需要一个高速系统时钟(采样频率的转换器解析位数倍),不管是在内部产生,还是从片外直接输入都会增加芯片额外的功耗,让逐次逼近型的高功耗效率大打折扣。

[0004] 由于逐次逼近模数转换器需要用到两倍递增的电容阵列,最小的和最大的电容之间的匹配限制了模数转换器的整体精度。采用单位电容和中心对称的版图布局能减小这种限制的影响,但不能从根本上解决这个问题,很多设计采用数字校正的方式提高电容匹配的精度。

[0005] 逐次逼近模数转换器通过切换连接在电容下极板上的参考电压逐次逼近最终结果,切换电容中消耗的电荷是这种类型模数转换器功耗的主要来源,使用效率更高的切换方式也成为了进一步提高功耗效率的主要研究方向之一。

### 发明内容

[0006] 本发明目的在于,通过提供一种异步逐次逼近模数转换器及转换方法,改进逼近搜索算法和使用异步时序控制,提高逐次逼近模数转换器的功耗效率,降低电容匹配和外围电路需求,并且适用于深亚微米低电源电压。

[0007] 本发明是采用以下技术手段实现的:

[0008] 一种异步逐次逼近模数转换器,包含:采样网络、主电容阵列、附电容阵列、比较器和逻辑控制电路。

[0009] 主电容阵列的采样网络由两个自举式开关分别连接到差分模拟输入信号的正相输入端和反向输入端;附电容阵列的采样网络由两个 CMOS 开关连接到模拟输入信号的共模参考电压。

[0010] 主电容阵列中所有电容的上极板和前述自举式开关的一端连接在一起输入比较器;其中每两个相同的电容为一组,下极板由逻辑控制电路的输出通过反相器控制,电容值大小按照两倍的关系逐个递减,最后一个电容下极板接地,补齐电容阵列正确切换所需剩下的容值。

[0011] 附电容阵列中所有电容的上极板和前述 CMOS 开关的一端连接在一起输入比较器;其中每两个相同的电容为一组,下极板由逻辑控制电路的输出通过反相器控制,电容值

大小按照四倍的关系逐个递减,最后一个电容下极板接地,补齐电容阵列正确切换所需剩下的容值。

[0012] 比较器通过比较主电容阵列和附电容阵列上极板的电压,输出比较结果以及比较完成的信号。

[0013] 逻辑控制电路接收来自比较器的比较结果和比较完成信号,分别相应地交替切换主电容阵列和附电容阵列直至完成一次采样所有的比较,然后再将所有的下极板控制信号重置为初始值开始下一次采样。

[0014] 一种异步逐次逼近模数转换方法,包括如下几个步骤:

[0015] 步骤 1:重置所有的下极板控制信号为初始值。

[0016] 步骤 2:根据第一次比较结果切换附电容阵列中最大的一组电容对应的控制信号;如果比较结果为正,则将其输出切换为  $+1/2V_{ref}$  (差分模拟输入信号范围在  $+V_{ref}$  到  $-V_{ref}$  之间);如果比较结果为负,则将其输出切换为  $-1/2V_{ref}$ 。

[0017] 步骤 3:完成步骤 2 后再次根据新一轮的比较结果切换主电容阵列中最大的一组电容对应的控制信号:1. 若步骤 2 比较结果为正:如果本次比较结果为正,则切换完成  $-3/4V_{ref}$  的操作;如果本次比较结果为负,则切换完成  $-1/4V_{ref}$  的操作。2. 若步骤 2 比较结果为负:如果本次比较结果为正,则切换完成  $+1/4V_{ref}$  的操作;如果本次比较结果为负,则切换完成  $+3/4V_{ref}$  的操作。

[0018] 步骤 4:以此类推,重复循环步骤 2 和步骤 3 直至切换到主电容阵列和附电容阵列中最小的一组电容,然后输出比较得到的二进制码和转换完成信号,结束本次采样转换过程,等待进入下一次。

[0019] 主电容阵列和附电容阵列中每两个电容为一组,一个起到加上参考电压的作用,另一个起到减去参考电压的作用,改变其控制信号在采样过程中的初始值就能完成操作。

[0020] 本发明与现有技术相比,具有以下明显的优势和有益效果:

[0021] 本发明使用异步时序控制的逐次逼近模数转换器,工作在低电压下(小于 1 伏),省去了外围电路提供高速系统时钟的环节。通过改进后的逼近搜索算法,将传统同类型模数转换器中对电容的匹配需求放松到以前的 4 倍,并且减小了电容切换过程中的功耗。由于比较参考电压使用电源电压和地,因此不再需要导通电阻随信号幅度变化的 CMOS 开关和外围电路中提供的缓冲器。

[0022] 综上所述,本发明实现了低电压低功耗异步逐次逼近模数转换器,提高了功耗效率,降低了电容匹配和外围电路需求。

#### 附图说明

[0023] 图 1 为异步逐次逼近模数转换器的结构框图;

[0024] 图 2 为本发明实施例中异步逐次逼近模数转换器的电路图;

[0025] 图 3 为本发明实施例中比较器的电路图;

[0026] 图 4 为本发明实施例中逻辑控制电路的结构图;

[0027] 图 5 为本发明实施例中逻辑控制电路单元 1 的电路图;

[0028] 图 6 为本发明实施例中逻辑控制电路单元 2 的电路图;

[0029] 图 7 为本发明实施例中比较器的时序示意图;

[0030] 图 8 为本发明实施例中主电容阵列和附电容阵列输出的仿真结果示意图；

[0031] 图 9 为本发明实施例中模数转换器输出的快速傅里叶变换仿真结果示意图。

[0032] 符号说明：

[0033] 201：主电容阵列；202：附电容阵列；203：自举式采样开关；204：比较器；205：逻辑控制电路；

[0034] 801：模拟输入信号；802：主电容阵列输出信号；803：附电容阵列输出信号。

[0035] 具体实施方法

[0036] 以下结合说明书附图对本发明的具体实施例加以说明：

[0037] 如图 1 所示，本发明一种异步逐次逼近模数转换器的结构框图，包括：采样网络、主电容阵列、附电容阵列、比较器和逻辑控制电路。本发明实施例中实现的是一个 8 比特、50 兆赫兹采样率的逐次逼近模数转换器。

[0038] 主电容阵列的输入信号由于是随时间变化的模拟信号，因此采用自举式采样开关；附电容阵列的输入信号是共模参考电压，不随时间变化，因此采用 CMOS 采样开关。

[0039] 图 2 给出了主电容阵列和附电容阵列的电路图。主电容阵列包含 13 个上极板连接在一起的电容，其中 1 个电容的下极板接地，电容大小为  $C \times 262/3$  ( $C$  是单位电容)，另外 12 个电容每两个为一组，下极板由逻辑控制电路的输出经过反相器控制，最大的一组是  $32 \times C$ ，最小的一组是  $1 \times C$ ；附电容阵列包含 9 个上极板连接在一起的电容，其中 1 个电容的下极板接地，电容大小为  $C \times 770/3$ ，另外 8 个电容每两个为一组，下极板由逻辑控制电路的输出经过反相器控制，最大的一组是  $64 \times C$ ，最小的一组是  $1 \times C$ 。

[0040] 图 3 给出了比较器的电路图。输入采用两个差分对，其中  $I_P$  和  $I_N$  是主电容阵列的输出， $REF1$  和  $REF2$  是附电容阵列的输出。图 3 左侧的是预放大器，扩大待比较电压之间的差距；右侧是锁存器 (latch)，将电压之间的差距进一步拉大到电源电压和地。为了简化外围电路，预放大器不是使用参考电流源做偏置，而是引入时钟信号通过压控电流源做偏置，这样也可以在不需要放大的时候关掉放大器减小功耗。同样地，时钟信号在比较器不工作的时候会关断锁存器。比较完成信号则是将锁存器的输出经过或非门之后得到。

[0041] 图 4 给出了逻辑控制电路的结构图，主要由单元 1 和单元 2 组成，其中所有的单元 1 级联在一起分别依次给出一次采样后 8 次比较的使能信号，单元 2 则完成单元 1 输出信号的一部分后处理功能。最后的组合逻辑则将单元 2 的输出转换成主、附电容阵列所需要的控制信号。图 5 给出了单元 1 的电路图，其中  $set$  和  $set\_next$  是本级与前一级和后一级的接口， $rdy$  是比较完成信号， $cmp$  是比较器使能信号；图 6 给出了单元 2 的电路图， $cmp\_out$  是比较器的比较结果， $rst$  是重置信号，每次采样前都会有效一次， $set$  是图 4 中或门的输出， $rdy$  是比较完成信号， $bit$  是模数转换器待输出的数字码。图 7 给出了比较器的时序图， $cmp$  使能信号是低有效，经过一段时间比较器输出比较结果  $cmp\_out$ ，并且在比较结果稳定后输出比较完成信号  $rdy$ 。

[0042] 图 8 给出了在正弦模拟信号输入的情况下，主电容阵列和附电容阵列切换电压时输出信号的变化。与传统方式相比，功耗效率得到提高。图 9 是模数转换器输出的快速傅里叶变换仿真结果。

[0043] 实施本发明的关键在于设计异步时序电路，由于负载以及线上和线间寄生的影响，各个控制信号之间会出现不同程度的延时和上升下降时间的增加，这种问题一方面会

影响异步控制功能的实现,另一方面会降低模数转换器的采样率。要解决这个问题,需要加大关键节点的器件尺寸以减小上升下降时间,并且对 rdy 信号做足够的延时,保证在工艺偏差的情况下,rdy 有效的时候输出已经准备好。

[0044] 综上所述,本发明通过该实施例达到了设计目的,实现了一种异步逐次逼近模数转换器,具有功耗效率高、对电容匹配和外围电路要求低的特点。本发明并不限于上述实施例,可以在不偏离本发明的范围和精神的情况下对其进行修改和变化。

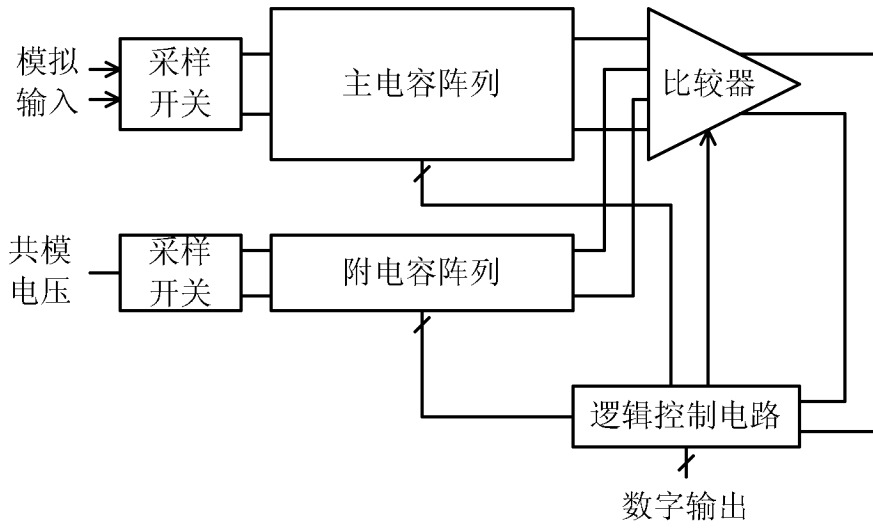


图 1

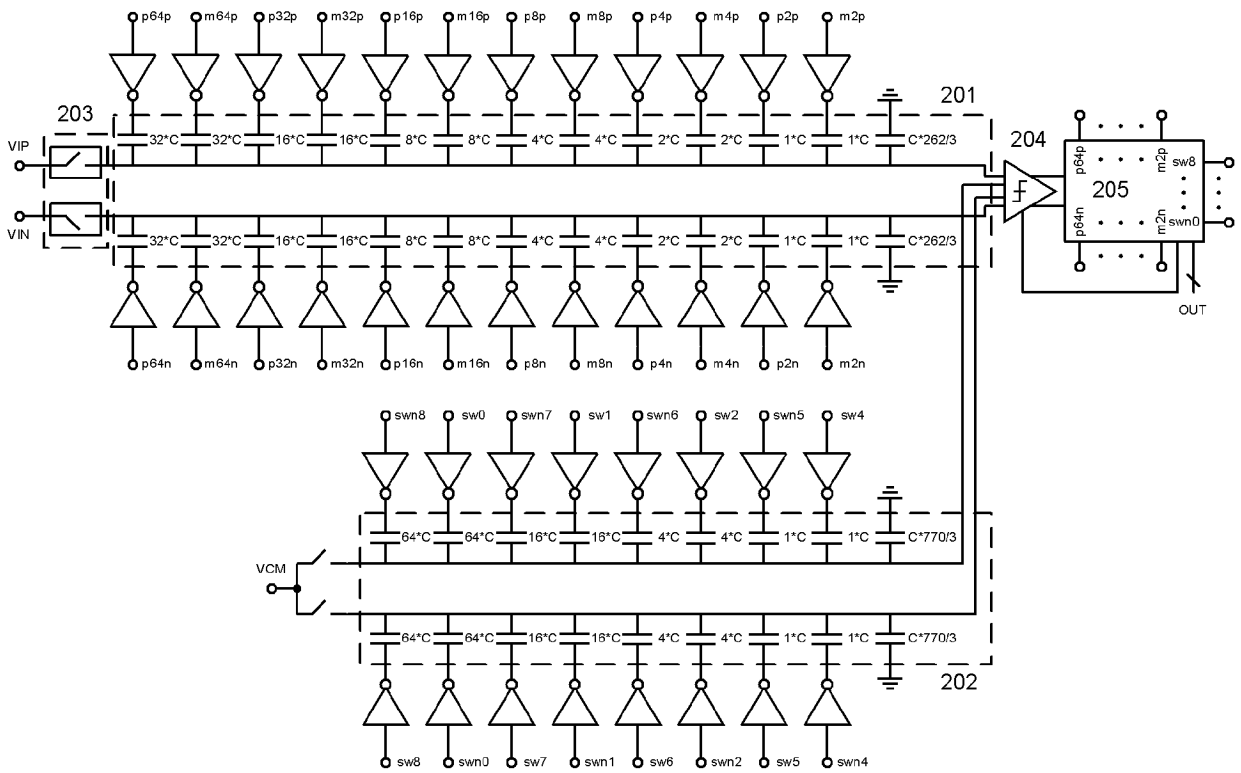


图 2

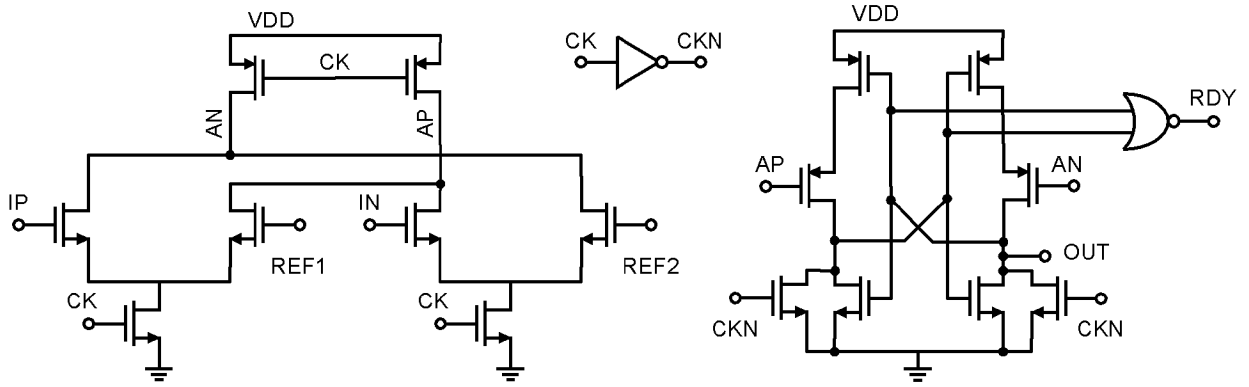


图 3

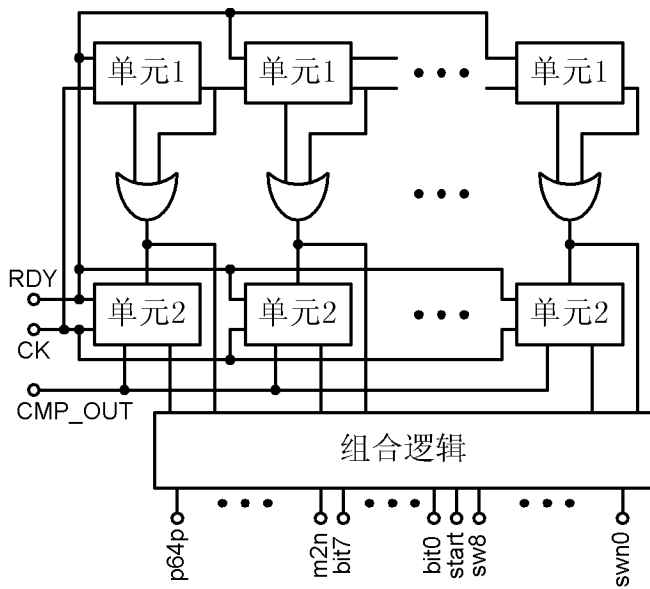


图 4

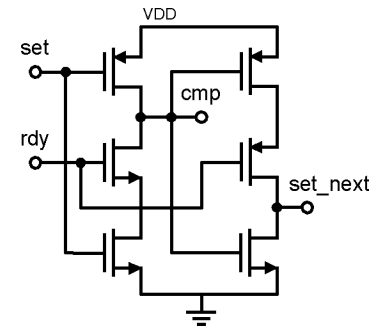


图 5

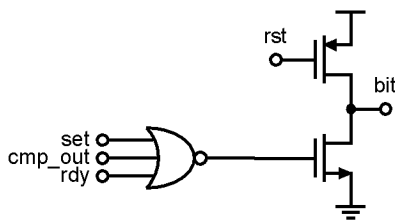


图 6

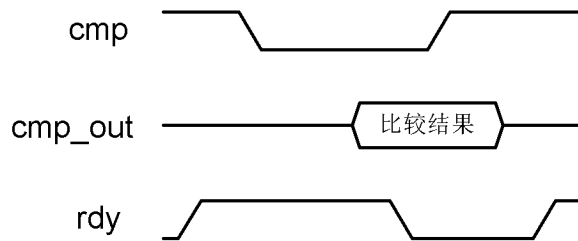


图 7



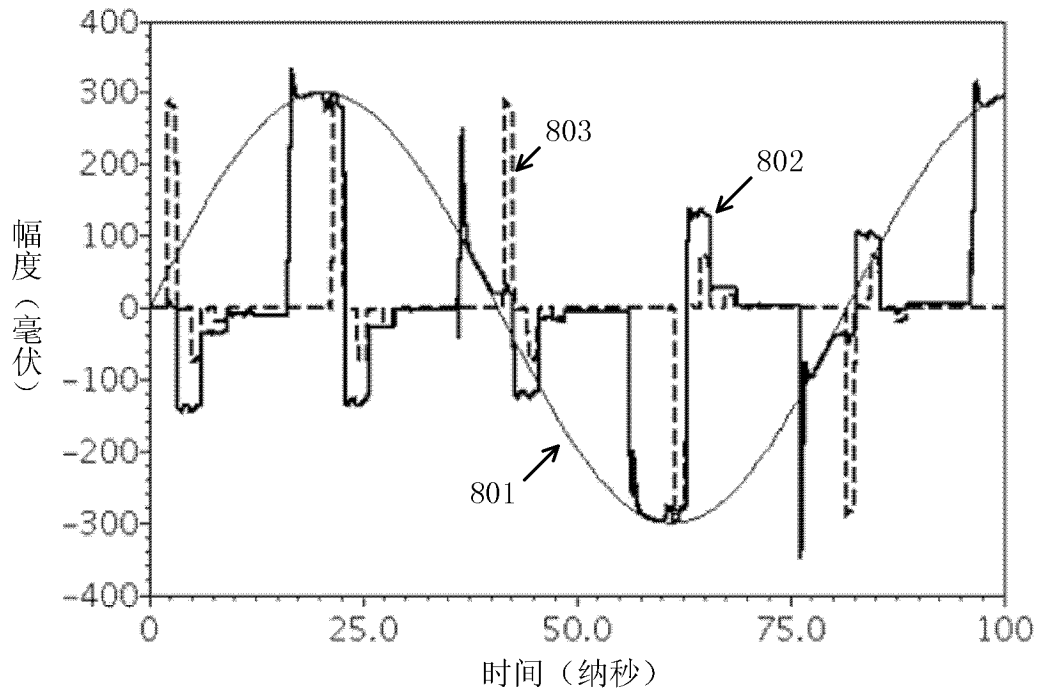


图 8

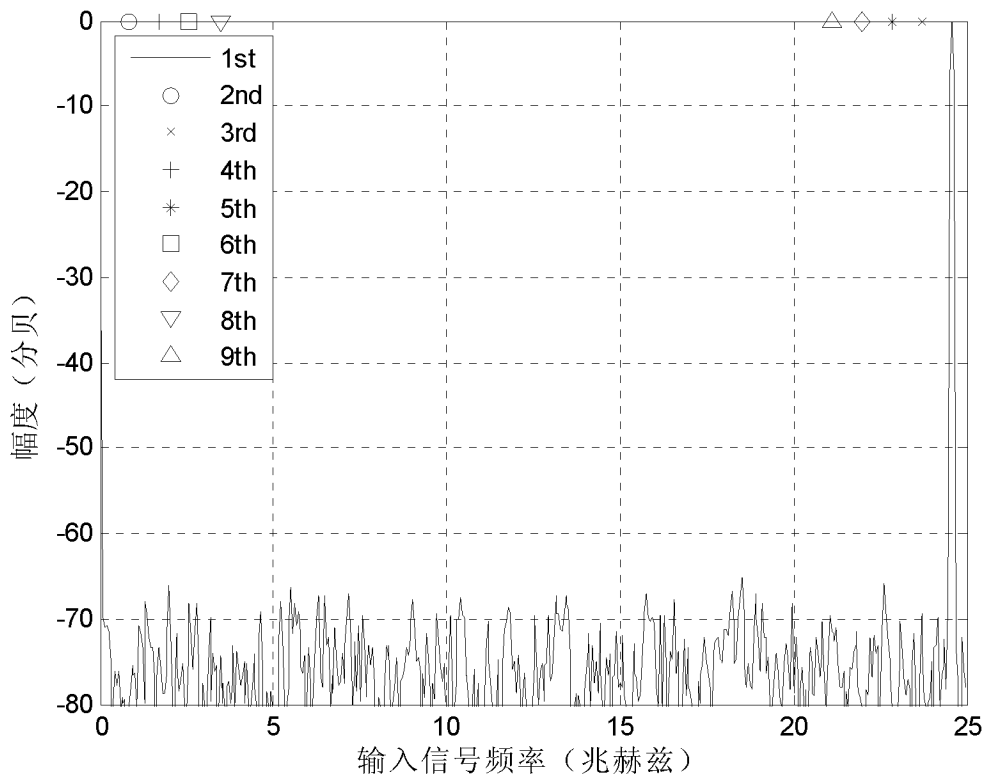


图 9