



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0109669  
(43) 공개일자 2012년10월08일

(51) 국제특허분류(Int. Cl.)  
H01L 33/22 (2010.01) H01L 33/36 (2010.01)  
(21) 출원번호 10-2011-0026983  
(22) 출원일자 2011년03월25일  
심사청구일자 없음

(71) 출원인  
엘지이노텍 주식회사  
서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)  
순천대학교 산학협력단  
전라남도 순천시 매곡동 315

(72) 발명자  
최광기  
서울특별시 중구 한강대로 416, 20층 엘지이노텍 주 (남대문로5가, 서울스퀘어)  
곽준섭  
서울특별시 중구 한강대로 416, 20층 엘지이노텍 주 (남대문로5가, 서울스퀘어)  
(뒷면에 계속)

(74) 대리인  
박병창

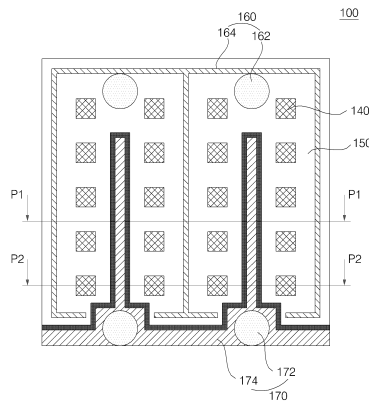
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **발광소자 및 그 제조방법**

**(57) 요약**

실시 예에 따른 발광소자는 제1 도전형 반도체층, 제2 도전형 반도체층 및 제1, 2 도전형 반도체층 사이에 활성층을 포함하는 발광구조물 및 상기 제1 도전형 반도체층 상에 배치되며, 적어도 하나의 홀이 형성된 투광성 전극층을 포함하고, 상기 제1 도전형 반도체층은, 상기 투광성 전극층과 접촉된 제1 영역 및 상기 홀에 의해 노출되며, 요철이 형성된 제2 영역을 포함할 수 있다.

**대표도** - 도1



(72) 발명자

**송준오**

서울특별시 중구 한강대로 416, 20층 엘지이노텍  
주 (남대문로5가, 서울스퀘어)

**박민주**

서울특별시 중구 한강대로 416, 20층 엘지이노텍  
주 (남대문로5가, 서울스퀘어)

---

## 특허청구의 범위

### 청구항 1

제1 도전형 반도체층, 제2 도전형 반도체층 및 제1, 2 도전형 반도체층 사이에 활성층을 포함하는 발광구조물;  
및

상기 제1 도전형 반도체층 상에 배치되며, 적어도 하나의 홀이 형성된 투광성 전극층;을 포함하고,

상기 제1 도전형 반도체층은,

상기 투광성 전극층과 접촉된 제1 영역; 및

상기 홀에 의해 노출되며, 요철이 형성된 제2 영역;을 포함하는 발광소자.

### 청구항 2

제 1 항에 있어서, 상기 제2 영역의 면적은,

상기 제1 도전형 반도체층의 면적 대비 0.25배 내지 0.5배인 발광소자.

### 청구항 3

제 1 항에 있어서, 상기 제2 영역의 면적은,

상기 제1 영역의 면적 대비 0.5배 내지 1배인 발광소자.

### 청구항 4

제 1 항에 있어서, 상기 홀의 평면 형상은,

다각형, 반원형 또는 원형 형상인 발광소자.

### 청구항 5

제 1 항에 있어서, 상기 홀의 상부폭은,

상기 홀의 하부폭과 동일하거나,

또는 상기 홀의 하부폭보다 큰 발광소자.

### 청구항 6

제 1 항에 있어서, 상기 홀의 내측면은,

80도 내지 90도의 경사각을 갖는 발광소자.

### 청구항 7

제 1 항에 있어서, 상기 홀은,

제1 홀; 및

상기 제1 홀의 크기 및 길이 중 적어도 하나가 다른 제2 홀;을 포함하는 발광소자.

### 청구항 8

제 1 항에 있어서, 상기 요철은,

제1 요철; 및

상기 제1 요철의 높이 및 크기 중 적어도 하나가 다른 제2 요철;을 포함하는 발광소자.

### 청구항 9

제 8 항에 있어서, 상기 제1, 2 요철은,  
서로 다른 단면 형상을 갖는 발광소자.

**청구항 10**

제 1 항에 있어서, 상기 투광성 전극층은,  
ITO 또는 ZnO 인 발광소자.

**청구항 11**

제 1 항에 있어서,  
상기 발광구조물을 지지하는 성장기판;  
상기 투광성 전극층 상에 형성된 제1 전극; 및  
상기 제2 도전형 반도체층의 메사식각된 일부부에 형성된 제2 전극;을 포함하는 발광소자.

**청구항 12**

제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1, 2 도전형 반도체층 사이에 활성층을 포함하는 발광구조물을 형성하는 단계;  
상기 제1 도전형 반도체층 상에 투광성 전극층을 증착하는 단계;  
상기 투광성 전극층 상에 포토레지스트(Photo Resist) 패턴을 형성하는 단계; 및  
상기 홀 패턴에 의해 노출된 상기 투광성 전극층에 홀을 형성하고, 상기 홀에 의해 노출된 상기 제1 도전형 반도체층의 제2 영역에 요철을 형성하는 단계;를 포함하는 발광소자의 제조방법.

**청구항 13**

제 1 항 내지 제 12 항 중 어느 한 항의 발광소자를 포함하는 발광소자 패키지.

**명세서**

**기술분야**

[0001] 실시 예는 발광소자 및 그 제조방법에 관한 것이다.

**배경기술**

[0002] 형광등은 흑점 현상, 짧은 수명 등으로 잦은 교체와 형광물질 사용으로 친환경을 지향하는 미래 조명시장의 흐름에 반하므로 점차 타 광원으로 대체되고 있는 추세이다.

[0003] 이에 타 광원으로 가장 주목받고 있는 것은 LED(Light Emitting Diode)로써, 반도체의 빠른 처리 속도와 낮은 전력 소모 등의 장점과 함께, 환경 친화적이면서도 에너지 절약 효과가 높아서 차세대 광원으로 꼽히고 있다. 따라서, 기존의 형광등을 대체하기 위한 LED의 활용은 활발히 진행 중에 있다.

[0004] 현재, LED와 같은 반도체 발광 소자는 텔레비전, 모니터, 노트북, 휴대폰, 및 기타 디스플레이장치를 구비하는 다양한 장치에 적용되고 있으며, 특히 기존의 CCFL을 대체하여 백 라이트 유닛으로도 널리 사용되고 있다.

[0005] 최근에는 발광소자를 조명광원으로 이용하기 위해서 고휘도화가 요구되고 있으며, 이러한 고휘도화를 달성하기 위하여 전류를 균일하게 확산시켜 발광 효율을 증가시킬 수 있는 발광소자를 제작하기 위한 연구가 진행 중에 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 실시 예는 새로운 구조를 갖는 발광소자 및 그 제어방법을 제공한다.

[0007] 실시 예는 발광소자의 광 효율을 향상시키며, 배광 분포를 개선한 발광소자 및 그 제어방법을 제공한다.

**과제의 해결 수단**

[0008] 실시 예에 따른 발광소자는, 제1 도전형 반도체층, 제2 도전형 반도체층 및 제1, 2 도전형 반도체층 사이에 활성층을 포함하는 발광구조물 및 상기 제1 도전형 반도체층 상에 배치되며, 적어도 하나의 홀이 형성된 투광성 전극층을 포함하고, 상기 제1 도전형 반도체층은, 상기 투광성 전극층과 접촉된 제1 영역 및 상기 홀에 의해 노출되며, 요철이 형성된 제2 영역을 포함할 수 있다.

[0009] 실시 예에 따른 발광소자의 제조방법은, 제1 도전형 반도체층, 제2 도전형 반도체층 및 상기 제1, 2 도전형 반도체층 사이에 활성층을 포함하는 발광구조물을 형성하는 단계, 상기 제1 도전형 반도체층 상에 투광성 전극층을 증착하는 단계, 상기 투광성 전극층 상에 포토레지스트(Photo Resist)로 홀 패턴을 형성하는 단계 및 상기 홀 패턴에 의해 노출된 상기 투광성 전극층에 홀을 형성하고, 상기 홀에 의해 노출된 상기 제1 도전형 반도체층의 제2 영역에 요철을 형성하는 단계를 포함할 수 있다.

**발명의 효과**

[0010] 실시 예에 따른 발광소자는, 투광성 전극층의 홀에 의해 노출된 제1 도전형 반도체층의 제2 영역에 형성된 요철에 의해 광 효율을 향상시킬 수 있는 이점이 있다.

[0011] 또한, 실시 예에 따른 발광소자는 요철에 의해 넓은 범위로 배광할 수 있는 이점이 있다.

**도면의 간단한 설명**

- [0012] 도 1은 제1 실시 예에 따른 발광소자를 나타낸 상면도이다.
- 도 2는 도 1에 나타낸 P1-P1 절단면을 나타낸 단면도이다.
- 도 3은 도 1에 나타낸 P2-P2 절단면을 나타낸 단면도이다.
- 도 4는 도 3에 나타낸 블록 'B'에 대한 제1 실시 예를 나타낸 확대도이다.
- 도 5는 도 3에 나타낸 블록 'B'에 대한 제2 실시 예를 나타낸 확대도이다.
- 도 6은 제2 실시 예에 따른 발광소자를 나타낸 상면도이다.
- 도 7 내지 도 10은 제1 실시 예에 따른 발광소자의 제조공정을 나타낸 공정순서도이다.
- 도 11은 실시 예에 따른 발광소자를 포함한 발광소자 패키지를 나타낸 사시도이다.
- 도 12는 실시 예에 따른 발광소자를 포함한 발광소자 패키지의 단면을 도시한 단면도이다.
- 도 13은 실시 예에 따른 발광소자를 포함하는 조명 시스템을 도시한 사시도이다.
- 도 14는 도 13의 조명 시스템의 D-D' 단면을 도시한 단면도이다.
- 도 15는 실시 예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도이다.
- 도 16은 실시예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도이다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 실시 예에 대한 설명에 앞서, 본 명세서에서 언급하는 각 층(막), 영역, 패턴, 또는 구조물들의 기관, 각 층(막) 영역, 패드, 또는 패턴들의 "위(on)", "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와, "아래(under)"는 직접(directly)", 또는 "다른 층을 개재하여(indirectly)" 형성되는 모든것을 포함한다. 또한, 각 층의 위, 또는 아래에 대한 기준은 도면을 기준으로 설명한다.

[0014] 도면에서, 각 층의 두께나 크기는 설명의 편의, 및 명확성을 위하여 과장되거나, 생략되거나, 또는 개략적으로 도시되었다. 따라서, 각 구성요소의 크기는 실제 크기를 전적으로 반영하는 것은 아니다.

[0015] 또한, 본 명세서에서 발광소자의 구조를 설명하는 과정에서 언급하는 각도와 방향은 도면에 기재된 것을 기준으로 한다. 명세서에서 발광소자를 이루는 구조에 대한 설명에서, 각도에 대한 기준점과 위치관계를 명확히 언급하지 않은 경우, 관련 도면을 참조하도록 한다.

- [0016] 도 1은 제1 실시 예에 따른 발광소자를 나타낸 상면도이고, 도 2는 도 1에 나타낸 P1-P1 절단면을 나타낸 단면도이고, 도 3은 도 1에 나타낸 P2-P2 절단면을 나타낸 단면도이다.
- [0017] 도 1 내지 도 3을 참조하면, 발광소자(100)는 성장기판(110), 발광구조물(미도시) 및 투광성 전극층(150), 제1, 2 전극(160, 170)을 포함할 수 있다.
- [0018] 여기서, 발광소자(100)는 복수의 화합물 반도체층 예컨대, 3족-5족 원소의 화합물 반도체층을 이용한 LED를 포함하며, LED는 청색, 녹색, 또는 적색 등과 같은 광을 방출하는 유색 LED이거나 UV LED일 수 있다. LED의 방출 광은 실시예의 기술적 범위 내에서 다양한 반도체를 이용하여 구현될 수 있다.
- [0019] 상기 발광구조물은 제1 도전형 반도체층(140), 제2 도전형 반도체층(120) 및 제1 도전형 반도체층(140)과 제2 도전형 반도체층(120) 사이에 형성되는 활성층(130)을 포함할 수 있다.
- [0020] 또한, 발광구조물은 성장기판(110)상에 형성될 수 있다.
- [0021] 성장기판(110)은 반도체 단결정을 성장시키기에 적합한 기판으로서, 바람직하게, 사파이어( $Al_2O_3$ )를 포함하는 투명한 재료를 이용하여 형성되며 사파이어 이외에, 성장기판(110)은 징크 옥사이드(zinc oxide, ZnO), 갈륨 나이트라이드(gallium nitride, GaN), 실리콘 카바이드(silicon carbide, SiC), 실리콘 및 알루미늄 나이트라이드( $AlN$ )로 형성될 수 있다.
- [0022] 이하, 실시 예에서는 사파이어( $Al_2O_3$ )와 같은 절연 기판을 그 예로 설명하기로 한다.
- [0023] 성장기판(110) 상에는 요철 패턴 또는 광 추출 구조가 형성될 수 있으며, 이러한 형상은 렌즈 형상, 기둥 형상, 뿔 형상 등으로 형성될 수 있으며, 이에 한정하지 않는다.
- [0024] 성장기판(110)의 두께는 100~400 $\mu m$  범위에서 형성될 수 있으며, 이에 한정을 두지 않는다.
- [0025] 성장기판(110) 상에는 성장기판(110)과 제2 도전형 반도체층(120) 간의 격자 부정합을 완화하는 버퍼층(111)이 위치할 수 있다. 버퍼층(111)은 저온 분위기에서 형성할 수 있으며, GaN, InN, AlN, AlInN, InGaN, AlGaIn, 및 InAlGaIn 과 같은 재질 중 선택할 수 있다.
- [0026] 버퍼층(111) 상에는 제2 도전형 반도체층(120)이 형성될 수 있다. 제2 도전형 반도체층(120)은 p형 또는 n형 반도체층을 포함할 수 있다.
- [0027] n형 반도체층은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등에서 선택될 수 있으며, Si, Ge, Sn 등의 n형 도펀트가 도핑될 수 있다.
- [0028] p형 반도체층은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0029] 제2 도전형 반도체층(120)상에는 활성층(130)이 형성될 수 있다. 활성층(130)은 전자와 정공이 재결합되는 영역으로, 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 그에 상응하는 파장을 가지는 빛을 생성할 수 있다.
- [0030] 활성층(130)은 예를 들어,  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 가지는 반도체 재료를 포함하여 형성할 수 있으며, 단일 양자 우물 구조 또는 다중 양자 우물 구조(MQW: Multi Quantum Well)로 형성될 수 있다. 또한, 양자선(Quantum wire)구조 또는 양자점(Quantum dot)구조를 포함할 수도 있다.
- [0031] 활성층(130)의 위 또는/및 아래에는 도전형 클래드층(미도시)이 형성될 수 있으며, 상기 도전형 클래드층은 GaN 계 반도체로 형성되거나, 활성층(130)과 밴드 갭이 다른 물질로 형성될 수 있다.
- [0032] 제1 도전형 반도체층(140)은 상술한 활성층(130)에 캐리어(Carrier)를 주입할 수 있다. 제1 도전형 반도체층(140)은 예를 들어, p형 반도체층으로 구현될 수 있는데, p형 반도체층은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlN, AlGaIn, InGaIn, InN, InAlGaIn, AlInN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0033] 또한, 제1, 2 도전형 반도체층(140, 120) 상에는 n형 또는 p형 반도체층을 포함하는 제3 도전형 반도체층(미도

시)이 형성될 수도 있으며 이에 따라, 발광소자(100)는 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다.

- [0034] 또한, 제1 도전형 반도체층(140) 및 제2 도전형 반도체층(120) 내의 도전형 도펀트의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 복수의 반도체층의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0035] 또한, 상술한 바와는 달리 제1 도전형 반도체층(140)이 p형 반도체층을 포함하고, 제2 도전형 반도체층(120)이 n형 반도체층을 포함할 수도 있다. 즉, 제1 도전형 반도체층(140)과 제2 도전형 반도체층(120)은 활성층(130)을 중심으로 서로 형성되는 위치가 바뀌어도 무방하나, 하기에서는 제2 도전형 반도체층(120)이 n형 반도체층을 포함하여 형성되고 성장기판(110)에 근접하는 것으로 기술한다.
- [0036] 상술한 제1 도전형 반도체층(140), 제2 도전형 반도체층(120) 및 활성층(130)은 예를 들어, 유기금속 화학 증착법(MOCVD; Metal Organic Chemical Vapor Deposition), 화학 증착법(CVD; Chemical Vapor Deposition), 플라즈마 화학 증착법(PECVD; Plasma-Enhanced Chemical Vapor Deposition), 분자선 성장법(MBE; Molecular Beam Epitaxy), 수소화물 기상 성장법(HVPE; Hydride Vapor Phase Epitaxy), 스퍼터링(Sputtering) 등의 방법을 이용하여 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0037] 발광소자(100)는 상기 발광구조물 상에 형성된 제1, 2 전극(160, 170)을 포함할 수 있다. 제1, 2 전극(160, 170)은 상기 발광구조물의 제1, 2 도전형 반도체층(140, 120)에 대응하게 형성되어, 제1, 2 도전형 반도체층(140, 120)으로 전원을 공급할 수 있다.
- [0038] 제1 전극(160)과 제2 전극(170)은 제1, 2 도전형 반도체층(140, 120)과 오믹 접촉되어 발광구조물에 전원이 원활히 공급되도록 한다. 제1 전극(160)과 제2 전극(170)은 투광성 전도층과 금속을 선택적으로 사용할 수 있으며, 예를 들어, ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IrOx, RuOx, RuOx/ITO, 니켈(Ni), 백금(Pt), 루테튬(Ru), 이리듐(Ir), 로듐(Rh), 탄탈(Ta), 몰리브덴(Mo), 티탄(Ti), 은(Ag), 텅스텐(W), 구리(Cu), 크롬(Cr), 팔라듐(Pd), 바나듐(V), 코발트(Co), 니오브(Nb), 지르코늄(Zr), Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, 탄소나노튜브를 중 적어도 하나를 이용하여 단층 또는 다층으로 형성할 수 있으나 이에 한정되는 것은 아니다.
- [0039] 제1 전극(160)은 투광성 전극층(150) 상에 배치되고, 제1 도전형 반도체층(140)과 직접 연결되어 형성될 수 있고, 투광성 전극층(150)과 연결되어 형성될 수 있다. 이에 대해 한정을 두지 않는다.
- [0040] 실시 예에서 제1 전극(160)은 투광성 전극층(150) 상에 배치된 것으로 설명하며, 제1 전극(160)은 제1 전극패드(162) 및 제1 전극패드(162)와 전기적으로 연결되는 제1 전극암(164)을 포함할 수 있다.
- [0041] 즉, 제1 전극(160)은 제1 전극패드(162)로부터 공급된 전류를 제1 전극암(164)을 통하여 전류를 확산시켜 효율을 증가시킬 수 있다.
- [0042] 이때, 제1 전극암(164)은 발광소자(100)의 출력, 크기 등을 고려하여 다양하나 형상 및 배치를 할 수 있으며, 이에 대하여 한정을 두지 않는다.
- [0043] 제2 전극(170)은 제2 도전형 반도체층(120)에 형성될 수 있다. 제2 전극(170)이 형성되는 위치는 제한이 없고, 발광소자(100)의 크기 등을 고려하여 복수 개가 형성될 수도 있지만, 바람직하게는 제1 도전형 반도체층(140)과 활성층(130)의 일부 영역이 제거되고, 제2 도전형 반도체층(120)의 일부가 노출되며, 노출된 제2 도전형 반도체층(120) 상면에 제2 전극(170)이 형성될 수 있다.
- [0044] 다시 설명하면, 상기 발광구조물에 투광성 전극층(150)이 형성된 경우 투광성전극층(150), 제1 도전형 반도체층(140) 및 활성층(130)의 일부 영역이 제거되고, 노출된 제2 도전형 반도체층(120) 상에 제2 전극(170)이 형성될 수 있으며, 이에 한정을 두지 않는다.
- [0045] 또한, 성장기판(110) 및 버퍼층(111)이 제거되고 제2 도전형 반도체층(120)의 노출되는 면에 제1 전극(160)이 형성될 수도 있다.
- [0046] 제2 도전형 반도체층(120)의 상부 영역을 제거하는 방법은 제한이 없으나 습식 식각, 건식 식각 등의 방법이 사용될 수 있다.

- [0047] 다시, 도 1 내지 도 3을 살펴보면, 투광성 전극층(150)은 홀(h)이 형성될 수 있다. 여기서, 도 2 및 도 3은 서로 다른 형태의 단면을 나타낼 수 있으며, 이는 투광성 전극층(150)의 홀(h)에 의해 서로 달라질 수 있다.
- [0048] 즉, 도 2의 제1 도전형 반도체층(140)에는 요철이 형성되지 않으며, 도 3의 제1 도전형 반도체층(140)에는 요철이 형성될 수 있다.
- [0049] 여기서, 투광성 전극층(150)은 전류군집현상을 방지하며, 투광성 및 전도성의 물질을 포함하여 형성될 수 있다. 예를 들어, IZO(In-ZnO), GZO(Ga-ZnO), AZO(Al-ZnO), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), IrOx, RuOx, RuOx/ITO, Ni/IrOx/Au 및 Ni/IrOx/Au/ITO 중 적어도 하나를 포함하여 형성될 수 있으나, 바람직하게는 ITO를 포함하여 형성될 수 있다. 이하에서는 ITO를 기준으로 설명한다.
- [0050] 또한, 홀(h)은 건식식각(dry etching) 방법에 의해 형성될 수 있으며 이에 한정을 두지 않는다. 또한 도 3에 나타낸 요철(v)도 홀(h)과 같이 형성될 수 있다.
- [0051] 이때, 홀(h)의 평면 형상은 다각형, 반원형 또는 원형 형상일 수 있으며, 실시 예에서는 정사각형 형상인 것으로 설명하며, 동일한 크기인 것으로 설명하며, 이에 한정을 두지 않는다.
- [0052] 홀(h) 중 적어도 하나는 크기 및 길이 중 하나가 다를 수 있다.
- [0053] 여기서, 제1 도전형 반도체층(140)은 투광성 전극층(150)과 접촉되는 제1 영역(s1) 및 투광성 전극층(150)의 홀(h)에 의해 노출된 제2 영역(s2)을 포함할 수 있다.
- [0054] 즉, 제1 영역(s1)은 투광성 전극층(150)과 접촉됨으로써, 투광성 전극층(150)을 지지할 수 있으며, 제2 영역(s2)에는 요철(v)이 형성될 수 있다.
- [0055] 요철(v)은 활성층(130)에서 발생된 광을 분산시킬 수 있음으로써, 광 추출 효율을 향상시킬 수 있다.
- [0056] 이때, 요철(v)이 형성된 제2 영역(s2)의 면적은 제1 도전형 반도체층(140)의 전체 면적, 즉 제1, 2 영역(s1, s2)의 합 면적 대비 0.25배 내지 0.5배인 것이 바람직할 수 있다.
- [0057] 즉, 제2 영역(s2)은 0.25배 미만인 경우 광 추출 효율의 개선이 낮으며, 0.5배보다 큰 경우 광 추출 효율은 향상될 수 있으나 제1 도전형 반도체층(140)의 전류 확산 효율이 낮아질 수 있다.
- [0058] 또한, 제2 영역(s2)의 면적은 제1 영역(s1)의 면적대비 0.5배 내지 1배인 것이 바람직할 수 있다. 즉, 제2 영역(s2)은 제1 영역(s1)과 동일한 면적을 가지거나, 그 보다 작은 면적을 가짐으로써, 광 효율 및 전류 확산 효율을 향상시킬 수 있다.
- [0059] 도 4는 도 3에 나타낸 블록 'B'에 대한 제1 실시 예를 나타낸 확대도이며, 도 5는 도 3에 나타낸 블록 'B'에 대한 제2 실시 예를 나타낸 확대도이다.
- [0060] 도 4를 참조하면, 요철(v)은 제1, 2 요철(v1, v2)을 포함할 수 있다.
- [0061] 이때, 제1, 2 요철(v1)은 높이 및 크기 중 적어도 하나가 다를 수 있으며, 또한, 제1, 2 요철(v1, v2)의 단면 형상은 서로 다를 수 있다.
- [0062] 도 4에 나타낸 제1, 2 요철(v1, v2)의 단면 형상은 삼각형 형상으로 동일하게 나타냈으나, 이에 한정을 두지 않는다.
- [0063] 이때, 투광성 전극층(150)의 홀(h)은 상부폭 및 하부폭이 동일하게, 홀(h)의 내측면이 제1 도전형 반도체층(140)을 기준으로 수직, 즉 90도의 경사각(d1)을 이룰 수 있다.
- [0064] 여기서, 도 5를 참조하면, 도 5는 도 4와 요철(v)은 서로 동일할 수 있다.
- [0065] 하지만, 홀(h)은 상부폭(a1) 및 하부폭(a2)이 서로 다를 수 있다.
- [0066] 즉, 홀(h)의 상부폭(a1)은 하부폭(a2) 보다 크게 형성될 수 있으며, 홀(h)의 내측면은 80도 내지 89도의 경사각(d2)을 갖도록 할 수 있다.
- [0067] 즉, 도 4 및 도 5에 나타낸 바와 같이, 제1 도전형 반도체층(140) 상에 투광성 전극층(150)을 형성 한 후, 식각에 의해 투광성 전극층(150)에 홀(h)을 형성함과 아울러 제1 도전형 반도체층(140)에 요철(v)을 형성하는 바, 홀(h)의 내측면은 80도 내지 90도의 경사각을 이룰 수 있도록 할 수 있으며, 이에 한정을 두지 않는다.
- [0068] 그리고, 요철(v)는 활성층(130)에서 방출되는 광의 전반사를 방지할 수 있으므로, 광을 다양한 각도로 방출하도록



록 함으로써 더 넓은 배광을 할 수 있으며, 따라 지향각을 넓힐 수 있는 이점이 있다.

- [0069] 또한, 투광성 전극층(150) 상에는 요철(v) 보다 작고 미세한 요철(미도시)이 형성될 수 있으며, 이에 한정을 두지 않는다.
- [0070] 도 6은 제2 실시 예에 따른 발광소자를 나타낸 상면도이다.
- [0071] 도 6 및 도 7은 도 1에서 중복되는 구성에 대한 설명을 생략하거나, 또는 간략하게 설명한다.
- [0072] 즉, 도 6을 참조하면, 발광소자(200)는 은 라인 형상을 갖는 홀(미도시)이 형성된 투광성 전극층(250) 및 상기 홀에 의해 노출된 영역에 요철(미도시)이 형성된 제1 도전형 반도체층(240)을 포함할 수 있다.
- [0073] 이때, 상기 홀은 서로 동일한 길이 및 폭을 가지는 것으로 나타내었으나, 홀 중 적어도 하나가 길이 및 폭 중 적어도 하나가 다를 수 있으며, 이에 한정을 두지 않는다.
- [0074] 도 7 내지 도 10은 제1 실시 예에 따른 발광소자의 제조공정을 나타낸 공정순서도이다.
- [0075] 도 7을 참조하면, 먼저 발광구조물(미도시)은 여러 가지 방법이 있으나, 공지된 방법에 의하여 성장기관(110) 상에 제2 도전형 반도체층(120), 활성층(130) 및 제1 도전형 반도체층(140)을 성장시킨다.
- [0076] 이때, 성장기관(110) 상에는 제2 도전형 반도체층(120) 간의 격자 부정합을 완화하고 반도체층들이 용이하게 성장될 수 있도록 버퍼층(111)을 형성할 수 있다.
- [0077] 도 8을 참조하면, 투광성 전극층(150)은 제1 도전형 반도체층(140) 상에 ITO 등과 같은 투광성 재질을 증착하여 형성할 수 있다.
- [0078] 도 9(a)를 참조하면, 투광성 전극층(150) 상에 포토레지스트(PR, Photo Resist) 패턴을 형성 한 후, 에칭 공정을 실행한다. 상기 에칭 공정은 건식 식각에 의하여 이루어질 수 있으며, 이에 한정을 두지 않는다.
- [0079] 이때, 도 9(b)를 참조하면, 도 9(a)에 의해 투광성 전극층(150) 중 포토레지스트(PR)에 의해 노출된 부분이 식각될 수 있다.
- [0080] 그리고, 도 9(c)를 참조하면, 도 9(b)에 의해 투광성 전극층(150)에 홀(h)이 형성되며, 홀(h)을 통해 제1 도전형 반도체층(140)의 노출된 부분에 요철(v)을 형성할 수 있다.
- [0081] 다시말하면, 투광성 전극층(150)은 포토레지스트(PR) 패턴에 의해 홀(h)의 형상이 결정될 수 있으며, 제1 도전형 반도체층(140)에 형성되는 요철(v)은 홀(h)이 형성된 후 형성될 수 있다.
- [0082] 여기서, 요철(v)은 투광성 전극층(150)의 에칭에 의해 식각되는 부분이 요철(미도시) 형상으로 식각되면서 용이하게 형성될 수 있다.
- [0083] 도 10을 참조하면, 투광성 전극층(150) 및 제1 도전형 반도체층(140)에 드라이 에칭 공정을 실시 한 후, 제1 전극(160)이 투광성 전극층(150) 상에 형성될 수 있다.
- [0084] 마지막으로, 제2 도전형 반도체층(120)이 노출되도록 mesa식각한 후, 제2 도전형 반도체층(120)의 노출 부분에 제2 전극(170)을 형성시킬 수 있다.
- [0085] 또한, 성장기관(110)과 버퍼층(111)을 제거하고, 제2 도전형 반도체층(120)에 제2 전극(170)을 형성시킬 수 있다.
- [0086] 상술한 제조공정의 공정 순서는 서로 바뀔 수 있으며, 이에 한정을 두지 않는다.
- [0087] 도 11은 실시 예에 따른 발광소자를 포함한 발광소자 패키지를 나타낸 사시도이며, 도 12는 실시 예에 따른 발광소자를 포함한 발광소자 패키지의 단면을 도시한 단면도이다.
- [0088] 도 11 및 도 12 를 참조하면, 발광소자 패키지(300)는 캐비티가 형성된 몸체(310), 몸체(310)에 실장된 제1 및 제2 전극(340, 350) 제1 및 제2 전극과 전기적으로 연결되는 발광소자(320) 및 캐비티에 형성되는 봉지재(330)를 포함할 수 있고, 봉지재(330)는 형광체(340)를 포함할 수 있다.
- [0089] 몸체(310)는 폴리프탈아미드(PPA:Polyphthalamide)와 같은 수지 재질, 실리콘(Si), 알루미늄(Al), 알루미늄 나이트라이드(AlN), 액정폴리머(PSG, photo sensitive glass), 폴리아미드9T(PA9T), 신지오택틱폴리스티렌(PS), 금속 재질, 사파이어(Al<sub>2</sub>O<sub>3</sub>), 베릴륨 옥사이드(BeO), 인쇄회로기판(PCB, Printed Circuit Board), 세라믹 중 적어도 하나로 형성될 수 있다. 몸체(310)는 사출 성형, 에칭 공정 등에 의해 형성될 수 있으나 이에 대해 한정하

지는 않는다.

- [0090] 몸체(310)의 내측면은 경사면이 형성될 수 있다. 이러한 경사면의 각도에 따라 발광소자(320)에서 방출되는 광의 반사각이 달라질 수 있으며, 이에 따라 외부로 방출되는 광의 지향각을 조절할 수 있다.
- [0091] 몸체(310)에 형성되는 캐비티를 위에서 바라본 형상은 원형, 사각형, 다각형, 타원형 등의 형상일 수 있으며, 특히 모서리가 곡선인 형상일 수도 있으나 이에 한정되는 것은 아니다.
- [0092] 봉지재(330)는 캐비티에 충전될 수 있으며, 형광체(미도시)를 포함할 수 있다. 봉지재(330)는 투명한 실리콘, 에폭시, 및 기타 수지 재질로 형성될 수 있으며, 캐비티 내에 충전한 후, 이를 자외선 또는 열 경화하는 방식으로 형성될 수 있다.
- [0093] 형광체(미도시)는 발광소자(320)에서 방출되는 광의 파장에 따라 종류가 선택되어 발광소자 패키지(300)가 백색 광을 구현하도록 할 수 있다.
- [0094] 봉지재(330)에 포함되어 있는 형광체(미도시)는 발광소자(320)에서 방출되는 광의 파장에 따라 청색 발광 형광체, 청록색 발광 형광체, 녹색 발광 형광체, 황녹색 발광 형광체, 황색 발광 형광체, 황적색 발광 형광체, 오렌지색 발광 형광체, 및 적색 발광 형광체중 하나가 적용될 수 있다.
- [0095] 즉, 형광체(미도시)는 발광소자(320)에서 방출되는 제1 빛을 가지는 광에 의해 여기 되어 제2 빛을 생성할 수 있다. 예를 들어, 발광소자(320)가 청색 발광 다이오드이고 형광체(미도시)가 황색 형광체인 경우, 황색 형광체는 청색 빛에 의해 여기되어 황색 빛을 방출할 수 있으며, 청색 발광 다이오드에서 발생한 청색 빛 및 청색 빛에 의해 여기 되어 발생한 황색 빛이 혼색됨에 따라 발광소자 패키지(300)는 백색 빛을 제공할 수 있다.
- [0096] 이와 유사하게, 발광소자(320)가 녹색 발광 다이오드인 경우는 magenta 형광체 또는 청색과 적색의 형광체(미도시)를 혼용하는 경우, 발광소자(320)가 적색 발광 다이오드인 경우는 Cyan형광체 또는 청색과 녹색 형광체를 혼용하는 경우를 예로 들 수 있다.
- [0097] 이러한 형광체(미도시)는 YAG계, TAG계, 황화물계, 실리콘이트계, 알루미늄이트계, 질화물계, 카바이드계, 니트ريد실리콘이트계, 붕산염계, 불화물계, 인산염계 등의 공지된 것일 수 있다.
- [0098] 한편, 몸체(310)에는 제1 전극(340) 및 제2 전극(350)이 실장될 수 있다. 제1 전극(340) 및 제2 전극(350)은 발광소자(320)와 전기적으로 연결되어 발광소자(320)에 전원을 공급할 수 있다.
- [0099] 제1 전극(340) 및 제2 전극(350)은 서로 전기적으로 분리되며, 발광소자(320)에서 발생된 빛을 반사시켜 광 효율을 증가시킬 수 있고, 또한 발광소자(320)에서 발생된 열을 외부로 배출시킬 수 있다.
- [0100] 도 12에는 발광소자(320)가 제1 전극(350) 상에 실장되었으나, 이에 한정되지 않으며, 발광소자(320)와 제1 전극(340) 및 제2 전극(350)은 와이어 본딩(wire bonding) 방식, 플립 칩(flip chip) 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다.
- [0101] 이러한 제1 전극(340) 및 제2 전극(350)은 금속 재질, 예를 들어, 티타늄(Ti), 구리(Cu), 니켈(Ni), 금(Au), 크롬(Cr), 탄탈륨(Ta), 백금(Pt), 주석(Sn), 은(Ag), 인(P), 알루미늄(Al), 인듐(In), 팔라듐(Pd), 코발트(Co), 실리콘(Si), 게르마늄(Ge), 하프늄(Hf), 루테튬(Ru), 철(Fe) 중에서 하나 이상의 물질 또는 합금을 포함할 수 있다. 또한, 제1 전극(340) 및 제2 전극(350)은 단층 또는 다층 구조를 가지도록 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0102] 발광소자(320)는 제1 전극(340) 상에 실장되며, 예를 들어, 적색, 녹색, 청색, 백색 등의 빛을 방출하는 발광소자 또는 자외선을 방출하는 UV(Ultra Violet) 발광 소자일 수 있으나, 이에 대해 한정하지는 않는다. 또한, 발광 소자(320)는 한 개 이상 실장될 수 있다.
- [0103] 또한, 발광소자는 그 전기 단자들이 모두 상부 면에 형성된 수평형 타입(Horizontal type)이거나, 또는 상, 하부 면에 형성된 수직형 타입(Vertical type), 또는 플립 칩 모두에 적용 가능하다.
- [0104] 실시 예에 따른 발광소자 패키지(300)는 복수 개가 기판 상에 어레이되며, 발광소자 패키지(300)의 광 경로 상에 광학 부재인 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다.
- [0105] 이러한 발광소자 패키지(300), 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자(100) 또는 발광소자 패키지(300)를 포함하는 표시 장치, 지시 장치, 조명 시스템으로 구현될 수 있으며, 예를 들어, 조명 시스템은 램프, 가로등을 포함할 수 있다.

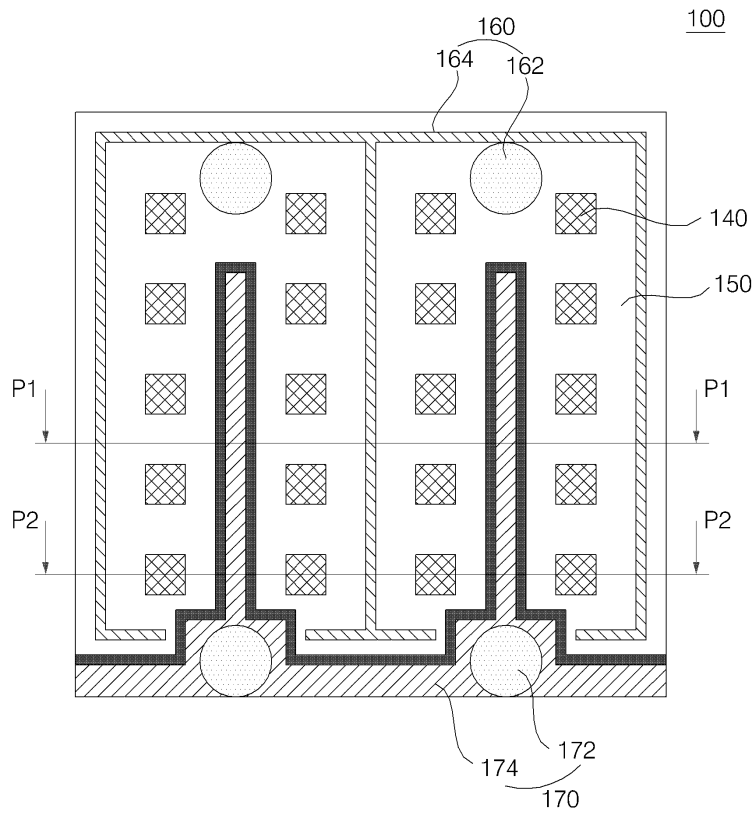
- [0106] 도 13은 실시 예에 따른 발광소자를 포함하는 조명 시스템을 도시한 사시도이며, 도 14는 도 13의 조명 시스템의 D-D' 단면을 도시한 단면도이다.
- [0107] 즉, 도 14는 도 13의 조명 시스템(400)을 길이방향(Z)과 높이방향(X)의 면으로 자르고, 수평방향(Y)으로 바라본 단면도이다.
- [0108] 도 13 및 도 14를 참조하면, 조명 시스템(400)은 몸체(410), 몸체(410)와 체결되는 커버(430) 및 몸체(410)의 양단에 위치하는 마감캡(450)을 포함할 수 있다.
- [0109] 몸체(410)의 하부면에는 발광소자 모듈(440)이 체결되며, 몸체(410)는 발광소자 패키지(444)에서 발생한 열이 몸체(410)의 상부면을 통해 외부로 방출할 수 있도록 전도성 및 열발산 효과가 우수한 금속재질로 형성될 수 있고, 이에 한정하지 아니한다.
- [0110] 특히, 발광소자 패키지(444)는 발광소자(미도시)를 포함하며, 발광소자(미도시)는 제2 구조(미도시)를 포함하고, 제2 구조(미도시)는 높이 및 곡률 중 적어도 하나가 균일하게 형성된 균일 구조(미도시)를 포함함으로써, 발광소자 패키지(444) 및 조명 시스템(400)의 광 추출 효율 및 배광 분포가 개선되고, 조명 시스템(400)의 발광 효율 및 신뢰성이 더욱 향상될 수 있다.
- [0111] 발광소자 패키지(444)는 기판(442) 상에 다색, 다열로 실장되어 모듈을 이룰 수 있으며, 동일한 간격으로 실장되거나 또는 필요에 따라서 다양한 이격 거리를 가지고 실장될 수 있어 밝기 등을 조절할 수 있다. 이러한 기판(442)으로 MCPCB(Metal Core PCB) 또는 FR4 재질의 PCB 를 사용할 수 있다.
- [0112] 커버(430)는 몸체(410)의 하부면을 감싸도록 원형의 형태로 형성될 수 있으나, 이에 한정되지 않음은 물론이다.
- [0113] 커버(430)는 내부의 발광소자 모듈(440)을 외부의 이물질 등으로부터 보호한다. 또한, 커버(430)는 발광소자 패키지(444)에서 발생한 광의 눈부심을 방지하고, 외부로 광을 균일하게 방출할 수 있도록 확산입자를 포함할 수 있으며, 또한 커버(430)의 내면 및 외면 중 적어도 어느 한 면에는 프리즘 패턴 등이 형성될 수 있다. 또한 커버(430)의 내면 및 외면 중 적어도 어느 한 면에는 형광체가 도포될 수도 있다.
- [0114] 한편, 발광소자 패키지(444)에서 발생하는 광은 커버(430)를 통해 외부로 방출되므로, 커버(430)는 광투과율이 우수하여야 하며, 발광소자 패키지(444)에서 발생하는 열에 견딜 수 있도록 충분한 내열성을 구비하고 있어야 하는 바, 커버(430)는 폴리에틸렌 테레프탈레이트(Polyethylen Terephthalate; PET), 폴리카보네이트(Polycarbonate; PC), 또는 폴리메틸 메타크릴레이트(Polymethyl Methacrylate; PMMA) 등을 포함하는 재질로 형성되는 것이 바람직하다.
- [0115] 마감캡(450)은 몸체(410)의 양단에 위치하며 전원장치(미도시)를 밀폐하는 용도로 사용될 수 있다. 또한 마감캡(450)에는 전원 핀(452)이 형성되어 있어, 실시예에 따른 조명 시스템(400)은 기존의 형광등을 제거한 단자에 별도의 장치 없이 곧바로 사용할 수 있게 된다.
- [0116] 도 15는 실시 예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도이다.
- [0117] 도 15는 에지-라이트 방식으로, 액정 표시 장치(500)는 액정표시패널(510)과 액정표시패널(510)로 빛을 제공하기 위한 백라이트 유닛(570)을 포함할 수 있다.
- [0118] 액정표시패널(510)은 백라이트 유닛(570)으로부터 제공되는 광을 이용하여 화상을 표시할 수 있다. 액정표시패널(510)은 액정을 사이에 두고 서로 대향하는 컬러 필터 기관(512) 및 박막 트랜지스터 기관(514)을 포함할 수 있다.
- [0119] 컬러 필터 기관(512)은 액정표시패널(510)을 통해 디스플레이되는 화상의 색을 구현할 수 있다.
- [0120] 박막 트랜지스터 기관(514)은 구동 필름(517)을 통해 다수의 회로부품이 실장되는 인쇄회로기관(518)과 전기적으로 접속되어 있다. 박막 트랜지스터 기관(514)은 인쇄회로기관(518)으로부터 제공되는 구동 신호에 응답하여 인쇄회로기관(518)으로부터 제공되는 구동 전압을 액정에 인가할 수 있다.
- [0121] 박막 트랜지스터 기관(514)은 유리나 플라스틱 등과 같은 투명한 재질의 다른 기관상에 박막으로 형성된 박막 트랜지스터 및 화소 전극을 포함할 수 있다.
- [0122] 백라이트 유닛(570)은 빛을 출력하는 발광소자 모듈(520), 발광소자 모듈(520)로부터 제공되는 빛을 면광원 형태로 변경시켜 액정표시패널(510)로 제공하는 도광판(530), 도광판(530)으로부터 제공된 빛의 휘도 분포를 균일하게 하고 수직 입사성을 향상시키는 다수의 필름(550, 566, 564) 및 도광판(530)의 후방으로 방출되는 빛을 도

광관(530)으로 반사시키는 반사 시트(540)로 구성된다.

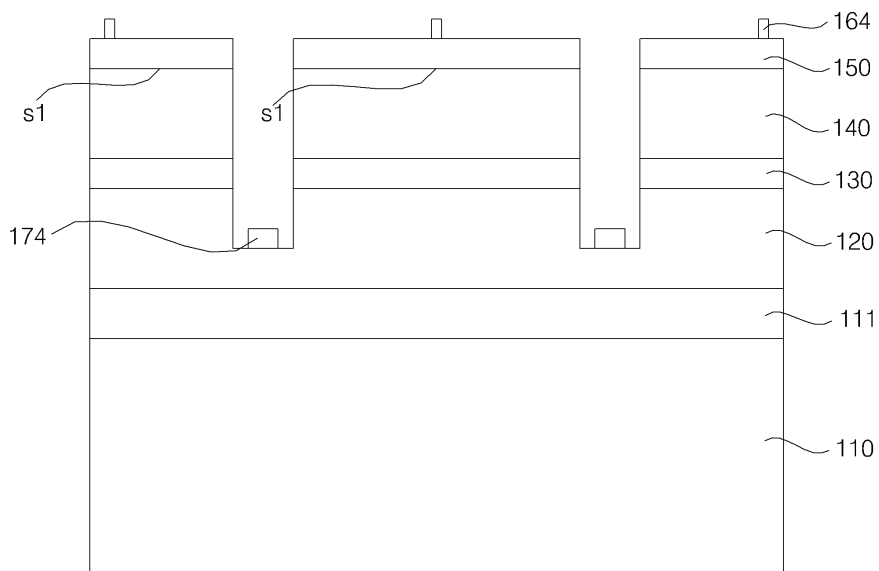
- [0123] 발광소자 모듈(520)은 복수의 발광소자 패키지(524)와 복수의 발광소자 패키지(524)가 실장되어 모듈을 이룰 수 있도록 PCB기판(522)을 포함할 수 있다.
- [0124] 특히, 발광소자 패키지(524)는 발광소자(미도시)를 포함하며, 발광소자(미도시)는 제2 구조(미도시)를 포함하고, 제2 구조(미도시)는 높이 및 곡률 중 적어도 하나가 균일하게 형성된 균일 구조(미도시)를 포함함으로써, 백라이트 유닛(570)의 광 추출 효율 및 배광 분포가 개선되고, 백라이트 유닛(570)의 발광 효율 및 신뢰성이 더욱 향상될 수 있다.
- [0125] 한편, 백라이트유닛(570)은 도광관(530)으로부터 입사되는 빛을 액정 표시 패널(510) 방향으로 확산시키는 확산 필름(566)과, 확산된 빛을 집광하여 수직 입사성을 향상시키는 프리즘필름(550)으로 구성될 수 있으며, 프리즘 필름(550)을 보호하기 위한 보호필름(564)을 포함할 수 있다.
- [0126] 도 16은 실시예에 따른 발광소자를 포함하는 액정표시장치의 분해 사시도이다. 다만, 도 15에서 도시하고 설명한 부분에 대해서는 반복하여 상세히 설명하지 않는다.
- [0127] 도 16은 직하 방식으로, 액정 표시 장치(600)는 액정표시패널(610)과 액정표시패널(610)로 빛을 제공하기 위한 백라이트 유닛(670)을 포함할 수 있다.
- [0128] 액정표시패널(610)은 도 15에서 설명한 바와 동일하므로, 상세한 설명은 생략한다.
- [0129] 백라이트 유닛(670)은 복수의 발광소자 모듈(623), 반사시트(624), 발광소자 모듈(623)과 반사시트(624)가 수납되는 하부 캐시(630), 발광소자 모듈(623)의 상부에 배치되는 확산판(640) 및 다수의 광학필름(660)을 포함할 수 있다.
- [0130] 발광소자 모듈(623) 복수의 발광소자 패키지(622)와 복수의 발광소자 패키지(622)가 실장되어 모듈을 이룰 수 있도록 PCB기판(621)을 포함할 수 있다.
- [0131] 반사 시트(624)는 발광소자 패키지(622)에서 발생한 빛을 액정표시패널(610)이 위치한 방향으로 반사시켜 빛의 이용 효율을 향상시킨다.
- [0132] 한편, 발광소자 모듈(623)에서 발생한 빛은 확산판(640)에 입사하며, 확산판(640)의 상부에는 광학 필름(660)이 배치된다. 광학 필름(660)은 확산 필름(666), 프리즘필름(650) 및 보호필름(664)를 포함하여 구성된다.
- [0133] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [0134] 또한, 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

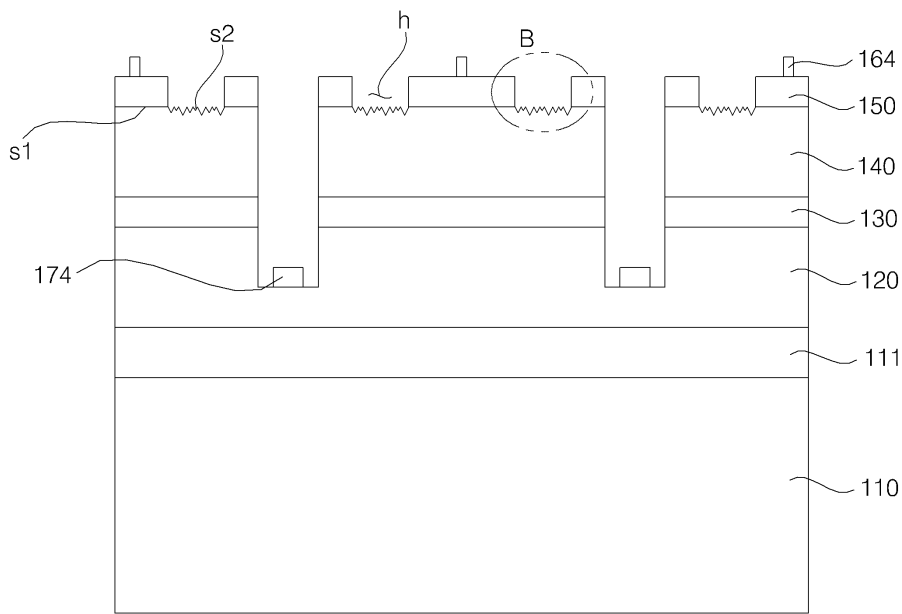
도면1



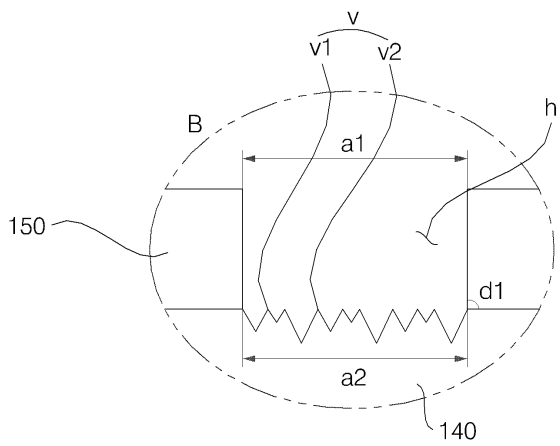
도면2



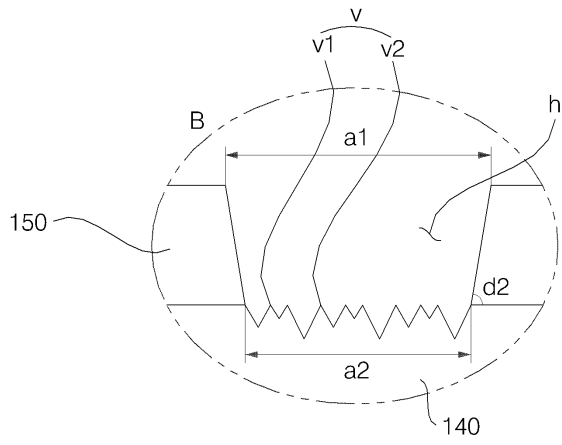
도면3



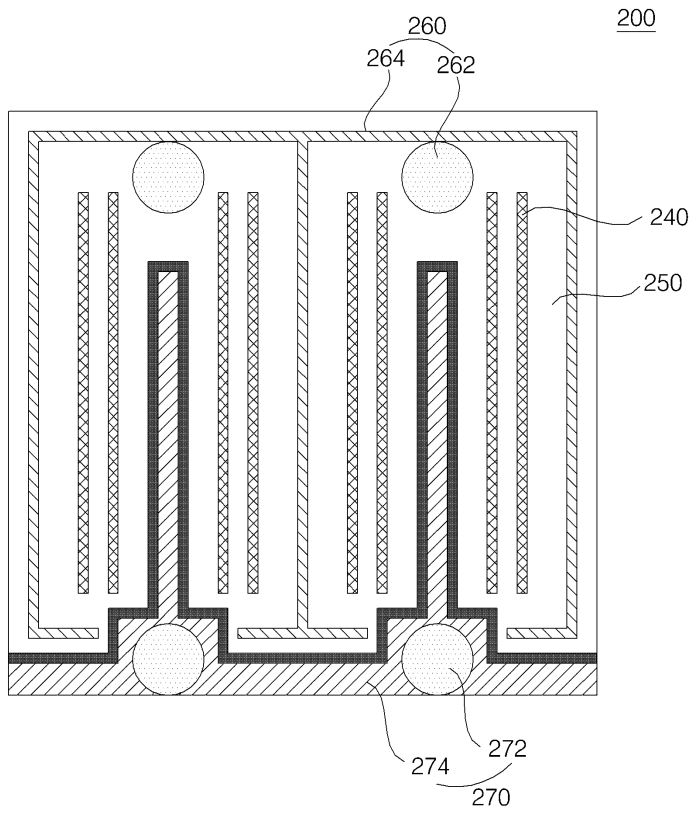
도면4



도면5



도면6



도면7

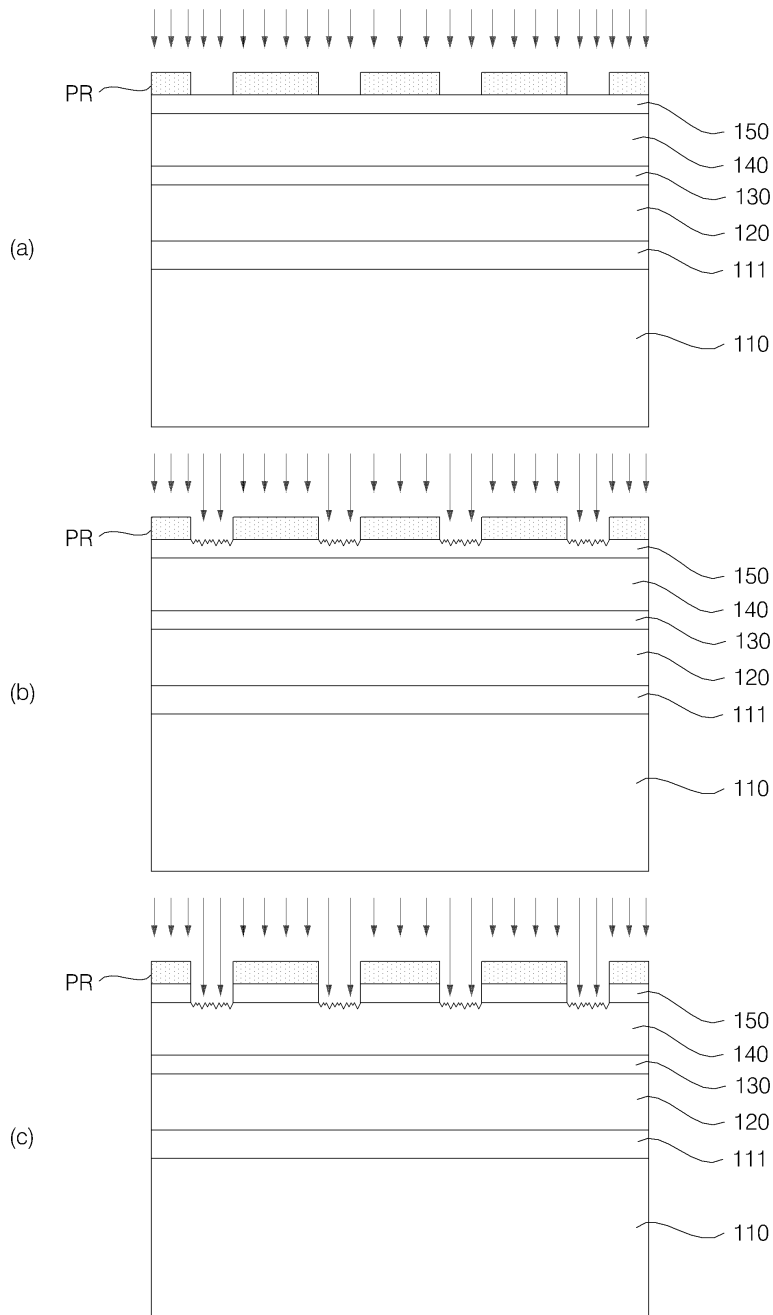


도면8

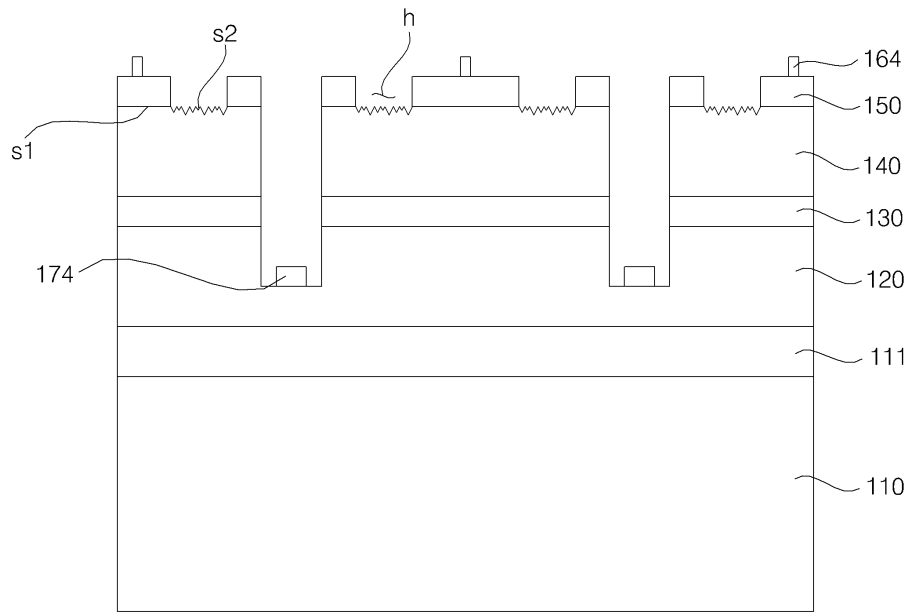




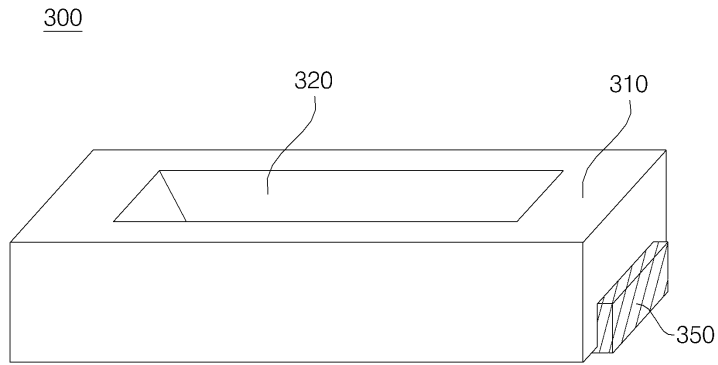
도면9



도면10

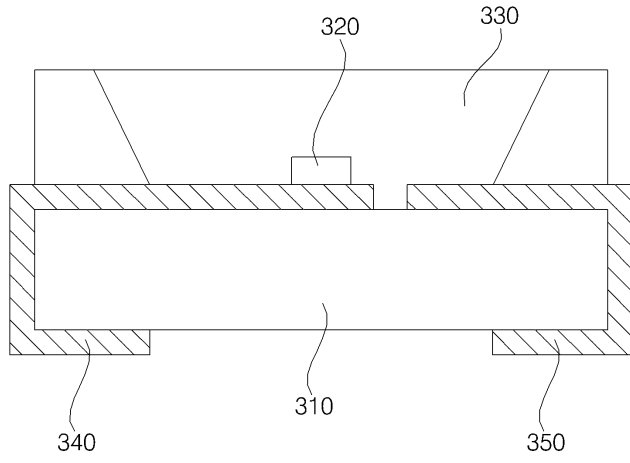


도면11



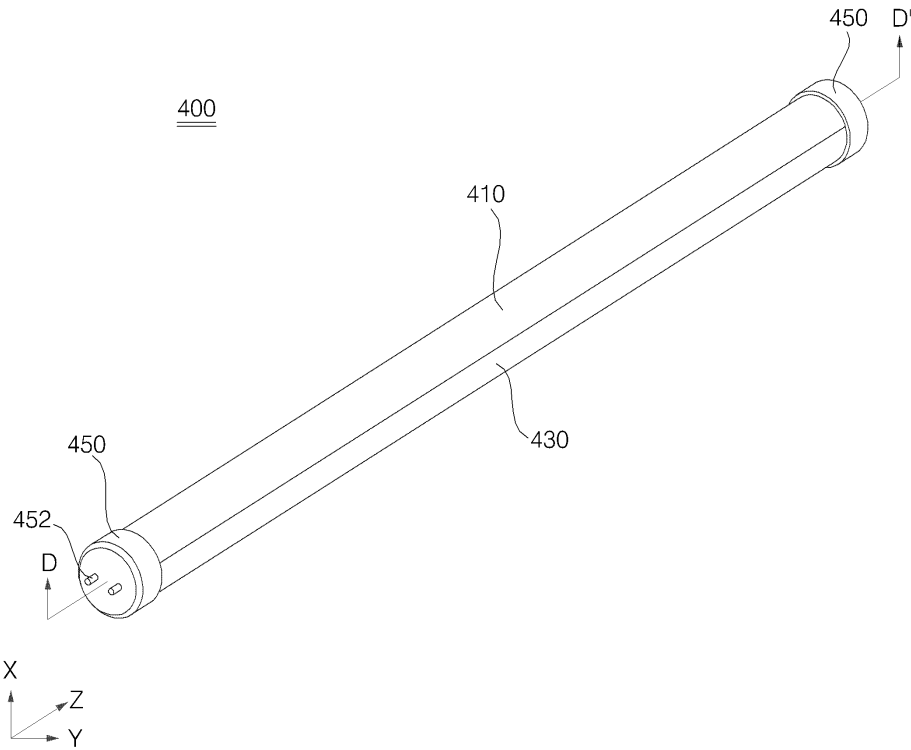
도면12

300

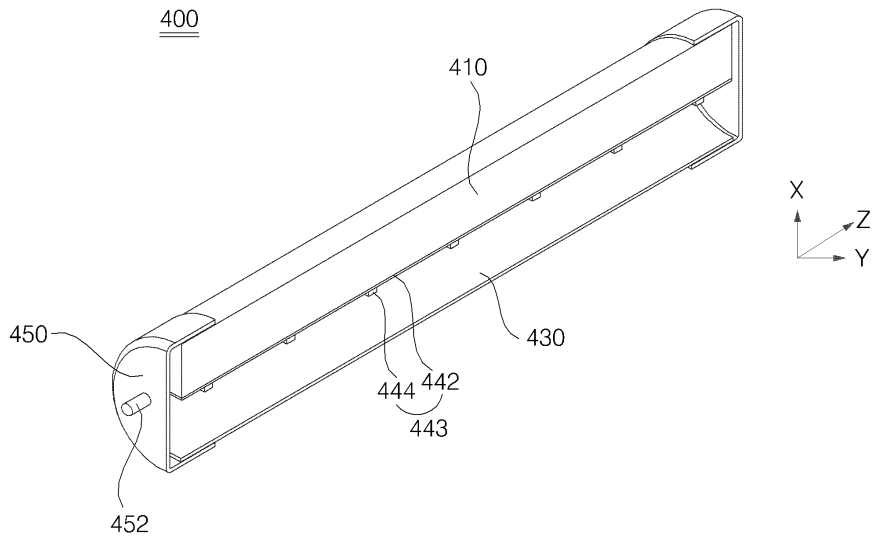


도면13

400

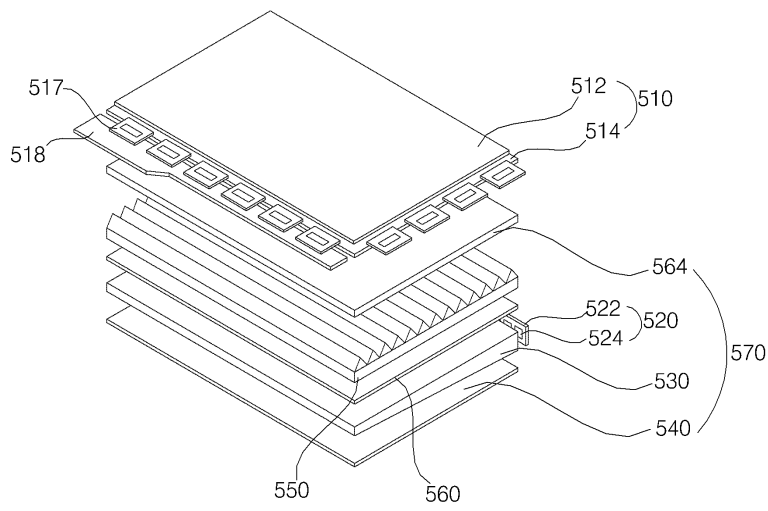


도면14



도면15

500



도면16

