



(12) 发明专利

(10) 授权公告号 CN 106910451 B

(45) 授权公告日 2020.09.29

(21) 申请号 201710295905.X

(22) 申请日 2017.04.28

(65) 同一申请的已公布的文献号
申请公布号 CN 106910451 A

(43) 申请公布日 2017.06.30

(73) 专利权人 昆山龙腾光电股份有限公司
地址 215301 江苏省苏州市昆山开发区龙腾路1号

(72) 发明人 陈一凡

(74) 专利代理机构 北京品源专利代理有限公司
11332
代理人 张海英 林波

(51) Int. Cl.
G09G 3/20 (2006.01)

(56) 对比文件

CN 103426414 A, 2013.12.04

CN 104318909 A, 2015.01.28

KR 20140148235 A, 2014.12.31

审查员 杨欢欢

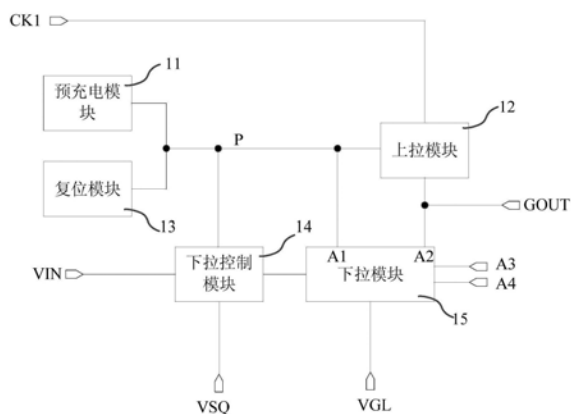
权利要求书4页 说明书9页 附图5页

(54) 发明名称

栅极驱动电路和栅极驱动电路的驱动方法

(57) 摘要

本发明实施例公开了一种栅极驱动电路和栅极驱动电路的驱动方法,其中栅极驱动电路包括:多个级联的驱动单元,每级驱动单元均包括预充电模块、上拉模块、复位模块、下拉控制模块和下拉模块;上拉模块用于在驱动单元的第一输出端输出扫描信号;复位模块用于拉低控制节点的电位;其中,相邻两级驱动单元的第一控制信号输入端输入相反的信号;下拉模块用于下拉本级驱动单元的控制节点和第一输出端的电位;下拉模块的第三输出端与前一级驱动单元的控制节点电连接,下拉模块的第四输出端与前一级驱动单元的第一输出端电连接,下拉模块还用于下拉前一级驱动单元的控制节点和第一输出端的电位。本发明实施例提供的技术方案,可以节省电路元件,降低功耗。



1. 一种栅极驱动电路,其特征在于,包括:多个级联的驱动单元,每级所述驱动单元均包括预充电模块、上拉模块、复位模块、下拉控制模块和下拉模块;

所述预充电模块的输出端与控制节点电连接,用于对所述控制节点预充电;

所述上拉模块的控制端与所述控制节点电连接,所述上拉模块的输入端与所述驱动单元的第一时钟信号输入端电连接,所述上拉模块的第一输出端与所述驱动单元的第一输出端电连接,用于在所述驱动单元的第一输出端输出扫描信号;

所述复位模块的输出端与所述控制节点电连接,用于拉低所述控制节点的电位;

所述下拉控制模块的第一控制端与所述控制节点电连接,所述下拉控制模块的第二控制端与所述驱动单元的第一控制信号输入端电连接,所述下拉控制模块的输入端与所述驱动单元的第一电平信号输入端电连接;其中,相邻两级驱动单元的第一控制信号输入端输入相反的信号;

所述下拉模块的控制端与所述下拉控制模块的输出端电连接,所述下拉模块的输入端与所述驱动单元的第二电平信号输入端电连接,所述下拉模块的第一输出端与所述控制节点电连接,所述下拉模块的第二输出端与所述驱动单元的第一输出端电连接,所述下拉模块用于下拉本级驱动单元的控制节点和第一输出端的电位;

所述下拉模块的第三输出端与前一级驱动单元的控制节点电连接,所述下拉模块的第四输出端与前一级驱动单元的第一输出端电连接,所述下拉模块还用于下拉前一级驱动单元的控制节点和第一输出端的电位。

2. 根据权利要求1所述的电路,其特征在于,所述上拉模块还包括第二输出端,所述下拉模块还包括第五输出端和第六输出端;

所述下拉模块的第五输出端以及所述上拉模块的第二输出端与本级驱动单元的第二输出端电连接,所述下拉模块还用于下拉本级驱动单元的第二输出端的电位;

所述下拉模块的第六输出端与前一级驱动单元的第二输出端电连接,所述下拉模块还用于下拉前一级驱动单元的第二输出端的电位。

3. 根据权利要求2所述的电路,其特征在于,所述预充电模块的输入端与前第N级驱动单元的第一输出端电连接,所述预充电模块的控制端与所述前第N级驱动单元的第二输出端电连接;其中,N为整数;

所述预充电模块包括第一晶体管,所述第一晶体管的栅极与所述预充电模块的控制端电连接,所述第一晶体管的第一极与所述预充电模块的输入端电连接,所述第一晶体管的第二极与所述预充电模块的输出端电连接。

4. 根据权利要求1所述的电路,其特征在于,所述复位模块包括输入端和控制端;所述复位模块的控制端与后第M级驱动单元的第一输出端电连接,所述复位模块的输入端与本级驱动单元的第二时钟信号输入端电连接,其中M为正整数。

5. 根据权利要求4所述的电路,其特征在于,所述复位模块还包括第二晶体管;

所述第二晶体管的栅极与所述复位模块的控制端电连接,所述第二晶体管的第一极与所述复位模块的输入端电连接,所述第二晶体的第二极与所述复位模块的输出端电连接。

6. 根据权利要求2所述的电路,其特征在于,所述上拉模块包括第三晶体管、第四晶体管 and 第一电容;

所述第三晶体管的栅极与所述上拉模块的控制端电连接,所述第三晶体管的第一极与所述上拉模块的输入端电连接,所述第三晶体管的第二极与所述上拉模块的第一输出端电连接;

所述第四晶体管的栅极与所述上拉模块的控制端电连接,所述第四晶体管的第一极与所述上拉模块的输入端电连接,所述第四晶体管的第二极与所述上拉模块的第二输出端电连接;

所述第一电容的第一极与所述控制节点电连接,所述第一电容的第二极与本级驱动单元的第一输出端电连接。

7. 根据权利要求2所述的电路,其特征在于,所述下拉控制模块包括第五晶体管、第六晶体管和第七晶体管;

所述第五晶体管的栅极与所述下拉控制模块的第一控制端电连接,所述第五晶体管的第一极与所述下拉控制模块的输入端电连接,所述第五晶体管的第二极与所述下拉控制模块的输出端电连接;

所述第六晶体管的栅极以及第一极与所述下拉控制模块的第二控制端电连接,所述第六晶体管的第二极与所述第七晶体管的栅极电连接;

所述第七晶体管的第一极与所述下拉控制模块的第二控制端电连接,所述第七晶体管的第二极与所述下拉控制模块的输出端电连接。

8. 根据权利要求2所述的电路,其特征在于,所述下拉模块包括第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管和第十三晶体管;

所述第八晶体管的栅极与所述下拉模块的控制端电连接,所述第八晶体管的第一极与所述下拉模块的输入端电连接,所述第八晶体管的第二极与所述下拉模块的第一输出端电连接;

所述第九晶体管的栅极与所述下拉模块的控制端电连接,所述第九晶体管的第一极与所述下拉模块的输入端电连接,所述第九晶体管的第二极与所述下拉模块的第二输出端电连接;

所述第十晶体管的栅极与所述下拉模块的控制端电连接,所述第十晶体管的第一极与所述下拉模块的输入端电连接,所述第十晶体管的第二极与所述下拉模块的第五输出端电连接;

所述第十一晶体管的栅极与所述下拉模块的控制端电连接,所述第十一晶体管的第一极与所述第八晶体管的第二极电连接,所述第十一晶体管的第二极与所述下拉模块的第三输出端电连接;

所述第十二晶体管的栅极与所述下拉模块的控制端电连接,所述第十二晶体管的第一极与所述第九晶体管的第二极电连接,所述第十二晶体管的第二极与所述下拉模块的第四输出端电连接;

所述第十三晶体管的栅极与所述下拉模块的控制端电连接,所述第十三晶体管的第一极与所述第十晶体管的第二极电连接,所述第十三晶体管的第二极与所述下拉模块的第六输出端电连接。

9. 根据权利要求2所述的电路,其特征在于,所述下拉模块包括第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第十二晶体管和第十三晶体管;

所述第八晶体管的栅极与所述下拉模块的控制端电连接,所述第八晶体管的第一极与所述下拉模块的输入端电连接,所述第八晶体管的第二极与所述下拉模块的第一输出端电连接;

所述第九晶体管的栅极与所述下拉模块的控制端电连接,所述第九晶体管的第一极与所述下拉模块的输入端电连接,所述第九晶体管的第二极与所述下拉模块的第二输出端电连接;

所述第十晶体管的栅极与所述下拉模块的控制端电连接,所述第十晶体管的第一极与所述下拉模块的输入端电连接,所述第十晶体管的第二极与所述下拉模块的第五输出端电连接;

所述第十一晶体管的栅极与所述下拉模块的控制端电连接,所述第十一晶体管的第一极与所述下拉模块的输入端电连接,所述第十一晶体管的第二极与所述下拉模块的第三输出端电连接;

所述第十二晶体管的栅极与所述下拉模块的控制端电连接,所述第十二晶体管的第一极与所述下拉模块的输入端电连接,所述第十二晶体管的第二极与所述下拉模块的第四输出端电连接;

所述第十三晶体管的栅极与所述下拉模块的控制端电连接,所述第十三晶体管的第一极与所述下拉模块的输入端电连接,所述第十三晶体管的第二极与所述下拉模块的第六输出端电连接。

10. 一种栅极驱动电路的驱动方法,其特征在于,所述栅极驱动电路包括:

多个级联的驱动单元,每级所述驱动单元均包括预充电模块、上拉模块、复位模块、下拉控制模块和下拉模块;

所述预充电模块的输出端与控制节点电连接;

所述上拉模块的控制端与所述控制节点电连接,所述上拉模块的输入端与所述驱动单元的第一时钟信号输入端电连接,所述上拉模块的第一输出端与所述驱动单元的第一输出端电连接;

所述复位模块的输出端与所述控制节点电连接;

所述下拉控制模块的第一控制端与所述控制节点电连接,所述下拉控制模块的第二控制端与所述驱动单元的第一控制信号输入端电连接,所述下拉控制模块的输入端与所述驱动单元的第一电平信号输入端电连接;其中,相邻两级驱动单元的第一控制信号输入端输入相反的信号;

所述下拉模块的控制端与所述下拉控制模块的输出端电连接,所述下拉模块的输入端与所述驱动单元的第二电平信号输入端电连接,所述下拉模块的第一输出端与所述控制节点电连接,所述下拉模块的第二输出端与所述驱动单元的第一输出端电连接;

所述下拉模块的第三输出端与前一级驱动单元的控制节点电连接,所述下拉模块的第四输出端与前一级驱动单元的第一输出端电连接;

所述驱动方法包括:

预充电阶段,控制所述预充电模块拉高所述控制节点的电位;

上拉阶段,控制所述上拉模块在本级驱动单元的第一输出端输出扫描信号;

复位阶段,控制所述上拉模块停止输出扫描信号,并拉低所述控制节点的电位;

下拉维持阶段,根据所述第一控制信号输入端输入的第一控制信号,控制所述下拉模块下拉本级驱动单元的控制节点和第一输出端的电位,并维持在低电平状态,并控制所述下拉模块下拉上一级驱动单元的控制节点和第一输出端的电位,并维持在低电平状态;

根据所述第一控制信号输入端输入的第二控制信号,停止工作。

栅极驱动电路和栅极驱动电路的驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种栅极驱动电路和栅极驱动电路的驱动方法。

背景技术

[0002] 显示面板在显示过程需要提供扫描信号来逐行进行扫描显示,扫描信号一般由栅极驱动电路提供。

[0003] 栅极驱动电路一般包括多级驱动单元,例如包括多级级联的移位寄存器。每一驱动单元的输出端对应一条栅极线,驱动单元逐级向其对应的栅极线提供扫描信号。现有驱动单元中会设计两套下拉系统,分别为第一下拉系统和第二下拉系统,第一下拉系统和第二下拉系统的电路元件相同,该两套下拉系统交替工作。例如在第一帧内,驱动单元的第一下拉系统工作,第二下拉系统不工作;在第二帧内,驱动单元的第二下拉系统工作,第一下拉系统不工作;在第三帧内,驱动单元的第一下拉系统工作,第二下拉系统不工作,如此循环交替。使驱动单元的第一下拉系统和第二下拉系统交替工作,提高该下拉系统的寿命,进而提高整个电路的使用寿命。然而,这样就会使用较多的电路元件,而且电路的功耗也比较大。

发明内容

[0004] 本发明提供一种栅极驱动电路和栅极驱动电路的驱动方法,以实现简化栅极驱动电路的结构,节约电路面积,降低功耗。

[0005] 第一方面,本发明实施例提供了一种栅极驱动电路,该栅极驱动电路包括:多个级联的驱动单元,每级所述驱动单元均包括预充电模块、上拉模块、复位模块、下拉控制模块和下拉模块;

[0006] 所述预充电模块的输出端与控制节点电连接,用于对所述控制节点预充电;

[0007] 所述上拉模块的控制端与所述控制节点电连接,所述上拉模块的输入端与所述驱动单元的第一时钟信号输入端电连接,所述上拉模块的第一输出端与所述驱动单元的第一输出端电连接,用于在所述驱动单元的第一输出端输出扫描信号;

[0008] 所述复位模块的输出端与所述控制节点电连接,用于拉低所述控制节点的电位;

[0009] 所述下拉控制模块的第一控制端与所述控制节点电连接,所述下拉控制模块的第二控制端与所述驱动单元的第一控制信号输入端电连接,所述下拉控制模块的输入端与所述驱动单元的第一电平信号输入端电连接;其中,相邻两级驱动单元的第一控制信号输入端输入相反的信号;

[0010] 所述下拉模块的控制端与所述下拉控制模块的输出端电连接,所述下拉模块的输入端与所述驱动单元的第二电平信号输入端电连接,所述下拉模块的第一输出端与所述控制节点电连接,所述下拉模块的第二输出端与所述驱动单元的第一输出端电连接,所述下拉模块用于下拉本级驱动单元的控制节点和第一输出端的电位;

[0011] 所述下拉模块的第三输出端与前一级驱动单元的控制节点电连接,所述下拉模块的第四输出端与前一级驱动单元的第一输出端电连接,所述下拉模块还用于下拉前一级驱动单元的控制节点和第一输出端的电位。

[0012] 第二方面,本发明实施例还提供了一种栅极驱动电路的驱动方法,其中,所述栅极驱动电路包括:多个级联的驱动单元,每级所述驱动单元均包括预充电模块、上拉模块、复位模块、下拉控制模块和下拉模块;

[0013] 所述预充电模块的输出端与控制节点电连接;

[0014] 所述上拉模块的控制端与所述控制节点电连接,所述上拉模块的输入端与所述驱动单元的第一时钟信号输入端电连接,所述上拉模块的第一输出端与所述驱动单元的第一输出端电连接;

[0015] 所述复位模块的输出端与所述控制节点电连接;

[0016] 所述下拉控制模块的第一控制端与所述控制节点电连接,所述下拉控制模块的第二控制端与所述驱动单元的第一控制信号输入端电连接,所述下拉控制模块的输入端与所述驱动单元的第一电平信号输入端电连接;其中,相邻两级驱动单元的第一控制信号输入端输入相反的信号;

[0017] 所述下拉模块的控制端与所述下拉控制模块的输出端电连接,所述下拉模块的输入端与所述驱动单元的第二电平信号输入端电连接,所述下拉模块的第一输出端与所述控制节点电连接,所述下拉模块的第二输出端与所述驱动单元的第一输出端电连接;

[0018] 所述下拉模块的第三输出端与前一级驱动单元的控制节点电连接,所述下拉模块的第四输出端与前一级驱动单元的第一输出端电连接;

[0019] 所述驱动方法包括:

[0020] 预充电阶段,控制所述预充电模块拉高所述控制节点的电位;

[0021] 上拉阶段,控制所述上拉模块在本级驱动单元的第一输出端输出扫描信号;

[0022] 复位阶段,控制所述上拉模块停止输出扫描信号,并拉低所述控制节点的电位;

[0023] 下拉维持阶段,根据所述第一控制信号输入端输入的第一控制信号,控制所述下拉模块下拉本级驱动单元的控制节点和第一输出端的电位,并维持在低电平状态,并控制所述下拉模块下拉上一级驱动单元的控制节点和第一输出端的电位,并维持在低电平状态;

[0024] 根据所述第一控制信号输入端输入的第二控制信号,停止工作。

[0025] 本发明实施例提供的技术方案,下拉模块不仅可以下拉本级驱动单元的控制节点和第一输出端的电位,而且还可以下拉前一级驱动单元的控制节点P和第一输出端的电位。也就是说,本级驱动单元的控制节点和第一输出端的电位可以由本级驱动单元的下拉模块和下一级驱动单元的下拉模块交替下拉至低电位,并维持在低电位。相对于现有技术,在保证电路寿命的基础上,每级驱动单元均只需要设置一套下拉系统(下拉模块),即可实现下拉作用,可以节省电路的面积,降低功耗。

附图说明

[0026] 图1是本发明实施例提供的一种栅极驱动电路的电路结构图;

[0027] 图2A是本发明实施例提供的另一种栅极驱动电路的电路结构图;

- [0028] 图2B是本发明实施例提供的另一种栅极驱动电路的电路结构图；
[0029] 图2C是本发明实施例提供的另一种栅极驱动电路的电路结构图；
[0030] 图3A是本发明实施例提供的另一种栅极驱动电路的电路结构图；
[0031] 图3B是本发明实施例提供的一种驱动时序图。

具体实施方式

[0032] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0033] 图1是本发明实施例提供的一种栅极驱动电路的电路结构图。参见图1，该栅极驱动电路包括：

[0034] 多个级联的驱动单元，每级驱动单元均包括预充电模块11、上拉模块12、复位模块13、下拉控制模块14和下拉模块15；

[0035] 预充电模块11的输出端与控制节点P电连接，用于对控制节点P预充电；

[0036] 上拉模块12的控制端与控制节点P电连接，上拉模块12的输入端与驱动单元的第一时钟信号输入端CK1电连接，上拉模块12的第一输出端与驱动单元的第一输出端GOUT电连接，用于在驱动单元的第一输出端GOUT输出扫描信号；

[0037] 复位模块13的输出端与控制节点电连接，用于拉低控制节点的电位；

[0038] 下拉控制模块14的第一控制端与控制节点P电连接，下拉控制模块14的第二控制端与驱动单元的第一控制信号输入端VIN电连接，下拉控制模块14的第一输入端与驱动单元的第一电平信号输入端VSQ电连接；其中，相邻两级驱动单元的第一控制信号输入端VIN输入相反的信号；

[0039] 下拉模块15的控制端与下拉控制模块14的输出端电连接，下拉模块的输入端与驱动单元的第二电平信号输入端VGL电连接，下拉模块15的第一输出端A1与控制节点P电连接，下拉模块15的第二输出端A2与驱动单元的第一输出端GOUT电连接，下拉模块15用于下拉本级驱动单元的控制节点P和第一输出端GOUT的电位；

[0040] 下拉模块15的第三输出端A3与前一级驱动单元的控制节点P电连接，下拉模块15的第四输出端A4与前一级驱动单元的第一输出端GOUT电连接，所述下拉模块15还用于下拉前一级驱动单元的控制节点P和第一输出端GOUT的电位。

[0041] 本发明实施例提供的技术方案，下拉模块15不仅可以下拉本级驱动单元的控制节点P和第一输出端GOUT的电位，而且还可以下拉前一级驱动单元的控制节点P和第一输出端GOUT的电位。也就是说，本级驱动单元的控制节点和第一输出端的电位可以由本级驱动单元的下拉模块和下一级驱动单元的下拉模块交替下拉至低电位，并维持在低电位。相对于现有技术，在保证电路寿命的基础上，每级驱动单元均只需要设置一套下拉系统（下拉模块），即可实现下拉作用，可以节省电路的面积，降低功耗。

[0042] 图2A是本发明实施例提供的另一种栅极驱动电路的电路结构图。参见图2A，在图1所示栅极驱动电路的基础上，在本发明实施例提供的栅极驱动电路中，上拉模块12还包括第二输出端，下拉模块15还包括第五输出端A5和第六输出端A6；

[0043] 下拉模块15的第五输出端A5以及上拉模块12的第二输出端与本级驱动单元的第

二输出端ZOUT电连接,下拉模块15还用于下拉本级驱动单元的第二输出端ZOUT的电位;

[0044] 下拉模块15的第六输出端A6与前一级驱动单元的第二输出端ZOUT电连接,下拉模块15还用于下拉前一级驱动单元的第二输出端ZOUT的电位。

[0045] 图2B是本发明实施例提供的另一种栅极驱动电路的电路结构图。在图2A所示栅极驱动电路的基础上,本发明实施例提供的栅极驱动电路,预充电模块11的输入端GN与前第N级驱动单元的第一输出端GOUT电连接,预充电模块11的控制端ZN与前第N级驱动单元的第二输出端ZOUT电连接;其中,N为正整数。也就是说,本级驱动单元的预充电模块11可以根据前第N级驱动单元的第一输出端GOUT和第二输出端ZOUT输出的信号向本级控制节点P进行预充电。例如本级驱动单元的预充电模块11可以根据本级驱动单元前两级的驱动单元的第一输出端GOUT和第二输出端ZOUT输出的信号,对本级驱动单元的控制节点P进行预充电。本级驱动预充电模块11根据前几级驱动单元输出的信号对本级驱动单元的控制节点P进行预充电,无需使用外部的信号进行控制,节省外部控制信号,降低成本。

[0046] 其中,预充电模块11可包括第一晶体管M1,第一晶体管M1的控制端与预充电模块11的控制端ZN电连接,第一晶体管M1的第一极与预充电模块11的输入端GN电连接,第一晶体管M1的第二极与预充电模块11的输出端电连接。

[0047] 继续参见图2B,在本发明实施例提供的栅极驱动电路中,复位模块13包括输入端和控制端GM;复位模块13的控制端GM与后第M级驱动单元的第一输出端GOUT电连接,复位模块13的输入端与本级驱动单元的第二时钟信号输入端CK2电连接,其中M为正整数。也就是说,本级驱动单元的复位模块13可以根据后第M级驱动单元的第一输出端GOUT输出的信号来拉低本级控制节点P的电位。例如本级驱动单元的复位模块13可以根据本级驱动单元后两级的驱动单元的第一输出端GOUT输出的信号,拉低本级驱动单元的控制节点P的电位。本级驱动单元的复位模块13根据后几级驱动单元第一输出端输出的信号拉低控制节点P的电位,无需使用外部的信号进行控制,节省外部控制信号,降低成本。

[0048] 进一步的,复位模块13还包括第二晶体管M2;

[0049] 第二晶体管M2的栅极与复位模块13的控制端GM电连接,第二晶体管M2的第一极与复位模块13的输入端电连接,也即与本级驱动单元的第二时钟信号输入端CK2电连接,第二晶体管的第二极与复位模块13的输出端电连接。复位模块13可以根据其控制端的输入的信号导通和关断,在复位模块13导通时,将其输入端输入的信号传输至控制节点P,以对控制节点P进行复位,例如将其输入端输入的低电平信号传输至控制节点P,拉低控制节点P的电位。

[0050] 在本发明实施例中,上拉模块12可包括第三晶体管M3、第四晶体管M4和第一电容C1。

[0051] 第三晶体管M3的栅极与上拉模块12的控制端电连接,第三晶体管M3的第一极与上拉模块12的输入端电连接,也即第三晶体管M3的第一极与本级驱动单元的第一时钟信号输入端CK1电连接,第三晶体管M3的第二极与上拉模块12的第一输出端电连接;

[0052] 第四晶体管M4的栅极与上拉模块12的控制端电连接,第四晶体管M4的第一极与上拉模块12的输入端电连接,也即第四晶体管M4的第一极与驱动单元的第一时钟信号输入端CK1电连接,第四晶体管M4的第二极与上拉模块12的第二输出端电连接。

[0053] 第一电容C1的第一极与控制节点P电连接,第一电容C1的第二极与本级驱动单元

的第一输出端GOUT电连接。

[0054] 在本发明实施例中,下拉控制模块14可包括第五晶体管M5、第六晶体管M6和第七晶体管M7;

[0055] 所述第五晶体管M5的栅极与下拉控制模块14的第一控制端电连接,所述第五晶体管M5的第一极与下拉控制模块14的输入端电连接,第五晶体管M5的第二极与下拉控制模块14的输出端电连接;

[0056] 第六晶体管M6的栅极以及第一极与下拉控制模块14的第二控制端电连接,第六晶体管M6的第二极与所述第七晶体管M7的栅极电连接;

[0057] 第七晶体管M7的第一极与下拉控制模块14的第二控制端电连接,第七晶体管M7的第二极与下拉控制模块14的输出端电连接。

[0058] 可选的,继续参见图2B,在本发明实施例提供的栅极驱动电路中,下拉模块15可包括第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11、第十二晶体管M12和第十三晶体管M13;

[0059] 第八晶体管M8的栅极与下拉模块15的控制端电连接,第八晶体管M8的第一极与下拉模块15的输入端电连接,第八晶体管M8的第二极与下拉模块15的第一输出端电连接;

[0060] 第九晶体管M9的栅极与下拉模块15的控制端电连接,第九晶体管M9的第一极与下拉模块15的输入端电连接,第九晶体管M9的第二极与下拉模块15的第二输出端电连接;

[0061] 第十晶体管M10的栅极与下拉模块15的控制端电连接,第十晶体管M10的第一极与下拉模块15的输入端电连接,第十晶体管M10的第二极与下拉模块15的第五输出端电连接;

[0062] 第十一晶体管M11的栅极与下拉模块15的控制端电连接,第十一晶体管M11的第一极与第八晶体管M8的第二极电连接,第十一晶体管M11的第二极与下拉模块15的第三输出端电连接;

[0063] 第十二晶体管M12的栅极与下拉模块15的控制端电连接,第十二晶体管M12的第一极与第九晶体管M9的第二极电连接,第十二晶体管M12的第二极与下拉模块15的第四输出端电连接;

[0064] 第十三晶体管M13的栅极与下拉模块15的控制端电连接,第十三晶体管M13的第一极与第十晶体管M10的第二极电连接,第十三晶体管M13的第二极与下拉模块15的第六输出端电连接。

[0065] 参见图2C,图2C是本发明实施例提供的另一种栅极驱动电路的电路结构图。在该电路中,下拉模块15包括第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11、第十二晶体管M12和第十三晶体管M13;

[0066] 第八晶体管M8的栅极与下拉模块15的控制端电连接,第八晶体管M8的第一极与下拉模块15的输入端电连接,第八晶体管M8的第二极与下拉模块15的第一输出端电连接;

[0067] 第九晶体管M9的栅极与下拉模块15的控制端电连接,第九晶体管M9的第一极与下拉模块15的输入端电连接,第九晶体管M9的第二极与下拉模块15的第二输出端电连接;

[0068] 第十晶体管M10的栅极与下拉模块15的控制端电连接,第十晶体管M10的第一极与下拉模块15的输入端电连接,第十晶体管M10的第二极与下拉模块15的第五输出端电连接;

[0069] 第十一晶体管M11的栅极与下拉模块15的控制端电连接,第十一晶体管M11的第一极与下拉模块15的输入端电连接,第十一晶体管M11的第二极与下拉模块15的第三输出端

电连接；

[0070] 第十二晶体管M12的栅极与下拉模块15的控制端电连接，第十二晶体管M12的第一极与下拉模块15的输入端电连接，第十二晶体管M12的第二极与下拉模块15的第四输出端电连接；

[0071] 第十三晶体管的栅极与下拉模块15的控制端电连接，第十三晶体管M13的第一极与下拉模块15的输入端电连接，第十三晶体管M13的第二极与下拉模块15的第六输出端电连接。

[0072] 图3A是本发明实施例提供的，图3B是本发明实施例提供的一种驱动时序图，该电路中示例性的示出的第k级驱动单元和第k+1级驱动单元的电路连接。下面以第k级驱动单元和第k+1级驱动单元为示例，说明本发明实施例提供的栅极驱动电路的工作过程，其中，k为整数。参见图3A和图3B，CLK1表示第k级驱动单元的第一时钟信号输入端CK1输入的时钟信号，CLK2为第k级驱动单元的第二时钟信号输入端CK2以及第k+1级驱动单元的第一时钟信号输入端CK1输入的时钟信号；CLK3为第k+1级驱动单元的第二时钟信号输入端CK2输入的时钟信号。GN(k)/ZN(k)表示第k级驱动单元的预充电模块11的输入端GN和控制端ZN输入的信号，GOUT(k)/ZOUT(k)表示第k级驱动单元的第一输出端GOUT和第二输出端ZOUT输出的信号，GM(k)表示第k级驱动单元的复位模块13的控制端GM输入的信号。PU1表示第k级驱动单元的控制节点P1的电位。GN(k+1)/ZN(k+1)表示第k+1级驱动单元的预充电模块11的输入端GN和控制端ZN输入的信号，GOUT(k+1)/ZOUT(k+1)表示第k+1级驱动单元的第一输出端GOUT和第二输出端ZOUT输出的信号，GM(k+1)表示第k+1级驱动单元的复位模块的控制端GM输入的信号。PU2表示第k+1级驱动单元的控制节点P2的电位。第一电平信号输入端VSQ和第二电平信号输入端VGL输入低电平信号。第k级驱动单元的第一控制信号输入端V1输入低电平信号，第k+1级驱动单元的第二控制信号输入端V2输入高电平信号。

[0073] 示例性的，第k级驱动单元的第一控制信号输入端VIN输入低电平信号，第k+1级驱动单元的第一控制信号输入端VIN输入高电平信号。第k级驱动单元的预充电模块的输入端和控制端分别与第k-2级驱动单元的第一输出端和第二输出端电连接。第k级驱动单元的复位模块的控制端与第k+2级驱动单元的第一输出端电连接，该栅极驱动电路中的第k级驱动单元的工作过程可包括如下阶段：

[0074] 第一阶段t1，也称预充电阶段，第k-2级驱动单元的第一输出端和第二输出端输出高电平信号，即预充电模块11的控制端ZN和输入端GN均输入高电平信号，第一晶体管M1导通，第一晶体管M1的第一级输入的高电平信号通过导通的第一晶体管M1传输至控制节点P1，对控制节点P1进行充电，控制节点P1电位变为高电平，第三晶体管M3和第四晶体管M4导通，第一时钟信号输入端CK1输入的低电平信号通过导通的第三晶体管M3传输至驱动单元的第一输出端GOUT，通过导通的第四晶体管M4传输至驱动单元的第二输出端ZOUT，驱动单元的第一输出端GOUT和第二输出端ZOUT输出低电平信号。

[0075] 第二阶段t2，也称上拉阶段，第一时钟信号输入端CK1输入高电平信号，第一时钟信号输入端CK1输入的高电平信号通过导通的第三晶体管M3传输至驱动单元的第一输出端GOUT，通过导通管的第四晶体管M4传输至驱动单元的第二输出端ZOUT，驱动单元的第一输出端GOUT以及第二输出端ZOUT输出高电平信号。而且由于第一电容C1的自举作用，控制节点P1的电位将升高。控制节点P1的高电平电位可使第三晶体管M3和第四晶体管M4打开的更

为充分,提高了驱动单元的驱动能力。

[0076] 第三阶段 t_3 ,也称复位阶段,第 $k+2$ 级驱动单元的第一输出端输出高电平信号,第二晶体管 M_2 导通。该时间段的前半周期,第二时钟信号输入端 CK_2 输入高电平信号,第二时钟信号输入端 CK_2 输入的高电平信号通过导通的第二晶体管 M_2 传输至控制节点 P_1 ,控制节点 P_1 的电位为高电平。第三晶体管 M_3 继续导通,第一时钟信号输入端 CK_1 输入低电平信号,第一时钟信号输入端 CK_1 输入的低电平信号通过导通的第三晶体管 M_3 传输至驱动单元的第一输出端 G_{OUT} ,通过导通的第四晶体管 M_4 传输至驱动单元的第二输出端 Z_{OUT} ,驱动单元的第一输出端 G_{OUT} 和第二输出端 Z_{OUT} 输出低电平信号,由于第一电容 C_1 的自举作用,控制节点 P_1 的电位将在一定程度上被拉低。该时间段的后半周期,第二时钟信号输入端 CK_2 输入低电平信号,控制节点 P_1 的电位被拉低,控制节点 P_1 的电位为低电平。第三晶体管 M_3 和第四晶体管 M_4 关闭,驱动单元的第一输出端 G_{OUT} 和第二输出端 Z_{OUT} 输出低电平信号。

[0077] 第四阶段 t_4 ,也称下拉维持阶段,第 $k+1$ 级驱动单元中的控制节点 P_2 为低电平,第 $k+1$ 级驱动单元中的第五晶体管 M_5 关闭。由于第 $k+1$ 级驱动单元的第一控制信号输入端 V_2 输入高电平信号,第 $k+1$ 级驱动单元的第六晶体管 M_6 和第七晶体管 M_7 导通,第七晶体管 M_7 的第二极输出高电平信号,该高电平信号控制第 $k+1$ 级驱动单元中的第八晶体管 M_8 、第九晶体管 M_9 、第十晶体管 M_{10} 、第十一晶体管 M_{11} 、第十二晶体管 M_{12} 和第十三晶体管 M_{13} 导通,第 $k+1$ 级驱动单元的第二电平信号输入端 V_{GL} 输入的低电平信号通过导通的第八晶体管 M_8 、第九晶体管 M_9 和第十晶体管 M_{10} 分别传输至本级驱动单元的控制节点 P_2 、第一输出端 G_{OUT} 和第二输出端 Z_{OUT} ,拉低本级驱动单元的控制节点 P_2 、第一输出端 G_{OUT} 和第二输出端 Z_{OUT} 的电位。第 $k+1$ 级驱动单元的第二电平信号输入端输入的低电平信号通过导通的第十一晶体管 M_{11} 、第十二晶体管 M_{12} 和第十三晶体管 M_{13} ,分别传输至第 k 级驱动单元的控制节点 P_1 、第一输出端 G_{OUT} 和第二输出端 Z_{OUT} ,拉低第 k 级驱动单元的控制节点 P_1 、第一输出端 G_{OUT} 和第二输出端 Z_{OUT} 的电位,并维持第 k 级驱动单元的控制节点 P_1 、第一输出端 G_{OUT} 和第二输出端 Z_{OUT} 的电位为低电平。以上描述,如没有特殊限定,驱动单元指第 k 级驱动单元。

[0078] 需要说明的是,第 k 级驱动单元的第一控制信号输入端 V_1 输入的信号和第 $k+1$ 级驱动单元的第一控制信号输入端 V_2 输入的信号相反,并且在一帧内保持不变,在帧与帧之间循环交替。例如在第一帧内,第 k 级驱动单元的第一控制信号输入端 V_1 输入高电平信号,第 $k+1$ 级驱动单元的第一控制信号输入端 V_2 输入低电平信号,在第二帧内,第 k 级驱动单元的第一控制信号输入端 V_1 输入低电平信号,第 $k+1$ 级驱动单元的第一控制信号输入端 V_2 输入高电平信号;在第三帧内,第 k 级驱动单元的第一控制信号输入端 V_1 输入高电平信号,第 $k+1$ 级驱动单元的第一控制信号输入端 V_2 输入低电平信号。如此循环交替变换。

[0079] 示例性的,以前8级驱动模块的为例,说明在下拉维持阶段,控制节点、第一输出端和第二输出端的电位的维持过程。

[0080] 表1

第一帧 (V11 为低电平, V12 为高电平)		
第 n 级驱动单元	第一控制信号输入端的信号	下拉维持状态 (控制节点、第一输出端和第二输出端的电位)
第 1 级驱动单元	V11	有第 2 级驱动单元的下拉模块带动维持下拉低电平
第 2 级驱动单元	V12	有第 2 级驱动单元的下拉模块带动维持下拉低电平
第 3 级驱动单元	V11	有第 4 级驱动单元的下拉模块带动维持下拉低电平
[0081] 第 4 级驱动单元	V12	有第 4 级驱动单元的下拉模块带动维持下拉低电平
第 5 级驱动单元	V11	有第 6 级驱动单元的下拉模块带动维持下拉低电平
第 6 级驱动单元	V12	有第 6 级驱动单元的下拉模块带动维持下拉低电平
第 7 级驱动单元	V11	有第 8 级驱动单元的下拉模块带动维持下拉低电平
第 8 级驱动单元	V12	有第 8 级驱动单元的下拉模块带动维持下拉低电平

[0082] 表2

第二帧 (V11 为高电平, V12 为低电平)		
第 n 级驱动单元	第一控制信号输入端的信号	下拉维持状态 (控制节点、第一输出端和第二输出端的电位)
第 1 级驱动单元	V11	有第 1 级驱动单元的下拉模块带动维持下拉低电平
第 2 级驱动单元	V12	有第 3 级驱动单元的下拉模块带动维持下拉低电平
第 3 级驱动单元	V11	有第 3 级驱动单元的下拉模块带动维持下拉低电平
[0083] 第 4 级驱动单元	V12	有第 5 级驱动单元的下拉模块带动维持下拉低电平
第 5 级驱动单元	V11	有第 5 级驱动单元的下拉模块带动维持下拉低电平
第 6 级驱动单元	V12	有第 7 级驱动单元的下拉模块带动维持下拉低电平
第 7 级驱动单元	V11	有第 7 级驱动单元的下拉模块带动维持下拉低电平
第 8 级驱动单元	V12	有第 9 级驱动单元的下拉模块带动维持下拉低电平

[0084] 可以看到,第k+1级驱动单元的下拉模板不仅可以在下拉维持阶段下拉本级控制节点、第一输出端和第二输出端的电位。而且可以下拉第k级驱动单元的控制节点、第一输出端和第二输出端的电位。每级驱动单元只需设置一套下拉系统(下拉模块),即可实现整个栅极驱动电路的正常工作节省了电路元件,减小了电路面积。每级驱动单元只有一套下拉维持系统,帧与帧之间,奇数级驱动单元的下拉系统和偶数级驱动单元的下拉系统交替工作,所以一帧时间里仅有奇数级或者偶数级的下拉系统在工作,并同时能带动上一级驱动单元的下拉维持功能,所以既能正常显示也能保证电路使用寿命。另外,实现了一帧时间

内用一级电路的下拉系统来维持两级驱动单元的下拉低电位,降低了电路的功耗。

[0085] 需要说明的是,在本发明实施例中,任一晶体管的第一极和第二极互为源漏极,也即,对于任一晶体管,其第一极为源极时,第二极为漏极;其第一极为漏极时,第二极为源极。

[0086] 本发明实施例还提供了一种栅极驱动电路的驱动方法,其中,栅极驱动电路包括:

[0087] 多个级联的驱动单元,每级驱动单元均包括预充电模块、上拉模块、复位模块、下拉控制模块和下拉模块;

[0088] 预充电模块的输出端与控制节点电连接;

[0089] 上拉模块的控制端与控制节点电连接,上拉模块的输入端与驱动单元的第一时钟信号输入端电连接,上拉模块的第一输出端与驱动单元的第一输出端电连接;

[0090] 复位模块的输出端与控制节点电连接;

[0091] 下拉控制模块的控制端与控制节点电连接,下拉控制模块的输入端与驱动单元的第一电平信号输入端电连接,下拉控制模块的第二输入端与驱动单元的第二电平信号输入端电连接;其中,相邻两级驱动单元的第一电平信号输入端输入相反的信号;

[0092] 下拉模块的控制端与下拉控制模块的输出端电连接,下拉模块的第一输出端与控制节点电连接,下拉模块的第二输出端与驱动单元的第一输出端电连接,下拉模块的第三输出端与前一级驱动单元的控制节点电连接,下拉模块的第四输出端与前一级驱动单元的第一输出端电连接;

[0093] 本发明实施例提供的驱动方法可用于驱动本发明任意实施例提供的栅极驱动电路。

[0094] 该驱动方法包括:

[0095] 预充电阶段,控制预充电模块11拉高控制节点P的电位;

[0096] 上拉阶段,控制上拉模块12在本级驱动单元的第一输出端GOUT输出扫描信号;

[0097] 复位阶段,控制上拉模块12停止输出扫描信号,并拉低控制节点P的电位;

[0098] 下拉维持阶段,根据第一控制信号输入端输入的第一控制信号,控制所述下拉模块15下拉本级驱动单元的控制节点P和第一输出端GOUT的电位,并维持在低电平状态,并控制下拉模块15下拉上一级驱动单元的控制节点P和第一输出端GOUT的电位,并维持在低电平状态;

[0099] 根据第一控制信号输入端输入的第二控制信号,停止工作。

[0100] 其中,第一电平信号和第二电平信号为互为相反的信号,例如第一电平信号为高电平信号,第二电平信号为低电平信号。或者第一电平信号为低电平信号,第二电平为高电平信号。

[0101] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

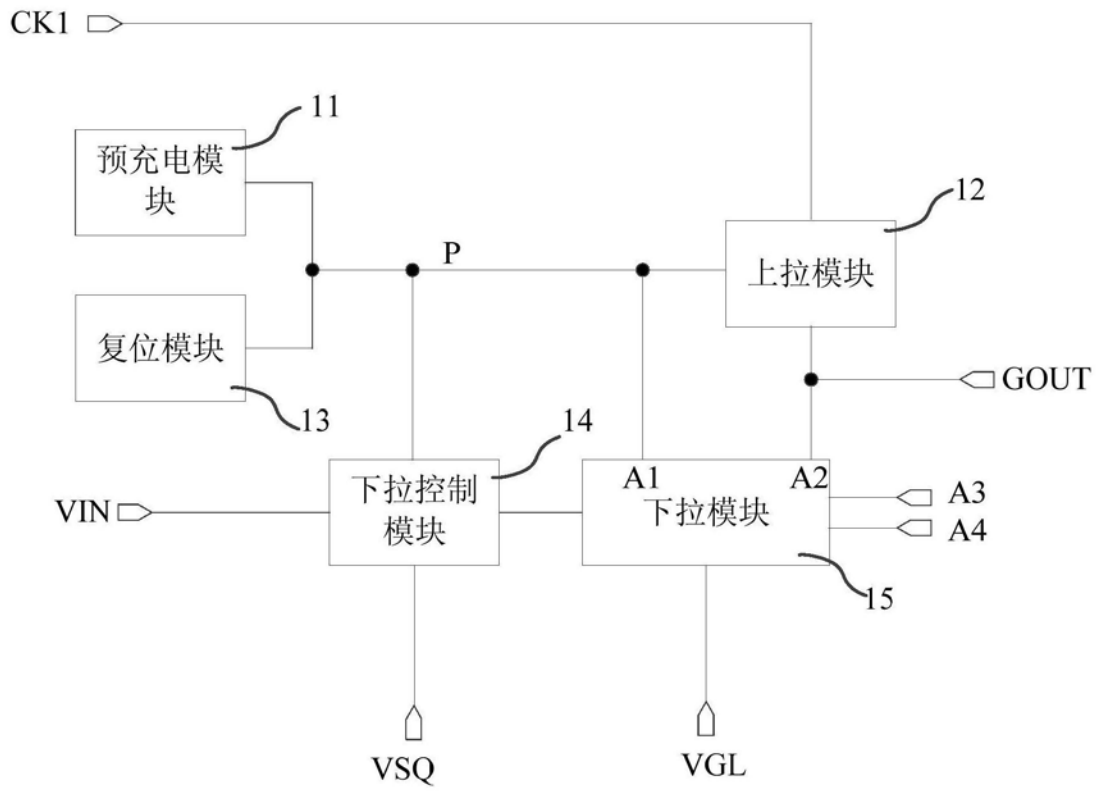


图1

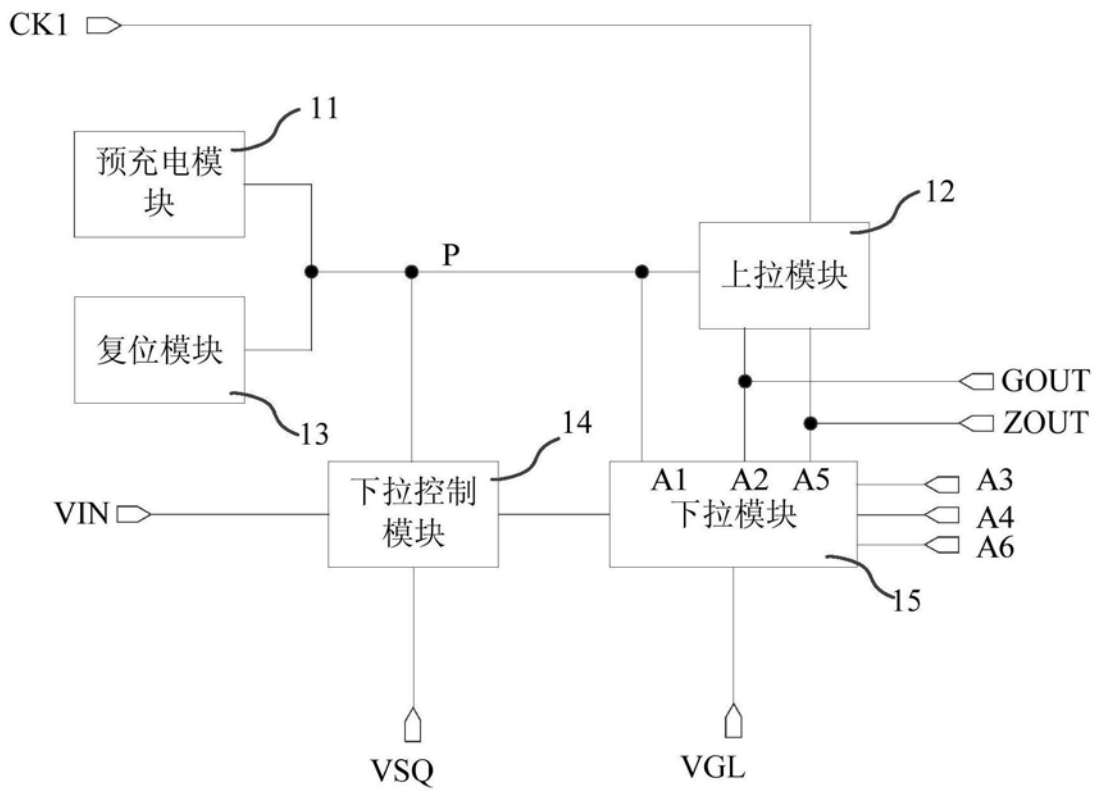


图2A

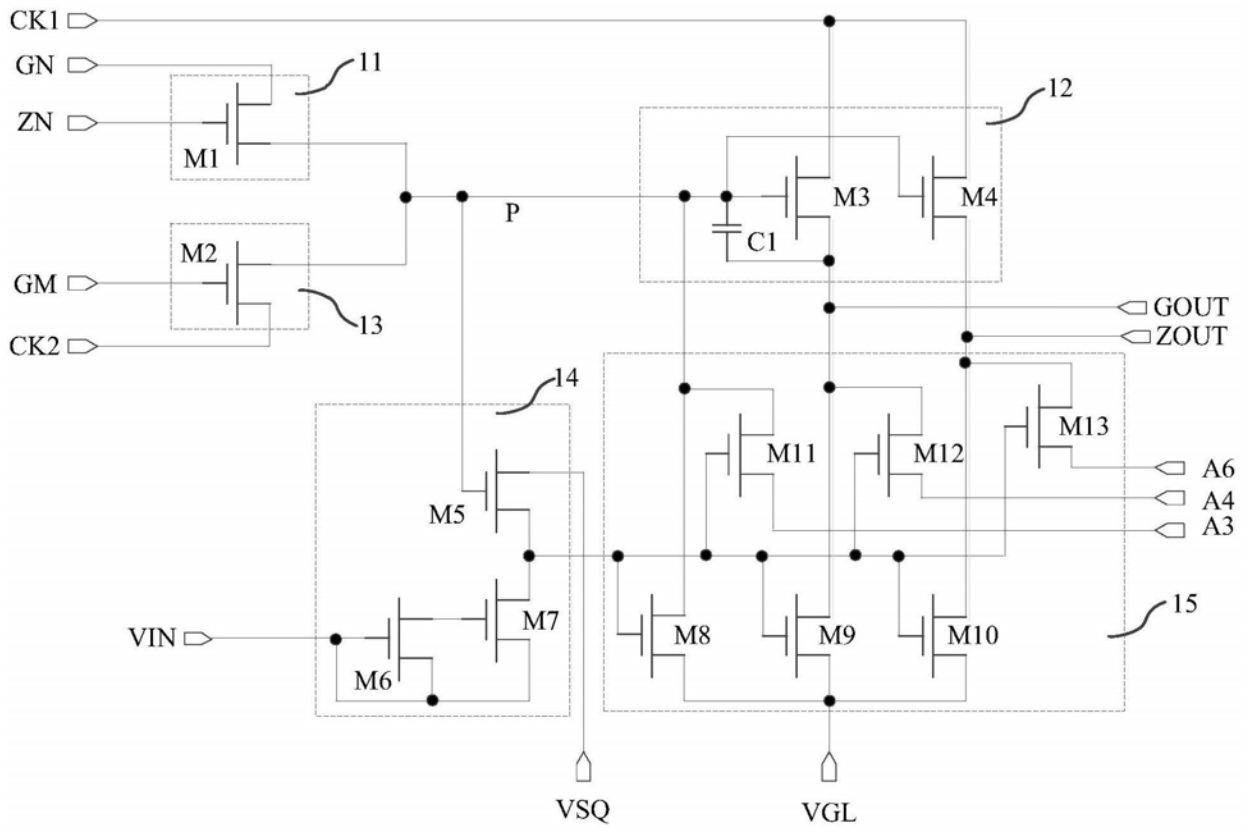


图2B

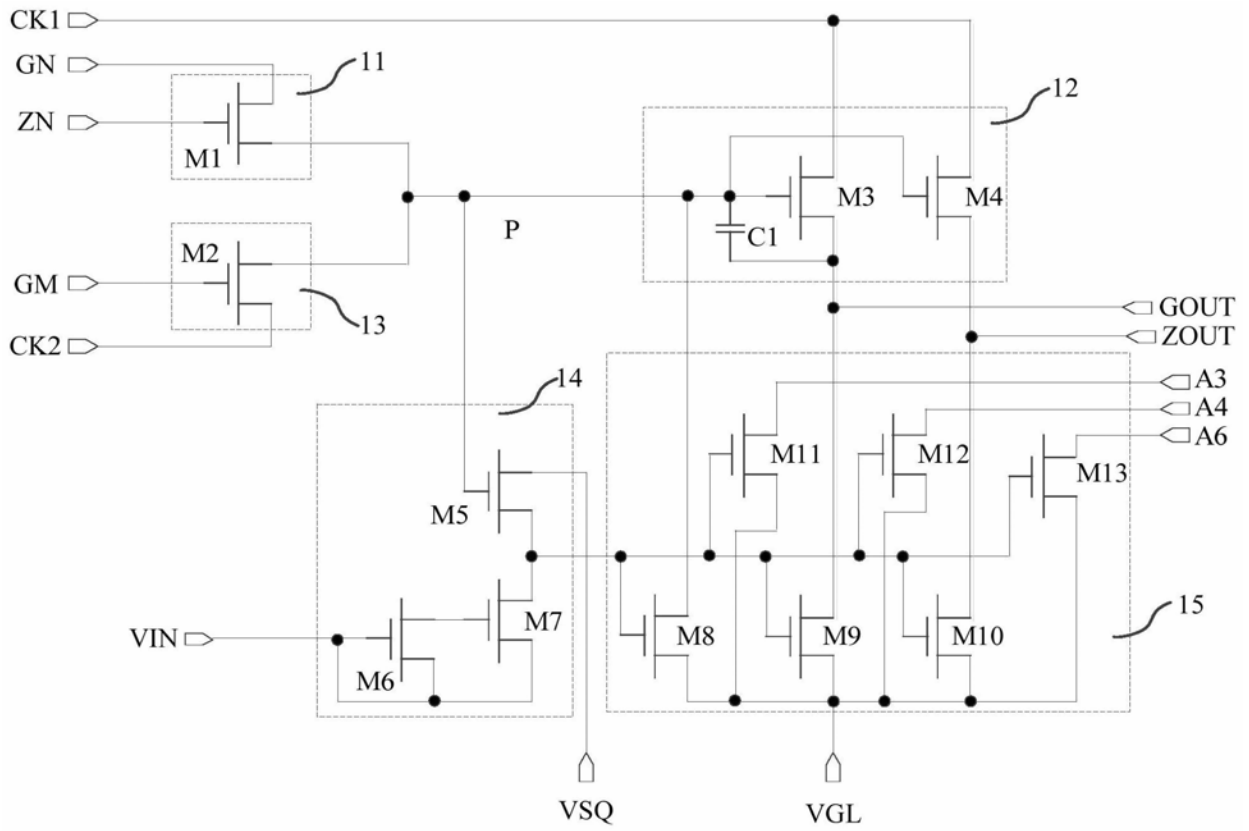


图2C

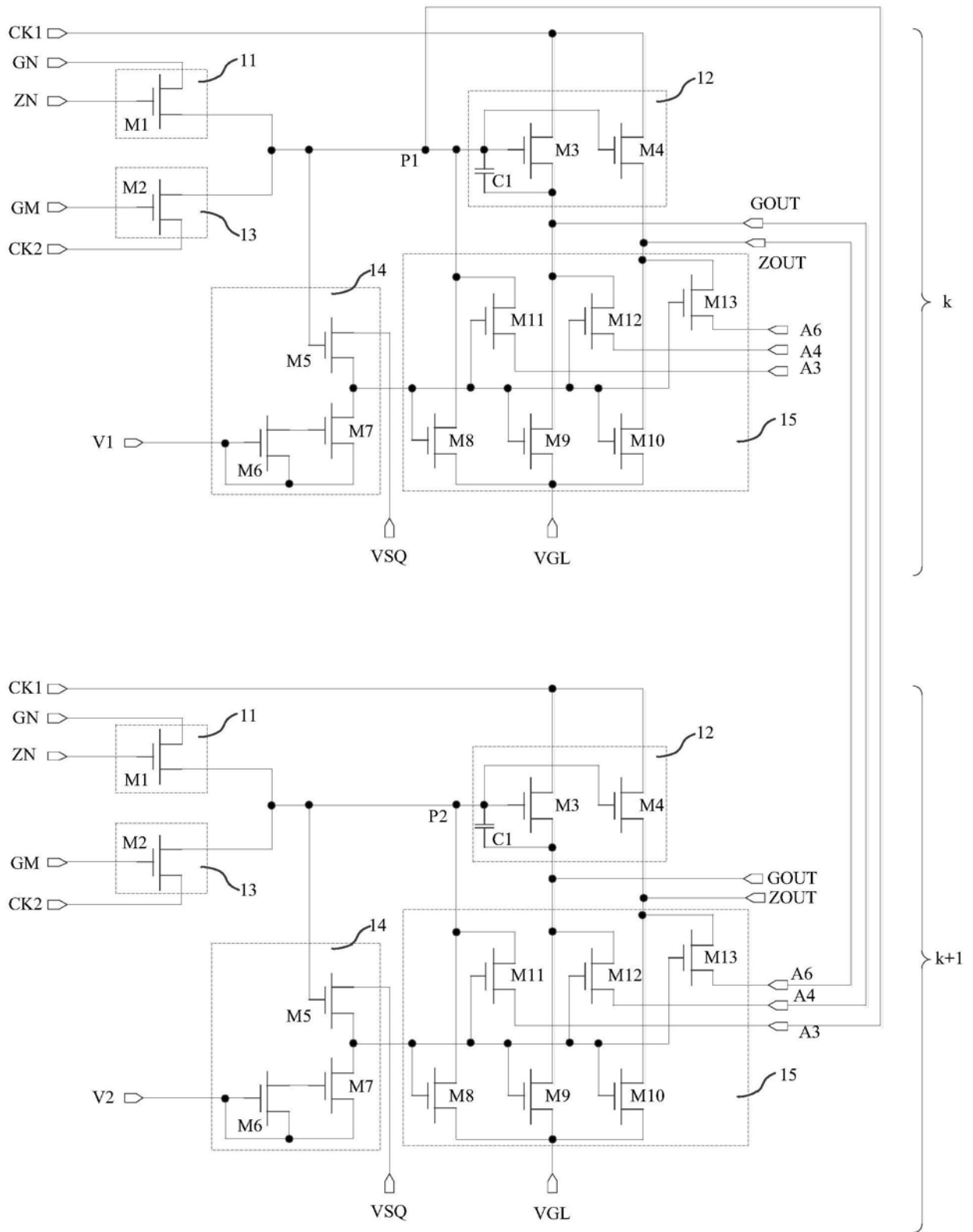


图3A

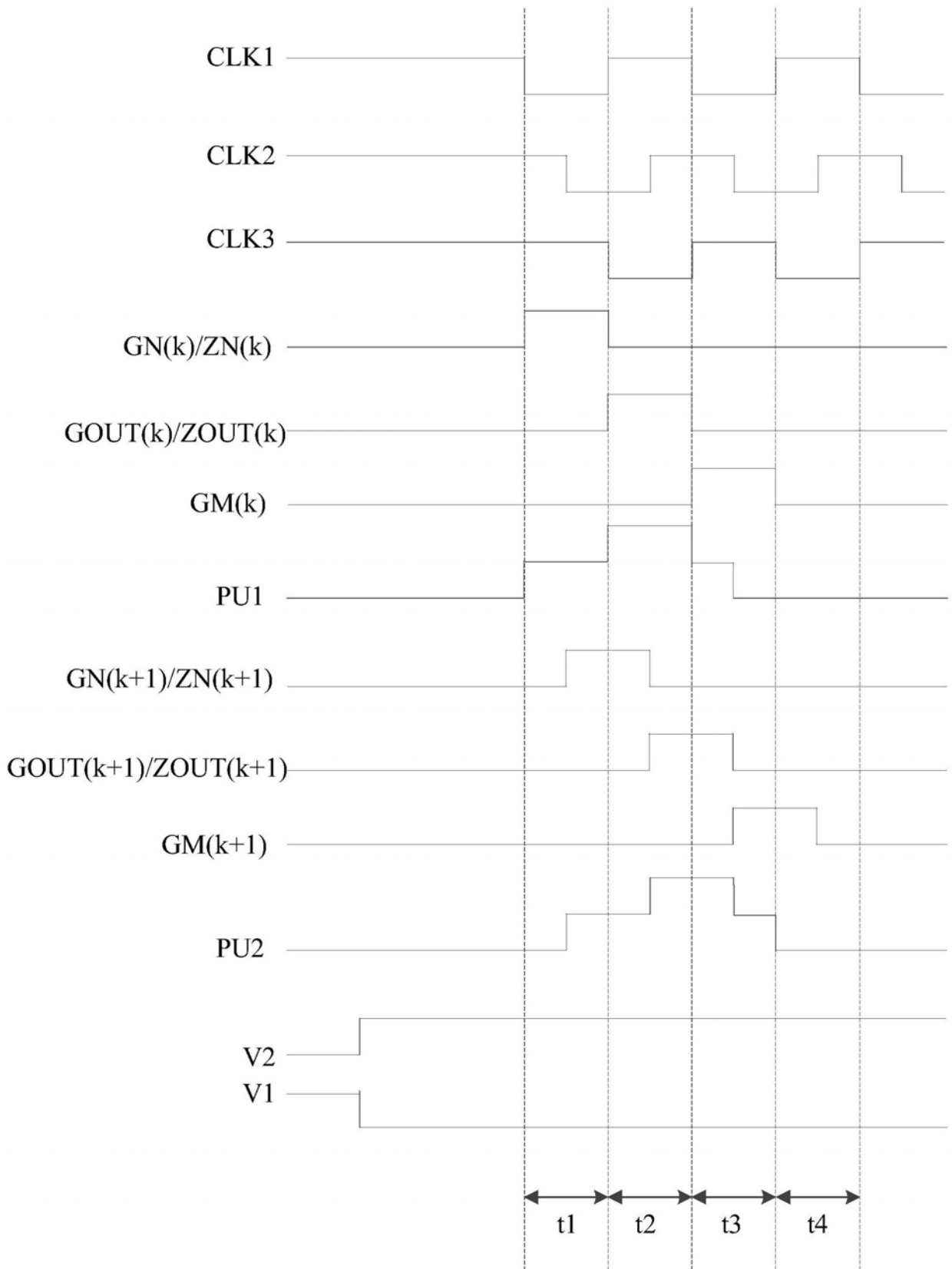


图3B