

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년10월24일 10-0522960 2005년10월13일
--	-------------------------------------	--

(21) 출원번호	10-1999-0030753(분할)	(65) 공개번호	
(22) 출원일자	1999년07월28일	(43) 공개일자	
(62) 원출원	특허10-1996-0000184	심사청구일자	1996년02월28일
	원출원일자 : 1996년01월08일		

(30) 우선권주장	2-323695	1990년11월26일	일본(JP)
	2-415721	1990년12월10일	일본(JP)

(73) 특허권자 가부시킴가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키순페이
일본국토오쿄157세타가야구7초메가타가라슈이야마12-21

마세아키라
일본국가나가와켄아쓰기시하세381-1,3-3테라수하세

히로키마사아키
일본국가나가와켄이세하라시시라네533-13

(74) 대리인 황의만

심사관 : 임동재

(54) 표시장치 제작방법

요약

본 발명은, 정확히 동작할 수 있고, 다양한 계조로 다양한 화상을 임의로 표시할 수 있는 표시장치를 제공하는데 목적이 있고, 그 목적을 달성하기 위한 본 발명의 전기광학장치는, 절연표면을 가진 제1 기판과, 상기 제1 기판에 대향하여 있는 제2 기판과, 상기 절연표면상에 형성되고, 소스영역, 드레인영역 및 채널영역을 포함하는 적어도 하나의 박막트랜지스터와, 상기 박막트랜지스터상에 형성되고, 무기재료로 된 층간절연막과, 상기 박막트랜지스터와 상기 층간절연막 위에 제공된 유기수지막, 및 상기 유기수지막 위에 형성되고, 상기 유기수지막에 제공된 구멍을 통해 상기 박막트랜지스터에 접속된 화소전극을 포함하고, 여기서, 상기 층간절연막이 상기 유기수지막과 상기 박막트랜지스터의 적어도 상기 채널영역과의 사이에 배치되고, 상기 박막트랜지스터가 규소를 포함하고, 단결정 규소의 피크로부터 벗어나 있는 라만 스펙트럼의 피크를 나타내는 것을 특징으로 한다.

대표도

도 8

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치의 등가회로를 나타내는 개략도.

도 2는 액정표시장치의 일반적인 구성을 나타내는 개략단면도.

도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 등가회로를 나타내는 개략도.

도 4는 도 3에 나타내어진 액정표시장치의 평면도 및 단면도.

도 5는 제1 실시예에 따른 액정표시장치의 동작 설명도.

도 6은 본 발명에 따른 박막형 전계효과 반도체 트랜지스터의 제작에 적합한 시스템을 나타내는 개략도.

도 7(a)는 산화물막과 반도체막의 퇴적에 사용하는데 적합한, 도 6에 나타내어진 시스템의 평면형 마그네트론 RF 스퍼터링장치를 나타내는 개략도.

도 7(b)는 도 7(a)에 나타내어진 장치에 배치된 자석의 배열을 나타내는 도면.

도 8은 본 발명의 제1 실시예의 액정표시장치에 사용되는 박막형 전계효과 반도체 트랜지스터의 제작공정을 나타내는 단면도.

도 9a는 제2 실시예에 따른 액정표시장치의 등가회로를 나타내는 개략도.

도 9b는 도 9a에 나타내어진 액정표시장치의 평면도.

도 10a는 제3 실시예에 따른 액정표시장치의 등가회로를 나타내는 개략도.

도 10b는 도 10a에 나타내어진 액정표시장치의 평면도.

도 11은 제4 실시예에 따른 액정표시장치의 등가회로를 나타내는 개략도.

도 12는 제4 실시예에 따른 액정표시장치의 상보형 트랜지스터의 구동파형을 나타내는 도면.

도 13은 제4 실시예에 따른 액정표시장치의 구동신호파형과 그의 타이밍 차트의 일례를 나타내는 도면.

도 14는 제4 실시예에 따른 상보형 트랜지스터를 이용한 4×4 액티브형 액정표시장치의 회로도.

도 15는 본 발명의 제5 실시예에 따른 액정표시장치의 등가회로를 나타내는 개략도.

도 16은 제5 실시예에 따른 액정표시장치의 구동신호파형과 그의 타이밍 차트의 일례를 나타내는 도면.

도 17은 제6 실시예에 따른 액정표시장치의 등가회로를 나타내는 개략도.

도 18은 제6 실시예에 따른 액정표시장치의 구동신호파형과 그의 타이밍 차트의 일례를 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

11: 기관 27, 27': 포토레지스트막

28, 28': 채널영역 32: 산화규소막

33, 33': 비정질 규소막 34a, 34a': 드레인영역

34b, 34b': 소스영역 35: 산화규소막

36a, 36a': 드레인 전극 36b, 36b': 소스 전극

37: 층간절연막 37b: 전도성 패드

39: 콘택트 홀 40, 40': 게이트 전극

46: 열 드라이버 47: 행 드라이버

101: 유기수지막 102: 리드 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 상보형의 박막형 절연게이트 전계효과 트랜지스터를 이용한 표시장치를 제작하는 방법에 관한 것이다.

종래, 박막트랜지스터(TFT)에 의해 구동되는 액티브형 액정표시장치가 잘 알려져 있다. 이러한 타입의 표시장치는 가시 패널과 이 패널을 구동시키기 위한 주변회로로 구성된다. 주변회로는 탭 본딩(tab-bonding) 또는 COG(chip on glass)에 의해 집적회로를 포함하는 단결정 칩을 유리기판상에 부착시켜 형성된다. 가시 패널은 구동 TFT를 각각 구비한 다수의 화소를 포함한다. 통상적으로 TFT는 각각의 화소에 전기적으로 접속된 비정질 또는 다결정 반도체막내에 형성된 N채널형 전계효과 트랜지스터(FET)이다.

도 1은 종래의 액정표시장치의 등가회로의 일례를 나타낸다. 이 도면에서는 설명의 편의를 위해 단지 2×2 매트릭스만을 도시하였으나, 통상의 액정표시장치는 640×480 매트릭스, 1260×960 매트릭스 등의 형태와 같이 많은 수의 화소로 구성된다. 액정표시장치는 도 2에 나타낸 바와 같이 한쌍의 유리기판(11, 11') 사이에 배치된 액정층(42)을 포함한다. 부호 54는 편광판을 나타낸다. 한쪽 유리기판(11')의 내측면에는 접지전극(53)이 도포되어 있고, 다른쪽 유리기판(11)의 내측면에는 표시장치의 한 화소를 구성하는 전도성 패드가 다수 배치되어 있다. 각 전도성 패드는, 소스가 해당 패드에 전기적으로 접속된 N채널형 FET(전계효과 트랜지스터)(51)와 함께 형성된다. 매트릭스에서 같은 행(row)의 FET들의 드레인선 행 드라이버(47)로부터 제어신호가 공급되는 행의 제어라인에 접속되고, 같은 열(column)의 FET들의 게이트는 열 드라이버(46)로부터 제어신호가 공급되는 열의 제어라인에 접속되어 있다.

이 표시장치의 동작에 있어서, 열 드라이버(46)는 선택된 열에 하이 레벨의 제어신호를 공급하여, 그 열의 TFT를 "온"시킨다. 그러나, TFT의 온/오프 동작이 충분히 수행되지 않아, TFT의 출력전압(즉, 화소에 대한 입력)이 소정의 하이(high) 전압레벨(예를 들어, 5 V)에 이르지 못하거나 또는 이 출력전압이 소정의 로우(low) 전압레벨(예를 들어, 0 V)까지 충분히 떨어지지 않게 되는 바람직하지 않은 경우가 있다. 이것은 TFT의 특성에 대칭성이 없기 때문이다. 즉, 액정층의 충전작용이 이 액정층으로부터의 방전작용과 다르게 일어나기 때문이다. 또한, 액정은 그의 동작에 있어서 본래 절연성이기 때문에, TFT가 "오프"되었을 때, 액정전압(V_{LC})은 부유(floating)상태로 된다. 액정은 등가적으로 커패시터이기 때문에, 그 액정에 축적된 전하량이 V_{LC} 를 결정한다. 그러나, 축적된 전하는, 먼지나 이온화된 불순물에 의해 형성될 수 있는 채널저항(R_{SD})(45)을 통하여 누설되거나, 또는 저항(R_{LC})(44)이 때때로 감소될 수 있는 액정 자체를 통하여 누설된다. 이러한 이유로, V_{LC} 는 종종 불확실한 중간 전압레벨로 된다. 20만개 내지 500만개의 화소를 가지는 패널의 경우, 그러한 상황에서는 높은 생산수율이 기대될 수 없다.

또한, 종래의 구동방법에 있어서, 제어전압이 인가되는 액정재료는 동작중에 일 방향으로만 평균전계를 받는다. 이러한 전계는 계속 사용시 전계의 원인이 된다. 이 때문에, 액정재료의 노화가 촉진되고, 표시장치의 수명이 단축된다. 또한, 복잡한 구조없이 다양한 계조로 다양한 화상을 임의로 표시할 수 있는 계조표시장치를 실현하는 것이 어려웠다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 정확히 동작할 수 있고, 다양한 계조로 다양한 화상을 임의로 표시할 수 있는 표시장치를 제공하는데 있다.

상기한 목적을 달성하기 위해, 본 발명의 일 실시형태에 따라, 절연표면을 가진 제1 기판과; 상기 제1 기판에 대향하여 있는 제2 기판과; 상기 절연표면상에 형성되고, 소스영역, 드레인영역 및 채널영역을 포함하는 적어도 하나의 박막트랜지스터와; 상기 박막트랜지스터상에 형성되고, 무기재료로 된 층간절연막과; 상기 박막트랜지스터와 상기 층간절연막 위에 제공된 유기수지막; 및 상기 유기수지막 위에 형성되고, 상기 유기수지막에 제공된 구멍을 통해 상기 박막트랜지스터에 접속된 화소전극을 포함하고; 여기서, 상기 층간절연막이 상기 유기수지막과 상기 박막트랜지스터의 적어도 상기 채널영역과의 사이에 배치되고, 상기 박막트랜지스터가 규소를 포함하고, 단결정 규소의 피크로부터 벗어나 있는 라만 스펙트럼의 피크를 나타내는 것을 특징으로 하는 전기광학장치가 제공된다.

본 발명의 다른 실시형태에 따라, 절연표면을 가진 제1 기판과; 상기 제1 기판에 대향하여 있는 제2 기판과; 상기 절연표면상에 형성되고, 소스영역, 드레인영역 및 채널영역을 포함하는 적어도 하나의 박막트랜지스터와; 상기 박막트랜지스터상에 형성되고, 무기재료로 된 층간절연막과; 상기 박막트랜지스터와 상기 층간절연막 위에 제공된 유기수지막; 및 상기 유기수지막 위에 형성되고, 상기 유기수지막에 제공된 구멍을 통해 상기 박막트랜지스터에 접속된 화소전극을 포함하고; 여기서, 상기 층간절연막이 상기 유기수지막과 상기 박막트랜지스터의 적어도 상기 채널영역과의 사이에 배치되고, 상기 박막트랜지스터가 규소를 포함하고, 522 cm⁻¹으로부터 벗어나 있는 라만 스펙트럼의 피크를 나타내는 것을 특징으로 하는 전기광학장치가 제공된다.

본 발명의 또 다른 실시형태에 따라, 절연표면을 가진 제1 기판과; 상기 제1 기판에 대향하여 있는 제2 기판과; 소스영역, 드레인영역 및 채널영역을 가진 결정성 반도체층과, 그 채널영역에 인접하여 있는 게이트 절연막과, 상기 채널영역에 인접하여 있는 게이트 전극을 각각 포함하고, 상기 제1 기판 위에 모두 형성된 적어도 하나의 n채널형 박막트랜지스터 및 적어도 하나의 p채널형 박막트랜지스터와; 상기 박막트랜지스터상에 형성되고, 무기재료로 된 층간절연막; 및 상기 박막트랜지스터와 상기 층간절연막 위에 제공된 유기수지막을 포함하고; 여기서, 상기 층간절연막이 상기 유기수지막과 상기 박막트랜지스터의 적어도 상기 채널영역과의 사이에 배치되고, 상기 박막트랜지스터가 규소를 포함하고, 단결정 규소의 피크로부터 벗어나 있는 라만 스펙트럼의 피크를 나타내는 것을 특징으로 하는 전기광학장치가 제공된다.

대표적인 예에서, 본 발명은 액정표시장치에 적용된다. 이 표시장치의 각 화소에는, 액정층의 레벨이 부유상태가 아니고 명확한 하이 또는 로우 전압레벨이 되도록 하는 상보형의 박막형 전계효과 트랜지스터로 된 스위칭 소자가 구비된다. 물론 본 발명은 박막트랜지스터 이외에, 스테거(stagger)형, 코플레이너(coplanar)형, 역스태거형, 역코플레이너형과 같은 여러가지 다른 타입의 트랜지스터로 실시될 수도 있다. 트랜지스터의 감광성을 줄여 입사광의 바람직하지 않은 영향을 제거하기 위해, 트랜지스터의 채널영역에 적당한 불순물이 도입될 수 있다. 스위칭 트랜지스터에 제어신호를 공급하기 위한 드라이버의 제어 트랜지스터가, 광이 입사되지 않는 주변위치에서 동일 기판상에 형성되는 경우, 이들에 불순물이 도입되지 않는다. 그러한 경우, 기판에는 두가지 타입의 트랜지스터가 형성되는데, 하나는 불순물이 도입된 것이고, 다른 하나는 불순물이 도입되지 않고, 불순물이 도입된 트랜지스터의 것보다 2~4배 더 큰 캐리어 이동도를 가지는 것이다.

발명의 구성 및 작용

첨부도면에 의거하여 본 발명을 더 상세히 설명하면 다음과 같다.

도 3은 본 발명의 제1 실시예에 따른 액정표시장치의 등가회로를 나타낸다. 이 도면에서는 설명의 편의를 위해 단지 2×2 매트릭스만을 나타내고 있으나, 통상의 액정표시장치는 640×480 매트릭스, 1260×960 매트릭스와 같이 많은 수의 화소로 구성된다. 이 액정표시장치는, 도 2에 나타낸 바와 같이 한쌍의 유리기판(11, 11') 사이에 배치된 액정층(42)을 포함한다. 한쪽 유리기판(11)의 내측면에는 접지전극(53)(도 2 참조)이 도포되고, 다른쪽 유리기판(11)의 내측면에는 도 4(a)에 나타낸 바와 같이 표시장치의 1개의 화소를 구성하는 전도성 패드(37b)가 다수 배치된다. 도면에서, 점선으로 둘러싸인 것이 하나의 화소이다. 각각의 전도성 패드(37b)는 N채널형 FET(51)와 P채널형 FET(41)로 이루어진 CMOS 트랜지스터와 함께 기판상에 형성되며, 그들 FET의 소스(34b, 34b')가, 대응하는 전도성 패드(37b)에 전기적으로 접속된다. 같은 행(row)에 있어서의 CMOS의 N채널형 FET들의 드레인이 행의 V_{DD} 라인(48)에 접속되고, 같은 행에 있어서의 CMOS의 P채널형 FET들의 드레인이 행의 V_{SS} 라인(49)에 접속되며, 같은 열(column)에 있어서의 CMOS의 P채널형 및

N채널형 FET들의 게이트가 열의 V_{GG} 라인(52)에 접속된다. V_{SS} 라인과 V_{DD} 라인은 행 드라이버(47)에 접속되어, 그 드라이버로부터 제어신호를 공급받으며, V_{GG} 라인들은 열 드라이버(46)에 접속되어, 그 드라이버로부터 제어신호를 공급받는다. 열 드라이버(46)와 행 드라이버(47)는, 도 2에 나타내어진 바와 같은 유리기판(11)의 돌출단부에 형성된다.

TN 액정재료가 사용되는 경우, 기판들 사이의 거리는 약 $10\ \mu\text{m}$ 가 되게 선택되고, 이들 양 기판의 내측면에 적당히 러빙(rubbing)처리된 배향막이 배치된다. 강유전성 액정재료(FLC)가 사용되는 경우에는, 기판들 사이의 거리는 약 $1.5\sim 3.5\ \mu\text{m}$, 예를 들어, $2.3\ \mu\text{m}$ 가 되도록 선택되고, 그들의 내측면들중 하나의 내측면(접지전극의 표면)에만 적당히 러빙처리된 배향막이 배치된다. 구동전압은 $\pm 20\ \text{V}$ 이다. 분산형 또는 폴리머형 액정재료가 사용되는 경우에는, 기판들 사이의 거리는 약 $1.0\sim 10.0\ \mu\text{m}$, 예를 들어, $2.3\ \mu\text{m}$ 가 되도록 선택되고, 배향막은 필요없다. 구동전압은 $\pm 10\sim \pm 15\ \text{V}$ 이다. 이 경우, 편광판도 필요없어, 투과형과 반사형의 어느 것에서도 유효광량이 비교적 증가될 수 있다. 따라서, 액정층은 스레시홀드 전압을 가지지 않는 반면에, 명확한 스레시홀드 전압을 제공하는 상보형 TFT의 사용에 의해, 표시되는 화상에서의 큰 콘트라스트가 실현되고, 바람직하지 않은 크로스토크(cross-talk)가 효과적으로 방지된다.

도 5(a) 및 (b)를 참조하여 상보형 트랜지스터의 동작을 설명한다. V_{DD} 라인과 V_{SS} 라인이 각각 $+10\ \text{V}$ 와 $-10\ \text{V}$ 의 전압을 가지는 것으로 한다. 도 5(a)에 도시된 바와 같이 정(正)의 전압 V_{GG} 가 게이트 단자(40, 40')에 인가될 때, N채널형 트랜지스터(51)는 "온"으로 되고, P채널형 트랜지스터(41)는 "오프"된다. 이러한 상태는, 소스전압 레벨이 $V_{GG}-V_{th}$ 에 도달할 때까지 계속된다. 즉, 유효 게이트전압(소스전압에 대한 게이트전압)이 스레시홀드 전압(V_{th})에 달하지 못할 때, N채널형 트랜지스터가 "오프"된다. 물론, N채널형 트랜지스터는, 소스 단자로부터의 전류 누출에 대처하는 레벨에 소스전압 레벨을 유지하기 위해 소스 단자에 전하를 항상 공급한다. 따라서, 소스 단자, 즉, 상보형 트랜지스터의 출력레벨은 그 출력레벨이 입력 게이트 신호에 의해 제어될 수 있도록 $V_{GG}-V_{th}$ 레벨로 고정된다.

이와 대조적으로, 도 5(b)에 도시된 바와 같이 부(負)의 전압 V_{GG} 가 게이트 단자(40, 40')에 인가될 때는, N채널형 트랜지스터(51)는 "오프"되고, P채널형 트랜지스터(41)는 "온"으로 된다. 이러한 상태는, 소스전압 레벨이 $V_{GG}-V_{th}$ 로 떨어질 때까지 계속된다. 즉, 유효 게이트전압(소스전압에 대한 게이트전압)이 스레시홀드 전압(V_{th})을 초과할 때, P채널형 트랜지스터가 "오프"된다. 물론, N채널형 트랜지스터는, 소스 단자로부터의 전류 누출에 대처하는 레벨에 소스전압 레벨을 유지하기 위해 소스 단자를 항상 방전시킨다. 따라서, 소스 단자, 즉, 상보형 트랜지스터의 출력레벨은 그 출력레벨이 이 경우에도 입력 게이트 신호에 의해 제어될 수 있도록 $V_{GG}-V_{th}$ 레벨로 고정된다.

다음, 도 6, 도 7, 및 도 8을 참조하여 본 발명의 제1 실시예에 따라 CMOS를 구성하는 절연게이트형 전계효과 트랜지스터(41, 51)를 제작하는 방법을 설명한다. 도 6은, 마그네트론 RF 스퍼터링에 의해 반도체막과 산화물막을 퇴적하기 위한 멀티체임버형 스퍼터링 시스템을 개략적으로 나타낸다. 이 시스템은, 게이트 밸브(5)를 가진 로딩 및 언로딩용 프리체임버(pre-chamber)(1)와, 밸브(6)를 통하여 프리체임버(1)에 연결된 보조 체임버(2)와, 각각 밸브(7, 8)를 통하여 보조 체임버(2)에 연결된 제1 및 제2 스퍼터링장치(3, 4)로 구성된다. 프리체임버(1)에는, 직렬로 배치된 로터리 펌프와 터보 분자 펌프를 포함하는 배기장치(9)가 구비되어 있고, 보조 체임버(2)에는, 직렬로 배치된 로터리 펌프와 터보 분자 펌프를 포함하는 저진공용 제1 배기장치(10a)와, 크라이오섭션(cryosorption) 펌프를 포함하는 고진공용 제2 배기장치(10b)와, 도포될 기판을 가열하기 위해 그 보조 체임버내에 배치된 히터(10c)가 구비되어 있다. 도포될 기판이 보조 체임버(2)내에서의 가열에 의해 미리 열수축되면, 기판상에서의 퇴적중에 막에 발생하는 열수축과 응력이 감소되어, 막의 접착성이 향상될 수 있다.

제1 및 제2 스퍼터링장치(3, 4)는, 본 발명에 따라 사용될 때 산화물막과 반도체막을 각각 퇴적하는데 독점적으로 사용하기에 적합한 평면형 마그네트론 RF 스퍼터링장치이다. 도 7(a) 및 (b)는 RF 스퍼터링장치를 상세히 나타낸 것이다. 이 장치는 진공체임버(20)와, 밸브(12a, 12c)를 각각 가진 터보 분자 펌프(12b)와 로터리 펌프(12d)를 포함하는 저진공용 제1 배기장치(12-1)와, 밸브(12f)를 가진 크라이오섭션 펌프(12e)를 포함하는 고진공용 제2 배기장치(12-2)와, 타깃(14)을 지지하기 위해 진공체임버(20)의 하측에 고정되고, 타깃(14)을 냉각시키는 냉각체가 흐를 수 있게 된 내부 도관(13a)이 형성되어 있으며, 영구자석과 같은 다수의 자석(13b)이 배치된 금속제 홀더(13)와, 그 홀더(13)에 RF 에너지를 공급하기 위해 매칭 박스(15b)가 구비된 RF(예를 들어, $13.56\ \text{MHz}$) 에너지원(15a)으로 이루어진 에너지 공급원(15)과, 도포될 기판(11)을 지지하기 위해 진공체임버(20)의 상부위치에 배치된 기판 홀더(16)와, 그 기판 홀더(16)에 매설되어 있는 히터(16a)와, 기판(11)과 타깃(14) 사이에 개재되어 있는 셔터(17)와, 가스공급장치(18)로 구성된다. 부호 19는 진공체임버(20)를 기밀(氣密)적으로 밀봉하기 위한 밀봉수단을 나타낸다. 기판(11)에의 실제 퇴적에 앞서, 타깃에서 발생된 불순물이

기관(11)과 타깃(14) 사이에 놓여 있는 셔터(17)상에 충돌하여 퇴적된 후, 그 셔터를 제거함으로써, 기관(11)에 정상적인 퇴적이 이루어질 수 있게 한다. 자석(13b)은 N극이 상단에 있고 S극이 하단에 있도록 하는 방향으로 배치되고, 기관(11)과 타깃(14) 사이의 스퍼터링 영역에 전자를 한정시키도록 도 7(b)에 나타난 바와 같이 수평방향에서 원형이 되게 배열된다.

도 6 및 도 7과 함께 도 8(a)~(f)를 참조하여 본 발명의 제1 실시예에 따른 박막형 전계효과 트랜지스터(41, 51)의 제작 방법을 상세히 설명한다. 이 방법은 대량생산에 적합한 멀티체임버형 장치에서 수행된다. 그러나, 이러한 방법은 별다른 개조없이 독립된 체임버들을 이용하는 유사한 공정에도 적용될 수 있다.

10매의 유리기관을 카세트에 장착하고 게이트 밸브(5)를 통하여 로딩 및 언 로딩 프리체임버(1)내에 배치한다. 이들 기관은, 닛폰 덴끼 글라스사에서 제조된 NO 유리, 호야사에서 제조된 LE-30 유리 또는 코닝사에서 제조된 VYCOR 유리와 같은, 700°C 이내, 예를 들어, 약 600°C의 고온에서의 열처리에 견딜 수 있는 저가의 유리로 만들어질 수 있다. 프리체임버(1)와 보조 체임버(2)의 내부조건을 조절한 후, 카세트를 프리체임버(1)로부터 밸브(6)를 통하여 보조 체임버(2)로 이송한다. 유리기관들중 하나를 이송기구(도시하지 않음)에 의해 도 7(a)에 나타난 바와 같은 제1 마그네트론 RF 스퍼터링장치내에 배치하고, 그 기관상에 블록킹막으로서 SiO₂막(32)을 100% O₂ 분위기(0.5 Pa)와 150°C의 기관온도에서 1000~3000 Å의 두께로 도포하였다. 이 장치의 출력은 13.56 MHz RF 에너지에서 400~800 W이다. 타깃으로서 단결정 규소나 석영 블록이 사용되었다. 퇴적속도는 30~100 Å/분이었다. 그 다음, 도포된 기관을 나머지 9매 기관중의 다른 하나로 교체하고, 계속하여 그 기관상에 SiO₂막을 같은 방법으로 도포하였다. 카세트에 장착된 모든 기관이 이 과정을 반복함으로써 SiO₂막으로 도포된다. 이 과정중에, 프리체임버(1)와 보조 체임버(2) 사이에서의 기관이송은, 바람직하지 않은 불순물을 제거하기 위해 체임버(1, 2)내의 압력과 내부분위기를 조절한 후에 수행되어야 한다.

다음에, 제2 스퍼터링장치(4)에서 SiO₂막(32)상에 비정질 규소막(33)을 500 nm~1 μm, 예를 들어, 2000 Å의 두께로 퇴적하였다. 비정질 규소막내의 산소, 탄소 및 질소의 전체 밀도는, 감광성을 낮추어 트랜지스터의 채널영역에 대한 입사광의 바람직하지 않은 영향을 제거하기 위해 5×10²⁰~5×10²¹ cm⁻³인 것이 좋다. 다른 방법으로는, 채널내에 불순물을 선택적으로 주입함으로써, 채널의 감광성을 낮출 수도 있다. 이 경우, 비정질 규소막의 산소, 탄소 및 질소의 전체 밀도는 7×10²⁰ cm⁻³, 바람직하게는, 1×10¹⁹ cm⁻³을 넘지 않는 것이 좋다. 그러한 낮은 밀도는 후의 공정에서 규소막에 형성되는 소스와 드레인을 열처리에 의해 재결정화시키는 것을 용이하게 한다. 규소막(33)의 형성을 위해서는, 10매의 기관을 하나씩 동일한 방법으로 보조 체임버(2)로부터 제2 스퍼터링장치(4)내에 배치하고, 비정질 규소막의 퇴적을 위한 처리를 행한다. 제2 스퍼터링장치(4)와 보조 체임버(2) 사이에서의 각 기관의 이송은, 바람직하지 않은 불순물을 제거하기 위해 보조 체임버(2)와 제2 스퍼터링장치(4)내의 압력과 내부분위기를 조절한 후에 수행된다. 이러한 과정은, 제1 또는 제2 스퍼터링장치와 보조 체임버 사이에서 기관을 이송하는 것이 요구될 때 일반적으로 이용된다. 제2 스퍼터링장치(4)내의 분위기는, 분압으로 H₂/(H₂+Ar) = 0.8(일반적으로는, 0.2~0.8)이 되도록 수소와 아르곤으로 이루어진 혼합물을 포함한다.

수소와 아르곤은 각각 99.999%와 99.99%의 순도를 가지는 것이 바람직하고, 제2 스퍼터링장치(4)의 내부가 1×10⁻⁵ Pa 이하의 압력까지 배기된 후에 주입된다. 총압력은 0.5 Pa이고, 장치의 출력은 13.56 MHz RF 에너지에서 400~800 W이며, 5×10⁸ cm⁻³ 이하, 예를 들어, 1×10⁸ cm⁻³의 농도로 산소원자를 함유하는 것이 바람직한 단결정 규소가 타깃으로 사용되고, 기관온도는 히터(16a)에 의해 150°C(퇴적온도)로 유지된다. 바람직한 실시예에서, 상기 혼합물내의 수소비율은 5~100%로 선택되고, 퇴적온도는 50~500°C, 예를 들어, 150°C이며, 출력은 다른 펄스 에너지원과 조합될 수 있는 500 Hz~100 GHz의 주파수 범위에서 1 W~10 MW일 수 있다.

또한, 비정질 규소막(33)은 감압 CVD(LPCVD)법 또는 플라즈마 CVD법에 의해 퇴적될 수도 있다. LPCVD법의 경우, 적당한 CVD 체임버내에서 디실란(Si₂H₆) 또는 트리실란(Si₃H₈)을 도입함으로써 퇴적이 수행된다. 퇴적온도는 규소의 재결정화 온도보다 100~200°C 낮은 온도, 즉, 450~550°C, 예를 들어, 530°C로 선택된다. 퇴적속도는 50~200 Å/분이다. N형 및 P형 TFT의 스레시홀드 전압을 일정하게 유지하기 위하여 실란과 함께 도펀트 가스로서 디보란을 사용하여 막에 1×10¹⁵~1×10¹⁸ cm⁻³으로 붕소가 도입될 수 있다. 플라즈마 CVD법의 경우, 적당한 플라즈마 CVD 체임버내에 300°C로 모노실란(SiH₄) 또는 디실란(Si₂H₆)을 도입함으로써 퇴적이 수행된다. 입력 에너지는 예를 들어 13.56 MHz에서 고주파 전기에너지이다.

반도체막의 산소밀도는, 그 산소밀도가 너무 높으면 후의 공정에서 반도체막을 충분히 재결정화시키기 위해 고온에서 장시간 열처리가 수행되어야 하기 때문에, 5×10²¹ cm⁻³ 이하인 것이 좋다. 그러나, 특정 불순물이 사용되지 않는 경우, 액정표시장치에 제공될 수 있는 백라이트에 응답하여 TFT의 오프상태에서의 누설 전류가 증가하기 때문에, 그 산소밀도는 너무 낮지 않아야 한다. 이러한 이유로, 산소밀도는 4×10¹⁹~4×10²¹ cm⁻³으로 선택된다. 실험에 의하면, 규소의 밀도가

$4 \times 10^{22} \text{ cm}^{-3}$ 이라고 가정할 때 수소가 1 원자%와 동등한 $4 \times 10^{20} \text{ cm}^{-3}$ 의 밀도로 포함된 것이 SIMS(이차이온질량분석)법에 의해 확인되었다. 이들 밀도의 수치는 각 원소의 최소값이었고, 그 값은 깊이방향을 따라 달랐다. 그러한 최소값이 사용되는 이유는, 반도체막의 표면에 자연산화물이 존재하였기 때문이다. 만약 채널영역을 불순물로 처리하는 것이 요구되는 경우, 반도체막의 퇴적후, 채널영역이 될 반도체막의 일부에 불순물로서 산소가 $5 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ 의 밀도로 도입될 수 있다. 이 경우, 반도체막의 퇴적은, 반도체막내 산소의 총밀도가 $7 \times 10^{20} \text{ cm}^{-3}$, 바람직하게는, $1 \times 10^{19} \text{ cm}^{-3}$ 을 넘지 않도록 수행될 수 있다. 그러한 낮은 밀도는, 후의 공정에서 열처리에 의해 반도체막의 소스영역과 드레인영역을 재결정화시키는 것을 용이하게 한다. 이 경우, 광조사(照射)에 노출되지 않도록 배치된 주변회로의 TFT가 동시에 형성될 때, 산소 도입이 방지되어, TFT의 이동도가 증가됨으로써 고속동작이 이루어질 수 있다.

모든 기판에 산화규소막과 비정질 규소 반도체막이 도포된 후, 이들 기판은 비산화 분위기, 예를 들어, 수소분위기에서 $450 \sim 700^\circ\text{C}$, 전형적으로는, 600°C 로 12~70시간 보조 체임버(2)내에서 히터(10c)에 의해 열처리된다. 이러한 처리(열어닐)에 의해, 막이 반비정질 또는 반결정성 구조물의 형태로 재결정화된다.

다음에, 본 발명에 따라 반비정질 또는 반결정성 반도체물질을 형성하는 메카니즘에 대하여 설명한다. 수소와 아르곤의 혼합물내에서 단결정 규소 타깃을 스퍼터링할 때, 고에너지의 무거운 아르곤 원자가 타깃의 표면에 충돌하여, 그로부터 각각 수 십~수 십만개의 규소원자로 이루어진 클러스터들을 추방시키고, 그 클러스터들을 기판상에 퇴적시킨다. 이들 클러스터는 기판상에 퇴적에 앞서 혼합가스를 통과하고, 땀글링 결합(dangling bond)을 종결시키기 위해 그들의 외부표면에서 수소원자가 결합된다. 따라서, 기판상에 퇴적된 때, 클러스터는 내부의 비정질 규소와 Si-H 결합을 포함하는 외부의 정돈된 규소를 포함한다. Si-H 결합은 다른 Si-H 결합과 반응하여, 비산화분위기에서 $450 \sim 700^\circ\text{C}$ 로의 열처리에 의해 Si-Si 결합으로 전환된다. 인접한 규소원자의 이들 결합(Si-Si)은 인접한 클러스터들이 서로 끌어 당겨지도록 기능하는 반면에, 이들 클러스터는 그들의 상(相)을 보다 정돈된 상(부분적 재결정화)으로 전환시키는 경향을 가진다. 그 결과, 이들 클러스터의 결정구조는 격자왜곡을 보이며, 그의 라만 스펙트럼의 피크는 522 cm^{-1} (단결정 규소의 피크)으로부터 저주파 방향으로 이동된다. 반쪽에 의거하여 계산된 겉보기 입경은 미세결정이라 할 수 있는 $50 \sim 500 \text{ \AA}$ 이다.

클러스터들의 에너지 밴드는, 클러스터들을 그들의 계면에서 결합(앵커링)시키는 Si-Si 결합을 통하여 연결된다. 이러한 이유로, 본 발명에 있어서의 규소의 다결정(반비정질 또는 반결정) 구조는, 입계가 캐리어 이동에 대한 방벽(배리어)을 제공하는 통상의 다결정체와는 완전히 달라, 캐리어 이동도가 $15 \sim 300 \text{ cm}^2/\text{Vsec}$ (전자 이동도)와 $10 \sim 200 \text{ cm}^2/\text{Vsec}$ (홀 이동도) 정도일 수 있게 된다. 즉, 본 발명에 있어서의 반비정질 또는 반결정 구조는, 바람직하지 않은 입계를 실질적으로 포함하지 않는 것으로 간주될 수 있다. 물론, 반도체가 $450 \sim 700^\circ\text{C}$ 의 비교적 낮은 온도가 아니라 1000°C 이상의 높은 온도를 받는 경우, 잠복되어 있던 산소원자가 클러스터들 사이의 계면에 나타나, 종래기술의 경우와 같이 방벽을 형성한다. 캐리어 이동도는 결합(앵커링)강도를 증가시킴으로써 향상될 수 있다. 이를 위해, 반도체막의 산소밀도는 $7 \times 10^{19} \text{ cm}^{-3}$, 바람직하게는, $1 \times 10^{19} \text{ cm}^{-3}$ 으로 감소된다.

부호 ①로 표시한 바와 같은 포토마스크에 의해 비정질 규소막(33)을 패터닝하여, N채널형 및 P채널형 트랜지스터를 형성하는데 필요한 반도체영역(33, 33')을 형성한다. 모든 기판이 산화규소막과 비정질 규소 반도체막으로 도포되고 상기한 바와 같이 패터닝된 후에, 기판들을 다시 제 1 스퍼터링장치(3)내에 배치한다. 그 다음, 도 8(b)에 나타낸 바와 같이, 산화성 분위기에서 스퍼터링함으로써 전체 표면에 산화규소막(35)을 $500 \text{ \AA} \sim 2000 \text{ \AA}$, 예를 들어, 1000 \AA 의 두께로 도포한다. 퇴적 조건은 상기한 산화규소막(32)의 조건과 동일하다. 산화규소막(35)과 그 하층의 반도체막(33) 사이의 계면 특성은 자외선을 조사하여 오존산화를 수행함으로써 개선될 수 있다. 즉, 계면 상태는 산화규소막(32)의 퇴적에 관한 설명에서 언급된 스퍼터링과 조합하여 광 CVD법을 이용함으로써 감소될 수 있다. 또 다르게는, 나트륨 이온을 고정시키기 위해, 이러한 퇴적과정에서 불소가 도입될 수도 있다. 이 경우, 분위기는 총압력 0.5 Pa에서 NF_3 (5%)를 포함하는 고밀도 산소(95%)를 포함하고, 장치의 출력은 13.56 MHz RF 에너지에서 400 W이며, 타깃으로서 단결정 규소 또는 인조석영이 사용되고, 기판 온도는 100°C 로 유지된다. 이러한 과정에 의해, 게이트 절연막이 되는 산화규소막(35)은, 반도체막(33, 33')과 산화규소막(35) 사이의 계면에 고정전하가 형성되는 것이 방지될 수 있도록 규소원자의 땀글링 결합을 종결하는 기능을 갖는 불소원자를 포함한다.

다음에, 산화규소막(35)상에 감압 CVD법에 의해 0.2 \mu m 두께의 규소 반도체막을 퇴적하고, 이어서 $1 \times 10^{21} \sim 5 \times 10^{21} \text{ cm}^{-3}$ 으로 인을 고농도로 도핑하고, 필요한 경우, 몰리브덴막, 텅스텐막 또는 이러한 막과 MoSi_2 또는 WSiO_2 막으로 이루어진 다층막으로 된 0.3 \mu m 두께의 도전막을 도포한다. 그 다음, 도전막(다층막)이 도포된 반도체막을 적당한 마스크②를 사용하여 포토리소그래피법으로 패터닝하여, 게이트 전극(40, 40')을 형성한다.

다음에, 반도체막(33')을 덮기 위해 포토마스크 ③을 사용하여 포토레지스트막(27')을 형성한다. 게이트 전극(40)과 포토레지스트막(27')을 마스크로 하여 붕소를 $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 으로 이온주입함으로써 불순물영역, 즉, 소스 및 드레인영역(34b, 34a)을 자기정합적으로 형성한다. 불순물영역(34a, 34b) 사이의 규소 반도체막(33)의 중간영역(28)은 도 8(c)에 나타낸 바와 같이 채널영역으로 된다. 그 다음, 포토레지스트막(27')을 제거한 후, 반도체막(33)을 덮기 위해 포토마스크 ④를 이용하여 다른 포토레지스트막(27)을 형성한다. 게이트 전극(40')과 포토레지스트막(27)을 마스크로 하여 인을 $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 으로 인을 이온주입함으로써 불순물영역, 즉, 소스 및 드레인영역(34b', 34a')을 자기정합적으로 형성한다. 불순물영역(34a', 34b') 사이의 규소 반도체막(33)의 중간영역(28')이 도 8(d)에 나타낸 바와 같이 채널영역으로 된다. P채널형 및 N채널형 트랜지스터의 채널영역의 길이는 각각 10 μm 이고, P채널형 및 N채널형 트랜지스터의 채널영역의 폭은 각각 20 μm 이다. 게이트 전극(40 또는 40')을 마스크로 하여 산화규소막(35)을 선택적으로 제거한 후 붕소 또는 인을 직접 주입함으로써 이온주입을 행할 수도 있다.

포토레지스트(27)를 제거한 후, 채널영역을 H_2 분위기에서 600 $^\circ\text{C}$ 로 10~50시간 열어닐하여, 드레인 및 소스영역의 불순물을 활성화시킨다. 그 다음, 상기한 것과 동일한 스퍼터링 방법으로 기관의 전체 표면에 걸쳐 0.2~0.6 μm 의 두께로 산화규소의 층간절연막(37)을 퇴적하고, 이어서 포토마스크 ⑤를 사용하여 에칭함으로써 하층의 소스 및 드레인영역(34b, 34a; 34b', 34a')에 접근하기 위해 층간절연막(37)과 산화규소막(35)을 관통한 콘택트 홀(39)을 형성한다. 층간절연막(37)의 퇴적은 감압 CVD법, 광 CVD법, 상압 CVD법(TEOS-오존)으로 수행될 수 있다. 다음에, 도 8(f)에 나타낸 바와 같이, 콘택트 홀(39) 위에서 기관상에 0.5~1 μm 두께의 알루미늄막을 퇴적하고, 포토마스크 ⑥을 사용하여 그 알루미늄막을 패터닝하여, 소스 및 드레인 전극(36b, 36a; 36b', 36a')을 형성한다. 다음에, 투명 폴리이미드막과 같은 유기수지막(101)을 기관의 전면에 도포하여 평탄한 표면을 제공하고, 포토마스크 ⑦을 사용하여 이 막을 패터닝하여 소스전극(36b, 36b')에 접근할 수 있도록 한 다음, 패드(37b)와 전기적으로 접촉되는 인듐 주석 산화물(ITO)과 같은 투명한 전도성 재료로 된 리드 전극(102)을 형성한다. ITO막은 실온 내지 150 $^\circ\text{C}$ 의 온도에서 스퍼터링함으로써 퇴적된 다음, 산화성 분위기(O_2) 또는 공기중에서 200~400 $^\circ\text{C}$ 로 어닐된다. 패드(37b)는 리드 전극(102)의 퇴적과 동시에 형성될 수 있다. 그래서, CMOS 트랜지스터의 형성이 종료된다.

P채널형 TFT의 이동도와 스레시홀드 전압은 20 cm^2/Vs 및 -5.9 V이고, N채널형 TFT의 이동도와 스레시홀드 전압은 40 cm^2/Vs 및 5.0 V이다. 이와 같이 하여 CMOS 트랜지스터와 도시된 바와 같은 적당한 전도성 패턴이 제공된 유리기관을 전체 내측면에 접지전극을 갖는 대향된 유리기관과 결합하고, 이들 두 기관 사이에 액정재료를 주입한다. 상기 공정의 잇점중 하나는, 이들 트랜지스터(불순물 주입된 것과 주입되지 않은 것)의 형성이 700 $^\circ\text{C}$ 이하의 온도에서 수행될 수 있어, 이 공정이 석영기관과 같은 고가의 기관의 사용을 요하지 않고, 따라서, 대규모의 액정표시장치의 제작에 적합하게 된다는 것이다.

상기 실시예에서는, 열어닐이 도 8(a)와 도 8(d)에 해당하는 공정에서 두번 수행된다. 그러나, 제1 어닐(도 8(a))은 제2 어닐에 비추어 공정시간을 단축시키기 위해 생략될 수 있다.

도 9a와 도 9b에, 본 발명의 제2 실시예에 따른 CMOS 박막형 전계효과 트랜지스터가 나타내어져 있다. 이 실시예에서는, 두쌍의 CMOS 트랜지스터(51-1, 41-1; 51-2, 41-2)가 그들의 소스 전극에서 각 화소(점선으로 둘러싸여진)의 전도성 패드(37b)에 병렬로 접속되어 있다. 이들 CMOS 트랜지스터는 트랜지스터의 수가 두배인 것을 제외하고는 제1 실시예와 관련하여 앞에서 설명된 것과 같은 공정들로 제작된다. 제1 실시예와 유사한 부분에 대해서는 유사한 부호로 표시하였다. 전극 패드(37b)는 적당한 절연막을 사이에 두고 V_{GG} 라인상에 퇴적된다. 이 실시예의 장치의 전기적 동작은 제1 실시예의 것과 실질적으로 동일하다. 따라서, 하나의 화소에 대하여 두개의 동일한 스위칭 소자가 제공되어 있어, 이들중 하나의 동작이 고장일 때 레이저광에 의해 고장난 소자를 소실시킴으로써 나머지 CMOS 트랜지스터에 의해 정보표시장치의 능력이 유지될 수 있다. 이러한 이유로, 투명한 전도성 패드가 TFT를 덮지 않도록 형성된다.

도 10a와 도 10b에, 본 발명의 제3 실시예에 따른 CMOS 박막형 전계효과 트랜지스터가 나타내어져 있다. 이 실시예에서도, 두쌍의 CMOS 트랜지스터(51-1, 41-1; 51-2, 41-2)가 그들의 소스 전극에서 각 화소의 전극 패드(37b)에 병렬로 접속되어 있다. 그러나, 전극 패드(37b)가 두 부분(37b-1, 37b-2)으로 나누어져 있고, 그 부분들 각각이 2개의 CMOS 트랜지스터중 대응하는 하나에 독립적으로 접속되어 있다. 이들 CMOS 트랜지스터는 트랜지스터의 수를 제외하고는 제1 실시예와 관련하여 앞에서 설명된 것과 같은 공정들로 제작된다. 제1 실시예와 유사한 부분에 대해서는 유사한 부호로 표시하였다. 그래서, 각 화소는 두개의 독립된 부(副)화소(서브픽셀)로 구성된다. 이 실시예에 따르면, 부화소들중 하나가 고장일지라도, 다른 하나의 부화소가 화소의 동작을 지원할 수 있어, 계조표시의 열화(劣化)가 감소된다.

상기한 바와 같이, 본 발명의 상기 실시예들에 따른 잇점들은 다음과 같다.

- 1) 화상이 다양한 계조로 구성될 수 있다.
- 2) 액정층을 가로지른 전압이 불확실한 부유상태로 되지 않고, 상보형 트랜지스터로부터의 출력신호에 따라 확실한 레벨로 안정되게 고정된다.
- 3) 동작 변동의 한계가 확장된다.
- 4) 일부 TFT가 고장이더라도, 그의 동작이 어느 정도 보상된다.
- 5) 상보형 트랜지스터의 채택으로 인한 증가되는 포토마스크의 수는 N채널형 TFT만을 이용하는 종래의 경우에 비하여 다만 2개(포토마스크 ③과 ④) 증가될 뿐이다.
- 6) 비정질 반도체 대신에 반비정질 또는 반결정성 반도체가 사용되고, 캐리어 이동도가 10배 이상 크기 때문에, TFT의 크기가 감소되어, 두개의 TFT가 하나의 화소에 형성될 때라도 개구율의 감소를 거의 수반하지 않는다.

도 11은 본 발명의 제4 실시예에 따른 액정표시장치의 등가회로를 나타낸다. 도 4에 나타낸 것과 같은 화소 구조가 이 실시예에도 적용될 수 있다. 이 도면은 설명의 편의를 위해 단지 2×2 매트릭스만을 나타내었으나, 통상의 액정표시장치는 640×480 매트릭스, 1260×960 매트릭스와 같이 많은 수의 화소로 구성된다. 이 액정표시장치는 도 2에 나타낸 바와 같이 한쌍의 유리기관(11, 11') 사이에 배치된 액정층(42)을 포함한다. 한쪽 유리기관(11')의 내측면 전체가 대향전극(53)으로 도포되어 있다. 그러나, 이 실시예에서는, 앞의 실시예들과 달리 대향전극(53)이 접지되지 않고, 후에 상세히 설명되는 바와 같이 액정표시장치의 구동메카니즘에 따라 오프셋 전압을 공급받는다. 다른쪽 유리기관(11)의 내측면에는, 다수의 전도성 패드(37b)가 형성되어 있고, 이들 패드 각각이 제1 실시예와 동일한 방법으로 표시장치의 한 화소를 구성한다. 각 전도성 패드(37b)는, 소스(34b', 34b)가 대응하는 패드(37b)에 전기적으로 접속된 N채널형 FET(51)와 P채널형 FET(41)로 이루어진 CMOS 트랜지스터와 함께 기관상에 형성된다. 동일한 행에 있어서의 CMOS의 N채널형 FET들의 드레인이 행의 V_{DD} 라인(48)에 접속되고, 동일한 행에 있어서의 CMOS의 P채널형 FET들의 드레인이 행의 V_{SS} 라인(49)에 접속되며, 동일한 열에 있어서의 CMOS의 P채널형 및 N채널형 FET들의 게이트가 열의 V_{GG} 라인(52)에 접속된다. V_{SS} 라인과 V_{DD} 라인은 행 드라이버(47)에 접속되어, 그로부터 제어신호를 공급받고, V_{GG} 라인들은 열 드라이버(46)에 접속되어, 그로부터 제어신호를 공급받는다.

도 12는, V_{DD} 라인, V_{SS} 라인, V_{GG} 라인 및 대향전극에 인가되는 여러 제어신호에 응답하는 각 화소의 동작을 나타낸 것이다. 정(正)의 전압이 V_{DD} 라인(48)에 인가되고, 부(負)의 전압이 V_{SS} 라인(49)에 인가될 때, 화소에서의 액정전압레벨(즉, 전도성 패드(37b)의 전압레벨)은 V_{GG} 라인(52)에서의 전압레벨을 따르고, 액정전압은 V_{DD} 라인과 V_{SS} 라인이 공통으로 접속된 경우에 강제적으로 접지된다. 따라서, 화소의 액정 사이에 인가되는 전압은 액정전압으로부터 대향전극에 인가되는 오프셋(바이어스) 전압을 빼는 것에 의해 계산된다.

본 발명의 제4 실시예에 따른 구동방법의 대표적인 예를 도 13 및 도 14를 참조하여 설명한다. 도 14에서는, 도 11의 2×2 매트릭스가 4×4 매트릭스로 확장되었다. 그러나, 그들의 구조는 화소의 수를 제외하고는 실질적으로 동일하다. 도 13은 V_{DD} 라인, V_{SS} 라인, V_{GG} 라인 및 대향전극에 인가되는 제어신호를 나타낸 것이다. V_{DD} 라인이 도 14에서 제1 행으로부터 제4 행으로 X_{1a} , X_{2a} , X_{3a} 및 X_{4a} 로 불리고, V_{SS} 라인이 같은 방법으로 X_{1b} , X_{2b} , X_{3b} 및 X_{4b} 로 불린다. V_{SS} 라인에 인가되는 신호는 V_{DD} 라인에 인가되는 신호와 정확히 정반대이어서, 도 13에서 V_{SS} 라인의 파형이 생략되었다. V_{GG} 라인은 좌측 열로부터 우측 열로 Y_1 , Y_2 , Y_3 및 Y_4 로 불린다. 이러한 구동 방법에서, V_{DD} 라인 및 V_{SS} 라인에 인가되는 제어신호는 도 13에 나타낸 바와 같이 제1 행으로부터 제4 행으로 주사(스캔)하는 어드레싱 신호이다. 모든 행이 순차로 주사되는 프레임의 1/4 시간 폭중에 하나의 어드레스된 행에 접속된 V_{DD} 라인 및 V_{SS} 라인에 반대의 펄스가 인가된다. V_{GG} 라인에 인가되는 제어신호는 표시장치에 나타나는 화상 패턴을 결정하는 데이터 신호이다.

만일 i번째 행과 j번째 열의 화소를 작동시키고자 할 때, i번째 행의 V_{DD} 라인과 V_{SS} 라인에 반대의 펄스들을 인가함으로써 i번째 행이 어드레스될 때 j번째 열의 V_{GG} 라인에 정의 펄스가 인가된다. 도 13에서, 제1 열과 제1 행의 화소(제 14 도

에서 부호 AA로 표시됨)는 T_1 과 T_2 사이의 제1 프레임의 처음 1/4, T_2 와 T_3 사이의 제2 프레임의 처음 1/4, 및 T_5 와 T_6 사이의 제5 프레임의 처음 1/4에서 작동된다. 대향전극은 T_1 과 T_6 사이에서 부의 전압에 의해 바이어스된다. 액정의 광학 특성이 20 V의 스톱시홀드 전압에 의해 변화되는 경우, V_{DD} , V_{SS} 및 V_{GG} 신호레벨 및 바이어스 전압은 각각, 예를 들어, 20 V, -20 V, ± 20 V 및 ± 10 V이다. 따라서, 도 12로부터 이해되는 바와 같이, 30 V의 고전압이 선택된 화소(도면에서 AA 화소)에만 인가되는 한편, 다른 화소에 인가되는 전압레벨은 10 V를 초과할 수 없다. 도 13의 T_6 내지 T_8 에서는, V_{GG} 라인 및 대향전극에서의 전압레벨은 반전되어, 각 화소상의 인가전압의 선평호가 간단히 반전된다. 따라서, -30 V의 저전압이 선택된 화소(도면에서 AA 화소)에만 인가되는 한편, 다른 화소에 인가되는 절대전압레벨은 10 V를 초과할 수 없다. 제 1 열과 제1 행의 화소는 T_6 과 T_7 사이의 제6 프레임에서 작동된다. 신호의 반전은 수 개 내지 수 십개의 프레임마다 한번씩 반복적으로 일어나, 액정에 인가되는 평균전압이 전체 동작에 걸쳐 제로에 접근하게 되어, 액정의 열화(劣化)를 효과적으로 방지한다.

이 실시예에 따라, 액정층에 인가되는 제어신호의 전압레벨은 대향전극에 인가되는 바이어스 전압레벨의 조절에 의해서만 액정층의 스톱시홀드 레벨로 쉽게 조절될 수 있다. 바이어스 전압의 이용은, 바이어스 전압의 극성을 주기적으로 변화시킴으로써 액정에 주는 전기적 영향을 상쇄시키는 것을 가능하게 하여, 액정재료의 전해를 방지할 수 있다.

도 15 및 도 16을 참조하여, 본 발명의 제5 실시예에 따른 액정표시장치 및 그의 구동방법을 설명한다. 이 실시예에서는, 2쌍의 CMOS 트랜지스터(41-1, 51-1; 41-2, 51-2)가 그들의 소스 전극에서 각 화소(점선으로 둘러싸여짐)의 전극 패드(37b)에 병렬로 접속된다. 이들 CMOS 트랜지스터는 트랜지스터의 수가 두배인 것을 제외하고는 제1 실시예와 관련하여 앞에서 설명된 것과 같은 공정들로 제작된다. 제1 실시예에서와 유사한 부분이 유사한 부호로 표시되었다. 전기적 작동은 제3 실시예의 것과 실질적으로 동일하다. 따라서, 하나의 화소에 대응하여 2개의 동일한 스위칭 소자가 제작되어, 그들중 하나가 고장일 때 레이저광으로 고장난 소자를 소실시킴으로써 나머지 CMOS 트랜지스터에 의해 정보표시장치의 능력이 유지될 수 있게 된다. 이런 이유로, 투명한 전도성 패드가 이들 TFT를 덮지 않도록 형성된다.

본 발명의 제5 실시예에 따른 구동방법의 대표적인 예를 도 16을 참조하여 설명한다. 도 16에서는, 도 15에 나타난 것과 같지만 4×4 매트릭스로 확장된 표시장치에 대하여 설명한다. 그러나, 구조는 화소의 수를 제외하고 실질적으로 동일하다. 도 16은 제4 실시예에서와 같은 방법으로 V_{DD} 라인, V_{SS} 라인, V_{GG} 라인 및 대향전극에 인가되는 제어신호를 나타낸다. 이 구동방법에서는, V_{GG} 라인에 인가되는 제어신호는 도 16에 나타난 바와 같이 제1 열로부터 제4 열까지 반복적으로 주사(스캔)하는 어드레스 신호이다. 부의 펄스 또는 정의 펄스가, 어드레스된 열에 접속된 V_{GG} 라인에 인가된다. V_{DD} 라인 및 V_{SS} 라인에 인가되는 반대 제어신호는 표시장치에 나타나는 화상패턴을 결정하는 데이터 신호이다.

만일 i 번째 행과 j 번째 열의 화소를 작동시키고자 할 때, j 번째 열의 V_{GG} 라인에 정의 펄스를 인가함으로써 j 번째 열이 어드레스될 때 i 번째 행의 V_{DD} 라인과 V_{SS} 라인에 반대의 펄스들이 인가된다. 도 16에서, 제1 열과 제1 행의 화소는 T_1 과 T_2 사이의 제1 프레임, T_2 와 T_3 사이의 제2 프레임 및 T_5 와 T_6 사이의 제5 프레임에서 작동된다. 대향전극은 T_1 과 T_6 사이에서 부의 전압에 의해 바이어스된다. 액정의 광학특성이 20 V의 스톱시홀드 전압에 의해 변화되는 경우, V_{DD} , V_{SS} 및 V_{GG} 신호레벨 및 바이어스 전압은 각각, 예를 들면, 20 V, -20 V, ± 20 V 및 ± 10 V이다. 따라서, 도 12로부터 이해되는 바와 같이, 30 V의 고전압이 선택된 화소에만 인가되는 한편, 다른 화소에 인가되는 전압레벨은 10 V를 초과할 수 없다. 도 16의 T_6 내지 T_8 에서는, V_{GG} 라인 및 대향전극에서의 전압레벨은 반전되어, 각 화소상의 인가전압의 선평호가 간단히 반전된다. 따라서, -30 V의 저전압이 선택된 화소에만 인가되는 한편, 다른 화소에 인가되는 절대전압레벨은 10 V를 초과할 수 없다. 제1 열과 제1 행의 화소는 T_6 과 T_7 사이의 제6 프레임에서 작동된다. 신호의 반전이 수 개 내지 수 십개의 프레임마다 한번씩 반복적으로 일어나, 액정에 인가되는 평균전압이 제로에 접근하게 되어, 액정의 열화를 효과적으로 방지한다.

도 17 및 도 18을 참조하여 본 발명의 제6 실시예를 설명한다. 이 실시예에서도, 2쌍의 트랜지스터(41-1, 51-1; 41-2, 51-2)가 소스 전극에서 각 화소의 전극 패드(37b)에 병렬로 접속된다. 그러나, 전극 패드(37b)는 두 부분(37b-1, 37b-2)으로 나누어져 있고, 그들 부분 각각은 도 10b에서와 같은 방법으로 2개의 CMOS 트랜지스터중 대응하는 하나에 독립적으로 접속된다. 이들 CMOS 트랜지스터는 트랜지스터의 수를 제외하고는 제1 실시예와 관련하여 앞에서 설명된 것과 같은 공정들로 제작된다. 제1 실시예에서와 유사한 부분이 유사한 부호로 표시되었다. 그래서, 각 화소는 2개의 부화소로 이루어져 있다. 이 실시예에 따르면, 부화소들중 한 화소의 작동이 고장일 때, 다른 부화소가 화소의 작동을 지원할 수 있어, 제조표시의 열화 가능성이 감소된다. 또한, 하나의 부화소의 작동속도가 낮게 된 때라도, 표시된 화상의 화질은 그렇게 열화되지 않는다.

본 발명의 제6 실시예에 따른 구동방법의 대표적인 예를 도 18을 참조하여 설명한다. 도 18에서는, 도 17에 나타난 것과 같으나 4×4 매트릭스로 확장된 표시장치에 대해 설명한 것이다. 그러나, 구성은 화소의 수를 제외하고는 실질적으로 동일하다. 도 18은 제4 실시예와 같은 방법으로 V_{DD} 라인, V_{SS} 라인, V_{GG} 라인 및 대향전극에 인가되는 제어신호를 나타낸다. 이 구동방법에서는, V_{DD} 라인 및 V_{SS} 라인에 인가되는 제어신호는 도 18에 나타난 바와 같이 제1 행으로부터 제 4행으로 주사하는 어드레싱 신호이다. 어드레스된 행에 접속된 V_{DD} 라인과 V_{SS} 라인에 반대의 펄스들이 인가된다. V_{GG} 라인에 인가되는 제어신호는 표시장치에서 나타나는 화상패턴을 결정하는 데이터 신호이다. 그러나, 이 실시예에서는, V_{GG} 라인에 인가되는 제어신호는, 펄스폭이 한 프레임(예를 들어, T_1 과 T_2 사이)의 1/16인 정의 펄스 또는 부의 펄스이다. 한편, V_{DD} 라인 및 V_{SS} 라인에 인가되는 어드레싱 신호의 펄스폭은 제4 실시예와 같은 방법으로 프레임의 1/4이다. 16회의 분할 형태가 컬러표시에 적절하다.

만일 i 번째 행과 j 번째 열의 화소를 작동시키고자 할 때, i 번째 행의 V_{DD} 라인과 V_{SS} 라인에 반대의 펄스들을 인가함으로써 i 번째 행이 어드레스될 때 j 번째 열의 V_{GG} 라인에 정의 펄스가 인가된다. 도 18에서, 제1 열과 제1 행의 화소는 T_1 과 T_2 사이의 제1 프레임에서 작동된다. 대향전극은 T_1 과 T_3 사이에서 부의 전압에 의해 바이어스된다. 액정의 광학특성이 같은 방법으로 20 V의 스톱시홀드 전압에 의해 변화되는 경우, V_{DD} , V_{SS} 및 V_{GG} 신호레벨 및 바이어스 전압은 각각, 예를 들어, 20 V, -20 V, ± 20 V 및 ± 10 V이다. 따라서, 도 18에서 이해되는 바와 같이, 30 V의 고전압이 선택된 화소에만 인가되는 한편, 다른 화소에 인가되는 전압레벨은 10 V를 초과할 수 없다. 도 18의 T_3 내지 T_4 에서는, V_{GG} 라인 및 대향전극에서의 전압레벨은 반전되어, 각 화소상의 인가전압의 선택이 간단히 반전된다. 따라서, -30 V의 저전압이 선택된 화소에만 인가되는 한편, 다른 화소에 인가되는 절대전압레벨은 10 V를 초과할 수 없다. 제1 열과 제1 행의 화소는 T_3 과 T_4 사이의 제3 프레임에서 작동된다. 신호의 반전이 수 개 내지 수 십개의 프레임마다 한번씩 반복적으로 일어나, 액정에 인가되는 평균전압이 제로에 접근하게 되어, 액정의 열화를 효과적으로 방지한다.

상기 실시예들은 액정표시장치의 스위칭 장치를 위한 CMOS의 형태로 적용된다. 그러나, 본 발명에 따른 TFT는 하나의 화소를 구동시키기 위한 하나의 TFT를 포함하는 스위칭 장치의 형태로도 이용될 수 있다. 이 경우, 등가회로는, N채널형 TFT가 상기한 바와 같이 입사광에 감응하지 않는 불순물처리된 반도체막으로 구성되기 때문에 저항 R_{SD} 가 유효하지 않은 것을 제외하고는 도 1에 나타난 것과 실질적으로 동일하다. 각 화소의 전극 패드는 이 실시예에서 어드레스되지 않을 때 전기적으로 부유하는 것으로 되어, 그의 전압레벨은 CMOS를 이용하는 것과 비교하여 고정되지 않을 수 있다. 그러나, 그의 제작과정은 차광수단을 필요로 하지 않고 매우 간단하다.

액정표시장치에 사용되는 액정재료로서는 다른 타입의 재료가 사용될 수도 있다. 예를 들어, 게스트-호스트형 또는 유전이방성형의 네마틱 액정재료에 이온 도펀트를 첨가함으로써 적당한 상전이(相轉移) 액정재료가 제조될 수 있다. 상전이 액정재료는 전계의 인가에 따라, 네마틱상(相)과 콜레스테릭상 사이에서의 상전이를 통해 투명상태로부터 백탁상태로 또는 그 역으로 그의 광학적 양상을 바꾼다. 또한, 액정 대신에, 염료로 착색된 유기액체내에 안료입자를 분산시켜 제조되는 전기영동(泳動)표시용 분산계와 같은 적당한 광반응 재료가 동일한 목적으로 사용될 수도 있다. 계조가 요구되는 경우, 표시될 하나의 화상에 대해 다수의 프레임이 주어지고, 요구되는 계조에 따라 주어진 프레임보다 적은 프레임에서만 선택된 화소가 작동된다.

본 발명은, 게르마늄 또는 규소/게르마늄(Si_xGe_{1+x}) 반도체장치와 같은 다른 타입의 반도체장치를 이용하는 표시장치에도 적용될 수 있고, 그 경우, 상기한 실시예들에서 규소 반도체에 대해 사용된 것보다 약 100°C 낮은 온도에서 열처리가 행해질 수 있다. 그러한 반도체의 퇴적은, 광에너지(파장: 100 nm 이하) 또는 전자 싸이클로트론 공명(ECR)에 의한 고에너지 수소 플라즈마에서의 스퍼터링에 의해 수행될 수 있다. 수소분자를 포함하는 가스 대신에, 불순물이지 않는 한 일부 수소화합물이 스퍼터링 분위기로서 사용될 수 있다. 예를 들어, 모노실란이나 디실란이 규소 반도체 트랜지스터를 형성하는데 사용될 수 있다. 바람직한 실시예에서는 산화물막과 반도체막이 각각 별도의 장치에서 퇴적되었지만, 공통의 장치에서 다른 타입의 게이트 절연막이나 게이트 전극을 퇴적하는 것도 명백히 가능하다. 산화물막의 퇴적중에, 중화작용에 의해 알칼리 금속원자가 유리기판으로부터 막중으로 이동하는 것을 효과적으로 방지하기 위해 산화물막에 할로젠 원자를 도입하도록 불소와 같은 할로젠이 스퍼터링 분위기로서 사용될 수 있다. 할로젠 대신에 인의 도입으로도 동일한 효과가 기대될 수 있다.

발명의 효과

본 발명은, 이미지 센서, 부하소자 또는 모놀리식 반도체 집적장치의 3차원소자와 같은 반도체장치를 이용하는 다른 타입의 광학장치에 적용될 수 있다. 바람직한 실시예에서는, 전계효과 트랜지스터가 유리기관상에 형성되었지만, 다른 기관이 대신 사용될 수 있다. 예를 들어, 액정표시장치 또는 이미지 센서에서는 규소기관상에 박막형 전계효과 트랜지스터가 형성될 수 있다. 이 규소기관은, 진성 규소기관, P형 규소기관, N형 규소기관 또는 MOSFET, 바이폴라 트랜지스터 등이 IC 형태로 형성되는 규소기관일 수 있다. 그러한 기관과 박막형 전계효과 트랜지스터 사이에는 절연층이 형성될 수 있으나, 진성 규소기관의 경우에는 그러한 절연층이 생략될 수 있다.

게이트 전극은 본 발명에 따른 절연게이트형 전계효과 트랜지스터에서는 단일층 전극이거나 또는 다층 전극일 수 있다. 단일층 게이트 전극은 인이 도핑된 규소 전극이거나 알루미늄 전극일 수 있다. 다층 게이트 전극은, 하부 크롬층과 그위에 형성된 상부 알루미늄층으로 이루어진 2층 전극이거나, 또는 인이 도핑된 하부 규소층과 그위에 형성된 상부의 금속층 또는 금속규화물층으로 이루어진 2층 전극일 수 있다. 단일층 알루미늄 전극과 상부 알루미늄층은 알루미늄 타깃을 스퍼터링함으로써 형성될 수 있고, 단일층 규소 전극과 하부 규소층은 감압 CVD법에 의해 또는 인이 도핑된 규소 타깃을 스퍼터링함으로써 형성될 수 있고, 하부 크롬층은 크롬 타깃을 스퍼터링함으로써 형성될 수 있다. 금속층은, 몰리브덴 타깃을 스퍼터링함으로써 형성된 몰리브덴층, 텅스텐 타깃을 스퍼터링함으로써 형성된 텅스텐층, 티탄 타깃을 스퍼터링함으로써 형성된 티탄층, 또는 알루미늄 타깃을 스퍼터링함으로써 형성된 알루미늄층일 수 있다. 금속규화물층은, MoSi₂ 타깃을 스퍼터링함으로써 형성된 MoSi₂층, WSi₂ 타깃을 스퍼터링함으로써 형성된 WSi₂층, 또는 TiSi₂ 타깃을 스퍼터링함으로써 형성된 TiSi₂층일 수 있다. 특허청구범위에 기재된 바와 같은 제작방법이 여러 공정들을 포함하고 있으나, 이들 공정의 순서는 실제의 경우에 따라 바뀔 수 있으며, 그 순서가 본 발명의 범위를 제한하는 것이 아니다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

삭제

청구항 40.

삭제

청구항 41.

삭제

청구항 42.

삭제

청구항 43.

삭제

청구항 44.
삭제

청구항 45.
삭제

청구항 46.
삭제

청구항 47.
삭제

청구항 48.
삭제

청구항 49.
삭제

청구항 50.
삭제

청구항 51.
삭제

청구항 52.
삭제

청구항 53.
삭제

청구항 54.
삭제

청구항 55.
삭제

청구항 56.
삭제

청구항 57.
삭제

청구항 58.
삭제

청구항 59.
삭제

청구항 60.

삭제

청구항 61.

삭제

청구항 62.

삭제

청구항 63.

삭제

청구항 64.

삭제

청구항 65.

삭제

청구항 66.

삭제

청구항 67.

삭제

청구항 68.

소스 영역, 드레인 영역, 채널 영역, 그 채널 영역에 인접한 게이트 절연막, 및 그 게이트 절연막을 사이에 두고 상기 채널 영역에 인접하여 있는 게이트 전극을 포함하는 적어도 하나의 박막트랜지스터를 기판 위에 제조하는 공정;

상기 박막트랜지스터 위에 평탄화 막을 형성하는 공정;

상기 평탄화 막의 콘택트 홀을 통해 상기 소스 영역과 상기 드레인 영역 중 하나에 전기적으로 접속되는 투명한 도전성 산화막을 실온에서의 스퍼터링에 의해 상기 평탄화 막 위에 형성하는 공정; 및

공기 중에서 200~400℃의 온도로 상기 투명한 도전성 산화막을 어닐하는 공정을 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 69.

제 68 항에 있어서, 상기 평탄화 막이 유기 수지막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 70.

제 68 항에 있어서, 상기 평탄화 막이 폴리이미드로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 71.

제 68 항에 있어서, 상기 박막트랜지스터와 상기 평탄화 막 사이에 무기 절연막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 72.

소스 영역, 드레인 영역, 채널 영역, 그 채널 영역에 인접한 게이트 절연막, 및 그 게이트 절연막을 사이에 두고 상기 채널 영역에 인접하여 있는 게이트 전극을 포함하는 적어도 하나의 박막트랜지스터를 기판 위에 제조하는 공정;

상기 박막트랜지스터 위에 평탄화 막을 형성하는 공정;

실온에서의 스퍼터링에 의해 상기 평탄화 막 위에 투명한 도전성 산화막을 형성하는 공정; 및

공기 중에서 200~400℃의 온도로 상기 투명한 도전성 산화막을 어닐하는 공정을 포함하고;

상기 채널 영역이, 라만 스펙트럼의 반쪽에 의거하여 계산된 겉보기 입경이 50~500 Å인 규소 결정을 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 73.

제 72 항에 있어서, 상기 평탄화 막이 유기 수지막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 74.

제 72 항에 있어서, 상기 평탄화 막이 폴리이미드로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 75.

제 72 항에 있어서, 상기 박막트랜지스터와 상기 평탄화 막 사이에 무기 절연막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 76.

소스 영역, 드레인 영역, 채널 영역, 그 채널 영역에 인접한 게이트 절연막, 및 그 게이트 절연막을 사이에 두고 상기 채널 영역에 인접하여 있는 게이트 전극을 포함하는 적어도 하나의 박막트랜지스터를 기판 위에 제조하는 공정;

상기 박막트랜지스터 위에 평탄화 막을 형성하는 공정;

실온에서의 스퍼터링에 의해 상기 평탄화 막 위에 투명한 도전성 산화막을 형성하는 공정; 및

공기 중에서 200~400℃의 온도로 상기 투명한 도전성 산화막을 어닐하는 공정을 포함하고;

상기 채널 영역이 522 cm^{-1} 으로부터 저주파 방향으로 이동된 라만 스펙트럼의 피크를 나타내는 규소를 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 77.

제 76 항에 있어서, 상기 평탄화 막이 유기 수지막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 78.

제 76 항에 있어서, 상기 평탄화 막이 폴리이미드로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 79.

제 76 항에 있어서, 상기 박막트랜지스터와 상기 평탄화 막 사이에 무기 절연막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 80.

소스 영역, 드레인 영역, 채널 영역, 그 채널 영역에 인접한 게이트 절연막, 및 그 게이트 절연막을 사이에 두고 상기 채널 영역에 인접하여 있는 게이트 전극을 포함하는 적어도 하나의 박막트랜지스터를 기판 위에 제조하는 공정;

상기 박막트랜지스터 위에 평탄화 막을 형성하는 공정;

상기 평탄화 막의 콘택트 홀을 통해 상기 소스 영역과 상기 드레인 영역 중 하나에 전기적으로 접속되는 투명한 도전성 산화막을 실온에서의 스퍼터링에 의해 상기 평탄화 막 위에 형성하는 공정; 및

산화성 분위기에서 200~400℃의 온도로 상기 투명한 도전성 산화막을 어닐하는 공정을 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 81.

제 80 항에 있어서, 상기 평탄화 막이 유기 수지막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 82.

제 80 항에 있어서, 상기 평탄화 막이 폴리이미드로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 83.

제 80 항에 있어서, 상기 박막트랜지스터와 상기 평탄화 막 사이에 무기 절연막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 84.

소스 영역, 드레인 영역, 채널 영역, 그 채널 영역에 인접한 게이트 절연막, 및 그 게이트 절연막을 사이에 두고 상기 채널 영역에 인접하여 있는 게이트 전극을 포함하는 적어도 하나의 박막트랜지스터를 기판 위에 제조하는 공정;

상기 박막트랜지스터 위에 평탄화 막을 형성하는 공정;

실온에서의 스퍼터링에 의해 상기 평탄화 막 위에 투명한 도전성 산화막을 형성하는 공정; 및

산화성 분위기에서 200~400℃의 온도로 상기 투명한 도전성 산화막을 어닐하는 공정을 포함하고;

상기 채널 영역이, 라만 스펙트럼의 반쪽에 의거하여 계산된 겉보기 입경이 50~500 Å인 규소 결정을 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 85.

제 84 항에 있어서, 상기 평탄화 막이 유기 수지막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 86.

제 84 항에 있어서, 상기 평탄화 막이 폴리이미드로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 87.

제 84 항에 있어서, 상기 박막트랜지스터와 상기 평탄화 막 사이에 무기 절연막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 88.

소스 영역, 드레인 영역, 채널 영역, 그 채널 영역에 인접한 게이트 절연막, 및 그 게이트 절연막 사이에 두고 상기 채널 영역에 인접하여 있는 게이트 전극을 포함하는 적어도 하나의 박막트랜지스터를 기판 위에 제조하는 공정;

상기 박막트랜지스터 위에 평탄화 막을 형성하는 공정;

실온에서의 스퍼터링에 의해 상기 평탄화 막 위에 투명한 도전성 산화막을 형성하는 공정; 및

산화성 분위기에서 200~400℃의 온도로 상기 투명한 도전성 산화막을 어닐하는 공정을 포함하고;

상기 채널 영역이 522 cm⁻¹으로부터 저주파 방향으로 이동된 라만 스펙트럼의 피크를 나타내는 규소를 포함하는 것을 특징으로 하는 표시장치 제작방법.

청구항 89.

제 88 항에 있어서, 상기 평탄화 막이 유기 수지막으로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 90.

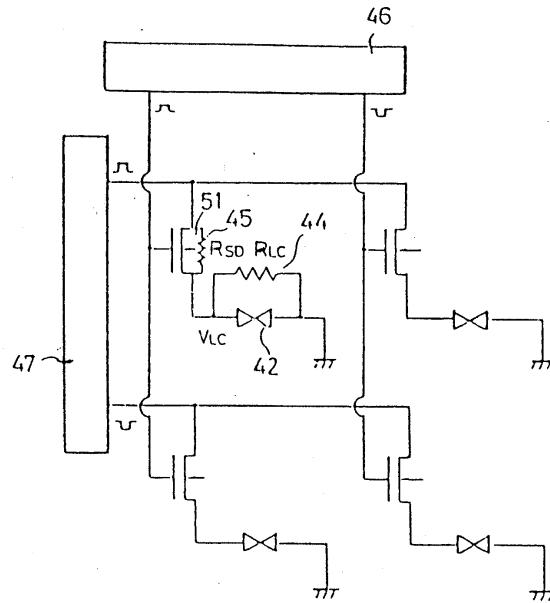
제 88 항에 있어서, 상기 평탄화 막이 폴리이미드로 이루어진 것을 특징으로 하는 표시장치 제작방법.

청구항 91.

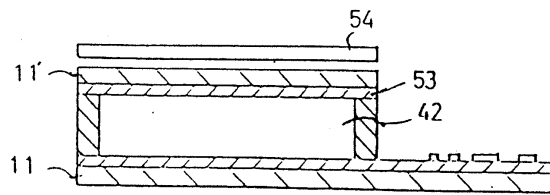
제 88 항에 있어서, 상기 박막트랜지스터와 상기 평탄화 막 사이에 무기 절연막을 형성하는 공정을 더 포함하는 것을 특징으로 하는 표시장치 제작방법.

도면

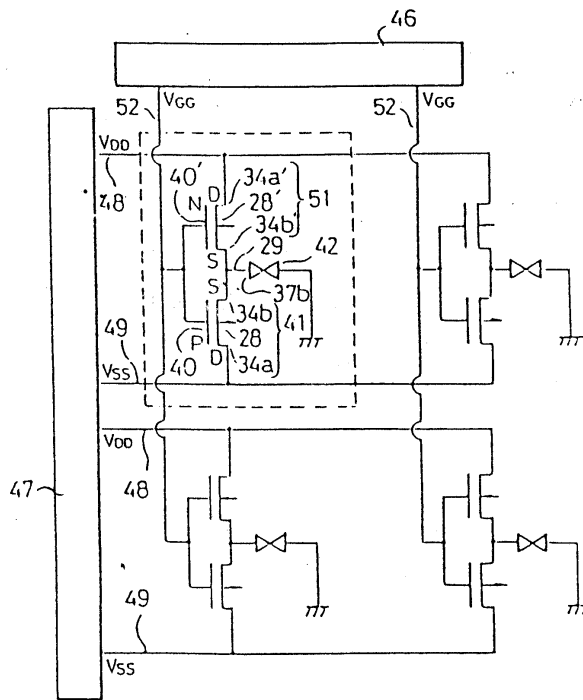
도면1



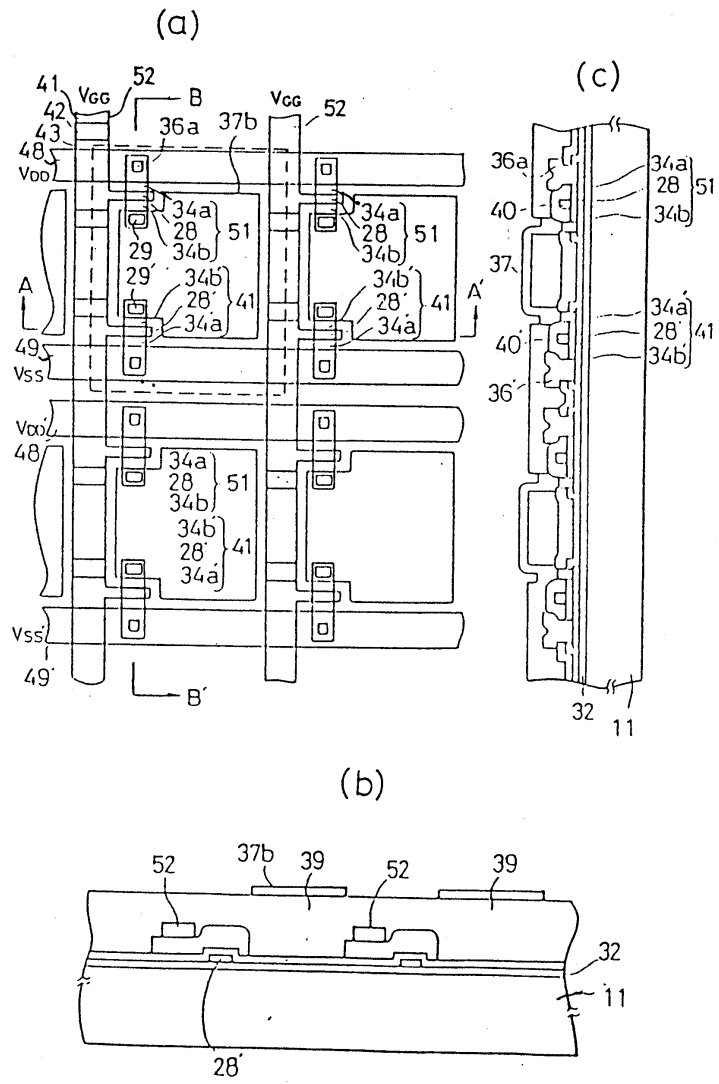
도면2



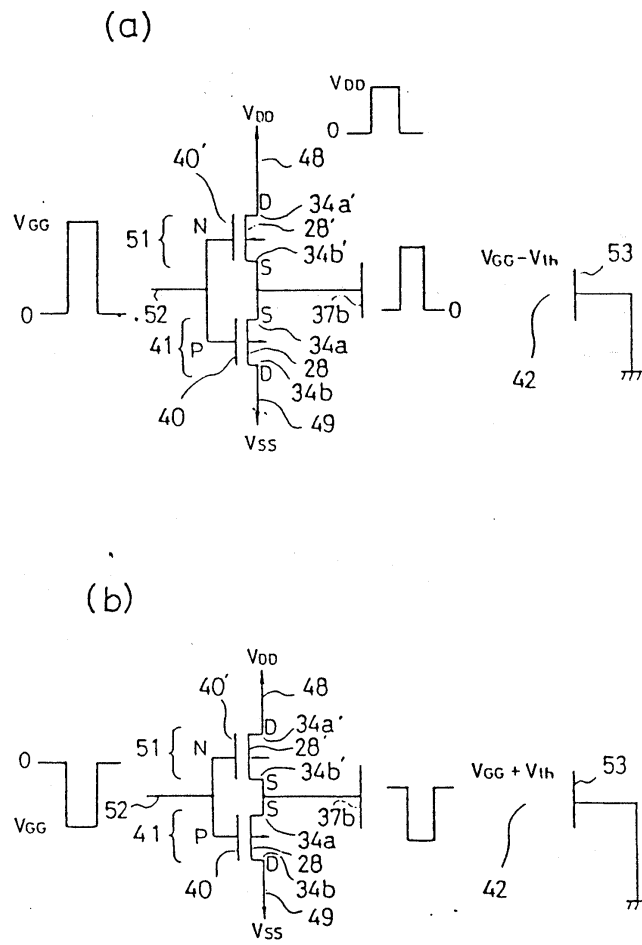
도면3



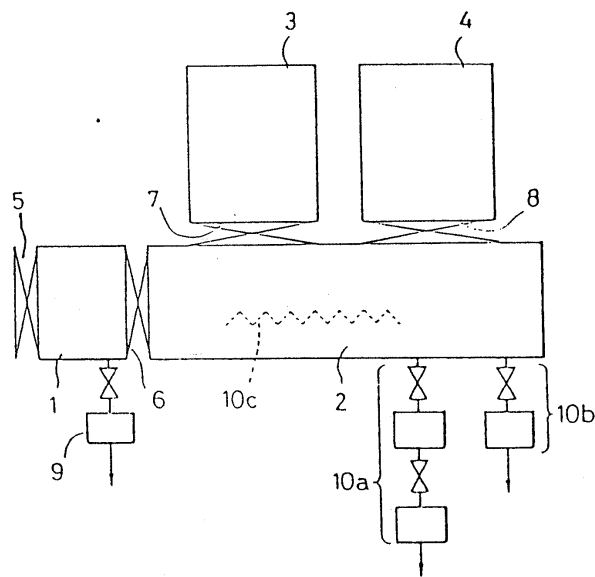
도면4



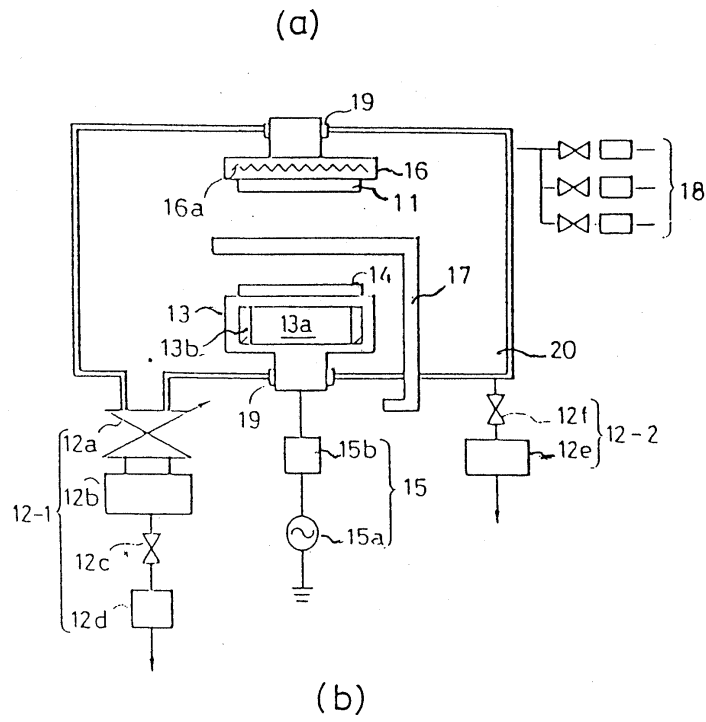
도면5



도면6

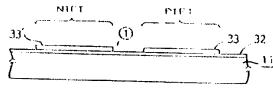


도면7

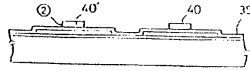


도면8

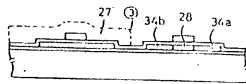
(a)



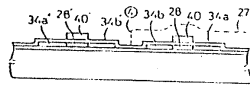
(b)



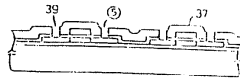
(c)



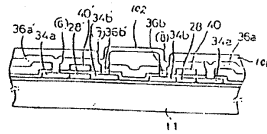
(d)



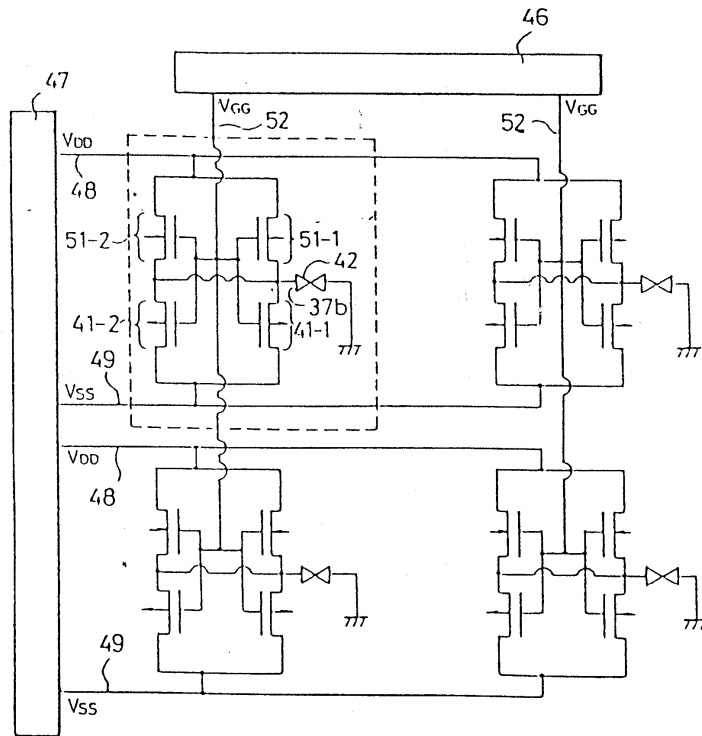
(e)



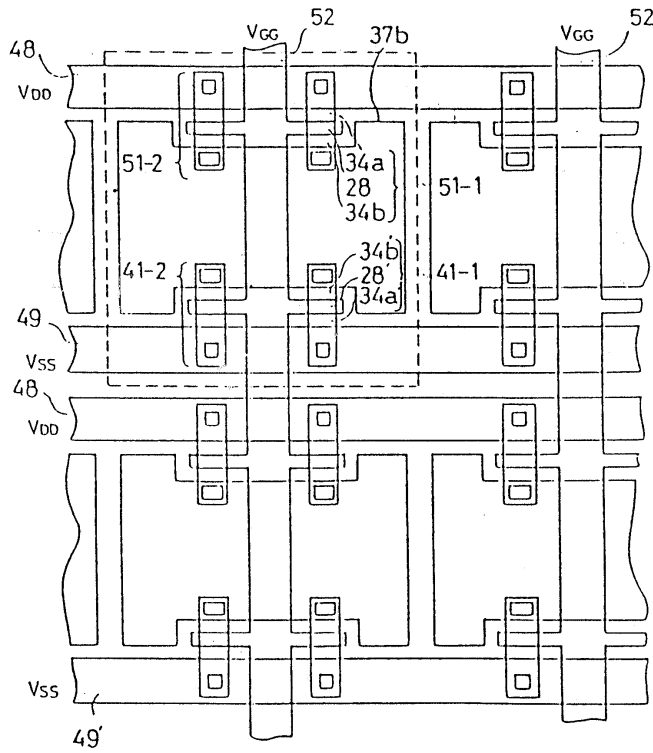
(f)



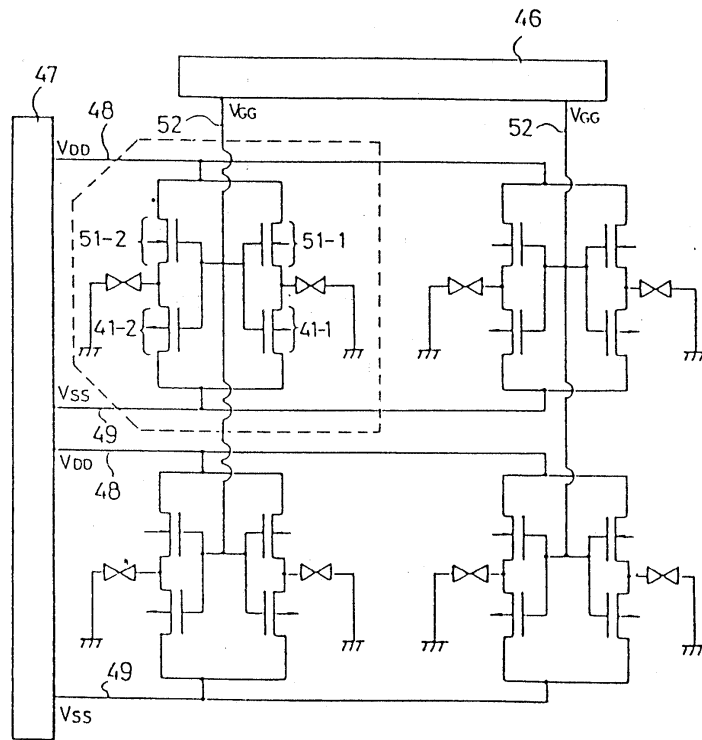
도면9a



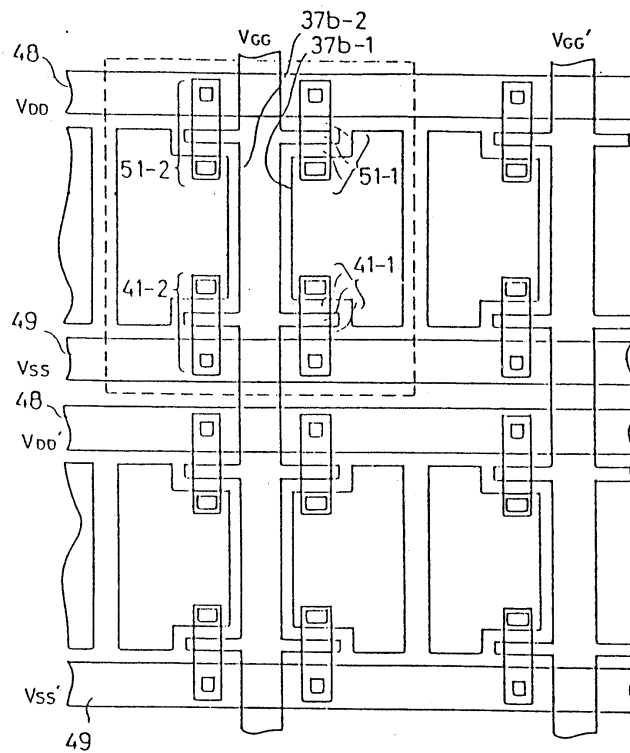
도면9b



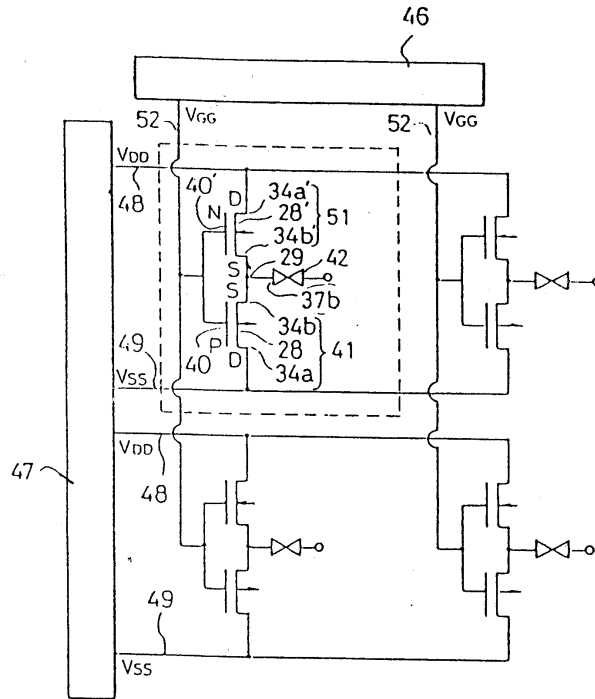
도면10a



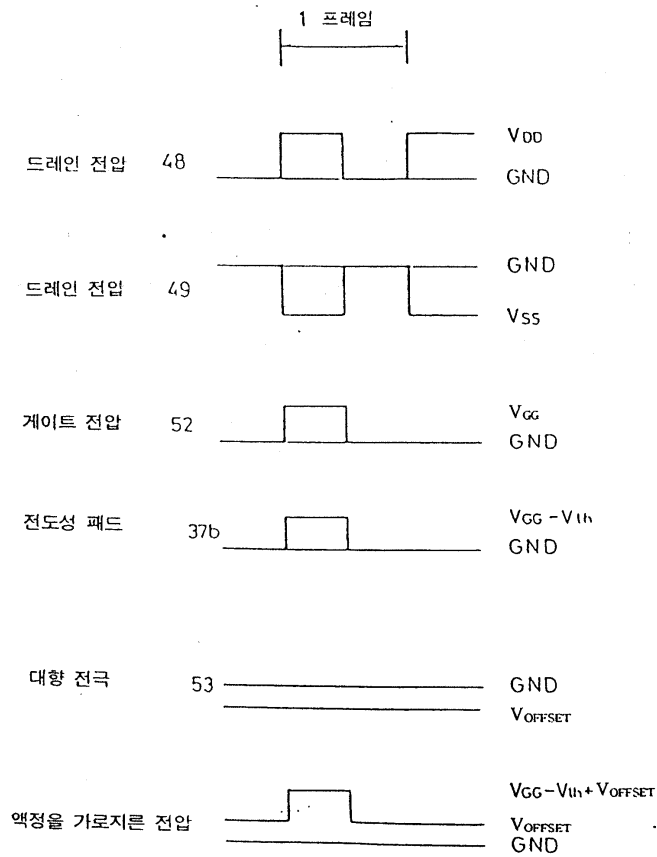
도면10b



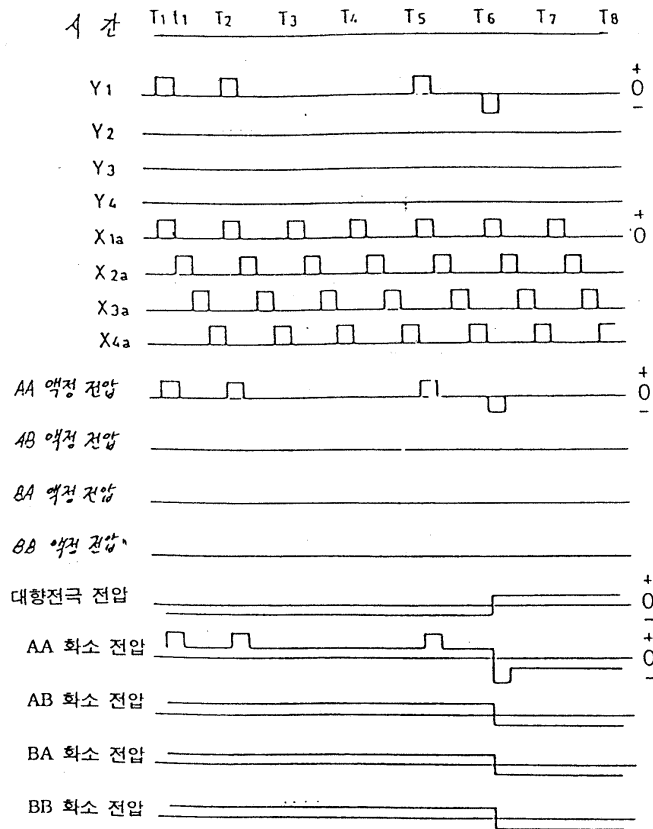
도면11



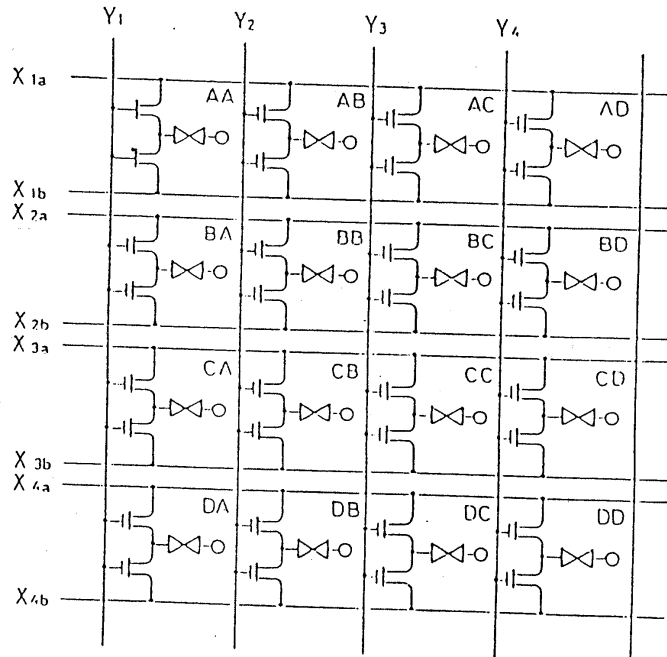
도면12



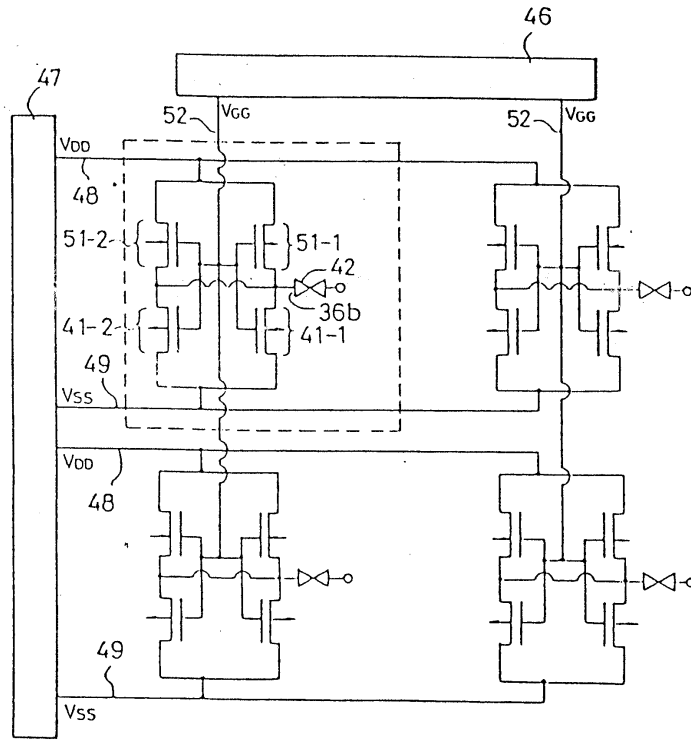
도면13



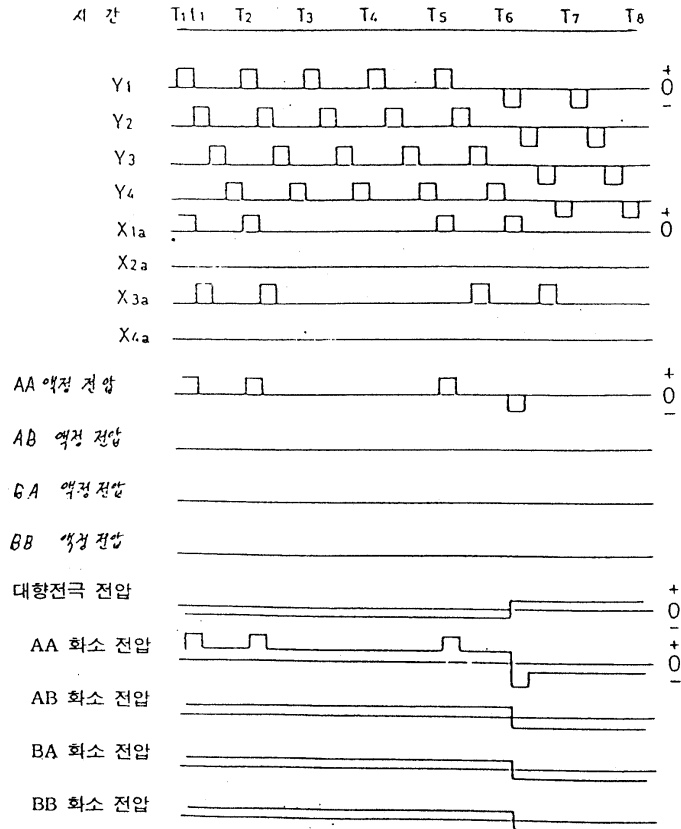
도면14



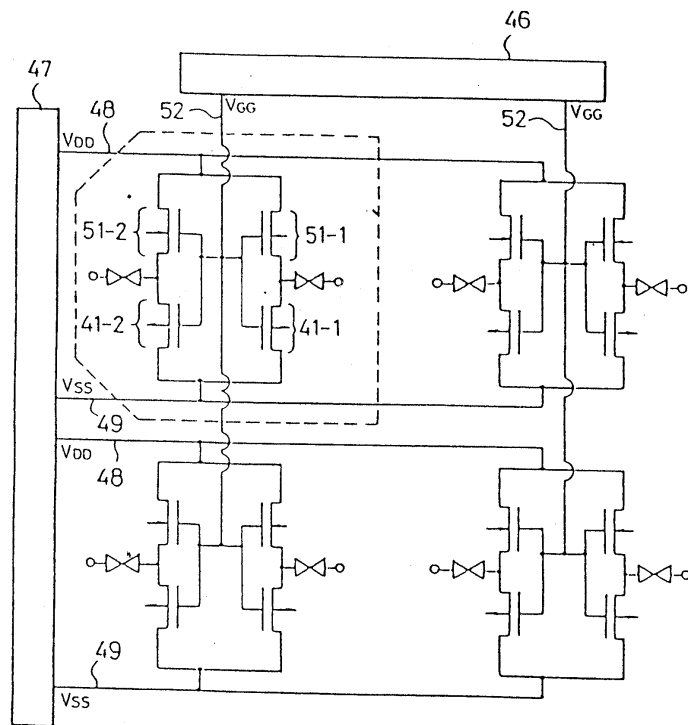
도면15



도면16



도면17



도면18

