



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I729837 B

(45)公告日：中華民國 110 (2021) 年 06 月 01 日

(21)申請案號：109118789

(22)申請日：中華民國 99 (2010) 年 12 月 07 日

(51)Int. Cl. : *H01L29/786 (2006.01)**H01L27/12 (2006.01)*

(30)優先權：2009/12/11 日本

2009-282268

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：木村肇 KIMURA, HAJIME (JP)；梅崎敦司 UMEZAKI, ATSUSHI (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

EP 1777689A1

審查人員：施喻懷

申請專利範圍項數：7 項 圖式數：29 共 151 頁

(54)名稱

半導體裝置及電子設備

(57)摘要

本發明之一目的為改進半導體裝置之驅動能力。該半導體裝置包括第一電晶體及第二電晶體。該第一電晶體之第一端子電性連接第一佈線。該第一電晶體之第二端子電性連接第二佈線。該第二電晶體之閘極電性連接第三佈線。該第二電晶體之第一端子電性連接第三佈線。該第二電晶體之第二端子電性連接該第一電晶體之閘極。使用該第一電晶體及該第二電晶體每一者中之氧化物半導體層而形成通道區。每 1 $\mu$ m 通道寬度之該第一電晶體及該第二電晶體每一者的關閉狀態電流為 1aA 或較少。

An object is to improve the drive capability of a semiconductor device. The semiconductor device includes a first transistor and a second transistor. A first terminal of the first transistor is electrically connected to a first wiring. A second terminal of the first transistor is electrically connected to a second wiring. A gate of the second transistor is electrically connected to a third wiring. A first terminal of the second transistor is electrically connected to the third wiring. A second terminal of the second transistor is electrically connected to a gate of the first transistor. A channel region is formed using an oxide semiconductor layer in each of the first transistor and the second transistor. The off-state current of each of the first transistor and the second transistor per channel width of 1  $\mu$ m is 1 aA or less.

指定代表圖：

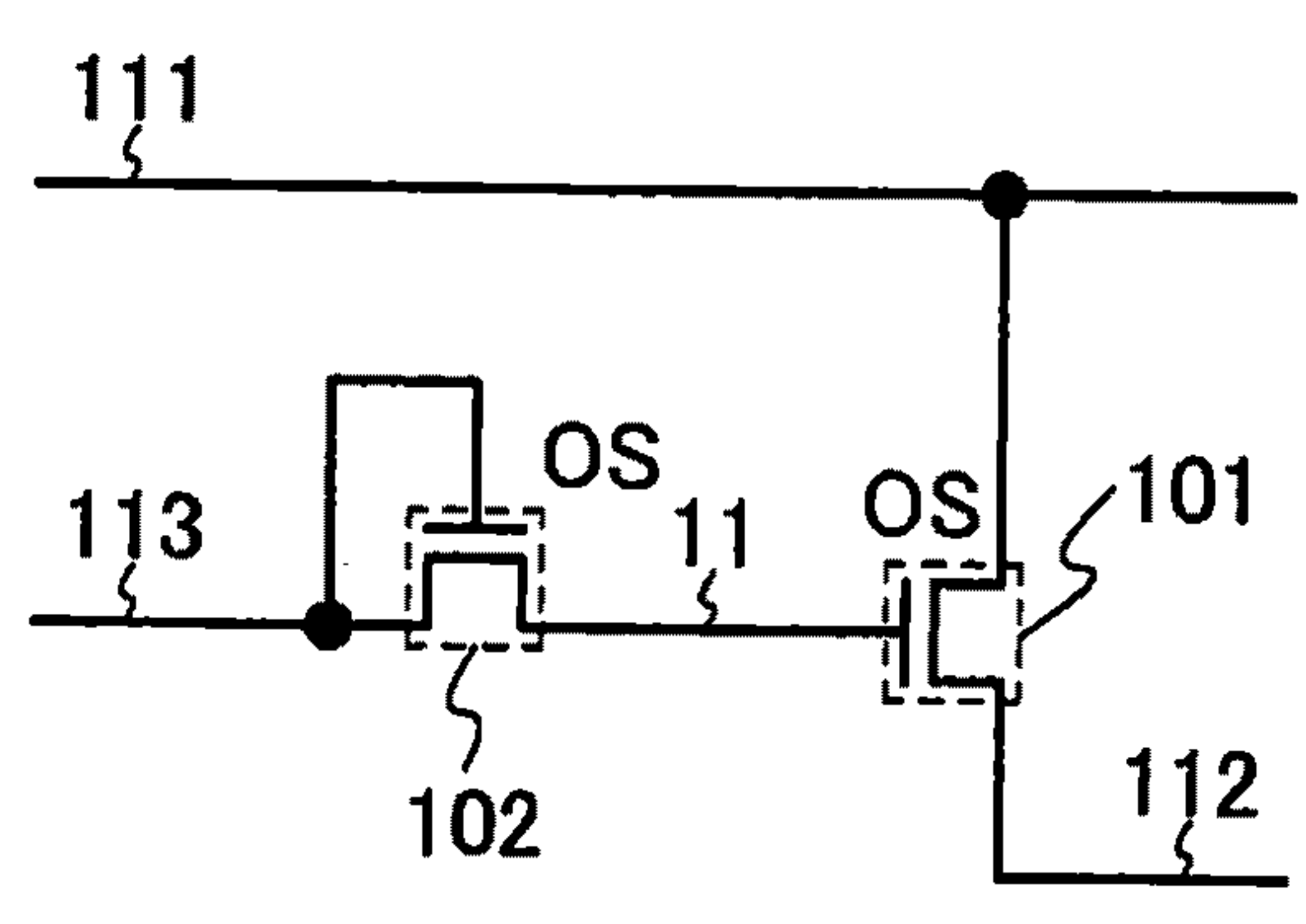
圖 1A

符號簡單說明：

11:節點

101、102:電晶體

111、112、113:佈線



## 發明摘要

【發明名稱】(中文/英文)

半導體裝置及電子設備

SEMICONDUCTOR DEVICE AND ELECTRONIC DEVICE

【中文】

本發明之一目的為改進半導體裝置之驅動能力。該半導體裝置包括第一電晶體及第二電晶體。該第一電晶體之第一端子電性連接第一佈線。該第一電晶體之第二端子電性連接第二佈線。該第二電晶體之閘極電性連接第三佈線。該第二電晶體之第一端子電性連接第三佈線。該第二電晶體之第二端子電性連接該第一電晶體之閘極。使用該第一電晶體及該第二電晶體每一者中之氧化物半導體層而形成通道區。每1  $\mu\text{m}$ 通道寬度之該第一電晶體及該第二電晶體每一者的關閉狀態電流為1 aA或較少。

## 【英文】

An object is to improve the drive capability of a semiconductor device. The semiconductor device includes a first transistor and a second transistor. A first terminal of the first transistor is electrically connected to a first wiring. A second terminal of the first transistor is electrically connected to a second wiring. A gate of the second transistor is electrically connected to a third wiring. A first terminal of the second transistor is electrically connected to the third wiring. A second terminal of the second transistor is electrically connected to a gate of the first transistor. A channel region is formed using an oxide semiconductor layer in each of the first transistor and the second transistor. The off-state current of each of the first transistor and the second transistor per channel width of 1  $\mu\text{m}$  is 1 nA or less.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

11：節點

101、102：電晶體

111、112、113：佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體裝置及電子設備

SEMICONDUCTOR DEVICE AND ELECTRONIC DEVICE

## 【技術領域】

文中所揭露之本發明的技術領域關於半導體裝置、顯示裝置、液晶顯示裝置及用於驅動該些裝置之方法。

## 【先前技術】

已發展半導體裝置其中所有電晶體之傳導性為 n 型或 p 型。尤其，僅由 n 通道電晶體構成之半導體裝置的發展已有進展(例如專利文獻 1 至 4)。

該等半導體裝置包括例如第一電晶體，其具有連接電源線之源極及汲極之一及連接輸出之源極及汲極之另一，及連接第一電晶體之閘極與每一佈線之間的一或複數第二電晶體。

為使來自半導體裝置之輸出信號的振幅電壓等於電源電壓，在許多方面藉由電容性耦合而使第一電晶體之閘極電位高於(或低於)電源電壓。為體現此，第一電晶體之閘極需處於浮動狀態。為此原因，需關閉連接第一電晶體之閘極的第二電晶體(或所有複數第二電晶體)。

[參考文獻]

專利文獻 1：日本公開專利申請案 No.2002-328643

專利文獻 2：日本公開專利申請案 No.2003-179479

專利文獻 3：日本公開專利申請案 No.2004-064528

### 【發明內容】

然而，在習知半導體裝置中，即使第二電晶體關閉，因為第二電晶體之關閉狀態電流，第一電晶體之閘極保持之電荷隨時間而漏失。因此，半導體裝置之驅動能力受損。

鑒於上述問題，本發明之一實施例的目地為體現更高性能。本發明之一實施例的目地為改進半導體裝置之驅動能力。

依據本發明之一實施例，半導體裝置包括第一電晶體及第二電晶體。第一電晶體之第一端子電性連接第一佈線。第一電晶體之第二端子電性連接第二佈線。第二電晶體之閘極電性連接第三佈線。第二電晶體之第一端子電性連接第三佈線。第二電晶體之第二端子電性連接第一電晶體之閘極。通道區係使用第一電晶體及第二電晶體每一者中氧化物半導體層予以形成。第一電晶體及第二電晶體具有  $1 \text{ aA}/\mu\text{m}$  或較少之關閉狀態電流。

依據本發明之另一實施例，半導體裝置包括第一電晶體、第二電晶體、第三電晶體及第四電晶體。第一電晶體之第一端子電性連接第一佈線。第一電晶體之第二端子電性連接第二佈線。第二電晶體之閘極電性連接第三佈線。

第二電晶體之第一端子電性連接第三佈線。第二電晶體之第二端子電性連接第一電晶體之閘極。第三電晶體之閘極電性連接第四佈線。第三電晶體之第一端子電性連接第五佈線。第三電晶體之第二端子電性連接第二佈線。第四電晶體之閘極電性連接第四佈線。第四電晶體之第一端子電性連接第五佈線。第四電晶體之第二端子電性連接第一電晶體之閘極。通道區係使用第一至第四電晶體每一者中氧化物半導體層予以形成。第一至第四電晶體具有  $1 \text{ aA}/\mu\text{m}$  或較少之關閉狀態電流。

依據本發明之另一實施例，半導體裝置包括第一電晶體及第二電晶體。第一電晶體之第一端子電性連接第一佈線。第一電晶體之第二端子電性連接第二佈線。第二電晶體之閘極電性連接第一佈線。第二電晶體之第一端子電性連接第一佈線。第二電晶體之第二端子電性連接第一電晶體之閘極。通道區係使用第一電晶體及第二電晶體每一者中氧化物半導體層予以形成。第一電晶體及第二電晶體具有  $1 \text{ aA}/\mu\text{m}$  或較少之關閉狀態電流。

依據本發明之另一實施例，半導體裝置包括第一電晶體、第二電晶體、第三電晶體及第四電晶體。第一電晶體之第一端子電性連接第一佈線。第一電晶體之第二端子電性連接第二佈線。第二電晶體之閘極電性連接第一佈線。第二電晶體之第一端子電性連接第一佈線。第二電晶體之第二端子電性連接第一電晶體之閘極。第三電晶體之閘極電性連接第三佈線。第三電晶體之第一端子電性連接第四



佈線。第三電晶體之第二端子電性連接第二佈線。第四電晶體之閘極電性連接第三佈線。第四電晶體之第一端子電性連接第四佈線。第四電晶體之第二端子電性連接第一電晶體之閘極。通道區係使用第一至第四電晶體每一者中氧化物半導體層予以形成。第一至第四電晶體具有  $1 \text{ aA}/\mu\text{m}$  或較少之關閉狀態電流。

依據本發明之另一實施例，半導體裝置包括第一電晶體、第二電晶體、 $N$  個第三電晶體 ( $N$  為自然數) 及  $N$  個第四電晶體。第一電晶體之第一端子電性連接第一佈線。第一電晶體之第二端子電性連接第二佈線。第二電晶體之閘極電性連接第一佈線。第二電晶體之第一端子電性連接第一佈線。第二電晶體之第二端子電性連接第一電晶體之閘極。 $N$  個第三電晶體之閘極電性連接各  $N$  個第三佈線。 $N$  個第三電晶體之第一端子電性連接第四佈線。 $N$  個第三電晶體之第二端子電性連接第二佈線。 $N$  個第四電晶體之閘極電性連接各  $N$  個第三佈線。 $N$  個第四電晶體之第一端子電性連接第四佈線。 $N$  個第四電晶體之第二端子電性連接第一電晶體之閘極。通道區係使用第一電晶體、第二電晶體、 $N$  個第三電晶體及  $N$  個第四電晶體每一者中氧化物半導體層予以形成。第一電晶體、第二電晶體、 $N$  個第三電晶體及  $N$  個第四電晶體具有  $1 \text{ aA}/\mu\text{m}$  或較少之關閉狀態電流。

在任一上述半導體裝置中，氧化物半導體較佳地包括非單晶區。另一方面，任一上述半導體裝置中，氧化物半

導體較佳地包括非單晶區，其具有沿垂直於氧化物半導體表面之方向的 c 軸對齊。

本發明之一實施例為電子設備，其包括任一上述半導體裝置及操作開關。

例如，在本說明書等中，當明確地說明 X 及 Y 連接，X 及 Y 電性連接之狀況、X 及 Y 功能性連接之狀況、及 X 及 Y 直接連接之狀況均包括其中。此處，X 及 Y 每一者標示目標(例如裝置、元件、電路、佈線、電極、端子、導電膜或層)。因此，另一元件可提供於圖式及正文中所示具有連接關係的元件之間，對於預定連接關係並未侷限於例如圖式及正文中所示之連接關係。

例如，若 X 及 Y 為電性連接，啟動 X 及 Y 之間電性連接的一或多項元件(例如開關、電晶體、電容器、電感器、電阻器及/或二極體)可連接於 X 及 Y 之間。請注意，「電性連接」之表達有時用於表示「已連接」。在此狀況下，「電性連接」具有「功能性連接」及「直接連接」之意義。

例如，若 X 及 Y 為功能性連接，啟動 X 及 Y 之間功能性連接的一或多項電路(例如，諸如反相器、NAND 電路或 NOR 電路之邏輯電路；諸如 DA 轉換器電路、AD 轉換器電路或圖像灰階校正電路之信號轉換器電路；諸如電源電路(例如，dc-dc 轉換器、升壓 dc-dc 轉換器或降壓 dc-dc 轉換器)或用於改變信號之電位位準的位準移位器電路之電位位準轉換器電路；電壓源極；電流源極；開關電

路；諸如可增加信號振幅、電流量等電路之放大器電路、運算放大器、差動放大器電路、源極跟隨器電路或緩衝器電路；信號產生電路；記憶體電路；及/或控制電路)可連接於 X 及 Y 之間。當從 X 輸出之信號傳送至 Y 時，即使其他電路提供於 X 及 Y 之間，亦可以說 X 及 Y 功能性連接。

例如，在本說明書等中，當明確地說明 Y 係形成於 X 之上或上方時，並非必然表示 Y 係形成於 X 之上並與其直接接觸。說明包括 X 及 Y 未彼此直接接觸之狀況，即另一目標係置於 X 及 Y 之間之狀況。此處，X 及 Y 每一者相應於目標(例如，裝置、元件、電路、佈線、電極、端子、導電膜或層)。

因此，例如當其明確地說明層 Y 係形成於層 X 之上(或上方)時，包括層 Y 係形成於層 X 之上並與其直接接觸之狀況，及另一層(例如層 Z)係形成於層 X 之上並與其直接接觸，而層 Y 係形成於層 Z 之上並與其直接接觸之狀況。請注意，另一層(例如層 Z)可為單層或複數層(堆疊)。

類似地，當其明確地說明 Y 係形成於 X 以上，並非必然表示 Y 係形成於 X 之上並與其直接接觸，且另一目標可置於 X 及 Y 之間。因此，例如，當其說明層 Y 係形成於層 X 以上時，包括層 Y 係形成於層 X 之上並與其直接接觸之狀況，及另一層(例如層 Z)係形成於層 X 之上並與其直接接觸，而層 Y 係形成於層 Z 之上並與其直接接

觸之狀況。請注意，另一層(例如層 Z)可為單層或複數層(堆疊)。

請注意，當其明確地說明 Y 係形成於 X 上方、之上或以上時，包括 Y 係間接形成於 X 上方/以上。

請注意，相同狀況可用於當其明確地說明 Y 係形成於 X 以下或之下時。

例如，在本說明書等中，明確的單數形式較佳地表示單數形式。然而，單數形式亦可包括複數，而不侷限於上述。類似地，明確的複數形式較佳地表示複數形式。然而，複數形式可包括單數，而不侷限於上述。

例如，在本說明書等中，術語「第一」、「第二」、「第三」等用區別各種元件、構件、區域、層及範圍。因此，術語「第一」、「第二」、「第三」等不侷限元件、構件、區域、層、範圍等之數量。此外，例如「第一」可以「第二」、「第三」等替代。

例如，在本說明書等中，用於說明空間配置之術語，諸如「上方」、「以上」、「下方」、「以下」、「橫向」、「右方」、「左方」、「間接」、「之後」、「之前」、「內部」、「外側」及「之內」，通常用於參照圖而簡要顯示元件與另一元件之間或特徵與另一特徵之間關係。請注意，本發明之實施例不侷限於此，且用於說明空間配置之該等術語不僅可顯示圖中所描繪之方向，亦可顯示其他方向。例如，當其明確地說明 Y 係在 X 上方時，並不必然表示 Y 係置於 X 上方。由於圖中裝置可反向或

旋轉 180°，可包括 Y 係置於 X 下方之狀況。因此，除了藉由「上方」所說明之方向外，「上方」可指藉由「下方」所說明之方向。請注意，本發明之實施例不侷限於此，因為圖中裝置可以各種方向旋轉，所以除了藉由「上方」及「下方」所說明之方向外，「上方」可指藉由「橫向」、「右方」、「左方」、「間接」、「之後」、「之前」、「內部」、「外側」、「之內」等所說明之任一其他方向。即，用於說明空間配置之術語可依據情況而適當解譯。

請注意，圖中尺寸、層之厚度或區域有時為求簡化而予誇張。因此，本發明之實施例不侷限於該等比例尺。

請注意，圖示意地描繪理想範例，且本發明之實施例不侷限於圖中所描繪之形狀、值等。例如，其可包括因製造技術或錯誤造成之形狀變化，或因雜訊或時間性差異造成之信號、電壓或電流變化。

依據本發明之一實施例，可體現更高性能或可改進半導體裝置之驅動能力。

### 【圖式簡單說明】

在圖式中：

圖 1A 描繪實施例 1 中半導體裝置之電路圖範例，圖 1B 及 1C 各描繪用於說明半導體裝置之作業的示意圖範例；

圖 2A 至 2C 各描繪用於說明實施例 1 中半導體裝置

之作業的示意圖範例；

圖 3A 至 3D 各描繪實施例 1 中半導體裝置之電路圖範例；

圖 4A 至 4C 各描繪實施例 1 中半導體裝置之電路圖範例；

圖 5A 描繪實施例 2 中半導體裝置之電路圖範例，圖 5B 描繪用於說明半導體裝置之作業的時序圖範例；

圖 6A 至 6C 各描繪用於說明實施例 2 中半導體裝置之作業的示意圖範例；

圖 7A 至 7C 各描繪實施例 2 中半導體裝置之電路圖範例；

圖 8A 至 8C 各描繪實施例 2 中半導體裝置之電路圖範例；

圖 9A 及 9B 各描繪實施例 2 中半導體裝置之電路圖範例；

圖 10 描繪實施例 2 中半導體裝置之電路圖範例；

圖 11A 及 11B 各描繪實施例 3 中半導體裝置之電路圖範例；

圖 12A 及 12B 各描繪用於說明實施例 3 中半導體裝置之作業的示意圖範例；

圖 13A 及 13B 各描繪實施例 3 中半導體裝置之電路圖範例；

圖 14A 及 14B 各描繪用於說明實施例 3 中半導體裝置之作業的示意圖範例；

圖 15A 至 15D 描繪實施例 5 中半導體裝置之製造程序範例；

圖 16 描繪實施例 4 中半導體裝置之電路圖範例；

圖 17 描繪實施例 4 中半導體裝置之電路圖範例；

圖 18A 及 18B 各描繪實施例 6 中顯示裝置之方塊圖範例；

圖 19A 至 19D 各描繪實施例 6 中顯示裝置之方塊圖範例；

圖 20A 描繪實施例 7 中像素之電路圖範例，圖 20B 描繪像素之截面圖範例；

圖 21A 至 21C 各描繪實施例 7 中像素之截面圖範例；

圖 22A 至 22C 各描繪用於說明實施例 7 中像素之作業的時序圖範例；

圖 23 描繪實施例 5 中半導體裝置之範例；

圖 24A 及 24B 各描繪實施例 5 中半導體裝置之範例；

圖 25A 及 25B 各描繪實施例 5 中半導體裝置之範例；

圖 26 描繪實施例 5 中半導體裝置之範例；

圖 27A 至 27H 各描繪實施例 8 中電子設備之範例；

圖 28A 至 28H 各描繪實施例 8 中電子設備之範例；

及

圖 29A 至 29D 描繪實施例 9 中半導體裝置之製造程

序範例。

### 【實施方式】

以下將參照圖式說明實施例。請注意，實施例可以許多不同模式實施，且熟悉本技藝之人士易於理解在不偏離本發明之目的及範圍下，模式及細節可以各種方式修改。因此，本發明並不解譯為侷限於實施例之說明。請注意，在以下說明之結構中，具有類似功能之相同部分係標示為相同代號，且其說明不重複。

請注意，一實施例中說明(或部分內容)可應用於一或複數實施例(其為該實施例及/或其他實施例)中內容(或其部分)，或可與其相組合或為其所替代。

#### (實施例 1)

在本實施例中，將說明半導體裝置之範例，及用於驅動半導體裝置之方法範例。尤其，將說明使用引導作業之電路範例，及用於驅動電路之方法。

首先，將說明本實施例中半導體裝置之結構範例。

圖 1A 描繪本實施例中半導體裝置之範例。圖 1A 中半導體裝置包括電晶體 101 及電晶體 102。電晶體 101 之第一端子連接佈線 111。電晶體 101 之第二端子連接佈線 112。電晶體 102 之第一端子連接佈線 113。電晶體 102 之第二端子連接電晶體 101 之閘極。電晶體 102 之閘極連接佈線 113。請注意，本實施例中半導體裝置不侷限於具



有圖 1A 中所描繪之結構，而可具有各種其他結構。

請注意，電晶體 101 之閘極與電晶體 102 之第二端子連接之部分稱為節點 11。

請注意，以下說明電晶體 101 及 102 為 n 通道電晶體之狀況。當閘極與源極之間電位差高於臨界電壓時，n 通道電晶體開啓。

請注意，氧化物半導體較佳地用於本實施例中半導體裝置中所包括之電晶體的半導體層。氧化物半導體用於半導體層可體現電晶體之次臨界擺動(S 值)改進、電晶體之關閉狀態電流減少、及/或電晶體之耐受電壓改進。

請注意，在本說明書等中，甚至當未指明主動元件(例如電晶體或二極體)、被動元件(例如電容器或電阻器)等所有端子連接之部分時，熟悉本技藝之人士有時可建構本發明之一實施例。尤其，當可能由複數部分連接一端子時，便不必要指明連接該端子之部分。因此，有時僅藉由指明一部分將連接主動元件(例如電晶體或二極體)、被動元件(例如電容器或電阻器)等一些端子，便可建構本發明之一實施例。

此外，在本說明書等中，當指明至少一部分將連接電路中端子時，熟悉本技藝之人士有時可指明本發明。再者，當指明至少電路之功能時，熟悉本技藝之人士有時可指明本發明。因此，當於電路中指明一部分將連接端子時，便揭露該電路做為本發明之一實施例，即使並未指明功能，及可建構本發明之一實施例。此外，當指明電路之

功能時，便揭露該電路做爲本發明之一實施例，即使並未指明一部分將連接端子，及可建構本發明之一實施例。

其次，將說明施加於每一佈線之電位範例。

電位  $V_1$  施加於佈線 111。即，固定電壓(例如電壓  $V_1$ )供應予佈線 111。另一方面，電位  $V_1$  及電位  $V_2$ (電位  $V_2 < \text{電位 } V_1$ )選擇地或交替地施加於佈線 111。即，信號(例如時脈信號)輸入佈線 111。當電位  $V_1$  施加於佈線 111 時，佈線 111 便具有電源線之功能。另一方面，當電位  $V_1$  及電位  $V_2$  選擇地施加於佈線 111 時，佈線 111 便具有信號線(例如時脈信號線)之功能。請注意，施加於佈線 111 之電位不侷限於電位  $V_1$  及電位  $V_2$ ，各種其他電位可施加於佈線 111。

來自佈線 112 之信號輸出。因此，佈線 112 具有信號線之功能。請注意，佈線 112 之電位例如介於  $V_2$  至  $V_1$  之範圍。

電位  $V_1$  及電位  $V_2$ (電位  $V_2 < \text{電位 } V_1$ )選擇地施加於佈線 113。即，信號輸入佈線 113。因此，佈線 113 具有信號線之功能。請注意，施加於佈線 113 之電位不侷限於電位  $V_1$  及電位  $V_2$ 。例如，固定電壓可供應予佈線 113。有關其他範例，類比信號或具三或更多電位之信號可輸入佈線 113。

說明係基於節點、佈線、電極、端子等被供應予電位 A 之假設而提供，因而具有等於電位 A 之電位。

請注意，本說明書等中，術語「相等」、「相同」等

有時表示存在誤差範圍內之差異。例如，若電位(電壓)彼此相等，誤差範圍可為至少 $\pm 10\%$ ，較佳地為 $\pm 5\%$ ，及更佳地為 $\pm 3\%$ 。另一方面，誤差範圍包括因洩漏電流、饋通、雜訊等造成之電位改變範圍；因量測裝置等造成之量測誤差範圍；因程序變化造成之電位變化範圍等。

其次，將說明本實施例中半導體裝置之作業範例。以下將說明下列兩不同作業：若電位  $V_1$  施加於佈線 111 之作業，及若電位  $V_1$  及電位  $V_2$  選擇地施加於佈線 111 之作業。

說明若電位  $V_1$  施加於佈線 111，本實施例中半導體裝置之作業範例。

假設節點 11 之電位初始值及佈線 112 之電位初始值等於電位  $V_2$ 。當電位  $V_1$  施加於佈線 113 時，電晶體 102 開啓，使得佈線 113 與節點 11 之間建立電氣連續性。接著，佈線 113 之電位供應予節點 11，使得節點 11 之電位開始上升。接著，當節點 11 之電位達到  $V_2 + V_{th101}$  ( $V_{th101}$  代表電晶體 101 之臨界電壓)時，電晶體 101 開啓，使得佈線 111 與佈線 112 之間建立電氣連續性。接著，佈線 111 之電位供應予佈線 112，使得佈線 112 之電位開始上升(詳圖 1B)。

之後，當節點 11 之電位達到  $V_1 - V_{th102}$  ( $V_{th102}$  代表電晶體 102 之臨界電壓，並滿足  $V_2 + V_{th101} < V_1 - V_{th102}$ )時，電晶體 102 關閉；因而，佈線 113 與節點 11 之間電氣連續性被打破。接著，節點 11 進入浮動狀態。之後，

佈線 112 之電位持續上升，並接著上升至等於電位  $V1$  之值。基於佈線 112 之電位上升，節點 11 之電位因電晶體 101 之閘極與第二端子之間寄生電容，而上升至  $V1+V_{th101}+V_a$  ( $V_a$  為正數)(詳圖 1C)。此即所謂引導作業。

請注意，當電位  $V2$  施加於佈線 113 時，電晶體 102 關閉，使得佈線 113 與節點 11 之間未建立電氣連續性。即，節點 11 進入浮動狀態。在此狀況下，圖 1A 中半導體裝置之作業取決於電位  $V2$  施加於佈線 113 之前節點 11 之電位。假設電位  $V2$  施加於佈線 113 之前節點 11 之電位例如低於  $V2+V_{th101}$ ，當電位  $V2$  施加於佈線 113 時，電晶體 101 關閉，使得佈線 111 與佈線 112 之間未建立電氣連續性。因此，佈線 112 之電位保持與電位  $V2$  施加於佈線 113 之前相同。另一方面，假設電位  $V2$  施加於佈線 113 之前節點 11 之電位例如超過  $V2+V_{th101}$ ，當電位  $V2$  施加於佈線 113 時，電晶體 101 開啓，使得佈線 111 與佈線 112 之間建立電氣連續性。因而，佈線 112 之電位成爲等於電位  $V1$ ，且節點 11 之電位因引導作業而成爲  $V1+V_{th101}+V_a$ 。

說明若電位  $V1$  及電位  $V2$  選擇地施加於佈線 111，本實施例中半導體裝置之作業範例。

假設節點 11 之電位初始值及佈線 112 之電位初始值等於電位  $V2$ 。當電位  $V1$  施加於佈線 113 及電位  $V2$  施加於佈線 111 時，電晶體 102 開啓，使得佈線 113 與節點

11 之間建立電氣連續性。接著，佈線 113 之電位供應予節點 11，使得節點 11 之電位開始上升。接著，當節點 11 之電位達到  $V2+V_{th101}$  時，電晶體 101 開啓，使得佈線 111 與佈線 112 之間建立電氣連續性。接著，佈線 111 之電位供應予佈線 112，使得佈線 112 之電位等於電位  $V2$ (詳圖 2A)。

之後，當節點 11 之電位達到  $V1-V_{th102}$  時，電晶體 102 關閉，使得佈線 113 與節點 11 之間的電氣連續性被打破。接著，節點 11 進入浮動狀態(詳圖 2B)。

之後，電位  $V1$  施加於佈線 111。此時，節點 11 保持浮動狀態，使得節點 11 電位保持  $V1-V_{th102}$ 。因此，電晶體 101 保持開啓，及佈線 111 與佈線 112 之間電氣連續性保持建立。即，佈線 111 之電位持續供應予佈線 112。因此，佈線 112 之電位與電位  $V1$  施加於佈線 111 之同時開始上升，並上升至等於電位  $V1$  之值。基於佈線 112 之電位上升，節點 11 之電位因電晶體 101 之閘極與第二端子之間寄生電容而上升至  $V1+V_{th101}+V_a$ ( $V_a$  為正數)(詳圖 2C)。此即所謂引導作業。

請注意，當電位  $V2$  施加於佈線 113 時，電晶體 102 關閉，使得佈線 113 與節點 11 之間未建立電氣連續性。即，節點 11 進入浮動狀態。在此狀況下，圖 2A 中半導體裝置之作業取決於電位  $V2$  施加於佈線 113 之前節點 11 之電位。假設電位  $V2$  施加於佈線 113 之前節點 11 之電位例如低於  $V2+V_{th101}$ ，當電位  $V2$  施加於佈線 113 時，電晶

體 101 關閉，使得佈線 111 與佈線 112 之間未建立電氣連續性。因此，佈線 112 之電位保持與電位  $V_2$  施加於佈線 113 之前相同。另一方面，假設電位  $V_2$  施加於佈線 113 之前節點 11 之電位例如超過  $V_2 + V_{th101}$ ，當電位  $V_2$  施加於佈線 113 時，電晶體 101 開啓，使得佈線 111 與佈線 112 之間建立電氣連續性。因而，佈線 112 之電位成爲等於佈線 111 之電位。即，當電位  $V_1$  施加於佈線 111 時，佈線 112 之電位成爲等於電位  $V_1$ ，反之，當電位  $V_2$  施加於佈線 111 時，佈線 112 之電位成爲等於電位  $V_2$ 。

如上述，在本實施例之半導體裝置中，藉由使用引導作業，可使佈線 112 之電位等於佈線 111 之電位。

在習知半導體裝置中，電晶體具有大的  $S$  值。爲此原因，在電位  $V_1$  施加於佈線 113 之後直至電晶體 102 關閉，花費極長時間；節點 11 之電位因引導作業而開始上升之時序延遲；節點 11 之電位下降；電晶體 101 之閘極與第二端子之間的電位差小；佈線 112 之電位的上升時間長；可連接佈線 112 之負載小；電晶體 101 之通道寬度大；或配線區域大。

相對地，因爲氧化物半導體用於半導體裝置中所包括之電晶體的半導體層，本實施例之半導體裝置中  $S$  值可降低。爲此原因，半導體裝置之驅動能力可改進。例如，當電晶體 102 具有小的  $S$  值時，可縮短電位  $V_1$  施加於佈線 113 之後直至電晶體 102 關閉之時間；因而，可提前節點 11 之電位因引導作業而開始上升之時序。當節點 11 之電

位因引導作業而開始上升之時序提前時，可使節點 11 之電位更高，使得電晶體 101 之閘極與第二端子之間的電位差增加。結果，可縮短佈線 112 之電位的上升時間。另一方面，甚至當大負載連接佈線 112 時，可驅動負載。另一方面，可降低電晶體 101 之通道寬度，使得可減少配線區域。有關其他範例，電晶體 101 之小的  $S$  值可縮短佈線 112 之電位的上升時間。

此外，在習知半導體裝置中，電晶體之關閉狀態電流大。為此原因，隨時間而從節點 11 漏失之電荷量大；節點 11 之電位降低；節點 11 之電位可保持高於  $V1+V_{th101}$  之時間短；難以降低驅動頻率；或半導體裝置可操作之驅動頻率的範圍窄。

相對地，本實施例之半導體裝置中所包括之電晶體的關閉狀態電流小。因而，可改進半導體裝置之驅動能力。例如，當電晶體 102 具有小關閉狀態電流時，可減少從節點 11 漏失之電荷量，使得可抑制節點 11 之電位降低。換言之，可延長節點 11 之電位可保持高於  $V1+V_{th101}$  之時間。結果，可降低驅動頻率，使得可增大本實施例中半導體裝置可操作之驅動頻率範圍。

若電位  $V1$  及電位  $V2$  選擇地施加於佈線 111，節點 11 之電位上升至  $V1-V_{th102}$ ，接著因引導作業而進一步上升。換言之，可增加電晶體 101 之閘極與第二端子之間的電位差。因而，可縮短佈線 112 之電位的上升時間。另一方面，甚至當大負載連接佈線 112 時，可驅動負載。另一

方面，可降低電晶體 101 之通道寬度，使得可減少配線區域。

請注意，若電位 V1 及電位 V2 選擇地施加於佈線 111，在電位 V1 施加於佈線 113 之後，在電位 V1 施加於佈線 111 之同時，佈線 112 之電位上升。因此，本實施例中半導體裝置可用做移位暫存器電路之一部分。

其次，將說明每一電晶體之功能範例。

電晶體 101 具有控制佈線 111 與佈線 112 之間電氣連續性之功能。即，電晶體 101 具有開關之功能。另一方面，電晶體 101 具有控制供應佈線 111 之電位予佈線 112 之時序的功能，控制佈線 112 之電位上升之時序的功能，或控制藉由電晶體 101 之閘極與第二端子之間寄生電容而節點 11 之電位上升之時序的功能。請注意，電晶體 101 具有上述功能之至少之一。

電晶體 102 具有控制佈線 113 與節點 11 之間電氣連續性之功能。即，電晶體 102 具有開關之功能。另一方面，當佈線 113 之電位高於節點 11 之電位時，電晶體 102 具有建立佈線 113 與節點 11 之間電氣連續性之功能，及當佈線 113 之電位低於節點 11 之電位時，打破佈線 113 與節點 11 之間電氣連續性。即，電晶體 102 具有二極體之功能。另一方面，電晶體 102 具有控制供應佈線 113 之電位予節點 11 之時序的功能，控制節點 11 之電位上升之時序的功能，或將節點 11 置於浮動狀態之時序的功能。請注意，電晶體 102 具有上述功能之至少之一。



其次，將說明電位施加於每一佈線之範例。藉由適當控制電位施加於每一佈線，本實施例中半導體裝置可具有各種功能，或可改進半導體裝置之驅動能力。

例如，若電位  $V1$  及電位  $V2$  選擇地施加於佈線 113，佈線 111 可被供應高於電位  $V1$  之電位或低於電位  $V1$  之電位。當佈線 111 被供應高於或低於電位  $V1$  之電位時，本實施例中半導體裝置可具有位準移位電路之功能。

請注意，當佈線 111 被供應高於電位  $V1$  之電位時，較佳的是施加於佈線 111 之高於電位  $V1$  之電位為電位  $V1$  之 4 倍高或較少。更佳地為電位  $V1$  之 1.2 至 3 倍高之電位。進一步較佳地為電位  $V1$  之 1.5 至 2.3 倍高之電位。

請注意，當佈線 111 被供應低於電位  $V1$  之電位時，較佳的是施加於佈線 111 之電位為電位  $V1$  之 0.2 倍或更高及低於電位  $V1$ 。更佳地為電位  $V1$  之 0.3 至 0.9 倍之電位。進一步較佳地為電位  $V1$  之 0.5 至 0.7 倍之電位。

例如，若電位  $V1$  施加於佈線 111，佈線 113 可被供應高於電位  $V1$  之電位。具體地，較佳的是施加於佈線 113 之電位高於施加於佈線 111 之電位，並為施加於佈線 111 之電位的 3 倍或較少。施加於佈線 113 之電位更佳地為施加於佈線 111 之電位的 1.3 至 2.5 倍，進一步較佳地為 1.5 至 2 倍。當施加於佈線 113 之電位高時，可縮短電位  $V1$  施加於佈線 113 之後直至電晶體 102 關閉之時間；因而，因引導作業而節點 11 之電位開始上升之時序可提前。當節點 11 之電位開始上升之時序提前時，可使節點

11 之電位更高，使得電晶體 101 之閘極與第二端子之間電位差可增加。結果，佈線 112 之電位的上升時間可縮短。另一方面，甚至當大負載連接佈線 112 時，可驅動負載。另一方面，電晶體 101 之通道寬度可降低，使得配線區域可減少。

其次，將說明每一電晶體之臨界電壓範例。當每一電晶體具有適當臨界電壓時，可改進半導體裝置之驅動能力。

例如，較佳的是電晶體 102 之臨界電壓盡可能低。具體地，電晶體 102 之臨界電壓較佳地低於電晶體 101 的。電晶體 102 之臨界電壓較佳地為電晶體 101 的 0.1 倍或更高及低於電晶體 101 的。電晶體 102 之臨界電壓更佳地為電晶體 101 的 0.3 至 0.9 倍，進一步較佳地為 0.5 至 0.7 倍。當電晶體 102 具有低臨界電壓時，可縮短電位 V1 施加於佈線 113 之後直至電晶體 102 關閉之時間；因而，因引導作業而節點 11 之電位開始上升之時序可提前。當節點 11 之電位開始上升之時序提前時，可使節點 11 之電位更高，使得電晶體 101 之閘極與第二端子之間電位差可增加。結果，佈線 112 之電位的上升時間可縮短。另一方面，甚至當大負載連接佈線 112 時，可驅動負載。另一方面，電晶體 101 之通道寬度可降低，使得配線區域可減少。

再者，例如電晶體 101 之臨界電壓較佳地低於半導體裝置之驅動電壓(例如電位 V1-電位 V2)。具體地，電晶體

101 之臨界電壓較佳地為半導體裝置之驅動電壓的  $1/50$  至  $1/2$  倍，更佳地為  $1/40$  至  $1/7$  倍，進一步較佳地為  $1/30$  至  $1/10$  倍。使電晶體 101 之臨界電壓低於半導體裝置之驅動電壓，使得可避免半導體裝置之故障，並可正確地操作半導體裝置。

其次，將說明每一電晶體之尺寸範例。當每一電晶體具有適當尺寸時，可改進本實施例中半導體裝置之驅動能力。

例如，電晶體 101 之通道寬度較佳地為大於電晶體 102 的。電晶體 101 之通道寬度較佳地為電晶體 102 的  $2$  至  $100$  倍，更佳地為  $5$  至  $50$  倍，進一步較佳地為  $10$  至  $30$  倍。

請注意，可藉由電晶體之通道寬度 ( $W$ ) 控制電晶體之電流供應能力。具體地，電晶體之通道寬度越大，電晶體之電流供應能力改進越多。請注意，控制電晶體之電流供應能力之因子不侷限於電晶體之通道寬度。例如，可藉由電晶體之通道長度 ( $L$ )、電晶體之  $W/L$  比、電晶體之閘極與源極之間電位差 ( $V_{gs}$ ) 等，控制電晶體之電流供應能力。具體地，電晶體之電流供應能力隨著電晶體之通道長度越小、電晶體之  $W/L$  比越大、或電晶體之  $V_{gs}$  越大，而予以改進。因此，在本說明書等中，「電晶體之通道寬度大」之表達與「電晶體之通道長度小」、「電晶體之  $W/L$  比大」及「電晶體之  $V_{gs}$  大」之表達具有相同意義。

其次，將說明具與圖 1A 中半導體裝置不同結構之半

導體裝置。

例如，在圖 1A 中所描繪之半導體裝置中，電晶體 102 之閘極及/或第一端子連接之佈線不侷限於佈線 113，而是可為各種其他佈線。

圖 3A 描繪電晶體 102 之閘極連接圖 1A 中所描繪之半導體裝置中佈線 111 之範例。在圖 3A 之半導體裝置中，若電位  $V_2$  施加於佈線 113，可使節點 11 之電位等於電位  $V_2$ 。

圖 3B 描繪電晶體 102 之第一端子連接圖 1A 中所描繪之半導體裝置中佈線 111 之範例。在圖 3B 之半導體裝置中，電位  $V_1$  可從電阻低於佈線 113 之佈線 111 供應予節點 11，使得節點 11 之電位可快速上升。

圖 3C 描繪圖 1A 中所描繪之半導體裝置中電晶體 102 之閘極連接佈線 111，及電晶體 102 之第一端子連接佈線 111 之範例。在圖 3C 之半導體裝置中，可省略佈線 113，使得可降低佈線之數量及信號之數量。

此外，例如當圖 1A 及圖 3A 至 3C 中所描繪之半導體裝置中節點 11 與佈線 112 之間電容增加時，可使節點 11 之電位於引導作業時更高。

具體地，例如在圖 1A 及圖 3A 至 3C 中所描繪之半導體裝置中，電容器可連接於節點 11 與佈線 112 之間。較佳的是使用用於電晶體 101 之閘極的材料形成電容器 121 之一電極，並連接節點 11。再者，較佳的是使用用於電晶體 101 之第二端子的材料形成電容器 121 之另一電極，

並連接佈線 112。以此方式可省略接觸孔等，使得可減少配線區域。

另一方面，例如在圖 1A 及圖 3A 至 3C 中所描繪之半導體裝置中，用於形成電晶體 101 之閘極的材料與用於形成電晶體 101 之第二端子的材料重疊之面積，可大於用於形成電晶體 101 之閘極的材料與用於形成電晶體 101 之第一端子的材料重疊之面積。具體地，較佳的是電晶體 101 之閘極的材料與電晶體 101 之第二端子的材料重疊之面積可大於電晶體 101 之閘極的材料與電晶體 101 之第一端子的材料重疊之面積，並為電晶體 101 之閘極的材料與電晶體 101 之第一端子的材料重疊之面積的 5 倍或較少。電晶體 101 之閘極的材料與電晶體 101 之第二端子的材料重疊之面積更佳地為電晶體 101 之閘極的材料與電晶體 101 之第一端子的材料重疊之面積的 1.5 至 4 倍，進一步較佳地為 2 至 3 倍。

圖 3D 描繪圖 1A 中所描繪之半導體裝置中，電容器 121 連接於電晶體 101 之閘極與第二端子之間的範例。

例如，在圖 3A 至 3D 之半導體裝置中，電晶體 101 之第一端子及電晶體 102 之閘極或第一端子可連接不同佈線。

圖 4A 描繪圖 3A 中所描繪之半導體裝置中，電晶體 101 之第一端子連接佈線 111A，及電晶體 102 之閘極連接佈線 111B 之範例。

圖 4B 描繪圖 3B 中所描繪之半導體裝置中，電晶體

101 之第一端子連接佈線 111A，及電晶體 102 之第一端子連接佈線 111B 之範例。

圖 4C 描繪圖 3C 中所描繪之半導體裝置中，電晶體 101 之第一端子連接佈線 111A，及電晶體 102 之閘極及第一端子連接佈線 111B 之範例。

請注意，佈線 111A 及 111B 具有類似於佈線 111 之功能。電位 V1 供應予佈線 111A 及 111B。請注意，施加於佈線 111A 及 111B 之電位可彼此不同。例如，當佈線 111A 被供應高於電位 V1 之電位或低於電位 V1 之電位時，圖 4A 至 4C 中所描繪之半導體裝置可具有位準移位電路之功能。有關其他範例，當佈線 111B 被供應高於電位 V1 之電位時，節點 11 之電位的上升時間可縮短。另一方面，當佈線 111B 被供應低於電位 V1 之電位時，電晶體 102 關閉之時序可提前。

請注意，在本說明書等中，具多閘極結構之電晶體具有例如二或更多閘極電極，可用做電晶體。在多閘極結構中，相應於複數閘極電極之複數通道區串聯，使得結構為複數電晶體串聯。為此原因，基於多閘極結構，可進一步降低關閉狀態電流，及可增加電晶體之耐受電壓(可改進可靠性)。另一方面，基於多閘極結構，當電晶體於飽和區操作時，即使汲極-源極電壓改變，汲極-源極電流亦不致改變太多，使得可獲得電壓-電流特性之平坦斜坡。藉由使用電壓-電流特性之平坦斜坡，可體現理想電流源極電路或具有極大電阻之主動負載。結果，可體現具卓越屬

性之差洞電路、電流鏡像電路等。

請注意，例如具閘極電極形成於通道以上及以下之結構的電晶體可用做電晶體。基於閘極電極形成於通道以上及以下之結構，提供複數電晶體並聯之電路結構。因而，通道區增加，可使得電流量增加。另一方面，基於閘極電極形成於通道以上及以下之結構，易於形成消耗層；因而，可改進 S 值。

請注意，有關電晶體，例如可使用具閘極電極形成於通道以上之結構、閘極電極形成於通道以下之結構、交錯結構、反向交錯結構、通道區劃分為複數區域之結構、通道區並聯或串聯之結構等的電晶體。

請注意，例如，具源極電極或汲極電極與通道區(或其一部分)重疊之結構的電晶體可用做電晶體。藉由使用源極電極或汲極電極與通道區(或其一部分)重疊之結構，可避免因電荷累積於通道區之一部分中的不穩定作業。

請注意，在本說明書等中，於一實施例中所說明之圖或正文中，可取出部分圖或正文並建構本發明之實施例。因此，若說明有關某部分之圖或正文，亦揭露從部分圖或正文取出之內容做為本發明之一實施例並可建構本發明之一實施例。因而，例如在包括一或多項主動元件(例如電晶體或二極體)、佈線、被動元件(例如電容器或電阻器)、導電層、絕緣層、半導體層、有機材料、無機材料、零件、裝置、操作方法、製造方法等之圖或正文中，可取出部分圖或正文，並建構本發明之一實施例。例如，從其中

提供  $N$  個電路元件(例如電晶體或電容器； $N$  為整數)之電路圖，可藉由取出  $M$  個電路元件(例如電晶體或電容器； $M$  為整數，其中  $M < N$ )而建構本發明之一實施例。有關其他範例，可藉由從其中提供  $N$  層( $N$  為整數)之截面圖取出  $M$  層( $M$  為整數，其中  $M < N$ )而建構本發明之一實施例。有關其他範例，可藉由從其中提供  $N$  個元件( $N$  為整數)之流程圖取出  $M$  個元件( $M$  為整數，其中  $M < N$ )而建構本發明之一實施例。

請注意，若本說明書等中一實施例中所說明之圖或正文中說明至少一具體範例，熟悉本技藝之人士將輕易地理解可得到具體範例之寬廣概念。因此，若一實施例中所說明之圖或正文中說明至少一具體範例，便揭露該具體範例之寬廣概念做為本發明之一實施例，並可建構本發明之一實施例。

請注意，在本說明書等中，揭露至少圖(可為圖之一部分)中所說明之內容做為本發明之一實施例，並可建構本發明之一實施例。因此，當圖中說明某內容時，甚至當未以正文說明該內容，仍揭露該內容做為本發明之一實施例，並可建構本發明之一實施例。以類似的方式，揭露從圖取出之圖之一部分做為本發明之一實施例，並可建構本發明之一實施例。

## (實施例 2)

在本實施例中，將說明半導體裝置之結構範例，及半



導體裝置之驅動方法範例。尤其，將說明包括實施例 1 中所示之半導體裝置的反相器電路及緩衝器電路之範例，及反相器電路及緩衝器電路之驅動方法範例。

首先，將說明本實施例中半導體裝置之結構範例。

圖 5A 描繪半導體裝置之結構範例。圖 5A 中所描繪之半導體裝置包括電晶體 101、電晶體 102、電晶體 103、電晶體 104、佈線 112、佈線 113、佈線 114 及佈線 115。電晶體 101 至 104 係使用氧化物半導體材料形成。電晶體 103 及 104 為 n 通道電晶體。

圖 5A 描繪藉由額外提供圖 1A 之半導體裝置中電晶體 103 及 104 而獲得之半導體裝置。電晶體 103 之閘極連接佈線 114。電晶體 103 之第一端子連接佈線 115。電晶體 103 之第二端子連接佈線 112。電晶體 104 之閘極連接佈線 114。電晶體 104 之第一端子連接佈線 115。電晶體 104 之第二端子連接電晶體 101 之閘極。請注意，本實施例中半導體裝置不侷限於具有圖 5A 中所描繪之結構，並可具有各種其他結構。

其次，將說明施加於每一佈線之電位範例。

電位 V1 及電位 V2 選擇地施加於佈線 114。即，信號輸入佈線 114。因此，佈線 114 具有信號線之功能。假設輸入佈線 113 之信號的反向信號輸入佈線 114，當電位 V2 施加於佈線 113 時，電位 V1 施加於佈線 114，反之，當電位 V1 施加於佈線 113 時，電位 V2 施加於佈線 114。請注意，佈線 113 及 114 可被供應相同電位而不侷限於上

述。

電位 V2 施加於佈線 115。即，固定電壓(例如電壓 V2)供應予佈線 115。因此，佈線 115 具有電源線之功能。請注意，施加於佈線 115 之電位不侷限於電位 V2，且各種其他電位可施加於佈線 115。例如，電位 V1 及電位 V2 可選擇地施加於佈線 115。當電位 V1 施加於佈線 115 時，反向偏壓可施加於電晶體 103 及 104；因而，可抑制電晶體 103 及 104 之臨界電壓移位。

其次，將說明圖 5A 中所描繪之半導體裝置的作業範例。下列兩不同作業將說明如下：若電位 V2 施加於佈線 113 及電位 V1 施加於佈線 114 之作業，及若電位 V1 施加於佈線 113 及電位 V2 施加於佈線 114 之作業。

圖 5B 為時序圖範例，說明圖 5A 中半導體裝置之作業。圖 5B 描繪佈線 113 之電位(電位 V113)、佈線 114 之電位(電位 V114)、節點 11 之電位(電位 V11)、及佈線 112 之電位(電位 V112)。

首先，將說明若電位 V2 施加於佈線 113 及電位 V1 施加於佈線 114 之作業。

當電位 V2 施加於佈線 113 及電位 V1 施加於佈線 114 時，電晶體 104 開啓，使得佈線 115 與節點 11 之間建立電氣連續性。此時，電晶體 102 關閉，使得佈線 113 與節點 11 之間未建立電氣連續性。佈線 115 之電位以此方式供應予節點 11，使得節點 11 之電位成爲等於電位 V2。因而，電晶體 101 關閉，使得佈線 111 與佈線 112 之間未建

立電氣連續性。此時，電晶體 103 開啓，使得佈線 115 與佈線 112 之間建立電氣連續性。佈線 115 電位以此方式供應予佈線 112，藉此佈線 112 之電位成爲等於電位  $V_2$ (詳圖 6A)。

接著，將說明若電位  $V_1$  施加於佈線 113 及電位  $V_2$  施加於佈線 114 之作業。

當電位  $V_1$  施加於佈線 113 及電位  $V_2$  施加於佈線 114 時，電晶體 104 關閉，使得佈線 115 與節點 11 之間未建立電氣連續性。此時，電晶體 102 開啓，使得佈線 113 與節點 11 之間建立電氣連續性。佈線 113 之電位以此方式供應予節點 11，使得節點 11 之電位開始上升。接著，節點 11 之電位上升至  $V_2 + V_{th101}$ 。因而，電晶體 101 開啓，使得佈線 111 與佈線 112 之間建立電氣連續性。此時，電晶體 103 關閉，使得佈線 115 與佈線 112 之間未建立電氣連續性。佈線 111 之電位以此方式供應予佈線 112，藉此佈線 112 之電位開始上升(詳圖 6B)。

之後，節點 11 之電位上升至  $V_1 - V_{th102}$ 。因而，電晶體 102 關閉，使得佈線 113 與節點 11 之間的電氣連續性被打破。接著，節點 11 進入浮動狀態。此時，佈線 112 之電位持續上升。爲此原因，因爲電晶體 101 之閘極與第二端子之間的寄生電容，節點 11 之電位上升至  $V_1 + V_{th101} + V_a$ 。此即所謂引導作業。因此，佈線 112 之電位上升至等於電位  $V_1$  之值(詳圖 6C)。

如上述，在本實施例之半導體裝置中，藉由使用引導

作業，可使佈線 112 之電位等於佈線 111 之電位或佈線 115 之電位。

在習知半導體裝置中，電晶體具有大的  $S$  值。爲此原因，在電位  $V1$  施加於佈線 113 之後直至電晶體 102 關閉，花費極長時間；節點 11 之電位因引導作業而開始上升之時序延遲；節點 11 之電位下降；電晶體 101 之閘極與第二端子之間電位差小；佈線 112 之電位的上升時間長；可連接佈線 112 之負載小；電晶體 101 之通道寬度大；配線區域大；佈線 112 之電位的下降時間長；電位  $V1$  施加於佈線 114 之後直至電晶體 101 關閉，花費極長時間；電流從佈線 111 經由電晶體 101 及電晶體 103 流至佈線 115，花費極長時間；或電力消耗增加。

相對地，因爲氧化物半導體用於半導體裝置中所包括之電晶體的半導體層，可降低本實施例之半導體裝置中的  $S$  值。爲此原因，可改進半導體裝置之驅動能力。例如，當電晶體 102 具有小的  $S$  值時，可縮短電位  $V1$  施加於佈線 113 之後直至電晶體 102 關閉之時間；因而，可提前因爲引導作業而節點 11 之電位開始上升之時序。當節點 11 之電位開始上升之時序提前時，可使節點 11 之電位更高，使得可增加電晶體 101 之閘極與第二端子之間電位差。結果，可縮短佈線 112 之電位的上升時間。另一方面，甚至當大負載連接佈線 112 時，可驅動負載。另一方面，可降低電晶體 101 之通道寬度，使得可減少配線區域。有關其他範例，電晶體 101 之小的  $S$  值可縮短佈線

112 之電位的上升時間。有關其他範例，電晶體 103 之小的  $S$  值可縮短佈線 112 之電位的下降時間。有關其他範例，電晶體 104 之小的  $S$  值可縮短電位  $V_1$  施加於佈線 114 之後直至電晶體 101 關閉之時間。因此，可抑制電流從佈線 111 經由電晶體 101 及電晶體 103 流至佈線 115。因而，可降低電力消耗。

此外，在習知半導體裝置中，電晶體之關閉狀態電流大。爲此原因，從節點 11 洩漏之電荷量大；節點 11 之電位降低；節點 11 之電位保持高於  $V_1 + V_{th101}$  之時間短；難以降低驅動頻率；或半導體裝置可操作之驅動頻率的範圍窄。

相對地，本實施例之半導體裝置中所包括之電晶體的關閉狀態電流小。爲此原因，可改進半導體裝置之驅動能力。例如，當電晶體 102 及 104 具有小關閉狀態電流時，可減少從節點 11 洩漏之電荷量。因而，可抑制節點 11 之電位下降。換言之，可延長節點 11 之電位可保持高於  $V_1 + V_{th101}$  之時間。結果，可降低驅動頻率，使得可增大本實施例中半導體裝置可操作之驅動頻率範圍。

請注意，從佈線 112 輸出之信號爲輸入佈線 114 之信號的反向信號。即，本實施例中半導體裝置可具有反相器電路之功能。另一方面，從佈線 112 輸出之信號爲輸入佈線 113 之信號的非反向信號。即，本實施例中半導體裝置可具有緩衝器電路之功能。

其次，將說明每一電晶體之功能的範例。

電晶體 103 具有控制佈線 115 與佈線 112 之間電氣連續性的功能。即，電晶體 103 具有開關之功能。另一方面，電晶體 103 具有控制供應佈線 115 之電位予佈線 112 之時序的功能，或控制佈線 112 之電位下降之時序的功能。請注意，電晶體 103 具有上述功能之至少之一。

電晶體 104 具有控制佈線 115 與節點 11 之間電氣連續性之功能。即，電晶體 104 具有開關之功能。另一方面，電晶體 104 具有控制供應佈線 115 之電位予節點 11 之時序的功能，或控制節點 11 之電位降低之時序的功能。請注意，電晶體 104 具有上述功能之至少之一。

其次，將說明施加於每一佈線之各種電位。藉由適當控制施加於每一佈線之電位，本實施例中半導體裝置具有各種功能，或可改進半導體裝置之驅動能力。

例如，若電位  $V1$  及電位  $V2$  選擇地施加於佈線 113 或佈線 114，佈線 111 可被供應高於電位  $V1$  之電位，或低於電位  $V1$  之電位。因而，本實施例中半導體裝置可具有位準移位電路之功能。

請注意，當佈線 111 被供應高於電位  $V1$  之電位時，較佳的是高於電位  $V1$  之電位為電位  $V1$  之 4 倍或較少。更佳地，為電位  $V1$  之 1.2 至 3 倍之電位。進一步較佳地，為電位  $V1$  之 1.5 至 2.3 倍之電位。

請注意，當佈線 111 被供應低於電位  $V1$  之電位時，較佳的是低於電位  $V1$  之電位為電位  $V1$  之 0.2 倍或較高。更佳地，為電位  $V1$  之 0.3 至 0.9 倍之電位。進一步較佳

地，為電位 V1 之 0.5 至 0.7 倍之電位。

此外，例如若電位 V1 及電位 V2 選擇地施加於佈線 114，低於電位 V1 之電位及高於電位 V2 之電位可選擇地施加於佈線 113。在此狀況下，佈線 114 之電位的上升時間通常較佈線 113 之電位的短。另一方面，佈線 114 之電位的下降時間通常較佈線 113 之電位的短。在許多方面，佈線 114 經由反相器電路而連接佈線 113。

例如，若電位 V1 及電位 V2 選擇地施加於佈線 113，低於電位 V1 之電位及高於電位 V2 之電位可選擇地施加於佈線 114。在此狀況下，佈線 113 之電位的上升時間通常較佈線 114 之電位的短。另一方面，佈線 113 之電位的下降時間通常較佈線 114 之電位的短。在許多方面，佈線 113 經由反相器電路而連接佈線 114。

其次，將說明每一電晶體之臨界電壓的範例。當每一電晶體具有適當臨界電壓時，可改進半導體裝置之驅動能力。

例如，電晶體 103 之臨界電壓較佳地高於電晶體 101 的及/或電晶體 102 的。尤其，電晶體 103 之臨界電壓較佳地高於電晶體 101 的，並較佳地為電晶體 101 的臨界電壓之 3 倍或較少。電晶體 103 之臨界電壓更佳地為電晶體 101 的臨界電壓之 1.2 至 2.5 倍，進一步較佳地為 1.5 至 2 倍。

此外，例如電晶體 104 之臨界電壓較佳地高於電晶體 101 的及/或電晶體 102 的。尤其，電晶體 104 之臨界電壓

較佳地超過電晶體 101 的，並為電晶體 101 的臨界電壓之 3 倍或較少。電晶體 104 之臨界電壓更佳地為電晶體 101 的臨界電壓之 1.2 至 2.5 倍，進一步較佳地為 1.5 至 2 倍。

例如，電晶體 101 之臨界電壓及電晶體 103 之臨界電壓的總和較佳地低於半導體裝置之驅動電壓(例如電位 V1-電位 V2)。具體地，電晶體 101 及 103 之臨界電壓的總和較佳地為半導體裝置之驅動電壓的 1/100 至 1/2 倍，更佳地為 1/50 至 1/5 倍，進一步較佳地為 1/30 至 1/10 倍。電晶體 101 及 103 之臨界電壓的總和低於半導體裝置之驅動電壓，使得可避免半導體裝置之故障，及可正確地操作半導體裝置。

其次，將說明每一電晶體之尺寸範例。當每一電晶體具有適當尺寸時，可改進本實施例中半導體裝置之驅動能力。

例如，當電晶體 101 開啓時，電晶體 101 之閘極與源極之間的電位差通常較當電晶體 103 開啓時電晶體 103 之閘極與源極之間的小。因此，電晶體 101 之通道寬度較佳地較電晶體 103 的大。具體地，電晶體 101 之通道寬度較佳地大於電晶體 103 的，且較佳地為電晶體 103 的通道寬度之 10 倍或較小。電晶體 101 之通道寬度更佳地為電晶體 103 的通道寬度之 1.3 至 5 倍，進一步較佳地為 1.5 至 3 倍。

例如，佈線 112 之負載通常大於節點 11 之負載。因



此，電晶體 103 之通道寬度較佳地大於電晶體 104 的。具體地，電晶體 103 之通道寬度較佳地大於電晶體 104 的，並較佳地為電晶體 104 的通道寬度之 10 倍或較少。電晶體 103 之通道寬度更佳地為電晶體 104 的通道寬度之 1.5 至 7 倍，進一步較佳地為 2 至 5 倍。

例如，電晶體 103 之通道長度及/或電晶體 104 之通道長度較佳地為大。具體地，電晶體 103 之通道長度較佳地大於電晶體 101 的及/或電晶體 102 的。另一方面，電晶體 104 之通道長度較佳地大於電晶體 101 的及/或電晶體 102 的。當電晶體 103 及/或電晶體 104 之通道長度增加時，電晶體 103 及/或電晶體 104 之臨界電壓的移位量可降低。因而，可改進半導體裝置之可靠性。

其次，將說明具與圖 5A 中半導體裝置不同結構之半導體裝置。

例如，電晶體 103 及 104 不僅可提供於圖 1A 中所描繪之半導體裝置中，亦可提供於圖 3A 至 3D 及圖 4A 至 4C 中所描繪之半導體裝置中。當圖 3A 至 3D 及圖 4A 至 4C 中所描繪之半導體裝置具電晶體 103 及 104 時，半導體裝置具有類似於圖 5A 中半導體裝置之功能及有利效果。

圖 7A 描繪電晶體 103 及 104 提供於圖 3A 之半導體裝置中之狀況的範例。

圖 7B 描繪電晶體 103 及 104 提供於圖 3B 之半導體裝置中之狀況的範例。

圖 7C 描繪電晶體 103 及 104 提供於圖 3C 之半導體裝置中之狀況的範例。在圖 7C 之半導體裝置中，佈線 113 可省略，使得可降低佈線之數量及信號之數量。

圖 8A 描繪電晶體 103 及 104 提供於圖 4A 之半導體裝置中之狀況的範例。

圖 8B 描繪電晶體 103 及 104 提供於圖 4B 之半導體裝置中之狀況的範例。

圖 8C 描繪電晶體 103 及 104 提供於圖 4C 之半導體裝置中之狀況的範例。

例如，圖 5A、圖 7A 至 7C 及圖 8A 至 8C 中所描繪之每一半導體裝置中可省略電晶體 104。藉由省略電晶體 104，可降低電晶體之數量，使得可減少配線區域。

圖 9A 描繪圖 5A 之半導體裝置中省略電晶體 104 之狀況的範例。

圖 9B 描繪圖 7C 之半導體裝置中省略電晶體 104 之狀況的範例。

其次，將說明具有控制半導體裝置之功能的電路範例(該等電路亦稱為控制電路)。

圖 10 描繪用於控制半導體裝置之電路 130。在圖 10 中，圖 5A 中所描繪之半導體裝置用做半導體裝置；然而，將使用之半導體裝置不侷限於圖 5A 中半導體裝置。例如，實施例 1、本實施例或其他實施例中半導體裝置可用做半導體裝置。

電路 130 具有施加電位予半導體裝置之每一佈線之功

能。即，電路 130 具有控制輸出信號或供應電壓予半導體裝置之每一佈線之功能。

電路 130 包括電路 131、電路 132、電路 133 及電路 134。電路 131 具有供應電壓 V1 予佈線 111 之功能，或供應信號予佈線 111 之功能。電路 132 具有供應信號予佈線 113 之功能。電路 133 供應信號予佈線 114 之功能。電路 134 具有供應電壓 V1 予佈線 115 之功能。即，電路 131、132 及 133 之每一者具有信號產生電路、時序產生器電路等功能。電路 131 及 134 之每一者具有電壓產生電路、調節器電路等功能。

請注意，電路 131 至 134 之每一者可藉由放大器電路、雙極電晶體、MOS 電晶體，電容器，電阻器、線圈、DC 電壓源極、AC 電壓源極、DC 電流源極及開關之至少之一予以建構。

請注意，保護電路 140 可連接佈線 113 及 114。保護電路 140 包括複數電晶體 141 及複數電晶體 142。電晶體 141 之第一端子連接佈線 115。電晶體 141 之第二端子連接佈線 113 或佈線 114。電晶體 141 之閘極連接佈線 115。電晶體 142 之第一端子連接佈線 111。電晶體 142 之第二端子連接佈線 113 或佈線 114。電晶體 142 之閘極連接佈線 113 或佈線 114。請注意，可省略電晶體 141 或電晶體 142。

本實施例可適當與其他實施例之任一者組合。

(實施例 3)

在本實施例中，將說明半導體裝置之範例，及半導體裝置之驅動方法範例。尤其，將說明包括實施例 2 中所示半導體裝置之 NOR 電路及 NAND 電路範例，及 NOR 電路及 NAND 電路之驅動方法範例。

首先，將說明可具有 NOR 電路功能之實施例 2 中半導體裝置之結構。

在實施例 2 之半導體裝置中， $N$  個電晶體 103(稱為電晶體 103\_1 至 103\_ $N$ ，其中  $N$  為自然數)並聯於佈線 115 與佈線 112 之間。 $N$  個電晶體 103 之閘極分別連接  $N$  個佈線 114(佈線 114\_1 至 114\_ $N$ )。再者， $N$  個電晶體 104(稱為電晶體 104\_1 至 104\_ $N$ )並聯於佈線 115 與節點 11 之間。 $N$  個電晶體 104 之閘極連接  $N$  個佈線 114 之個別者。例如，電晶體 103\_ $i$ ( $i$  為 1 至  $N$  之任一者)之第一端子連接佈線 115。電晶體 103\_ $i$  之第二端子連接佈線 112。電晶體 103\_ $i$  之閘極連接佈線 114\_ $i$ 。電晶體 104\_ $i$ ( $i$  為 1 至  $N$  之任一者)之第一端子連接佈線 115。電晶體 104\_ $i$  之第二端子連接節點 11。電晶體 104\_ $i$  之閘極連接佈線 114\_ $i$ 。基此結構，實施例 2 中半導體裝置可具有具  $N$  個輸入之 NOR 電路的功能。

圖 11A 描繪藉由附加上述結構至圖 7C 中所描繪之半導體裝置所獲得之 NOR 電路的範例。

圖 11B 描繪藉由附加上述結構至圖 5A 中所描繪之半導體裝置所獲得之 NOR 電路的範例。在圖 11B 之 NOR 電

路中，輸入 N 個佈線 114 之任一者之信號的反向信號可輸入佈線 113。

其次，將說明包括實施例 2 中半導體裝置之 NOR 電路的作業範例，使用圖 11A 中所描繪之半導體裝置做為範例。此處，將說明下列兩作業：若電位 V1 施加於 N 個佈線 114 之至少之一的作業，及若電位 V2 施加於全部 N 個佈線 114 的作業。

首先，將說明若電位 V1 施加於 N 個佈線 114 之至少之一的作業。假設電位 V1 施加於佈線 114\_1，及電位 V2 施加於其他佈線(佈線 114\_2 至 114\_N)，且電位 V1 施加於佈線 111，及電位 V2 施加於佈線 115。因此，電晶體 104\_1 開啓，及電晶體 104\_2 至 104\_N 關閉，使得佈線 115 與節點 11 之間建立電氣連續性。此時，電晶體 102 開啓，使得佈線 111 與節點 11 之間建立電氣連續性。以此方式，節點 11 被供應佈線 115 之電位及佈線 111 之電位。因而，節點 11 之電位超過佈線 115 之電位(電位 V2)，並成爲低於佈線 111 之電位(電位 V1)。此處假設節點 11 之電位成爲低於  $V2+V_{th101}$ ，電晶體 101 關閉，使得佈線 111 與佈線 112 之間未建立電氣連續性。此時，電晶體 103\_1 開啓，及電晶體 103\_2 至 103\_N 關閉，使得佈線 115 與佈線 112 之間建立電氣連續性。佈線 115 之電位以此方式供應予佈線 112，使得佈線 112 之電位成爲等於電位 V2(詳圖 12A)。

接著，將說明若電位 V2 施加於所有 N 個佈線 114 之

作業。假設電位  $V1$  施加於佈線 111，及電位  $V2$  施加於佈線 115，電晶體 104\_1 至 104\_N 關閉，使得佈線 115 與節點 11 之間未建立電氣連續性。此時，電晶體 102 開啓，使得佈線 111 與節點 11 之間建立電氣連續性。接著，佈線 111 之電位供應予節點 11，使得節點 11 之電位開始上升。接著，節點 11 之電位上升至  $V2+V_{th101}$ 。因而，電晶體 101 開啓，使得佈線 111 與佈線 112 之間建立電氣連續性。此時，電晶體 103\_1 至 103\_N 關閉，使得佈線 115 與佈線 112 之間未建立電氣連續性。佈線 111 之電位以此方式供應予佈線 112，使得佈線 112 之電位開始上升。之後，節點 11 之電位上升至  $V1-V_{th102}$ 。因而，電晶體 102 關閉，使得佈線 111 與節點 11 之間電氣連續性被打破。接著，節點 11 進入浮動狀態。此時，佈線 112 之電位持續上升。爲此原因，因爲電晶體 101 之閘極與第二端子之間的寄生電容，節點 11 之電位上升至  $V1+V_{th101}+V_a$ 。此即所謂引導作業。因此，佈線 112 之電位上升至等於電位  $V1$  之值(詳圖 12B)。

請注意， $N$  個電晶體 103 較佳地具有相同通道寬度。若電路配線等限制使得  $N$  個電晶體 103 難以具有相同通道寬度，較佳的是  $N$  個電晶體 103 之至少兩個具有相同通道寬度。這是因爲當電晶體 103 具有相同通道寬度時，電路可更容易設計，並可抑制作業故障。相同狀況可用於電晶體 104。

請注意， $N$  個電晶體 103 較佳地具有高驅動能力以便

驅動佈線 112。因此， $N$  個電晶體 103 之至少之一的通道寬度較佳地大於  $N$  個電晶體 104 之至少之一的。具體地， $N$  個電晶體 103 之至少之一的通道寬度較佳地大於  $N$  個電晶體 104 之至少之一的，並較佳地為  $N$  個電晶體 104 之至少之一的通道寬度之 10 倍或較少。 $N$  個電晶體 103 之至少之一的通道寬度更佳地為  $N$  個電晶體 104 之至少之一的通道寬度之 1.5 至 7 倍，進一步較佳地為 2 至 5 倍。

請注意，若電位  $V_2$  施加於  $N$  個佈線 114，節點 11 之電位較佳地具有使電晶體 101 關閉之值。為此原因， $N$  個電晶體 104 之至少之一的通道寬度較佳地大於電晶體 102 的。具體地， $N$  個電晶體 104 之至少之一的通道寬度較佳地大於電晶體 102 的，並較佳地為電晶體 102 的通道寬度之 10 倍或較少。 $N$  個電晶體 104 之至少之一的通道寬度更佳地為電晶體 102 的通道寬度之 2 至 5 倍，進一步較佳地為 2.5 至 3.5 倍。

其次，將說明可具有 NAND 電路之功能的實施例 2 中半導體裝置之結構。

實施例 2 中半導體裝置具下列結構可具有 NAND 電路之功能。在實施例 2 之半導體裝置中， $N$  個電晶體 103(電晶體 103\_1 至 103\_N，其中  $N$  為自然數)串聯於佈線 115 與佈線 112 之間。 $N$  個電晶體 103 之閘極分別連接  $N$  個佈線 114(佈線 114\_1 至 114\_N)。再者， $N$  個電晶體 104(電晶體 104\_1 至 104\_N)串聯於佈線 115 與節點 11 之間。 $N$  個電晶體 104 之閘極連接  $N$  個佈線 114 之個別者。例如，

電晶體 103<sub>i</sub>(*i* 為 1 至 *N* 之任一者)之第一端子連接電晶體 103<sub>i+1</sub> 之第二端子。電晶體 103<sub>i</sub> 之第二端子連接電晶體 103<sub>i-1</sub> 之第一端子。電晶體 103<sub>i</sub> 之閘極連接佈線 114<sub>i</sub>。電晶體 104<sub>i</sub>(*i* 為 1 至 *N* 之任一者)之第一端子連接電晶體 104<sub>i+1</sub> 之第二端子。電晶體 104<sub>i</sub> 之第二端子連接電晶體 104<sub>i-1</sub> 之第一端子。電晶體 104<sub>i</sub> 之閘極連接佈線 114<sub>i</sub>。請注意，電晶體 103<sub>1</sub> 之第二端子連接佈線 112；電晶體 103<sub>*N*</sub> 之第一端子連接佈線 115；電晶體 104<sub>1</sub> 之第二端子連接節點 11；及電晶體 104<sub>*N*</sub> 之第一端子連接佈線 115。基此結構，實施例 2 中半導體裝置可具有具 *N* 個輸入之 NAND 電路的功能。

圖 13A 描繪藉由附加上述結構至圖 7C 中所描繪之半導體裝置而獲得之 NAND 電路範例。

圖 13B 描繪藉由附加上述結構至圖 5A 中所描繪之半導體裝置而獲得之 NAND 電路範例。請注意，輸入 *N* 個佈線 114 之任一者之信號的反向信號輸入佈線 113。

其次，將說明包括實施例 2 中半導體裝置之 NAND 電路的作業範例，使用圖 13A 中所描繪之半導體裝置做為範例。此處，將說明下列兩作業：若電位 *V*<sub>2</sub> 施加於 *N* 個佈線 114 之至少之一的作業，及若電位 *V*<sub>1</sub> 施加於所有 *N* 個佈線 114 的作業。

首先，將說明若電位 *V*<sub>2</sub> 施加於 *N* 個佈線 114 之至少之一的作業。假設電位 *V*<sub>1</sub> 施加於佈線 114<sub>1</sub>，及電位 *V*<sub>2</sub> 施加於其他佈線(佈線 114<sub>2</sub> 至 114<sub>*N*</sub>)，且電位 *V*<sub>1</sub> 施加



於佈線 111，及電位  $V_2$  施加於佈線 115。因此，電晶體 104\_1 開啓，及電晶體 104\_2 至 104\_N 關閉，使得佈線 115 與節點 11 之間未建立電氣連續性。此時，電晶體 102 開啓，使得佈線 111 與節點 11 之間建立電氣連續性。接著，佈線 111 之電位供應予節點 11，使得節點 11 之電位開始上升。接著，節點 11 之電位上升至  $V_2 + V_{th101}$ 。因而，電晶體 101 開啓，使得佈線 111 與佈線 112 之間建立電氣連續性。此時，電晶體 103\_1 開啓，及電晶體 103\_2 至 103\_N 關閉，使得佈線 115 與佈線 112 之間建立電氣連續性。佈線 111 之電位以此方式供應予佈線 112，使得佈線 112 之電位開始上升。之後，節點 11 之電位上升至  $V_1 - V_{th102}$ 。因而，電晶體 102 關閉使得佈線 111 與節點 11 之間電氣連續性被打破。接著，節點 11 進入浮動狀態。此時，佈線 112 之電位持續上升。爲此原因，因電晶體 101 之閘極與第二端子之間的寄生電容，節點 11 之電位上升至  $V_1 + V_{th101} + V_a$ 。此即所謂引導作業。因此，佈線 112 之電位上升至等於電位  $V_1$  之值(詳圖 14A)。

接著，將說明若電位  $V_1$  施加於所有 N 個佈線 114 的作業。假設電位  $V_1$  施加於佈線 111，及電位  $V_2$  施加於佈線 115，電晶體 104\_1 至 104\_N 開啓，使得佈線 115 與節點 11 之間建立電氣連續性。此時，電晶體 102 開啓，使得佈線 111 與節點 11 之間建立電氣連續性。以此方式，節點 11 被供應佈線 115 之電位及佈線 111 之電位。因而，節點 11 之電位超過佈線 115 之電位(電位  $V_2$ )，並成

為低於佈線 111 之電位(電位  $V_1$ )。此處假設節點 11 之電位低於  $V_2+V_{th102}$ ，電晶體 102 關閉，使得佈線 111 與佈線 112 之間未建立電氣連續性。此時，電晶體 103\_1 至 103\_N 開啓，使得佈線 115 與佈線 112 之間建立電氣連續性。佈線 115 之電位以此方式供應予佈線 112，使得佈線 112 之電位成為等於電位  $V_2$ (詳圖 14B)。

請注意， $N$  個電晶體 103 較佳地為具有相同通道寬度。若電路配線等之限制使  $N$  個電晶體 103 難以具有相同通道寬度，較佳的是  $N$  個電晶體 103 之至少兩個具有相同通道寬度。此係因為當電晶體 103 具有相同通道寬度時，電路可更易於設計，並可抑制作業故障。相同狀況可用於電晶體 104。

請注意， $N$  個電晶體 103 之通道寬度較佳地為大，以便縮短佈線 112 之電位的下降時間。然而，若通道寬度過大，配線區域便增加。為此原因， $N$  個電晶體 103 之至少之一的通道寬度較佳地為電晶體 101 之通道寬度的  $N$  倍或較少。 $N$  個電晶體 103 之至少之一的通道寬度更佳地為電晶體 101 之通道寬度的  $1/3$  至  $3$  倍，進一步較佳地為  $1/2$  至  $2$  倍。

請注意，若電位  $V_1$  施加於所有  $N$  個佈線 114， $N$  個電晶體 104 之通道寬度較佳地為大，以便節點 11 之電位低於  $V_2+V_{th101}$ 。然而，若通道寬度過大，配線區域便增加。為此原因， $N$  個電晶體 104 之至少之一的通道寬度較佳地為電晶體 102 的通道寬度之  $N$  倍或較少。 $N$  個電晶體

104 之至少之一的通道寬度更佳地為電晶體 102 的通道寬度之 1/3 至 3 倍，進一步較佳地為 1/2 至 2 倍。

如上述，本實施例中 NOR 電路及 NAND 電路可使用實施例 2 中所示半導體裝置予以建構。因而，本實施例中 NOR 電路及 NAND 電路可獲得類似於實施例 1 及 2 中半導體裝置之有利效果。

本實施例可適當地與其他實施例之任一者組合。

#### (實施例 4)

在本實施例中，將說明半導體裝置之範例，及半導體裝置之驅動方法範例。尤其，將說明包括實施例 3 中所示半導體裝置之解碼器電路範例，及解碼器電路之驅動方法範例。

首先，將說明本實施例中半導體裝置之結構範例。

圖 16 描繪本實施例中解碼器電路之範例。圖 16 中解碼器電路包括  $m$  個 NOR 電路 201(稱為 NOR 電路 201\_1 至 201\_m，其中  $m$  為自然數)。

請注意，實施例 3 中所示 NOR 電路之任一者較佳地用做  $m$  個 NOR 電路 201。

$N$  位元( $N$  為自然數，其中  $2^N > m$ )之控制信號輸入  $m$  個 NOR 電路 201 之每一者。 $N$  位元之控制信號係選自控制信號  $D1$  至  $DN$  及控制信號  $Db1$  至  $DbN$ 。控制信號  $Db1$  至  $DbN$  為控制信號  $D1$  至  $DN$  之反向信號。輸入  $m$  個 NOR 電路 201 之控制信號彼此不同。例如，控制信號  $D1$

至 DN 輸入 NOR 電路 201\_1。控制信號 Db1 及控制信號 D2 至 DN 輸入 NOR 電路 201\_2。控制信號 D1、控制信號 Db2 及控制信號 D3 至 DN 輸入 NOR 電路 201\_3。以此方式，輸入 m 個 NOR 電路 201 之控制信號彼此不同，使得僅從 m 個 NOR 電路 201 之任一者輸出之信號具有與從其他 NOR 電路 201 輸出之信號不同值。具體地，從 m 個 NOR 電路 201 之任一者輸出之信號可為 H 位準信號，而從其他 NOR 電路 201 輸出之信號可為 L 位準信號。再者，當控制信號 D1 至 DN 及控制信號 Db1 至 DbN 之值於每一預定期間(例如每一閘極選擇期間)改變時，NOR 電路 201\_1 至 201\_m 可依序輸出 H 位準信號。另一方面，m 個 NOR 電路 201 可以特定順序輸出 H 位準信號。

請注意，控制信號 D1 至 DN 經由 N 個佈線 212(稱為佈線 212\_1 至 212\_N)而輸入解碼器電路。控制信號 Db1 至 DbN 經由 N 個佈線 213(稱為佈線 213\_1 至 213\_N)而輸入解碼器電路。m 個 NOR 電路 201 之輸出信號輸出至 m 個佈線 211(佈線 211\_1 至 211\_m)之個別者。

請注意，控制信號 Db1 至 DbN 可藉由反相器電路等反向控制信號 D1 至 DN 而予以產生。有關用於產生控制信號 Db1 至 DbN 之反相器電路，例如可使用實施例 1 中所示半導體裝置之任一者。

解碼器電路可不僅藉由 NOR 電路亦藉由 NAND 電路予以建構。有關 NAND 電路，較佳地使用實施例 3 中所示 NAND 電路之任一者。圖 17 為藉由 NAND 電路建構之解

碼器電路的電路圖。圖 17 中解碼器電路與圖 16 中解碼器電路不同，其中使用  $m$  個 NAND 電路 202(稱爲 NAND 電路 202\_1 至 202\_m)取代  $m$  個 NOR 電路 201。

在圖 17 之解碼器電路中，從  $m$  個 NAND 電路 202 之任一者輸出之信號爲  $L$  位準信號，而從其他 NAND 電路 202 輸出之信號爲  $H$  位準信號。爲此原因，當需要時可提供  $m$  個反相器電路 203(稱爲反相器電路 203\_1 至 203\_m)。  $m$  個 NAND 電路 202 之輸出信號經由  $m$  個反相器電路 203 而輸出至  $m$  個佈線 211。

如上述，本實施例中解碼器電路可藉由實施例 3 中所示 NOR 電路或 NAND 電路予以建構。因而，本實施例中解碼器電路可獲得類似於實施例 1 及 2 中半導體裝置之有利效果。

本實施例可適當地與其他實施例之任一者組合。

#### (實施例 5)

在本實施例中，將說明半導體裝置之結構範例，及半導體裝置之製造程序範例。尤其，將說明薄膜電晶體之範例，其中係使用氧化物半導體形成通道形成區，及薄膜電晶體之製造程序範例。

#### <電晶體之結構範例>

圖 15D 爲電晶體 450(例如薄膜電晶體)之截面圖，其爲半導體裝置之範例。圖 15D 中電晶體 450 爲反向交錯薄

膜電晶體。儘管圖 15D 描繪單閘極薄膜電晶體，可視需要使用包括複數通道形成區之多閘極薄膜電晶體。下列說明中，薄膜電晶體為 n 通道電晶體；另一方面，可使用 p 通道電晶體。

電晶體 450 包括提供於基板 400 上之閘極電極層 411、覆蓋閘極電極層 411 之閘極絕緣層 402、提供於閘極電極層 411 上之氧化物半導體層 406a、及電性連接氧化物半導體層 406a 之源極/汲極電極層 408a 及 408b。再者，絕緣層 412 及絕緣層 418 係提供於電晶體 450 之上。請注意，絕緣層 412 及絕緣層 418 並非必要，因而可酌情省略。

對於氧化物半導體層 406a 而言，使用四成分金屬氧化物諸如 In-Sn-Ga-Zn-O 基金屬氧化物；三成分金屬氧化物諸如 In-Ga-Zn-O 基金屬氧化物、In-Sn-Zn-O 基金屬氧化物、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物、或 Sn-Al-Zn-O 基金屬氧化物；雙成分金屬氧化物諸如 In-Zn-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、或 In-Mg-O 基金屬氧化物；In-O 基金屬氧化物；Sn-O 基金屬氧化物；Zn-O 基金屬氧化物等。

尤其，In-Ga-Zn-O 基氧化物半導體材料較佳地用做用於半導體裝置之半導體材料，因為當無電場施加時，其具有充分高電阻，因而可體現充分小關閉狀態電流，及因為

其具有高場效移動性。

In-Ga-Zn-O 基氧化物半導體材料之典型範例為以  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$  大於 0 且並非自然數) 代表之氧化物半導體材料。再者，存在以  $\text{InMO}_3(\text{ZnO})_m$  ( $m$  大於 0 且並非自然數) 代表之氧化物半導體材料，使用  $M$  取代  $\text{Ga}$ 。此處， $M$  標示選自鎵 ( $\text{Ga}$ )、鋁 ( $\text{Al}$ )、鐵 ( $\text{Fe}$ )、鎳 ( $\text{Ni}$ )、錳 ( $\text{Mn}$ )、鈷 ( $\text{Co}$ ) 等之一或多項金屬元素。例如， $M$  可為  $\text{Ga}$  及  $\text{Al}$ 、 $\text{Ga}$  及  $\text{Fe}$ 、 $\text{Ga}$  及  $\text{Ni}$ 、 $\text{Ga}$  及  $\text{Mn}$  或  $\text{Ga}$  及  $\text{Co}$ 。請注意，上述組成係得自結晶結構，因而僅為一範例。此外，本說明書中以 In-Ga-Zn-O 表示之氧化物半導體材料為  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$  大於 0 且並非自然數)，其係使用 ICP-MS 或 RBS 分析而確定  $m$  並非自然數。

氧化物半導體層之氫濃度較佳地為  $5 \times 10^{19}$  (原子/ $\text{cm}^3$ ) 或更少。

#### <電晶體之製造方法>

其次，參照圖 15A 至 15D 說明上述薄膜電晶體之製造方法。

首先，閘極電極層 411 係形成於基板 400 之上，接著形成閘極絕緣層 402 以便覆蓋閘極電極層 411。之後，於閘極絕緣層 402 之上形成氧化物半導體層 406 (詳圖 15A)。

有關基板 400，例如可使用玻璃基板。玻璃基板較佳地為非鹼玻璃基板。對非鹼玻璃基板而言，例如使用玻璃

材料，諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、或鋇硼矽酸鹽玻璃。除了玻璃基板，基板 400 可為使用絕緣體形成之絕緣基板，諸如陶瓷基板、石英基板、或藍寶石基板；使用諸如矽之半導體材料形成並具有以絕緣材料覆蓋之表面之半導體基板；或使用諸如金屬或不鏽鋼之導電材料形成並具有以絕緣材料覆蓋之表面之導電基板。此外，由諸如塑料之軟性合成樹脂形成之基板一般傾向於具有低溫度上限，但只要該基板可支撐後續製造步驟中處理溫度，便可用做基板 400。

閘極電極層 411 可以下列方式形成，即於基板 400 之上形成導電層並選擇地蝕刻。閘極電極層 411 可藉由諸如濺鍍法之物理氣相沉積(PVD)法，或諸如電漿 CVD 法之化學氣相沉積(CVD)法，予以形成。再者，閘極電極層 411 可使用選自鋁、鉻、銅、鉬、鈦、鉕、及鎢之金屬材料，包含該些元素之任一者之合金等，予以形成。可使用包含錳、鎂、鋅、及/或鍍之一或多項之材料。可使用包含鋁及選自鈦、鉕、鎢、鉕、鉻、釷及釷之一或多項元素之材料。

另一方面，可使用導電金屬氧化物形成閘極電極層 411。有關導電金屬氧化物，可使用氧化銦( $\text{In}_2\text{O}_3$ )、氧化錫( $\text{SnO}_2$ )、氧化鋅( $\text{ZnO}$ )、氧化銦及氧化錫之合金( $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時稱為 ITO)、氧化銦及氧化鋅之合金( $\text{In}_2\text{O}_3\text{-ZnO}$ )、或包含矽或氧化矽之金屬氧化物材料之任一者。

閘極電極層 411 可具有單層結構或二層或更多層之層



級結構。請注意，在本實施例中，於閘極電極層 411 形成之後以極高溫度執行熱處理；因此，較佳地使用具夠高耐熱性之材料形成閘極電極層 411，以支撐熱處理。具耐熱性之材料的範例為鈦、鋇、鎢及鉬。再者，可使用多晶矽，其藉由添加雜質元素而增加傳導性。

可藉由 CVD 法、濺鍍法等形成閘極絕緣層 402。閘極絕緣層 402 較佳地使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鋇等予以形成。閘極絕緣層 402 可具有單層結構或二層或更多層之層級結構。閘極絕緣層 402 可具有例如 10 nm 至 500 nm 之厚度。

當使用高 k 材料形成閘極絕緣層 402 時，諸如矽酸鉛 ( $\text{HfSiO}_x$ )、添加氮之矽酸鉛 ( $\text{HfSi}_x\text{O}_y\text{N}_z$ )、添加氮之鋁酸鉛 ( $\text{HfAl}_x\text{O}_y\text{N}_z$ )、氧化鉛、或氧化鈮，可降低閘極洩漏。此外，閘極絕緣層 402 可具有層級結構，其中包括高 k 材料及氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層及氧化鋁層之一或多項之層堆疊。

請注意，較佳地形成閘極絕緣層 402 以便包含盡可能少的諸如氫及水之雜質。這是因為若閘極絕緣層 402 中包含氫及水，氫可進入氧化物半導體層 406a，並汲取氧化物半導體層 406a 中之氧，其可導致電晶體特性惡化。

例如，藉由濺鍍法等形成閘極絕緣層 402，較佳地於處理室中移除剩餘濕氣之狀態形成閘極絕緣層 402。較佳地使用截留真空泵以便移除處理室中剩餘濕氣。例如可使用低溫泵、離子泵或鈦昇華泵。可使用具冷阱之渦輪泵。

在以低溫泵等排空之處理室中，充分移除氫、水等，使得可降低閘極絕緣層 402 中所包含之雜質的濃度。

此外，較佳的是使用微波(例如 2.45 GHz 之頻率)之高密度電漿 CVD 法，因為閘極絕緣層 402 可為密集並具有高耐受電壓及高品質。當氧化物半導體層 406a 及高品質閘極絕緣層 402 彼此緊密接觸時，可降低介面狀態密度及介面屬性可為有利的。尤其，較佳的是使用高密度電漿設備，基此可達成  $1 \times 10^{11}/\text{cm}^3$  或更高之電漿密度。如上述，閘極絕緣層 402 與氧化物半導體層 406a 之間介面屬性可為有利的，並降低氧化物半導體之雜質，尤其是氫及水；因而，可獲得穩定電晶體，其臨界電壓( $V_{th}$ )經由閘極偏壓-溫度壓力測試(BT 測試；例如  $85^\circ\text{C}$  / 下以  $2 \times 10^6$  V/cm 達 12 小時)而不改變。

在形成閘極電極層 411 中，較佳的是使用諸如氫及水之雜質降低至約每百萬分之幾(ppm)或每十億分之幾(ppb)之濃度的高純度氣體。

請注意，於之後步驟中成為 i 型氧化物半導體層或實質上 i 型氧化物半導體層(高度純化氧化物半導體層)之氧化物半導體層對於介面狀態密度或介面電荷極敏感；因此，與閘極絕緣層之介面很重要。為此原因，接觸高度純化氧化物半導體層之閘極絕緣層(GI)需具有高品質。因此，較佳地使用以微波(2.45 GHz)之高密度電漿 CVD，因為可形成具有高耐受電壓之密集及高品質絕緣膜。高度純化氧化物半導體及高品質閘極絕緣層彼此緊密接觸，使得

可降低介面狀態密度，及可獲得有利的介面特性。重要的是絕緣層具有有利的品質做為閘極絕緣層，及可降低與氧化物半導體層之介面狀態密度，使得可形成有利的介面。

可藉由濺鍍法於稀有氣體(典型為氬)、氧氣、或包括稀有氣體(典型為氬)及氧之氣體中形成氧化物半導體層 406。有關形成氧化物半導體層 406 之氣體，較佳的是使用例如高純度氣體，其中諸如氫、水、羥基及氫化物之雜質被移除至每百萬分之幾(較佳地為每十億分之幾)之濃度。

在藉由濺鍍法沉積氧化物半導體層 406 之前，較佳地藉由反向濺鍍移除附著在閘極絕緣層 402 表面之粉狀物質(亦稱為粒子或灰塵)，其中導入氬氣並產生電漿。反向濺鍍係指一種方法，其中並未施加電壓於靶材側，RF 電源用於施加電壓以便於基板附近產生電漿而修改表面。請注意，除了氬氣，可使用氮、氦、氧等。

氧化物半導體層 406 可使用四成分金屬氧化物諸如 In-Sn-Ga-Zn-O 基金屬氧化物；三成分金屬氧化物諸如 In-Ga-Zn-O 基金屬氧化物、In-Sn-Zn-O 基金屬氧化物、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物、或 Sn-Al-Zn-O 基金屬氧化物；雙成分金屬氧化物諸如 In-Zn-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、或 In-Mg-O 基金屬氧化物；In-O 基金屬氧化物；Sn-O 基

金屬氧化物；Zn-O 基金屬氧化物等，予以形成。

尤其，In-Ga-Zn-O 基氧化物半導體材料較佳地用做用於半導體裝置之半導體材料，因為當無電場施加時，其具有充分高電阻並可體現充分小關閉狀態電流，及因為其具有高場效移動性。

在本實施例中，使用 In-Ga-Zn-O 基氧化物半導體靶材及藉由濺鍍法，形成非結晶氧化物半導體層 406，做為氧化物半導體層 406。

有關藉由濺鍍法用於形成 In-Ga-Zn-O 基氧化物半導體層 406 之靶材，可使用以 In : Ga : Zn=1 : x : y (x 為 0 或更大及 y 為 0.5 至 5) 之組成比為代表之靶材。例如，可使用具 In : Ga : Zn=1 : 1 : 1 [原子比] (x=1 及 y=1；即， $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO}=1 : 1 : 2$  [摩爾比]) 之組成比之靶材。有關氧化物半導體靶材，可使用具 In : Ga : Zn=1 : 1 : 0.5 [原子比] 之組成比之靶材、具 In : Ga : Zn=1 : 1 : 2 [原子比] 之組成比之靶材、或具 In : Ga : Zn=1 : 0 : 1 [原子比] (x=0 及 y=1) 之組成比之靶材。再者，可使用包含 2 重量%至 10 重量%之  $\text{SiO}_2$  之靶材沉積氧化物半導體層 406，以便包含  $\text{SiO}_x$  (X>0)。

氧化物半導體靶材中氧化物半導體之相對密度為 80% 或更高，較佳地為 95% 或更高，進一步較佳地為 99.9% 或更高。藉由使用具高相對密度之氧化物半導體，可形成密集氧化物半導體層 406。

在氧化物半導體層 406 形成中，例如，基板被置於保

持減壓之處理室中，並將基板加熱至 100°C 至 600°C，較佳地為 200°C 至 400°C。接著，氫及水移除之濺鍍氣體被導入剩餘濕氣移除之處理室，並使用上述靶材形成氧化物半導體層 406。形成氧化物半導體層 406 同時加熱基板，使得可降低氧化物半導體層 406 中所包含之雜質。此外，可降低藉由濺鍍之損害。為移除處理室中剩餘濕氣，較佳地使用上述截留真空泵。例如以低溫泵排空之處理室中移除氫、水等；因而，可降低氧化物半導體層 406 中所包含之雜質的濃度。

例如，形成氧化物半導體層 406 之狀況可設定如下：基板與靶材之間距離為 170 mm；壓力為 0.4 Pa；直流 (DC) 功率為 0.5 kW；及氣體為氧氣 (氧之流率為 100%)、氫氣 (氫之流率為 100%)、或包括氧及氫之氣體。請注意，脈衝直流 (DC) 電源較佳，因為可降低灰塵 (於膜形成時形成之粉狀或片狀物質)，且膜厚度可為均勻。氧化物半導體層 406 之厚度為 2 nm 至 200 nm，較佳地為 5 nm 至 30 nm。請注意，由於氧化物半導體層 406 之適當厚度隨將使用之氧化物半導體材料、應用等而異，依據材料、應用等而設定厚度。

其次，選擇地蝕刻氧化物半導體層 406 以形成島型氧化物半導體層 406a。之後，形成導電層以便覆蓋閘極絕緣層 402 及氧化物半導體層 406a，並予以蝕刻，使得形成源極/汲極電極層 408a 及 408b (詳圖 15B)。

可藉由乾式蝕刻、濕式蝕刻或乾式蝕刻及濕式蝕刻之

組合而蝕刻氧化物半導體層。依據材料而適當設定蝕刻狀況(例如蝕刻氣體或蝕刻溶液、蝕刻時間及溫度)，使得可將氧化物半導體層蝕刻為所要形狀。

有關乾式蝕刻，可使用平行板反應離子蝕刻(RIE)法或電感耦合電漿(ICP)蝕刻法。亦在此狀況下，需適當設定蝕刻狀況(例如，施加於線圈狀電極之電量、施加於基板側電極之電量及基板側電極之溫度)。

有關可用於乾式蝕刻之蝕刻氣體的範例，為包含氯之氣體(氯基氣體，諸如氯( $\text{Cl}_2$ )、氯化硼( $\text{BCl}_3$ )、氯化矽( $\text{SiCl}_4$ )或四氯化碳( $\text{CCl}_4$ ))。再者，可使用包含氟之氣體(氟基氣體，諸如四氟化碳( $\text{CF}_4$ )、氟化硫( $\text{SF}_6$ )、三氟化氮( $\text{NF}_3$ )或三氟甲烷( $\text{CHF}_3$ ))；溴化氫( $\text{HBr}$ )；氧( $\text{O}_2$ )；該些氣體之任一者附加諸如氦( $\text{He}$ )或氬( $\text{Ar}$ )之稀有氣體等。

可用於濕式蝕刻之蝕刻劑的範例，為藉由混合磷酸、乙酸及硝酸所獲得之溶液；及過氧化氫混合物(31 重量%過氧化氫水：28 重量%氨水：水=5：2：2)。亦可使用 ITO07N (KANTO CHEMICAL CO., INC.製造)。

其次，較佳地在氧化物半導體層 406a 上執行第一熱處理。可藉由第一熱處理移除氧化物半導體層 406a 中所包含之過量水(包括羥基)、氫等。第一熱處理之溫度為例如高於或等於  $400^\circ\text{C}$  及低於或等於  $750^\circ\text{C}$ ，或高於或等於  $400^\circ\text{C}$  及低於基板之應變點。於基板 400 導入包括電阻加熱元件之電熔爐之後，可於氮氣中以例如  $450^\circ\text{C}$  執行第一熱處理達一小時。在第一熱處理期間，較佳的是氧化物半

導體層 406a 未暴露於空氣以避免水及氫進入。

熱處理設備不侷限於電熔爐；熱處理設備可為一種裝置，藉由諸如加熱氣體之媒介而提供熱傳導或熱輻射而加熱目標。例如，可使用以燈加熱法(燈快速熱降火(LRTA)設備)之 RTA 設備、使用加熱氣體之氣體加熱法(氣體快速熱降火(GRTA)設備)之 RTA 設備、使用燈加熱法及氣體加熱法二者之 RTA 設備等。若使用以氣體加熱法之設備，使用未藉由熱處理而與將處理之目標反應之惰性氣體，例如氮或諸如氬之稀有氣體。

例如，有關第一熱處理，可執行 GRTA 程序如下。基板被置入已加熱至 650°C 至 700°C 高溫之惰性氣體中，加熱達數分鐘，並取出惰性氣體。GRTA 程序使能以短時間進行高溫熱處理。再者，因為熱處理時間短，甚至當溫度超過基板之溫度上限時，亦可使用 GRTA 程序。例如，若使用玻璃基板，基板之收縮於高於基板之溫度上限(應變點)的溫度下成為問題；然而，收縮在短時間之熱處理中並非問題。請注意，惰性氣體於處理期間可切換為包括氧之氣體。這是因為藉由於包括氧之氣體中執行第一熱處理，可降低因缺氧之缺陷。

請注意，惰性氣體較佳地為包含氮或稀有氣體(例如氮、氬或氬)做為其主要成分且不包含水、氫等之氣體。例如，導入熱處理設備之氮或稀有氣體(例如氮、氬或氬)的純度為 6N(99.9999%)或更高，較佳地為 7N(99.99999%)或更高(即雜質之濃度為低於或等於 1 ppm，較佳地為低於

或等於 0.1 ppm)。第一熱處理可於具 20 ppm 或更低之 H<sub>2</sub>O 濃度的極乾燥空氣中執行，較佳地為具 1 ppm 或更低之 H<sub>2</sub>O 濃度的極乾燥空氣。藉由第一熱處理，可移除氧化物半導體層 406 中所包含之水(包括羥基)、氫等。

藉由執行上述第一熱處理，可降低(較佳地為移除)氧化物半導體層 406 中所包含之氫，使得氧化物半導體層 406 可高度純化，以便包含盡可能少之其主要成分以外之雜質。

請注意，於氧化物半導體層上執行之第一熱處理，亦可於尚未處理為島型氧化物半導體層之氧化物半導體層 406 上執行。在此狀況下，於第一熱處理之後，基板從加熱設備取出，接著例如使用遮罩執行蝕刻。

可於下列時機之任一者執行用於氧化物半導體層脫水或脫氫之熱處理：氧化物半導體層形成之後；源極電極層及汲極電極層堆疊於氧化物半導體層上之後；及保護絕緣膜形成於源極電極層及汲極電極層上之後。

以下列方式形成源極/汲極電極層 408a 及 408b：形成導電層以便覆蓋氧化物半導體層 406a，接著選擇地蝕刻導電層。可藉由濺鍍法或真空蒸發法形成導電層。導電層可使用選自鋁、鉻、銅、鉭、鈦、鉬及鎢之金屬材料；包括該些元素之任一者之合金材料；包括上述元素組合之合金材料等，予以形成。可使用選自錳、鎂、鋅、鈹及鈮之一或多項材料。可使用包含鋁及選自鈦、鉭、鎢、鉬、鉻、鈹及鈮之一或多項元素之材料。



源極/汲極電極層 408a 及 408b 可具有單層結構或二層或更多層之層級結構，及可具有例如包含矽之鋁膜的單層結構；鈦膜堆疊於鋁膜之上的雙層結構；或鈦膜、鋁膜及鈦膜依序堆疊的三層結構。

若於導電層上執行用於氧化物半導體層 406a 之脫水或脫氫的熱處理，較佳的是使用具夠高耐熱性之導電層以支撐熱處理。

適當調整材料及蝕刻狀況，使得當蝕刻導電層時，不致移除氧化物半導體層 406a。

在本實施例中，鈦膜用做導電層；In-Ga-Zn-O 基氧化物用於氧化物半導體層 406a；及過氧化氫氨溶液(氨、水及過氧化氫溶液之混合溶液)用做蝕刻劑。

請注意，在導電層之蝕刻中，僅蝕刻氧化物半導體層 406a 之一部分，有時形成具有槽(凹部)之氧化物半導體層 406a。再者，用於蝕刻步驟之遮罩可藉由噴墨法形成。當藉由噴墨法形成遮罩時不使用光罩，此導致製造成本減少。

為減少用於光刻步驟之光罩數量及減少步驟數量，可使用多色調遮罩執行蝕刻步驟，其為一種曝光遮罩，光透射此而具有複數強度。由於使用多色調遮罩形成之抗蝕罩具有複數厚度，並可藉由拋光而進一步改變形狀，抗蝕罩可用於複數蝕刻步驟以提供不同型樣。因此，可藉由一多色調遮罩形成相應於至少兩種不同型樣之抗蝕罩。因而，可減少曝光遮罩之數量，亦可減少相應光刻步驟數量，藉

此可簡化程序。

其次，使用諸如氧化亞氮( $N_2O$ )、氮( $N_2$ )或氬(Ar)之氣體執行電漿處理。藉由電漿處理，移除附著於氧化物半導體層之暴露表面所吸附之水等。可使用氧及氬之混合氣體執行電漿處理。

接著，形成絕緣層 412 以便覆蓋氧化物半導體層 406a 及源極/汲極電極層 408a 及 408b(詳圖 15C)。

可藉由濺鍍法、CVD 法等形成絕緣層 412，即，藉由一種方法使得諸如濕氣及氬之雜質未混入絕緣層 412。若絕緣層 412 中包含氬，氬進入氧化物半導體層 406a 使得氧化物半導體層 406a 之反向通道具有較低電阻(成爲 n 型層)；因而形成寄生通道。因此，重要的是使用其中不使用氬之形成方法，使得絕緣層 412 包含盡可能少之氬。

較佳地使用氧化矽、氧氮化矽、氧化鋁、氧化鉛、氧化鉬等形成絕緣層 412。尤其，較佳地使用藉由濺鍍法形成之氧化矽膜。請注意，絕緣層 412 可具有單層結構或層級結構。儘管未特別限制，絕緣層 412 可具有例如 10 nm 至 500 nm 之厚度，較佳地爲 50 nm 至 200 nm。

其次，較佳地於惰性氣體或氧氣中在氧化物半導體層 406a 上執行第二熱處理。藉由執行第二熱處理，氧可供應予氧化物半導體層 406a 之缺氧，且可形成本質(i 型)或實質上本質氧化物半導體層。第二熱處理可減少電晶體之電氣特性變化。第二熱處理係以 200°C 至 450°C 執行，較佳地爲 250°C 至 350°C。例如，第二熱處理可於氮氣中以

250°C 執行達一小時。

經由上述步驟，可形成電晶體 450。

此外，絕緣層 418 可形成於絕緣層 412 之上。絕緣層 418 較佳地使用不包含諸如濕氣、氫離子及  $\text{OH}^-$  之雜質的無機絕緣材料形成，並阻擋該些雜質從外部進入；例如使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜等。在本實施例中，例如藉由 RF 濺鍍法形成氮化矽膜。由於 RF 濺鍍法具有高生產力，其較佳地用做絕緣層 418 之沉積方法(詳圖 15D)。

請注意，取決於第一熱處理及第二熱處理之狀況或氧化物半導體層 406a 之材料，可結晶氧化物半導體層 406a 之一部分，使得氧化物半導體層 406a 中形成微晶或多晶。當氧化物半導體層 406a 包括非單晶區時，電晶體可具有較高場效移動性及較大開啓狀態電流。另一方面，當氧化物半導體層 406a 為非結晶時，可減少複數元件之特性變化。

藉由執行上述第一熱處理，可減少(較佳地為移除)氧化物半導體層 406 中所包含之氫，使得氧化物半導體層 406 可高度純化，以便包含盡可能少之其主要成分以外之雜質。因而，可降低因過度氫原子產生之缺陷程度。此時氧化物半導體層 406 之氫濃度較佳地為  $5 \times 10^{19}$  (原子/ $\text{cm}^3$ ) 或更少。再者，氧化物半導體層 406 之載子密度為低於  $1 \times 10^{14} \text{ cm}^{-3}$ ，較佳地為低於  $1 \times 10^{12} \text{ cm}^{-3}$ ，進一步較佳地為低於  $1.45 \times 10^{10} \text{ cm}^{-3}$ 。即，氧化物半導體層 406 之載子濃

度盡可能接近零。此外，帶隙為 2 eV 或更高，較佳地為 2.5 eV 或更高，進一步較佳地為 3 eV 或更高。

藉由將高度純化氧化物半導體層 406 用於通道形成區，可減少電晶體之關閉狀態電流。藉由產生及重新組合電洞及電子，關閉狀態電流因直接重新組合或間接重新組合而流動。由於氧化物半導體層具有寬帶隙，需高熱能以激發電子，幾乎不會發生直接重新組合及間接重新組合。由於關閉狀態之少數載子之電洞實質上為零，幾乎不會發生直接重新組合及間接重新組合，並可盡可能減少關閉狀態電流。因而，電晶體可具有小關閉狀態電流、大開啓狀態電流及高場效移動性之卓越屬性。

如上述，高度純化氧化物半導體層做為路徑，並從源極及汲極電極供應載子。藉由適當選擇氧化物半導體之電子親和性( $\chi$ )及費米能級(理想上，費米能級等於本質費米能級)，及源極及汲極電極之功函數，載子可從源極電極及汲極電極注入，同時氧化物半導體層之載子密度保持低。因而，可製造適當 n 通道電晶體及 p 通道電晶體。

高度純化氧化物半導體之本質載子密度遠低於矽的。矽及氧化物半導體的本質載子密度可從費米-迪拉克分佈及波茲曼分佈之近似方程式獲得。矽之本質載子密度  $n_i$  為  $1.45 \times 10^{10} \text{ cm}^{-3}$ ，及氧化物半導體(此處為 In-Ga-Zn-O 層)之本質載子密度  $n_i$  為  $1.2 \times 10^{-7} \text{ cm}^{-3}$ ，即矽具有本質載子密度大於氧化物半導體的  $10^{17}$  倍。換言之，清楚的是氧化物半導體之本質載子密度遠低於矽的。

在本實施例中，說明製造底閘薄膜電晶體之狀況；然而，本發明之一實施例不侷限於此，並可製造頂閘薄膜電晶體。

<包括氧化物半導體之電晶體的導電機構>

其次，將參照圖 23、圖 24A 及 24B、圖 25A 及 25B、及圖 26 說明包括氧化物半導體之電晶體的導電機構。請注意，下列說明係基於簡化之理想情況的假設，並未完全反映真實情況。此外，下列說明僅為檢查。

圖 23 為包括氧化物半導體之反向交錯電晶體(薄膜電晶體)的截面圖。氧化物半導體層(OS)係提供於閘極電極層(GE)之上，且閘極絕緣層(GI)差於其間，及源極電極層(S)及汲極電極層(D)係提供於其上。

圖 24A 及 24B 為沿圖 23 中截面 A-A'之能帶圖(示意圖)。圖 24A 描繪源極與汲極之間電位差為零(源極及汲極具有相同電位， $V_D=0$  V)之狀況。圖 24B 描繪汲極之電位高於源極的( $V_D>0$ )之狀況。

圖 25A 及 25B 為沿圖 23 中截面 B-B'之能帶圖(示意圖)。圖 25A 描繪正電位( $+V_G$ )施加於閘極(GE1)之狀態，即載子(電子)於源極與汲極之間流動之狀態。圖 25B 描繪負電位( $-V_G$ )施加於閘極(GE1)之狀態，即關閉狀態(少數載子未流動之狀態)。

圖 26 描繪真空位準與金屬之功函數( $\phi_M$ )之間關係，及真空位準與氧化物半導體之電子親和性( $\chi$ )之間關係。

由於金屬中電子退化，費米能級位於傳導帶中。另一方面，習知氧化物半導體為 n 型半導體，費米能級( $E_f$ )遠離帶隙中間之本質費米能級( $E_i$ )並位於傳導帶附近。已知氧化物半導體中氫為供體並可能為造成氧化物半導體成為 n 型氧化物半導體之因子。此外，已知缺氧為產生 n 型氧化物半導體的原因之一。

相對地，文中揭露依據本發明之一實施例的氧化物半導體，為以下列方式製成之本質(i 型)或接近本質之氧化物半導體：為高純化，從氧化物半導體移除產生 n 型氧化物半導體之原因的氫，使得氧化物半導體包含盡可能少之氧化物半導體主要成分以外之元素(雜質元素)，並排除缺氧。即，氧化物半導體被製成或接近高度純化 i 型(本質)半導體，並非藉由添加雜質元素，而係藉由盡可能排除諸如氫及水之雜質及缺氧。因而，費米能級( $E_f$ )可與本質費米能級( $E_i$ )相比。

若氧化物半導體之帶隙( $E_g$ )為 3.15 eV，電子親和性( $\chi$ )據說為 4.3 eV。源極電極及汲極電極中所包括之鈦(Ti)的功函數實質上等於氧化物半導體之電子親和性( $\chi$ )。在此狀況下，金屬與氧化物半導體之間介面未形成電子之蕭特基障壁。

即，若金屬之功函數( $\phi_M$ )等於氧化物半導體之電子親和性( $\chi$ )，且金屬及氧化物半導體彼此接觸，便獲得圖 24A 中所描繪之能帶圖(示意圖)。

在圖 24B 中，黑點(•)顯示電子。當正電位施加於汲

極時，電子跨越障壁(h)並注入氧化物半導體，及朝向汲極流動。障壁(h)之高度取決於閘極電壓及汲極電壓。當施加正汲極電壓時，障壁(h)之高度低於其中未施加電壓之圖 24A 中障壁之高度，即帶隙( $E_g$ )之一半。

此時，如圖 25A 中所描繪，電子於閘極絕緣層與高度純化氧化物半導體之間介面附近(氧化物半導體之最低部分，其為能量穩定)行進。

如圖 25B 中所描繪，當負電位(反向偏壓)施加於閘極電極(GE1)時，少數載子之電洞實質上不存在，使得電流值盡可能接近零。

例如，甚至當薄膜電晶體具有  $1 \times 10^4 \mu\text{m}$  之通道寬度 W 及  $3 \mu\text{m}$  之通道長度時，關閉狀態電流可為  $10^{-13}$  A 或更少，及室溫下次臨界擺動(S 值)可為 0.1 V/dec(具 100-nm 厚之閘極絕緣層)。

如上述，氧化物半導體高度純化以便包含盡可能少之並非氧化物半導體主要成分之雜質，使得薄膜電晶體可以有利的操作。例如，室溫下關閉狀態電流可降低至約  $1 \times 10^{-20}$  A(10 zA(介安))至  $1 \times 10^{-19}$  A(100 zA)。

上述氧化物半導體為藉由下列方式製成之高度純化及電氣本質(i 型)氧化物半導體：為抑制電氣特性變化，刻意移除造成變化之雜質，諸如氫、濕氣、羥基及氫化物(亦稱為氫化合物)；並供應氧化物半導體主要成分及於移除雜質步驟中減少之氧。

因此，較佳的是氧化物半導體中氫的量盡可能小，且

氧化物半導體中所包含之氫移除至盡可能接近零，使得氧化物半導體之氫濃度為  $5 \times 10^{19}$  (原子/cm<sup>3</sup>) 或更少。氧化物半導體之氫濃度可藉由二次離子質譜 (SIMS) 測量。

高度純化氧化物半導體中載子數量極小 (接近零)，且載子密度為低於  $1 \times 10^{12}$  cm<sup>-3</sup>，較佳地為低於  $1.45 \times 10^{10}$  cm<sup>-3</sup>。即，氧化物半導體層之載子密度極接近零。由於氧化物半導體層中載子數量極小，可減少薄膜電晶體之關閉狀態電流。較佳的是關閉狀態電流盡可能小。每 1 μm 通道寬度 (W) 之薄膜電晶體的電流量為 100 aA (即 100 aA/μm) 或更少，較佳地為 10 aA (即 10 aA/μm) 或較少，進一步較佳地為 1 aA (即 1 aA/μm) 或更少。再者，由於薄膜電晶體不具有 pn 接面且未發生熱載子惡化，未不利影響薄膜電晶體之電氣特性。

如上述，薄膜電晶體中關閉狀態電流可極小，其中藉由大幅移除其中所包含之氫而高度純化的氧化物半導體層用於通道形成區中。換言之，在電路設計中，當薄膜電晶體關閉時，氧化物半導體層可視為絕緣體。另一方面，當薄膜電晶體開啓時，氧化物半導體之電流供應能力預期將高於以非結晶矽形成之半導體層的。

假設使用低溫多晶矽形成之薄膜電晶體的關閉狀態電流為使用氧化物半導體形成之薄膜電晶體的之約 10000 倍，而執行設計。因而，當薄膜電晶體具有等效儲存電容 (約 0.1 pF) 時，使用氧化物半導體形成之薄膜電晶體的保持電壓期間可為使用低溫多晶矽形成之薄膜電晶體的之約



10000 倍。例如，當移動影像係每秒顯示 60 訊框時，一信號寫入之保持期間可為約 160 秒，此係使用低溫多晶矽形成之薄膜電晶體的之 10000 倍。以此方式，甚至更不常之影像信號的寫入，靜態影像可顯示於顯示部。

藉由將本實施例中電晶體應用於實施例 1 至 3 中半導體裝置之任一者，可改進半導體裝置之驅動能力。

#### (實施例 6)

在本實施例中，將說明顯示裝置之範例。

圖 18A 描繪顯示裝置之範例。圖 18A 中顯示裝置包括電路 5361、電路 5362、電路 5363\_1、電路 5363\_2 及像素部 5364。從電路 5362 延長之複數佈線 5371 及從電路 5363\_1 及 5363\_2 延長之複數佈線 5372 係提供於像素部 5364 中。此外，其中複數佈線 5371 及複數佈線 5372 彼此相交之個別區域中，像素 5367 係以矩陣配置。

電路 5361 具有控制電路 5362、電路 5363\_1 及電路 5363\_2 操作時序之功能。因此，電路 5361 回應視訊信號 5360 而供應信號、電壓、電流等予電路 5362、5363\_1 及 5363\_2。例如，電路 5361 供應源極驅動開始信號(SSP)、源極驅動時脈信號(SCK)、源極驅動反向時脈信號(SCKB)、視訊信號資料(DATA)及門鎖信號(LAT)予電路 5362。再者，電路 5361 供應閘極驅動開始信號(GSP)、閘極驅動時脈信號(GCK)及閘極驅動反向時脈信號(GCKB)予電路 5363\_1 及電路 5363\_2。如上述，電路 5361 具有控

制器、控制電路、時序產生器、電源電路、調節器等功能。

電路 5362 具有回應從電路 5361 供應之信號(例如 SSP、SCK、SCKB、DATA 或 LAT)，而輸出視訊信號予複數佈線 5371 之功能。即，電路 5362 具有源極驅動器之功能。

電路 5363\_1 及電路 5363\_2 各具有回應從電路 5361 供應之信號(例如 GSP、GCK 或 GCKB)，而輸出閘極信號予複數佈線 5372 之功能。即，電路 5363\_1 及電路 5363\_2 之每一者可做為閘極驅動器。

請注意，在圖 18A 之顯示裝置中，相同信號供應予電路 5363\_1 及電路 5363\_2，使得電路 5363\_1 及電路 5363\_2 通常約以相同時序輸出閘極信號予複數佈線 5372。因此，可降低電路 5363\_1 及電路 5363\_2 之負載。然而，本實施例之一範例不侷限於此結構。例如，如圖 18B 中所描繪，不同信號可輸入電路 5363\_1 及電路 5363\_2。因此，藉由電路 5363\_1 可控制複數佈線 5372 之一部分(例如奇數列)，及藉由電路 5363\_2 可控制複數佈線 5372 之其他部分(例如偶數列)。因而，可降低電路 5363\_1 及電路 5363\_2 之驅動頻率。

如圖 18B 中所描繪，顯示裝置可包括電路 5365 及照明裝置 5366。電路 5365 具有回應從電路 5361 供應之背光控制信號(BLC)，而控制供應予照明裝置 5366 之電量、供應電力予照明裝置 5366 之時間等功能。因而，可依據

視訊信號 5360 而控制照明裝置 5366 之亮度(或平均亮度)，使得可體現局部調光。當整個影像為暗時，可降低照明裝置 5366 之亮度，反之，當整個影像為亮時，可增加照明裝置 5366 之亮度。以此方式，可增加對比度或可降低電力消耗。

複數佈線 5371 及複數佈線 5372 做為信號線。具體地，複數佈線 5371 做為源極信號線(亦稱為視訊信號線)，及複數佈線 5372 做為閘極信號線(亦稱為掃描信號線或選擇信號線)。

請注意，電路 5363\_1 及電路 5363\_2 之一可省略。另一方面，可額外提供具有類似於電路 5363\_1 及 5363\_2 之功能的電路。

請注意，一或複數佈線(例如電容器線、電源線、閘極信號線及/或源極信號線)可依據像素 5367 之結構而提供於像素部 5364 中。在此狀況下，可額外提供用於控制額外提供之佈線之電位的電路。具體地，當液晶元件、電泳元件等用做顯示元件時，電容器線較佳地提供於像素部 5364 中。具體地，當 EL 元件用做顯示元件時，電源較佳地提供於像素部 5364 中。

如圖 19A 中所描繪，在圖 18A 之顯示裝置中，電路 5362、電路 5363\_1 及電路 5363\_2 可形成於像素部 5364 形成處之基板 5380 之上。再者，圖 18A 之顯示裝置中電路 5361 可形成於與像素部 5364 形成處之基板不同的基板之上。

如圖 19B 中所描繪，在圖 18A 之顯示裝置中，電路 5361 及電路 5362 可形成於與像素部 5364 形成處之基板不同的基板之上。由於電路 5363\_1 及電路 5363\_2 的驅動頻率通常低於電路 5361 及電路 5362 的，電路 5361 及電路 5362 較佳地形成於與電路 5363\_1 及電路 5363\_2 形成處之基板不同的基板之上。因而，電路 5361 及電路 5362 之驅動頻率可增加，使得顯示裝置之尺寸可增加。此外，電路 5363\_1 及電路 5363\_2 可形成於像素部 5364 形成處之基板之上，使得可以較低成本製造顯示裝置。

如圖 19C 中所描繪，在圖 18A 之顯示裝置中，電路 5362a(電路 5362 之一部分)可形成於像素部 5364 形成處之基板之上，電路 5361 及電路 5362b(電路 5362 之其他部分)可形成於與像素部 5364 形成處之基板不同的基板之上。驅動頻率比較低之電路，諸如開關、移位暫存器、及/或選擇器，可用做電路 5362a。因而，電路 5361 及電路 5362b 之驅動頻率可增加，使得顯示裝置之尺寸可增加。另一方面，電路 5362a、電路 5363\_1 及電路 5363\_2 可形成於像素部 5364 形成處之基板之上，使得可以較低成本製造顯示裝置。

如圖 19D 中所描繪，在圖 18A 之顯示裝置中，電路 5361a(電路 5361 之一部分)可形成於像素部 5364 形成處之基板之上，而電路 5361b(電路 5361 之其他部分)可形成於與像素部 5364 形成處之基板不同的基板之上。

形成於與像素部 5364 形成處之基板不同的基板上之

電路(該等電路亦稱為外部電路)通常經由輸入端子 5381 而供應信號、電壓、電流等予形成於像素部 5364 形成處之基板上之電路或佈線。

請注意，外部電路可藉由捲帶自動接合(TAB)而安裝於軟性印刷電路(FPC)。另一方面，外部電路可藉由將晶片安裝於玻璃(COG)而安裝於像素部 5364 形成處之基板 5380 上。

外部電路較佳地使用單晶基板、SOI 基板等予以形成。因此，可體現驅動頻率改進、驅動電壓改進、輸出信號變化減少等。

請注意，實施例 1 至 4 中所示半導體裝置之任一者可應用於本實施例中顯示裝置。具體地，實施例 1 至 4 中半導體裝置之任一者可用做電路 5362 及電路 5363。因而，可改進用於驅動像素部 5364 之電路的驅動能力(例如電路 5362 及電路 5363)，使得可增加像素之解析度，或可增加顯示裝置之尺寸。

請注意，在本說明書等中，顯示元件、包括顯示元件之裝置的顯示裝置、發光元件、及包括發光元件之裝置的發光裝置，可使用各種模式或可包括各種元件。例如，其對比、亮度、反射係數、透射比等藉由電磁動作而改變之顯示媒介，諸如 EL(電致發光)元件(例如包括有機及無機材料之 EL 元件、有機 EL 元件、或無機 EL 元件)、LED(例如白光 LED、紅光 LED、綠光 LED 或藍光 LED)、電晶體(依據電流量而發光之電晶體)、電子發射體、液晶元

件、電子墨水、電泳元件、光柵閥(GLV)、電漿顯示面板(PDP)、數位微鏡像裝置(DMD)、或壓電陶瓷顯示器，可用於顯示元件、顯示裝置、發光元件、或發光裝置。包括EL元件之顯示裝置的範例為EL顯示器。包括電子發射體之顯示裝置的範例為場發射顯示器(FED)及SED型平板顯示器(SED：表面傳導電子發射體顯示器)。包括液晶元件之顯示裝置的範例為液晶顯示器(例如透射液晶顯示器、半透射液晶顯示器、反射液晶顯示器、直視液晶顯示器及投影液晶顯示器)。包括電子墨水或電泳元件之顯示裝置的範例為電子紙。

EL元件之範例為包括陽極、陰極、及置於陽極與陰極之間之EL層的元件。EL層之範例為使用來自單重態激子發光(螢光)之層、使用來自三重態激子發光(磷光)之層、使用來自單重態激子發光(螢光)及來自三重態激子發光(磷光)之層、使用有機材料形成之層、使用無機材料形成之層、使用有機材料及無機材料形成之層、包括高分子材料之層、包括低分子材料之層、及包括高分子材料及低分子材料之層。請注意，可使用各種類型之EL元件，不侷限於上述。

液晶元件之範例為藉由液晶之光調製動作而控制光之透射及非透射之元件。該元件可包括一對電極及液晶層。液晶之光調製動作係藉由施加於液晶之電場(包括橫向電場、垂直電場及斜線電場)予以控制。具體地，下列可用於液晶元件，例如：向列液晶、膽固醇液晶、近晶液晶、

圓盤液晶、熱致液晶、溶致液晶、低分子液晶、高分子液晶、聚合物分散液晶(PDLC)、鐵電液晶、反鐵電液晶、主鏈液晶、側鏈高分子液晶、電漿尋址液晶(PALC)及香蕉形液晶。再者，下列方法可用於驅動液晶，例如：扭轉向列(TN)模式、超級扭轉向列(STN)模式、平面方向切換(IPS)模式、邊緣場切換(FFS)模式、多區域垂直排列(MVA)模式、圖像垂直調整(PVA)模式、超視覺(ASV)模式、軸對稱排列微型格(ASM)模式、光學補償雙折射(OCB)模式、電控雙折射(ECB)模式、鐵電液晶(FLC)模式、反電液晶(AFLC)模式、聚合物分散液晶(PDLC)模式、聚合物網絡液晶(PNLC)模式、主客模式、及藍相模式。請注意，可使用各種液晶元件及驅動方法，不侷限於上述。

例如，可使用分子(使用光學各向異性、染料分子取向等之方法)、粒子(使用電泳、粒子移動、粒子旋轉、相位改變等之方法)、膜之一端移動、分子之著色屬性或相位改變、分子之光學吸收、或藉由電子及電洞組合之自發光，而執行電子紙顯示。電子紙之顯示方法的具體範例為微膠囊電泳、水平電泳、垂直電泳、球形扭球、磁性扭球、柱狀扭球、帶電碳粉、電液粉(註冊商標)、磁泳、磁性熱敏型式、電潤濕、光散射(透明-不透明改變)、膽固醇液晶及光導層、膽固醇液晶、雙穩態向列液晶、鐵電液晶、具二色性染料之液晶分散型式、可動膜、無色染料之著色及脫色屬性、光致變色、電致變色、電沉積、及軟性有機 EL。請注意，可使用各種電子紙及顯示方法，不侷

限於上述。藉由使用微膠囊電泳做為電子紙之顯示方法，可解決電泳之問題，即電泳粒子之聚集及沉澱。藉由使用電液粉做為電子紙之顯示方法，電子紙具有諸如高速回應、高反射係數、寬視角、低電力消耗及記憶體屬性之優點。

請注意，可使用電致發光、冷陰極螢光燈、熱陰極螢光燈、LED、雷射光源、水銀燈等，做為需要光源之顯示裝置之光源，諸如液晶顯示器(例如透射液晶顯示器、半透射液晶顯示器、反射液晶顯示器、直視液晶顯示器或投影液晶顯示器)、包括光柵閥(GLV)之顯示裝置、或包括數位微鏡像裝置(DMD)之顯示裝置。請注意，可使用各種光源，不侷限於上述。

請注意，在本說明書等中，可使用各種基板形成電晶體。對於基板之類型並無特別限制。形成電晶體之基板的範例為半導體基板(例如單晶基板及矽基板)、SOI 基板、玻璃基板、石英基板、塑料基板、金屬基板、不鏽鋼基板、包括不鏽鋼薄片之基板、鎢基板、包括鎢薄片之基板、軟性基板、附著膜、包括纖維材料之紙、及基材膜。玻璃基板之範例為鋇硼矽酸鹽玻璃基板、鋁硼矽酸鹽玻璃基板、及鈉鈣矽酸鹽玻璃基板。對軟性基板而言，可使用例如軟性合成樹脂，諸如以聚對苯二甲酸乙二酯(PET)、聚萘二甲酸乙二醇酯(PEN)、及聚硫醚(PES)為代表之塑料、或丙烯酸樹脂。附著膜之範例為使用聚丙烯、多元酯、乙烯樹脂、聚氟乙烯、聚氯乙烯等形成之附著膜。對



基膜而言，可使用例如多元酯、聚醯胺、聚醯亞胺、無機蒸氣沉積膜、紙等。具體地，當使用半導體基板、單晶基板、SOI 基板等形成電晶體時，可形成電晶體具少變化之特性、尺寸、形狀等，並具高電流供應能力及小尺寸。藉由使用該等電晶體形成電路，可降低電路之電力消耗，或電路可高度整合。

請注意，可使用一基板形成電晶體，接著將該電晶體轉移至其他基板。電晶體轉移之基板的範例，除了上述可形成電晶體之基板外，包括紙基板、玻璃紙基板、石頭基板、木基板、布基板(包括天然纖維(例如絲、棉或麻)、合成纖維(例如尼龍、聚氨酯或多元酯)、再生纖維(例如醋酸纖維、銅氨絲、人造絲或再生多元酯)等)、皮革基板、及橡膠基板。藉由使用該等基板，可形成具卓越屬性之電晶體或具低電力消耗之電晶體，可形成具高耐久性 or 高耐熱性之裝置，或可達成重量或厚度減少。

請注意，需體現所要功能之所有電路可使用一基板形成(例如玻璃基板、塑料基板、單晶基板或 SOI 基板)。

此外，並非所有需體現預定功能之電路均需使用一基板形成。即，需體現預定功能之部分電路可使用一基板形成，需體現預定功能之其他部分電路可使用其他基板形成。例如，需體現預定功能之一些電路可使用玻璃基板形成，及需體現預定功能之一些電路可使用單晶基板(或 SOI 基板)形成。接著，形成需體現預定功能之一些電路的單晶基板(該等基板亦稱為 IC 晶片)可藉由將晶片安裝

於玻璃(COG)而連接玻璃基板，且 IC 晶片可提供於玻璃基板之上。另一方面，IC 晶片可藉由捲帶自動接合(TAB)、將晶片安裝於膜(COF)、表面安裝技術(SMT)、印刷電路板等而連接玻璃基板。

請注意，實施例 5 中電晶體可用做驅動電路(例如電路 5362 及電路 5363)中所包括之電晶體及/或像素部 5354 中所包括之電晶體。

#### (實施例 7)

在本實施例中，將說明像素之範例及像素之驅動方法。具體地，將說明包括具記憶體屬性之顯示元件的像素之範例，及像素的驅動方法之範例。

圖 20A 描繪像素之電路圖範例。像素 5450 包括電晶體 5451、電容器 5452 及顯示元件 5453。電晶體 5451 之第一端子連接佈線 5461。電晶體 5451 之第二端子連接電容器 5452 之一電極及顯示元件 5453 之一電極(亦稱為像素電極)。電晶體 5451 之閘極連接佈線 5462。電容器 5452 之另一電極連接佈線 5463。顯示元件 5453 之另一電極連接電極 5454(亦稱為共同電極、相對電極或陰極電極)。

請注意，電極 5455 係指顯示元件 5453 之一電極。

顯示元件 5453 較佳地為具有記憶體屬性。顯示元件 5453 之範例及顯示元件之驅動方法為微膠囊電泳、微杯電泳、水平電泳、垂直電泳、扭球、液體粉狀顯示、電液

粉、膽固醇液晶、手性向列液晶、反鐵電液晶、聚合物分散液晶、帶電碳粉、電潤濕、電致變色及電沉積。

圖 20B 為使用微膠囊電泳之像素的截面圖。複數微膠囊 5480 置於電極 5454 與電極 5455 之間。複數微膠囊 5480 藉由樹脂 5481 而固定。樹脂 5481 做為黏合劑。樹脂 5481 較佳地具有透光屬性。藉由電極 5454、電極 5455 及微膠囊 5480 形成之空間可填充諸如空氣或惰性氣體之氣體。請注意，微膠囊 5480 可藉由包括電極 5454 及 5455 之一或二者表面之黏合劑等的層之形成而予固定。

微膠囊 5480 包括膜 5482、液體 5483、粒子 5484 及粒子 5485。液體 5483、粒子 5484 及粒子 5485 密封於膜 5482 中。膜 5482 具有透光屬性。液體 5483 做為分散液。粒子 5484 及粒子 5485 可藉由液體 5483 而於膜 5482 中分散。較佳的是液體 5483 具有透光屬性且未著色。粒子 5484 及粒子 5485 具有不同顏色。例如，較佳的是粒子 5484 與粒子 5485 之一為黑色，粒子 5484 與粒子 5485 之另一為白色。請注意，粒子 5484 及粒子 5485 被充電，使得其電荷密度彼此不同。例如，粒子 5484 與粒子 5485 之一為正充電，粒子 5484 與粒子 5485 之另一為負充電。因而，當電極 5454 與電極 5455 之間發生電位差時，粒子 5484 及粒子 5485 依據電場方向而移動。因此，顯示元件 5453 之反射係數改變，使得可控制灰階。請注意，微膠囊 5480 之結構不侷限於上述結構。例如，液體 5483 可著色。有關另一範例，有關密封於膜 5482 中之粒子，可使

用一種粒子，或三種或更多種粒子。有關其他範例，粒子 5484 及粒子 5485 之顏色，除了白色及黑色以外，可選自紅色、綠色、藍色、青綠色，紅紫色，黃翠綠色，朱紅色等。

可使用例如透光材料(例如聚合物樹脂，諸如丙烯酸樹脂(例如聚甲基丙烯酸甲酯或聚甲基丙烯酸乙酯)、尿素樹脂、或阿拉伯樹膠)而形成膜 5482。請注意，膜 5482 較佳地為凝膠狀。藉由使用該等膜 5482，可改進可塑性、抗彎強度、機械強度等，導致易曲性改進。另一方面，微膠囊 5480 可均勻且其間無間隙地配置於諸如膜之基板上。

透光油性液體較佳地用做液體 5483。液體 5483 之具體範例為含酒精溶劑(例如甲醇、乙醇、異丙醇、丁醇、辛醇、及甲氧基乙醇)、酯(例如乙酸乙酯及乙酸丁酯)、脂肪烴(例如酮，諸如丙酮、甲基乙基酮及甲基異丁基酮；戊烷、己烷及辛烷)、脂環烴(例如環己烷及甲基環己烷)、芳香烴諸如具有長鏈烷基之苯(例如苯、甲苯、二甲苯、己基苯、丁基苯、辛基苯、壬基苯、癸基苯、十一烷基苯、十二烷基苯、十三烷基苯、及十四烷基苯)、鹵化烴(例如二氯甲烷、三氯甲烷、四氯化碳及二氯乙烷)、羧酸鹽、水，及其他類油。液體 5483 之其他範例為上述材料之二或更多者之混合物，表面活化劑等及上述材料之一者之組合，及表面活化劑等及上述材料之二或更多者之混合物之組合。

粒子 5484 及粒子 5485 之每一者係使用顏料形成。粒子 5484 及粒子 5485 中所包括之顏料較佳地具有不同顏色。例如，較佳的是粒子 5484 係使用黑色顏料形成，及粒子 5485 係使用白色顏料形成。黑色顏料之範例為苯胺黑及炭黑。白色顏料之範例為二氧化鈦、鋅白(氧化鋅)及三氧化銻。請注意，較佳地添加電荷控制劑(例如電解質、表面活化劑、金屬皂、樹脂、橡膠、油、油漆或化合物)、分散劑(例如鈦基耦合劑、鋁基耦合劑或矽基耦合劑)、潤滑劑、穩定劑等至上述顏料。

圖 21A 為若扭球顯示方法用於顯示元件 5453，像素之截面圖。在扭球顯示方法中，藉由顯示元件之旋轉而改變反射係數，以便控制灰階。與圖 20B 之差異在於取代微膠囊 5480，扭球 5486 被置於電極 5454 與電極 5455 之間。扭球 5486 包括粒子 5487 及環繞粒子 5487 而形成之腔 5488。粒子 5487 為球形粒子，其中一半球之表面著色特定顏色，及另一半球之表面著色不同顏色。此處，粒子 5487 具有白色半球及黑色半球。請注意，兩半球之間存在電荷密度差異。為此原因，藉由產生電極 5454 與電極 5455 之間電位差，粒子 5487 可依據電場方向旋轉。腔 5488 填注液體。有關該液體，可使用類似於液體 5483 之液體。請注意，扭球 5486 之結構不侷限於圖 21A 中所描繪之結構。例如，扭球 5486 可為圓筒形、橢圓形等。

圖 21B 為若微杯電泳方法用於顯示元件 5453，像素之截面圖。微杯陣列可以下列方式形成：微杯 5491 係使

用 UV 固化樹脂等形成，具有複數凹部，填注於電介質溶劑 5492 中分散之帶電顏料粒子 5493，並以密封層 5494 執行密封。黏合層 5495 較佳地形成於密封層 5494 與電極 5455 之間。有關電介質溶劑 5492，可使用無色溶劑或可使用紅色、藍色等彩色溶劑。本實施例顯示使用一種帶電粒子顏料之狀況；另一方面，可使用二或更多種帶電粒子顏料。微杯具有壁，藉此格被分隔，並因而具有充分高的耐震及耐壓性。再者，由於微杯之零件緊密地密封，可降低環境改變之不利影響。

圖 21C 為若電液粉顯示方法用於顯示元件 5453，像素之截面圖。電液粉具有流動性，為具有液體屬性及粒子屬性之物質。在此方法中，格藉由分割區 5504 而分隔，電液粉 5502 及電液粉 5503 被置於格中。有關電液粉 5502 及電液粉 5503，較佳地使用白色粒子及黑色粒子。請注意，電液粉 5502 及 5503 之種類不侷限於此。例如，並非白色及黑色之兩色的彩色粒子可用做電液粉 5502 及 5503。有關其他範例，可省略電液粉 5502 及電液粉 5503 之一者。

信號被輸入佈線 5461。具體地，用於控制顯示元件 5453 之灰階的信號(例如視訊信號)被輸入佈線 5461。因此，佈線 5461 做為信號線或源極信號線(亦稱為視訊信號線或源極線)。信號被輸入佈線 5462。具體地，用於控制電晶體 5451 之傳導狀態的信號(例如閘極信號、掃描信號或選擇信號)被輸入佈線 5462。因此，佈線 5462 做為信號

線或閘極信號線(亦稱為掃描信號線或閘極線)。固定電壓被供應予佈線 5463。佈線 5463 連接電容器 5452。因此，佈線 5463 做為電源線或電容器線。固定電壓被供應予電極 5454。電極 5454 通常由複數像素或所有像素共用。因此，電極 5454 做為共同電極(亦稱為相對電極或陰極電極)。

請注意，輸入佈線 5461、佈線 5462、佈線 5463 及電極 5454 之信號或電壓不侷限於上述，可輸入各種其他信號或電壓。例如，信號可輸入佈線 5463。因而，可控制電極 5455 之電位，使得可降低輸入佈線 5461 之信號的振幅電壓。因而，佈線 5463 可具有信號線之功能。有關其他範例，藉由改變供應予電極 5454 之電壓，可調整施加於顯示元件 5453 之電壓。因而，可降低輸入佈線 5461 之信號的振幅電壓。

電晶體 5451 具有控制佈線 5461 與電極 5455 之間電氣連續性之功能，控制將佈線 5461 之電位供應予電極 5455 之時序之功能，或控制選擇像素 5450 之時序之功能。以此方式，電晶體 5451 具有開關或選擇電晶體之功能。電晶體 5451 為  $n$  通道電晶體。為此原因，電晶體 5451 於 H 信號輸入佈線 5462 時開啓，及於 L 信號輸入佈線 5462 時關閉。請注意，電晶體 5451 不侷限於  $n$  通道電晶體，可為  $p$  通道電晶體。在此狀況下，電晶體 5451 於 L 信號輸入佈線 5462 時開啓，及於 H 信號輸入佈線 5462 時關閉。電容器 5452 具有保持電極 5455 與佈線 5463 之

間電位差之功能，或將電極 5455 之電位保持於預定值之功能。因而，甚至當電晶體 5451 關閉時，電壓可持續施加於顯示元件 5453。以此方式，電容器 5452 具有儲存電容器之功能。請注意，電晶體 5451 及電容器 5452 之功能不侷限於上述，電晶體 5451 及電容器 5452 可具有各種其他功能。

其次，將概略說明本實施例中像素之作業。藉由施加電壓於顯示元件 5453，使得顯示元件 5453 中產生電場，而控制顯示元件 5453 之灰階。藉由控制電極 5454 之電位及電極 5455 之電位，而控制施加於顯示元件 5453 之電壓。具體地，藉由控制施加於電極 5454 之電壓，而控制電極 5454 之電位。藉由控制輸入佈線 5461 之信號，而控制電極 5455 之電位。當電晶體 5451 開啓時，輸入佈線 5461 之信號被供應予電極 5455。

請注意，藉由控制施加於顯示元件 5453 之電場的強度或方向、電場施加於顯示元件 5453 之時間等，可控制顯示元件 5453 之灰階。請注意，藉由使電極 5454 與電極 5455 之間不產生電位差，可維持顯示元件 5453 之灰階。

其次，將說明本實施例中像素之作業範例。圖 22A 中時序圖顯示包括選擇期間及非選擇期間之期間 T。期間 T 為從選擇期間開始直至下一選擇期間開始之期間。

在選擇期間，H 信號輸入佈線 5462，使得佈線 5462 之電位(稱為電位  $V_{5462}$ )為 H 位準。為此原因，電晶體 5451 開啓，使得佈線 5461 與電極 5455 之間建立電氣連



續性。因而，輸入佈線 5461 之信號經由電晶體 5451 而供應予電極 5455。接著，電極 5455 之電位(稱爲電位 V5455)成爲等於輸入佈線 5461 之信號。此時，電容器 5452 保持電極 5455 與佈線 5463 之間電位差。在非選擇期間，L 信號輸入佈線 5462，使得佈線 5462 之電位爲 L 位準。爲此原因，電晶體 5451 關閉，使得佈線 5461 與電極 5455 之間電氣連續性被打破。接著，設定電極 5455 處於浮動狀態。此時，電容器 5452 保持選擇期間電極 5455 與佈線 5463 之間電位差。爲此原因，電極 5455 之電位保持等於選擇期間輸入佈線 5461 之信號。以此方式，於非選擇期間，甚至當電晶體 5451 關閉時，電壓可持續施加於顯示元件 5453。如上述，藉由控制選擇期間輸入佈線 5461 之信號，可控制施加於顯示元件 5453 之電壓。即，藉由控制選擇期間輸入佈線 5461 之信號，可控制顯示元件 5453 之灰階。

請注意，因爲電晶體 5451 之關閉狀態電流、電晶體 5451 之饋通、電晶體 5451 之電荷注入等不利影響，非選擇期間電極 5455 之電位可與選擇期間輸入佈線 5461 之信號不同。

如圖 22B 中所描繪，電極 5455 之電位於部分選擇期間可等於電極 5454 的。爲此原因，藉由改變部分選擇期間電極 5455 之電位，甚至當相同信號持續輸入佈線 5461 時，仍可改變施加於顯示元件 5453 之電場強度。因而，可減少殘影；可增加響應速度；或可減少像素之間響應速

度變化，使得可避免不平均或殘影。為體現該等驅動方法，選擇期間可劃分為期間 T1 及期間 T2。在期間 T1，輸入佈線 5461 之信號較佳地等於電極 5454 之電位。在期間 T2，輸入佈線 5461 之信號較佳地具有各種值，以便控制顯示元件 5453 之灰階。請注意，當期間 T1 過長時，用於控制顯示元件 5453 之灰階的信號寫入像素 5450 之期間變短。因此，期間 T1 較佳地較期間 T2 短。具體地，期間 T1 較佳地佔選擇期間的 1 至 20%，更佳地為 3 至 15%，進一步較佳地為 5 至 10%。

其次說明本實施例中像素之作業範例，其中顯示元件 5453 之灰階係藉由將電壓施加於顯示元件 5453 之時間控制。圖 22C 中時序圖顯示期間 Ta 及期間 Tb。期間 Ta 包括 N 個期間 T (N 為自然數)。N 個期間 T 類似於圖 22A 或圖 22B 中所描繪之期間 T。期間 Ta 為用於改變顯示元件 5453 之灰階的期間(例如定址期間、寫入期間、或影像覆寫期間)。期間 Tb 為用於保持期間 Ta 中顯示元件 5453 之灰階的期間(即保持期間)。

電壓 V0 供應予電極 5454，使得電位 V0 施加於電極 5454。具有至少三值之信號輸入佈線 5463，且信號之三電位為電位 VH ( $VH > V0$ )、電位 V0、及電位 VL ( $VL < V0$ )；因此，電位 VH、電位 V0 及電位 VL 選擇地施加於電極 5455。

在期間 Ta 中 N 個期間 T 之每一者中，藉由控制施加於電極 5455 之電位，可控制施加於顯示元件 5453 之電

壓。例如，當電位  $V_H$  施加於電極 5455 時，電極 5454 與電極 5455 之間電位差成爲  $V_H - V_L$ 。因而，正電壓可施加於顯示元件 5453。當電位  $V_0$  施加於電極 5455 時，電極 5454 與電極 5455 之間電位差成爲零。因而，零電壓可施加於顯示元件 5453。當電位  $V_L$  施加於電極 5455 時，電極 5454 與電極 5455 之間電位差成爲  $V_L - V_H$ 。因而，負電壓可施加於顯示元件 5453。如上述，在期間  $T_a$ ，正電壓 ( $V_H - V_L$ )、負電壓 ( $V_L - V_H$ ) 及零電壓可以各種順序施加於顯示元件 5453。因而，可緊密控制顯示元件 5453 之灰階；可減少殘影；或可增加響應速度。

請注意，在本實施例中，當正電壓施加於顯示元件 5453 時，顯示元件 5453 之灰階接近黑色(亦稱爲第一灰階)。當負電壓施加於顯示元件 5453 時，顯示元件 5453 之灰階接近白色(亦稱爲第二灰階)。當零電壓施加於顯示元件 5453 時，顯示元件 5453 之灰階維持。

在期間  $T_b$ ，輸入佈線 5461 之信號未寫入像素 5450。因此，在期間  $T_a$  之第  $N$  個期間  $T$  中施加於電極 5455 之電位，於期間  $T_b$  持續施加。具體地，在期間  $T_b$ ，較佳的是藉由顯示元件 5453 中未產生場效而維持顯示元件 5453 之灰階。爲此原因，在期間  $T_a$  之第  $N$  個期間  $T$  中電位  $V_0$  較佳地施加於電極 5455。因而，電位  $V_0$  亦於期間  $T_b$  施加於電極 5455，使得零電壓施加於顯示元件 5453。以此方式，可維持顯示元件 5453 之灰階。

請注意，由於後續藉由顯示元件 5453 表示之灰階較

接近第一灰階，期間 Ta 中電位 VH 施加於電極 5455 之時間較佳地較長。另一方面，於 N 個期間 T 中電位 VH 施加於電極 5455 之頻率較佳地較高。另一方面，較佳的是於期間 Ta 中藉由電位 VH 施加於電極 5455 之時間減去電位 VL 施加於電極 5455 之時間所獲得之時間增加。進一步另一方面，於 N 個期間 T 中較佳的是藉由電位 VH 施加於電極 5455 之頻率減去電位 VL 施加於電極 5455 之頻率所獲得之頻率增加。

此外，由於後續藉由顯示元件 5453 表示之灰階較接近第二灰階，期間 Ta 中電位 VL 施加於電極 5455 之時間較佳地較長。另一方面，於 N 個期間 T 中電位 VL 施加於電極 5455 之頻率較佳地較高。另一方面，較佳的是於期間 Ta 中藉由電位 VL 施加於電極 5455 之時間減去電位 VH 施加於電極 5455 之時間所獲得之時間增加。進一步另一方面，於 N 個期間 T 中較佳的是藉由電位 VL 施加於電極 5455 之頻率減去電位 VH 施加於電極 5455 之頻率所獲得之頻率增加。

在期間 Ta，施加於電極 5455 之電位組合(電位 VH、電位 V0 及電位 VL)不僅可取決於後續藉由顯示元件 5453 表示之灰階，亦可取決於已藉由顯示元件 5453 表示之灰階。爲此原因，若不同灰階已藉由顯示元件 5453 表示，甚至當後續藉由顯示元件 5453 表示之灰階相同時，施加於電極 5455 之電位組合可改變。

例如，在用於表示已藉由顯示元件 5453 表示之灰階

的期間  $T_a$  中，電位 VL 施加於電極 5455 之時間較佳地較下列狀況之任一者於期間  $T_a$  中為長：電位 VH 施加於電極 5455 之時間較長的狀況；藉由電位 VH 施加於電極 5455 之時間減去電位 VL 施加於電極 5455 之時間所獲得之時間較長的狀況；於  $N$  個期間  $T$  中電位 VH 施加於電極 5455 之頻率較高的狀況；或於  $N$  個期間  $T$  中藉由電位 VH 施加於電極 5455 之頻率減去電位 VL 施加於電極 5455 之頻率所獲得之頻率較高的狀況。另一方面，於  $N$  個期間  $T$  中電位 VL 施加於電極 5455 之頻率較佳地較高。另一方面，於期間  $T_a$ ，較佳的是藉由電位 VL 施加於電極 5455 之時間減去電位 VH 施加於電極 5455 之時間所獲得之時間增加。進一步另一方面，於  $N$  個期間  $T$  中，較佳的是藉由電位 VL 施加於電極 5455 之頻率減去電位 VH 施加於電極 5455 之頻率所獲得之頻率增加。以此方式，可減少殘影。

有關其他範例，在用於表示已藉由顯示元件 5453 表示之灰階的期間  $T_a$  中，電位 VH 施加於電極 5455 之時間較佳地較下列狀況之任一者於期間  $T_a$  中為長：電位 VL 施加於電極 5455 之時間較長的狀況；藉由電位 VL 施加於電極 5455 之時間減去電位 VH 施加於電極 5455 之時間所獲得之時間較長的狀況；於  $N$  個期間  $T$  中電位 VL 施加於電極 5455 之頻率較高的狀況；或於  $N$  個期間  $T$  中藉由電位 VL 施加於電極 5455 之頻率減去電位 VH 施加於電極 5455 之頻率所獲得之頻率較高的狀況。另一方面，於  $N$

個期間  $T$  中電位  $VH$  施加於電極 5455 之頻率較佳地較高。另一方面，於期間  $Ta$ ，較佳的是藉由電位  $VH$  施加於電極 5455 之時間減去電位  $VL$  施加於電極 5455 之時間所獲得之時間增加。進一步另一方面，於  $N$  個期間  $T$  中，較佳的是藉由電位  $VH$  施加於電極 5455 之頻率減去電位  $VL$  施加於電極 5455 之頻率所獲得之頻率增加。以此方式，可減少殘影。

請注意， $N$  個期間  $T$  具有相同長度；然而， $N$  個期間  $T$  之長度不侷限於此，且  $N$  個期間  $T$  之至少二者之長度可彼此不同。特別較佳的是  $N$  個期間  $T$  之長度進行加權。例如，若  $N=4$  且第一期間  $T$  之長度標示為時間  $h$ ，第二期間  $T$  之長度較佳地為時間  $h \times 2$ ，第三期間  $T$  之長度較佳地為時間  $h \times 4$ ，及第四期間  $T$  之長度較佳地為時間  $h \times 8$ 。當  $N$  個期間  $T$  之長度以此方式加權時，像素 5450 之選擇頻率可降低，及可緊密地控制施加電壓於顯示元件 5453 之時間。因而，可降低電力消耗。

請注意，電位  $VH$  及電位  $VL$  可選擇地施加於電極 5454。在此狀況下，較佳的是電位  $VH$  及電位  $VL$  亦選擇地施加於電極 5455。例如，若電位  $VH$  施加於電極 5454，當電位  $VH$  施加於電極 5455 時，零電壓施加於顯示元件 5453，反之，當電位  $VL$  施加於電極 5455 時，負電壓施加於顯示元件 5453。另一方面，若電位  $VL$  施加於電極 5454，當電位  $VH$  施加於電極 5455 時，正電壓施加於顯示元件 5453，反之，當電位  $VL$  施加於電極 5455

時，零電壓施加於顯示元件 5453。以此方式，輸入佈線 5461 之信號可具有二值(即，信號可為數位信號)。為此原因，可簡化輸出信號至佈線 5461 之電路。

請注意，在期間  $T_b$  或部分期間  $T_b$ ，可未輸入信號予佈線 5461 及佈線 5462。即，可設定佈線 5461 及佈線 5462 處於浮動狀態。再者，在期間  $T_b$  或部分期間  $T_b$ ，可未輸入信號予佈線 5463。即，可設定佈線 5463 處於浮動狀態。此外，在期間  $T_b$  或部分期間  $T_b$ ，可未供應電壓予電極 5454。即，可設定電極 5454 處於浮動狀態。

在本實施例中，具記憶體屬性之顯示元件需被供應高於普通液晶元件(例如 TN 液晶)者之電壓。藉由使用實施例 1 至 4 之任一者中半導體裝置，其包括實施例 5 中電晶體做為用於驅動具記憶體屬性之顯示元件的電路，而可增加驅動電壓。這是因為實施例 5 中電晶體具有高於非結晶矽薄膜電晶體(a-Si TFT)、多晶矽薄膜電晶體(p-Si TFT)等者之耐受電壓。

此外，較佳的是實施例 5 中所示電晶體用做包括具記憶體屬性之顯示元件以及使用用於驅動具記憶體屬性之顯示元件之電路中實施例 5 之電晶體的像素中所包括之電晶體 5451。因而可降低電晶體 5451 之關閉狀態電流，使得可降低電晶體 5451 之通道寬度，或可降低電容器 5452 之面積。結果，可降低像素之面積。因此，當本實施例中像素係提供於顯示裝置之像素部中時，可增加顯示裝置之解析度。再者，用於驅動具記憶體屬性之顯示元件的電路及

包括具記憶體屬性之顯示元件的像素部，可輕易地形成於一基板上。

(實施例 8)

在本實施例中，將說明電子設備之範例。

圖 27A 至 27H 及圖 28A 至 28D 各描繪電子設備。這些電子設備可包括外殼 5000、顯示部 5001、揚聲器 5003、LED 燈 5004、操作鍵 5005(包括電力開關或操作開關)、連接端子 5006、感測器 5007(感測器具有量測力、位移、位置、速度、加速度、角速度、旋轉頻率、距離、光、液體、磁性、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流率、濕度、傾斜度、震盪、味道或紅外線之功能)、麥克風 5008 等。

圖 27A 描繪個人數位助理，除了上述零件外，其可包括開關 5009、紅外線埠 5010 等。圖 27B 描繪具記憶體媒體之可攜式影像再生裝置(例如 DVD 再生裝置)，且除了上述零件外，影像再生裝置可包括第二顯示部 5002、記憶體媒體讀取部 5011 等。圖 27E 描繪移動電視裝置，除了上述零件外，其可包括天線 5014 等。圖 27D 描繪可攜式遊戲機，除了上述零件外，其可包括記憶體媒體讀取部 5011 等。圖 27C 描繪投影機，除了上述零件外，其可包括光源 5033、投影機鏡頭 5034 等。圖 27F 描繪可攜式遊戲機，除了上述零件外，其可包括第二顯示部 5002、記憶體媒體讀取部 5011。圖 27G 描繪電視接收器，除了上



述零件外，其可包括調諧器、影像處理部等。圖 27H 描繪可攜式電視接收器，除了上述零件外，其可包括可傳送及接收信號等之充電器 5017。圖 28A 描繪顯示器，除了上述零件外，其可包括支撐座 5018 等。圖 28B 描繪相機，除了上述零件外，其可包括外部連接埠 5019；快門按鈕 5015、影像接收部 5016 等。圖 28C 描繪電腦，除了上述零件外，其可包括指向裝置 5020、外部連接埠 5019 讀取器/撰寫器 5021 等。圖 28D 描繪行動電話，除了上述零件外，其可包括天線 5014、用於行動電話之部分接收服務的單波段(單波段數位電視廣播)調諧器、移動端子等。

圖 27A 至 27H 及圖 28A 至 28D 中所描繪之電子設備可具有各種功能，例如於顯示部顯示各種資訊(靜態影像、移動影像、正文影像等)之功能；觸控面板功能；顯示日曆、日期、時間等之功能；以各種軟體(程式)控制程序之功能；無線通訊功能；以無線通訊功能連接各種電腦網路之功能；以無線通訊功能傳送及接收各種資料之功能；讀取儲存於記憶體媒體中之程式或資料並將程式或資料顯示於顯示部之功能。此外，包括複數顯示部之電子設備可具有主要於一顯示部顯示影像資訊及於其他顯示部顯示正文資訊之功能，藉由顯示於複數顯示部考量視差之影像而顯示立體影像之功能等。此外，包括影像接收部之電子設備可具有拍攝靜態影像之功能、拍攝移動影像之功能、自動或人工修正所拍攝影像之功能、將所拍攝影像儲存於記憶體媒體(外部記憶體媒體或併入相機之記憶體媒

體)之功能、於顯示部顯示所拍攝影像之功能等。請注意，可提供用於圖 27A 至 27H 及圖 28A 至 28D 中所描繪之電子設備的功能，不侷限於上述，電子設備可具有各種功能。

其次，將說明半導體裝置之應用。

圖 28E 描繪範例其中半導體裝置併入建築物結構。圖 28E 描繪外殼 5022、顯示部 5023、為作業部之遙控器 5024、揚聲器 5025 等。半導體裝置可以壁掛式結合建築物，使得半導體裝置可不需大空間。

圖 28F 描繪其他範例其中半導體裝置併入建築物。顯示面板 5026 整合預製浴缸 5027，使得使用浴缸者可觀看顯示面板 5026。

請注意，儘管本實施例提供壁及預製浴缸做為建築物範例，但本實施例不侷限於該些範例，且半導體裝置可提供於各種建築物中。

其次，將說明範例其中半導體裝置結合移動目標。

圖 28G 描繪範例其中半導體裝置係提供於車輛中。顯示面板 5028 係提供於車輛之本體 5029 中，可顯示有關車輛操作之資訊，或依需要而從車輛內部或外部輸入之資訊。請注意，可提供導航功能。

圖 28H 描繪範例其中半導體裝置併入客機。圖 28H 描繪當顯示面板 5031 係提供於飛機座位上方之天花板 5030 時使用型樣。顯示面板 5031 經由鉸鏈部 5032 而整合天花板 5030，乘客可藉由延長及縮短鉸鏈部 5032 而觀

看顯示面板 5031。當乘客操作時，顯示面板 5031 具有顯示資訊之功能。

請注意，儘管本實施例提供車輛本體及飛機本體做為移動本體之範例，本實施例不侷限於該些範例。半導體裝置可提供用於各種移動體，諸如兩輪機車、四輪車輛(包括汽車、巴士等)、火車(包括單軌鐵路、鐵道等)、及船。

實施例 1 至 4 中半導體裝置之任一者較佳地提供於本實施例中所示電子設備中。尤其，實施例 1 至 4 中半導體裝置之任一者較佳地提供做為用於驅動電子設備之顯示部的電路。當實施例 1 至 4 中半導體裝置之任一者提供做為用於驅動電子設備之顯示部的電路時，可降低驅動電路之面積，及可增加顯示部之尺寸。另一方面，可增加顯示部之解析度。

#### (實施例 9)

在本實施例中，將參照圖 29A 至 29D 說明依據實施例 5 之半導體裝置的結構及製造方法之其他範例。在本實施例中，詳細說明與實施例 5 之差異，而實施例 5 之說明則用於類似部分。

首先，於基板 400，上形成閘極電極層 411，接著形成閘極絕緣層 402 以便覆蓋閘極電極層 411。之後，於閘極絕緣層 402 之上形成第一氧化物半導體層 404。

第一氧化物半導體層 404 可使用氧化物半導體材料予以形成，其為三成分金屬氧化物並以  $\text{In-M}_x\text{-Zn}_y\text{-O}_z$  ( $Y=0.5$

至 5)代表。此處，M 標示選自 13 族元素之一或複數種元素，諸如鎵(Ga)、鋁(Al)及硼(B)。請注意，所包含之 In、M、Zn 及 O 之量並未限制，且 M 之量可為零(即 X 可為 0)。相對地，In 及 Zn 之量不可為零。即，上述表達代表例如 In-Ga-Zn-O 及 In-Zn-O。

如同實施例 5 中氧化物半導體層 406，可使用四成分金屬氧化物諸如 In-Sn-Ga-Zn-O 基金屬氧化物；三成分金屬氧化物諸如 In-Ga-Zn-O 基金屬氧化物、In-Sn-Zn-O 基金屬氧化物、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物、或 Sn-Al-Zn-O 基金屬氧化物；雙成分金屬氧化物諸如 In-Zn-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、或 In-Mg-O 基金屬氧化物；In-O 基金屬氧化物；Sn-O 基金屬氧化物；Zn-O 基金屬氧化物等，形成第一氧化物半導體層 404。

在本實施例中，第一氧化物半導體層 404 係使用 In-Ga-Zn-O 基氧化物半導體靶材及藉由濺鍍法予以形成。

有關用於藉由濺鍍法形成 In-Ga-Zn-O 基第一氧化物半導體層 404 之靶材，例如可使用包含氧化鋅做為其主要成分之金屬氧化物靶材。可使用具有 In : Ga : Zn=1 : x : y(x 為 0 或更大及 y 為 0.5 至 5)之組成比的包含 In、Ga 及 Zn 之靶材。例如，具 In : Ga : Zn=1 : 1 : 1[原子比](x=1 及 y=1；即，In<sub>2</sub>O<sub>3</sub> : Ga<sub>2</sub>O<sub>3</sub> : ZnO=1 : 1 : 2[摩爾比])之組

成比之靶材。有關氧化物半導體靶材，可使用具 In : Ga : Zn=1 : 1 : 0.5[原子比]之組成比之靶材、具 In : Ga : Zn=1 : 1 : 2[原子比]之組成比之靶材、或具 In : Ga : Zn=1 : 0 : 1[原子比](x=0 及 y=1)之組成比之靶材。在本實施例中，較佳的是使用易於產生結晶之氧化物半導體靶材，因為之後執行之熱處理為刻意結晶第一氧化物半導體層 404。

接著，於第一氧化物半導體層 404 上執行第一熱處理，使得包括至少第一氧化物半導體層 404 表面之區域結晶(詳圖 29A)。藉由於第一氧化物半導體層 404 上執行第一熱處理，可移除第一氧化物半導體層 404 中所包含之過量的水(包括氫基)、氫等。第一熱處理係以 450°C 至 850°C，較佳地為 550°C 至 750°C，執行達 1 分鐘至 24 小時。

在本實施例中，有關第一熱處理，係於氮氣中以 700°C 執行熱處理達一小時；之後執行脫水或脫氫，氣體被切換為氧氣，使得氧供應予第一氧化物半導體層 404 內部。

實施例 5 中第一熱處理可參照熱處理之其他狀況；因此，詳細說明未重複。

第一熱處理係於第一氧化物半導體層 404 上執行，使得可於包括至少第一氧化物半導體層 404 表面之區域中形成非單晶區。於包括第一氧化物半導體層 404 表面之區域中形成之非單晶區，係藉由從表面朝向內部長晶而予形

成。非單晶區為具 2 nm 至 10 nm 平均厚度之平板形非單晶層。再者，非單晶區包括非單晶層，具有沿實質上垂直於第一氧化物半導體層 404 表面之方向的 c 軸對齊。此處，「實質上平行」意即從平行方向 $\pm 10^\circ$ 內之狀態。此外，「實質上垂直」意即從垂直方向 $\pm 10^\circ$ 內之狀態。

其次，於第一氧化物半導體層 404 之上形成第二氧化物半導體層 405(詳圖 29B)。

如同第一氧化物半導體層 404，可使用四成分金屬氧化物諸如 In-Sn-Ga-Zn-O 基金屬氧化物；三成分金屬氧化物諸如 In-Ga-Zn-O 基金屬氧化物、In-Sn-Zn-O 基金屬氧化物、In-Al-Zn-O 基金屬氧化物、Sn-Ga-Zn-O 基金屬氧化物、Al-Ga-Zn-O 基金屬氧化物、或 Sn-Al-Zn-O 基金屬氧化物；雙成分金屬氧化物諸如 In-Zn-O 基金屬氧化物、Sn-Zn-O 基金屬氧化物、Al-Zn-O 基金屬氧化物、Zn-Mg-O 基金屬氧化物、Sn-Mg-O 基金屬氧化物、或 In-Mg-O 基金屬氧化物；In-O 基金屬氧化物；Sn-O 基金屬氧化物；Zn-O 基金屬氧化物等，形成第二氧化物半導體層 405。

較佳的是第二氧化物半導體層 405 係使用包含與第一氧化物半導體層 404 相同主要成分之材料予以形成，或第二氧化物半導體層 405 具有與第一氧化物半導體層 404 相同結晶結構並具有接近第一氧化物半導體層 404 之晶格常數(失配為 1%或更低)。若包含相同主要成分之材料用於第二氧化物半導體層 405 及第一氧化物半導體層 404，當視需要於之後執行之第二熱處理中使用第一氧化物半導體

層 404 之非單晶區長晶時，第二氧化物半導體層 405 易於結晶。再者，包含相同主要成分之材料用於該些氧化物半導體層之狀況，可獲得有利的電氣特性及介面特性，諸如第二氧化物半導體層 405 與第一氧化物半導體層 404 之間的黏合。

另一方面，第二氧化物半導體層 405 可使用包含與第一氧化物半導體層 404 之材料不同之主要成分的材料予以形成。若使用包含與第一氧化物半導體層 404 之材料不同之主要成分的材料，層之電氣特性可彼此不同。例如，當第二氧化物半導體層 405 係使用具高導電性之材料形成，而第一氧化物半導體層 404 係使用具低導電性之材料形成時，可體現基底介面之不利影響降低的半導體裝置。此外，當易於結晶之材料用於第一氧化物半導體層 404 以形成有利的晶種，接著第二氧化物半導體層 405 形成及結晶，第二氧化物半導體層 405 之結晶度可為有利的，無關乎第二氧化物半導體層 405 之結晶的容易。

在本實施例中，第二氧化物半導體層 405 係使用 In-Ga-Zn-O 基氧化物半導體靶材及藉由濺鍍法而予形成。第二氧化物半導體層 405 可以類似於第一氧化物半導體層 404 之方式沉積。請注意，第二氧化物半導體層 405 之厚度較佳地大於第一氧化物半導體層 404 的。再者，較佳的是形成第二氧化物半導體層 405，使得第一及第二氧化物半導體層 404 及 405 之厚度和為 3 nm 至 50 nm。請注意，由於適當厚度隨將使用之氧化物半導體材料、應用等

而異，依據將使用之材料、應用等而設定厚度。

其次，於第二氧化物半導體層 405 上執行第二熱處理，使得視需要而使用第一氧化物半導體層 404 之非單晶區長晶，並形成結晶的第二氧化物半導體層 405(詳圖 29C)。

藉由於第二氧化物半導體層 405 上執行第二熱處理，可從形成於第一氧化物半導體層 404 與第二氧化物半導體層 405 之間界面的非單晶區於整個第二氧化物半導體層 405 中長晶，並可形成結晶的第二氧化物半導體層 405。此外，藉由執行第二熱處理，第一氧化物半導體層 404 可為具較高結晶取向程度之非單晶層。

請注意，在第一氧化物半導體層 404 中，與閘極絕緣層 402 之不平均重疊之區域具有晶界，因而具有非單晶結構。在第二氧化物半導體層 405 中，做為通道形成區之區域至少具有平坦表面。再者，第二氧化物半導體層 405 中做為通道形成區之區域包括如第一氧化物半導體層 404 之 c 軸取向非單晶。請注意，在與閘極電極層 411 重疊之區域中(即通道形成區)，第二氧化物半導體層 405 表面之高度差較佳地為 1 nm 或較少，進一步較佳地為 0.2 nm 或較少。第二氧化物半導體層 405 之通道形成區中非單晶之 a 軸及 b 軸偏離。

例如，當 In-Ga-Zn-O 基氧化物半導體材料用於第二氧化物半導體層 405 時，第二氧化物半導體層 405 可包括以  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$  大於 0 且非自然數)代表之晶體，以



$\text{In}_2\text{Ga}_2\text{ZnO}_7$  (In : Ga : Zn : O = 2 : 2 : 1 : 7) 代表之晶體等。藉由第二熱處理，該等晶體對齊，使得 c 軸實質上垂直於第二氧化物半導體層 405 之表面。

此處，上述晶體包括 In、Ga 及 Zn 之任一者，並可經考量而具有平行於 a 軸及 b 軸之層的層級結構。具體地，上述晶體具有一種結構，其中包含 In 之層與不包含 In 之層 (即包含 Ga 或 Zn 之層) 沿 c 軸方向堆疊。

在 In-Ga-Zn-O 基氧化物半導體中，沿平行於包含 In 之層的 a 軸及 b 軸方向之傳導性為有利的。這是因為 In-Ga-Zn-O 基氧化物半導體中導電主要係藉由 In 控制，及因為載子路徑由於一 In 之 5s 軌道與鄰近 In 之 5s 軌道重疊而形成。

當第一氧化物半導體層 404 於與閘極絕緣層 402 之介面包括非結晶區時，第二熱處理有時使從形成於第一氧化物半導體層 404 表面之結晶區朝向第一氧化物半導體層 404 底面長晶，使得非結晶區結晶。請注意，非結晶區留下有時取決於閘極絕緣層 402 中所包括之材料、熱處理之狀況等。

若使用具相同主要成分之氧化物半導體材料而形成第一氧化物半導體層 404 及第二氧化物半導體層 405，當如圖 29C 中所描繪朝向第二氧化物半導體層 405 之表面向上長晶時，使用第一氧化物半導體層 404 做為長晶晶種，第一氧化物半導體層 404 及第二氧化物半導體層 405 具有相同結晶結構。為此原因，儘管藉由圖 29C 點線顯示，無法

辨識第一氧化物半導體層 404 與第二氧化物半導體層 405 之間介面，且第一及第二氧化物半導體層 404 及 405 有時可視為一層。

以此方式，藉由執行第二熱處理，整個第二氧化物半導體層 405 可從於第二氧化物半導體層 405 與第一氧化物半導體層 404 之間介面形成之非單晶區結晶。此外，藉由執行第二熱處理，第一氧化物半導體層 404 可為具較高結晶取向程度之非單晶層。

第二熱處理係以 450°C 至 850°C，較佳地為 600°C 至 700°C，執行達 1 分鐘至 100 小時，較佳地為 5 小時至 20 小時，典型地為 10 小時。

亦在第二熱處理中，較佳的是氮、氧或諸如氦、氖或氬之稀有氣體中未包含水、氫等。另一方面，較佳的是導入熱處理設備之氮、氧或諸如氦、氖或氬之稀有氣體的純度為 6N 或較高，進一步較佳地為 7N 或更高。第二熱處理可於具 20 ppm 或更低之 H<sub>2</sub>O 濃度的極乾燥空氣中執行，較佳地為具 1 ppm 或更低之 H<sub>2</sub>O 濃度的極乾燥空氣中。藉由第二熱處理，可移除第二氧化物半導體層 405 中所包含之水(包括羥基)、氫等。因而，可形成第一氧化物半導體層 404 及第二氧化物半導體層 405，其藉由減少雜質而高度純化為本質或實質上本質。

此外，當第二熱處理中溫度增加時，熔爐內部之氣體可切換，使得使用氮氣，而氧氣則用於冷卻時；在氮氣中執行脫水或脫氫之後，當氣體切換為氧氣時，氧可供應予

第二氧化物半導體層 405 內部。

實施例 5 中熱處理設備可參照用於第二熱處理之熱處理設備；因此，詳細說明未重複。

後續步驟可參照實施例 5(圖 15B 至 15D)。

經由上述程序，包括氧化物半導體層 406a 之電晶體 450 完成(詳圖 29D)。

如上述，非單晶區形成於氧化物半導體層 406a 中，藉此可增加電晶體之移動性。當以此方式增加移動性之電晶體應用於需高速作業之電路時，可改進電路之驅動能力。

藉由將本實施例中電晶體應用於實施例 1 至 3 中半導體裝置之任一者，可改進半導體裝置之驅動能力。

此外，本實施例中電晶體及實施例 5 中電晶體之組合可應用於實施例 1 至 4 中半導體裝置之任一者。

本申請案係依據 2009 年 12 月 11 日向日本專利處提出申請之序號 2009-282268 日本專利申請案，其整個內容係以提及方式併入本文。

#### 【符號說明】

101、102、103、104、141、142、450、5451：電晶體

111、112、113、114、115、211、212、213、111A、

111B、5371、5372、5461、5462、5463：佈線

121、5452：電容器

130、131、132、133、134、5361、5362、5363、5365、

5361a、5361b、5362a、5362b：電路  
140：保護電路  
201：NOR 電路  
202：NAND 電路  
203：反相器電路  
400、5380：基板  
402：閘極絕緣層  
404、405、406、406a：氧化物半導體層  
408a、408b：源極/汲極電極層  
411：閘極電極層  
412、418：絕緣層  
5000、5022：外殼  
5001、5002、5023：顯示部  
5003、5025：揚聲器  
5004：發光二極體(LED)燈  
5005：操作鍵  
5006：連接端子  
5007：感測器  
5008：麥克風  
5009：開關  
5010：紅外線埠  
5011：記憶體媒體讀取部  
5014：天線  
5015：快門按鈕

5016 : 影像接收部

5017 : 充電器

5018 : 支撐座

5019 : 外部連接埠

5020 : 指向裝置

5021 : 讀取器/撰寫器

5024 : 遙控器

5026、5028、5031 : 顯示面板

5027 : 預製浴缸

5029 : 本體

5030 : 天花板

5032 : 鉸鏈部

5033 : 光源

5034 : 投影機鏡頭

5354、5364 : 像素部

5360 : 視訊信號

5366 : 照明裝置

5367、5450 : 像素

5381 : 輸入端子

5453 : 顯示元件

5454、5455 : 電極

5480 : 微膠囊

5481 : 樹脂

5482 : 膜

5483 : 液體

5484、5485、5487 : 粒子

5486 : 扭球

5488 : 腔

5491 : 微杯

5492 : 電介質溶劑

5493 : 帶電粒子顏料

5494 : 密封層

5495 : 黏合層

5502、5503 : 電液粉

5504 : 分割區

## 申請專利範圍

【請求項1】一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；以及

第八電晶體，

其中該第一電晶體之源極及汲極之一者電連接至第一佈線，

其中該第一電晶體之該源極及該汲極之另一者電連接至第二佈線，

其中該第二電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第二電晶體之該源極及該汲極之另一者電連接至第三佈線，

其中該第三電晶體之源極及汲極之一者電連接至該第一電晶體之閘極，

其中該第三電晶體之該源極及該汲極之另一者電連接至第四佈線，

其中該第三電晶體之閘極電連接至該第四佈線，

其中該第四電晶體之源極及汲極之一者電連接至該第

一電晶體之該閘極，

其中該第四電晶體之閘極電連接至該第二電晶體之閘極，

其中該第五電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第五電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第六電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第六電晶體之閘極電連接至該第五電晶體之閘極，

其中該第七電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第七電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第八電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第八電晶體之閘極電連接至該第七電晶體之閘極，

其中該第四電晶體之該源極及該汲極之另一者、該第六電晶體之該源極及該汲極之另一者以及該第八電晶體之該源極及該汲極之另一者彼此電連接，

其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電



晶體及該第八電晶體之每一者包括通道形成區域中的氧化物半導體，

其中該氧化物半導體包括銦、鎵及鋅，

其中該氧化物半導體包括c軸取向晶體，並且

其中信號被輸出至該第一佈線。

【請求項2】一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；以及

第八電晶體，

其中該第一電晶體之源極及汲極之一者電連接至第一佈線，

其中該第一電晶體之該源極及該汲極之另一者電連接至第二佈線，

其中該第二電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第二電晶體之該源極及該汲極之另一者電連接至第三佈線，

其中該第三電晶體之源極及汲極之一者電連接至該第一電晶體之閘極，

其中該第三電晶體之該源極及該汲極之另一者電連接至第四佈線，

其中該第三電晶體之閘極電連接至該第四佈線，

其中該第四電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第四電晶體之閘極電連接至該第二電晶體之閘極，

其中該第五電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第五電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第六電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第六電晶體之閘極電連接至該第五電晶體之閘極，

其中該第七電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第七電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第八電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第八電晶體之閘極電連接至該第七電晶體之閘極，

其中該第四電晶體之該源極及該汲極之另一者、該第

六電晶體之該源極及該汲極之另一者以及該第八電晶體之該源極及該汲極之另一者彼此電連接，

其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體及該第八電晶體之每一者包括通道形成區域中的氧化物半導體，

其中該氧化物半導體包括銦、鎵及鋅，

其中該氧化物半導體包括c軸取向晶體，

其中信號被輸出至該第一佈線，

其中時脈信號被輸入至該第二佈線，並且

其中該第三佈線是電源線。

【請求項3】一種半導體裝置，包括：

像素部；以及

電路，用以驅動該像素部，該電路包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；以及

第八電晶體，

其中該第一電晶體之源極及汲極之一者電連接至第一佈線，

其中該第一電晶體之該源極及該汲極之另一者電連接至第二佈線，

其中該第二電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第二電晶體之該源極及該汲極之另一者電連接至第三佈線，

其中該第三電晶體之源極及汲極之一者電連接至該第一電晶體之閘極，

其中該第三電晶體之該源極及該汲極之另一者電連接至第四佈線，

其中該第三電晶體之閘極電連接至該第四佈線，

其中該第四電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第四電晶體之閘極電連接至該第二電晶體之閘極，

其中該第五電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第五電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第六電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第六電晶體之閘極電連接至該第五電晶體之閘極，

其中該第七電晶體之源極及汲極之一者電連接至該第

一佈線，

其中該第七電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第八電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第八電晶體之閘極電連接至該第七電晶體之閘極，

其中該第四電晶體之該源極及該汲極之另一者、該第六電晶體之該源極及該汲極之另一者以及該第八電晶體之該源極及該汲極之另一者彼此電連接，

其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體及該第八電晶體之每一者包括通道形成區域中的氧化物半導體，

其中該氧化物半導體包括銻、鎳及鋅，

其中該氧化物半導體包括c軸取向晶體，

其中信號被輸出至該第一佈線，

其中時脈信號被輸入至該第二佈線，並且

其中該第三佈線是電源線。

**【請求項4】**一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；以及

第八電晶體，

其中該第一電晶體之源極及汲極之一者電連接至第一佈線，

其中該第一電晶體之該源極及該汲極之另一者電連接至第二佈線，

其中該第二電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第二電晶體之該源極及該汲極之另一者電連接至第三佈線，

其中該第二電晶體之閘極直接連接至第五佈線，

其中該第三電晶體之源極及汲極之一者電連接至該第一電晶體之閘極，

其中該第三電晶體之該源極及該汲極之另一者電連接至第四佈線，

其中該第三電晶體之閘極電連接至該第四佈線，

其中該第四電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第四電晶體之閘極電連接至該第二電晶體之閘極，

其中該第四電晶體之該閘極直接連接至該第五佈線，

其中該第五電晶體之源極及汲極之一者電連接至該第

一佈線，

其中該第五電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第六電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第六電晶體之閘極電連接至該第五電晶體之閘極，

其中該第七電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第七電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第八電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第八電晶體之閘極電連接至該第七電晶體之閘極，

其中該第四電晶體之該源極及該汲極之另一者、該第六電晶體之該源極及該汲極之另一者以及該第八電晶體之該源極及該汲極之另一者彼此電連接，

其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體及該第八電晶體之每一者包括通道形成區域中的氧化物半導體，

其中該氧化物半導體包括銻、鎳及鋅，

其中該氧化物半導體包括c軸取向晶體，並且

其中信號被輸出至該第一佈線。

【請求項5】一種半導體裝置，包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；以及

第八電晶體，

其中該第一電晶體之源極及汲極之一者電連接至第一佈線，

其中該第一電晶體之該源極及該汲極之另一者電連接至第二佈線，

其中該第二電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第二電晶體之該源極及該汲極之另一者電連接至第三佈線，

其中該第二電晶體之閘極直接連接至第五佈線，

其中該第三電晶體之源極及汲極之一者電連接至該第一電晶體之閘極，

其中該第三電晶體之該源極及該汲極之另一者電連接至第四佈線，

其中該第三電晶體之閘極電連接至該第四佈線，



其中該第四電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第四電晶體之閘極電連接至該第二電晶體之閘極，

其中該第四電晶體之該閘極直接連接至該第五佈線，

其中該第五電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第五電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第六電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第六電晶體之閘極電連接至該第五電晶體之閘極，

其中該第七電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第七電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第八電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第八電晶體之閘極電連接至該第七電晶體之閘極，

其中該第四電晶體之該源極及該汲極之另一者、該第六電晶體之該源極及該汲極之另一者以及該第八電晶體之該源極及該汲極之另一者彼此電連接，

其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體及該第八電晶體之每一者包括通道形成區域中的氧化物半導體，

其中該氧化物半導體包括銦、鎵及鋅，

其中該氧化物半導體包括c軸取向晶體，

其中信號被輸出至該第一佈線，

其中時脈信號被輸入至該第二佈線，並且

其中該第三佈線是電源線。

**【請求項6】**一種半導體裝置，包括：

像素部；以及

電路，用以驅動該像素部，該電路包括：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；

第六電晶體；

第七電晶體；以及

第八電晶體，

其中該第一電晶體之源極及汲極之一者電連接至第一佈線，

其中該第一電晶體之該源極及該汲極之另一者電連接至第二佈線，

其中該第二電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第二電晶體之該源極及該汲極之另一者電連接至第三佈線，

其中該第二電晶體之閘極直接連接至第五佈線，

其中該第三電晶體之源極及汲極之一者電連接至該第一電晶體之閘極，

其中該第三電晶體之該源極及該汲極之另一者電連接至第四佈線，

其中該第三電晶體之閘極電連接至該第四佈線，

其中該第四電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第四電晶體之閘極電連接至該第二電晶體之閘極，

其中該第四電晶體之該閘極直接連接至該第五佈線，

其中該第五電晶體之源極及汲極之一者電連接至該第一佈線，

其中該第五電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第六電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第六電晶體之閘極電連接至該第五電晶體之閘極，

其中該第七電晶體之源極及汲極之一者電連接至該第

一佈線，

其中該第七電晶體之該源極及該汲極之另一者電連接至該第三佈線，

其中該第八電晶體之源極及汲極之一者電連接至該第一電晶體之該閘極，

其中該第八電晶體之閘極電連接至該第七電晶體之閘極，

其中該第四電晶體之該源極及該汲極之另一者、該第六電晶體之該源極及該汲極之另一者以及該第八電晶體之該源極及該汲極之另一者彼此電連接，

其中該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體、該第七電晶體及該第八電晶體之每一者包括通道形成區域中的氧化物半導體，

其中該氧化物半導體包括銮、鎳及鋅，

其中該氧化物半導體包括c軸取向晶體，

其中信號被輸出至該第一佈線，

其中時脈信號被輸入至該第二佈線，並且

其中該第三佈線是電源線。

【請求項7】如請求項1至6中任一項之半導體裝置，其中該氧化物半導體之氫濃度是 $5 \times 10^{19}$ 原子/cm<sup>3</sup>或更少。

圖式

圖 1A

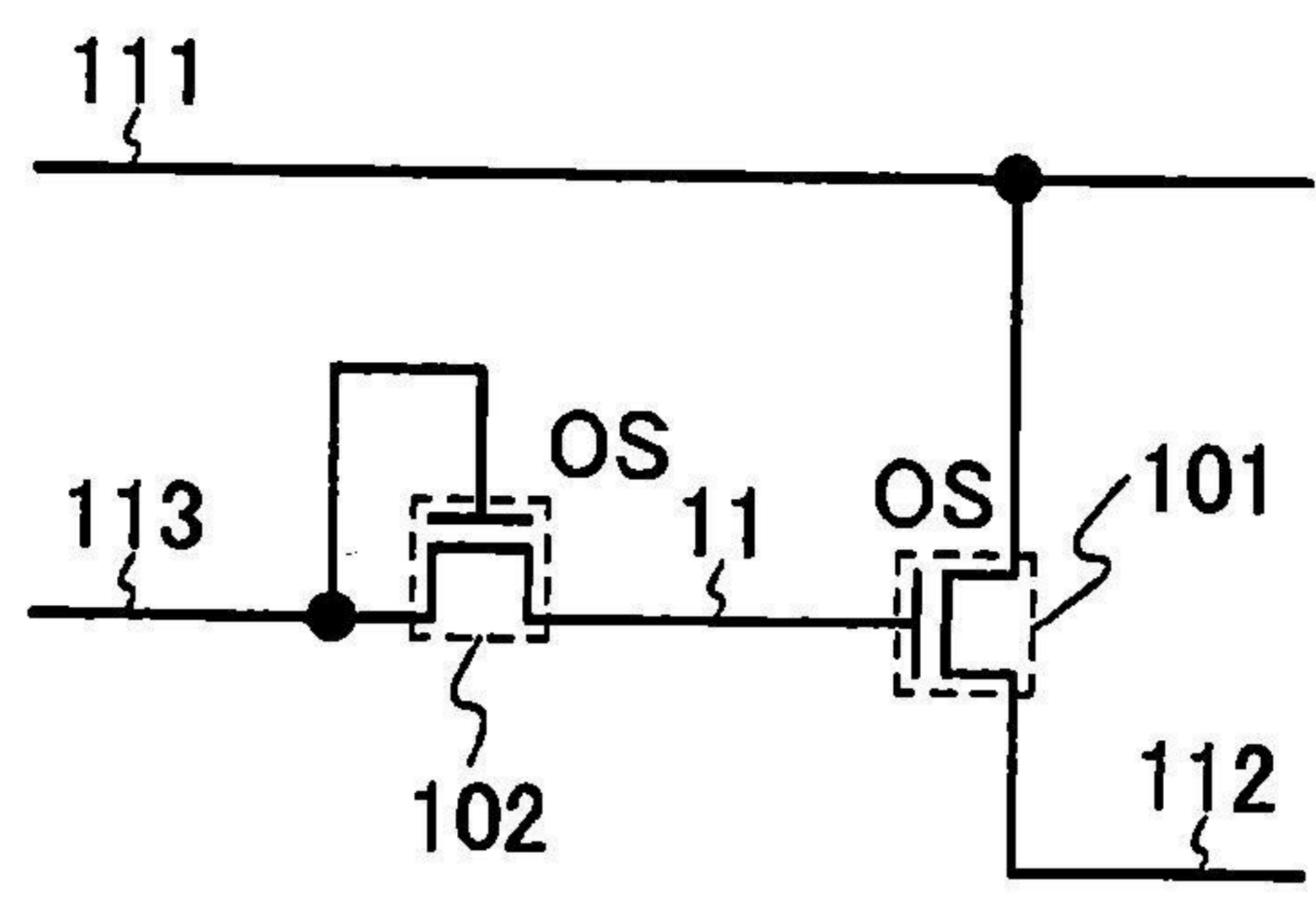


圖 1B

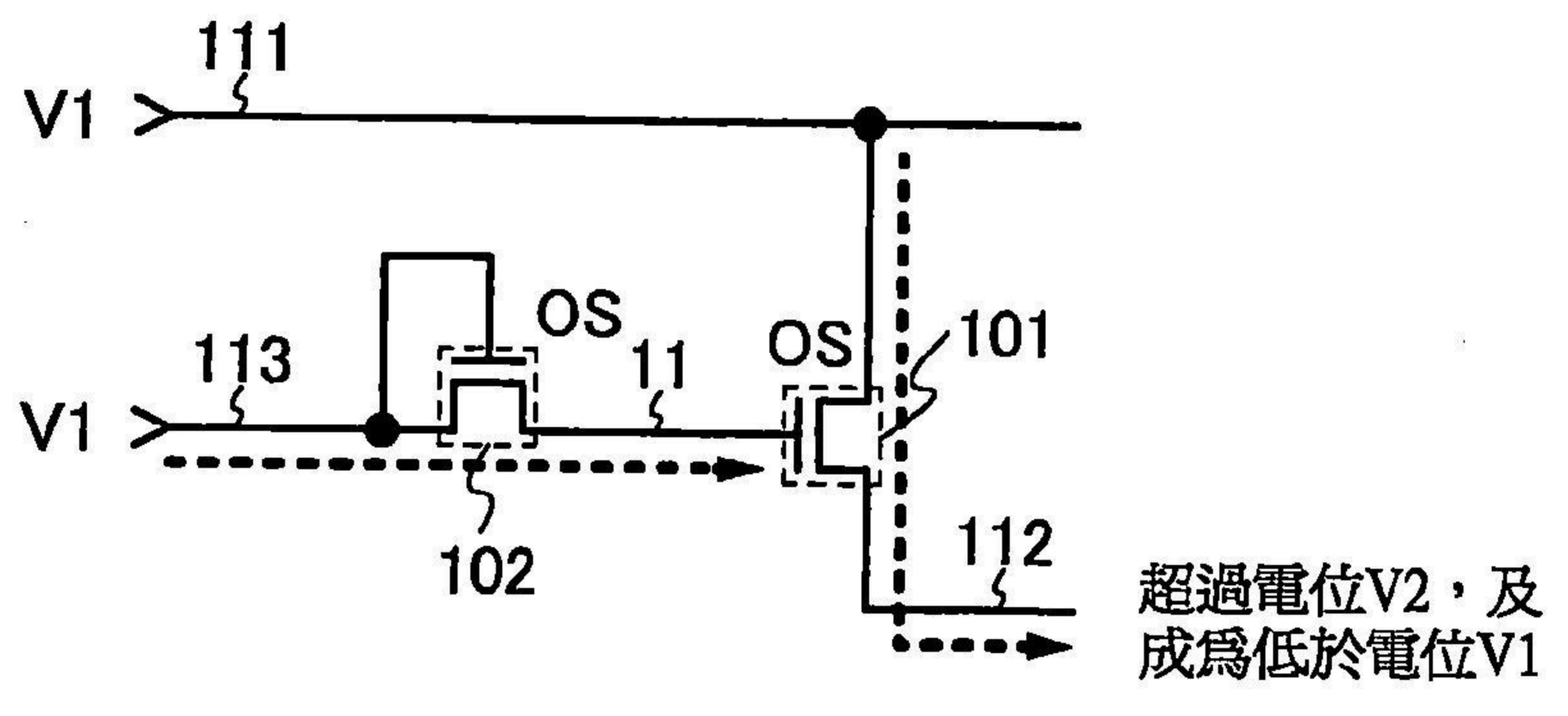


圖 1C

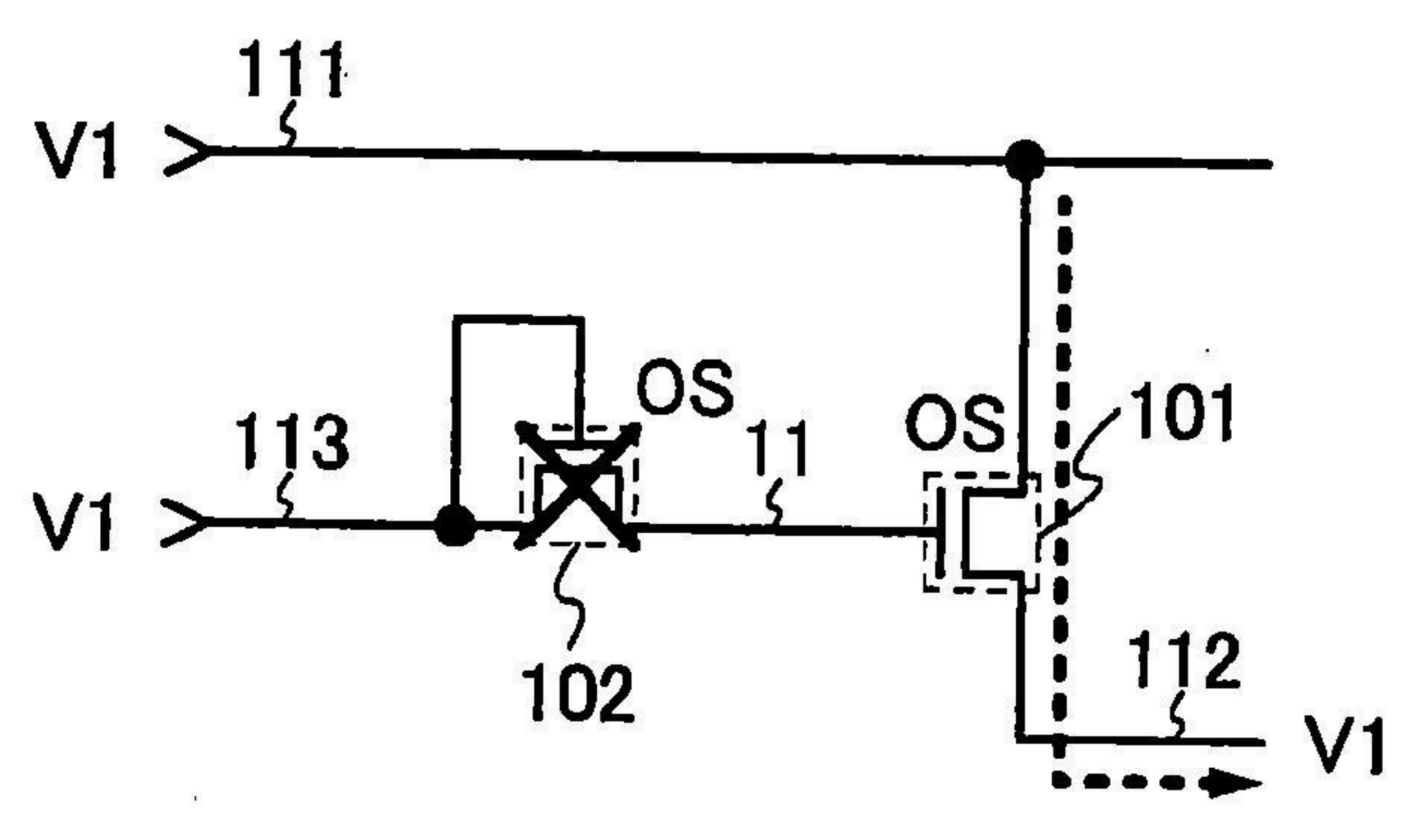


圖 2A

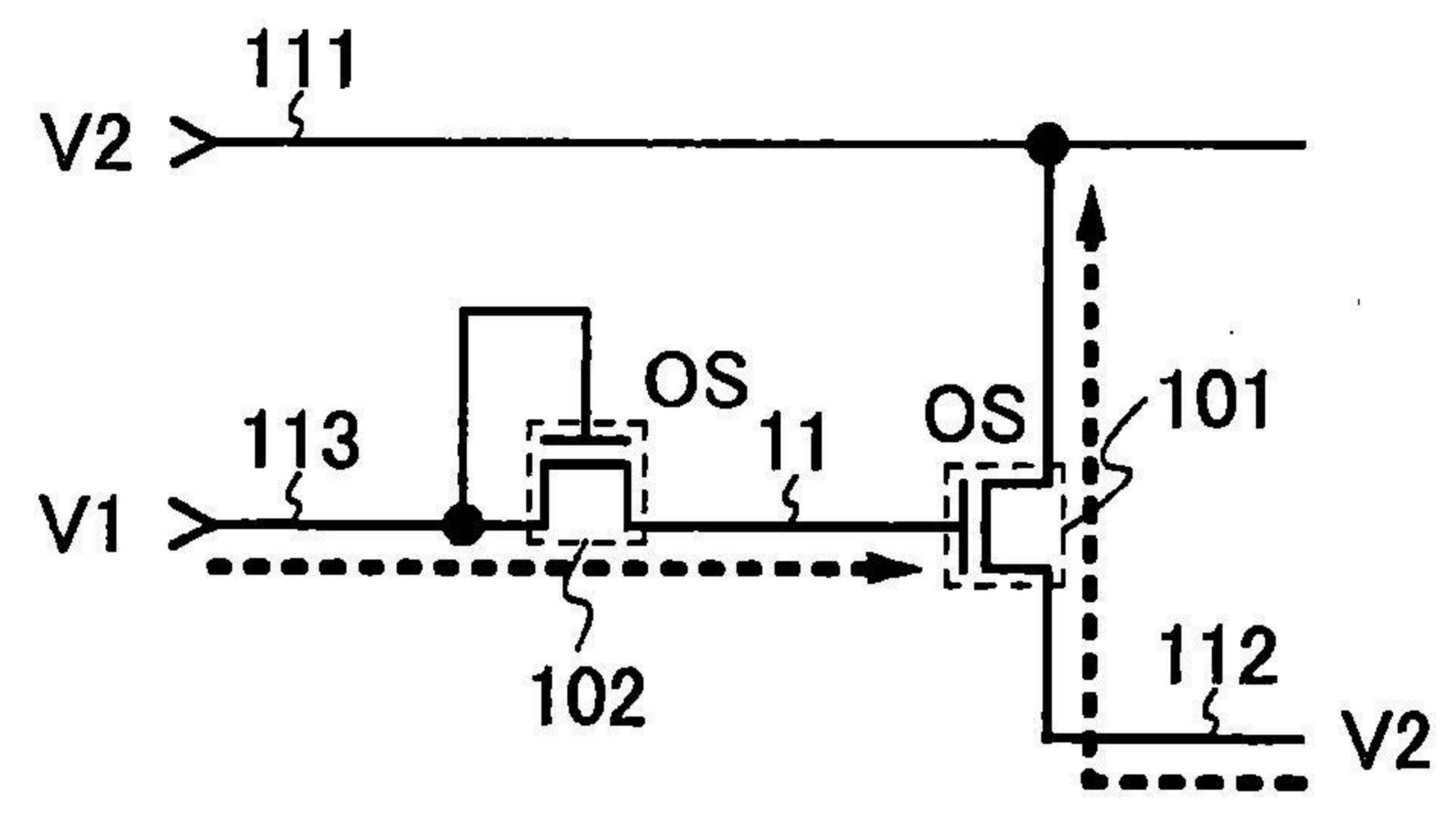


圖 2B

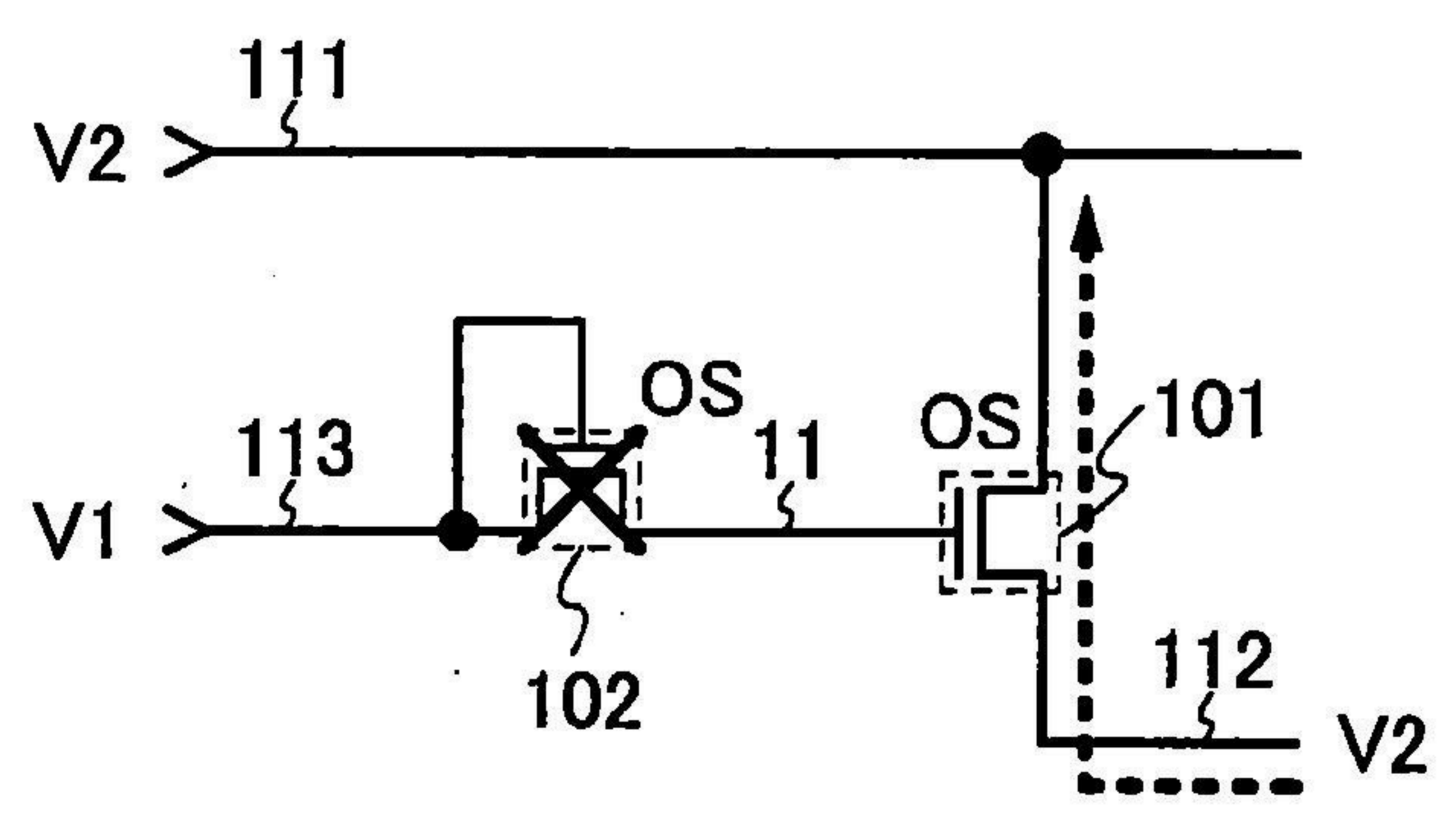


圖 2C

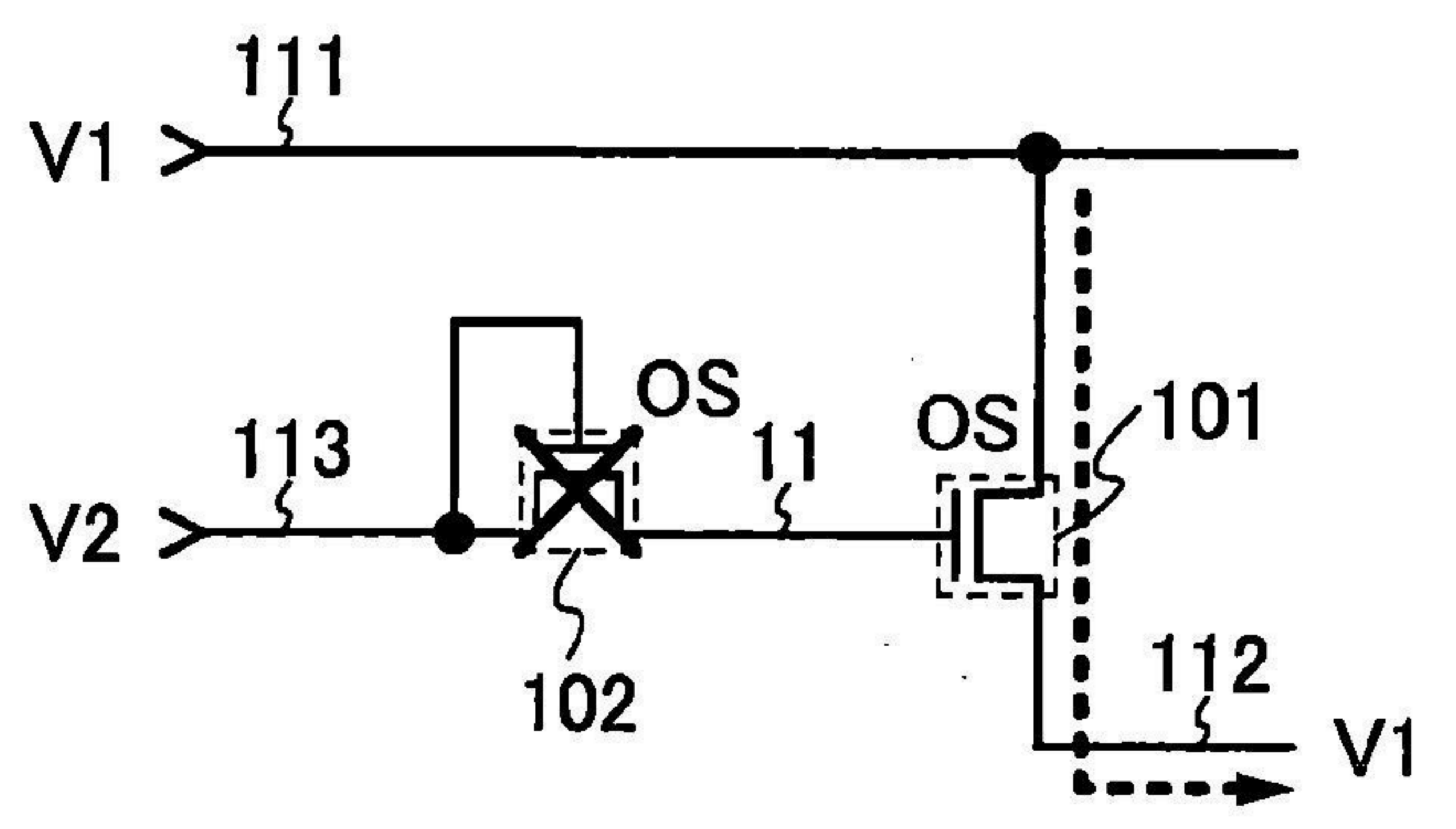


圖 3A

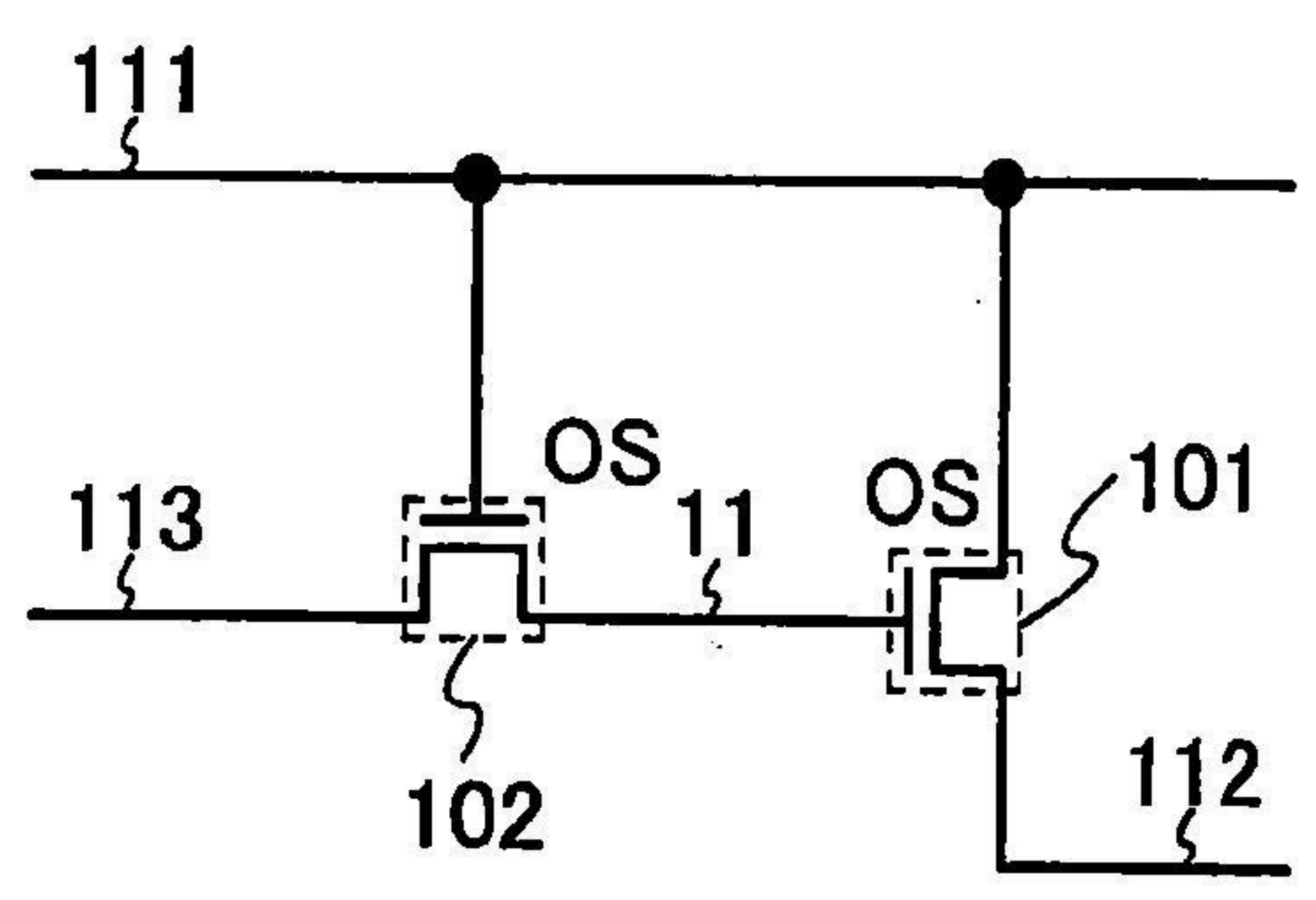


圖 3B

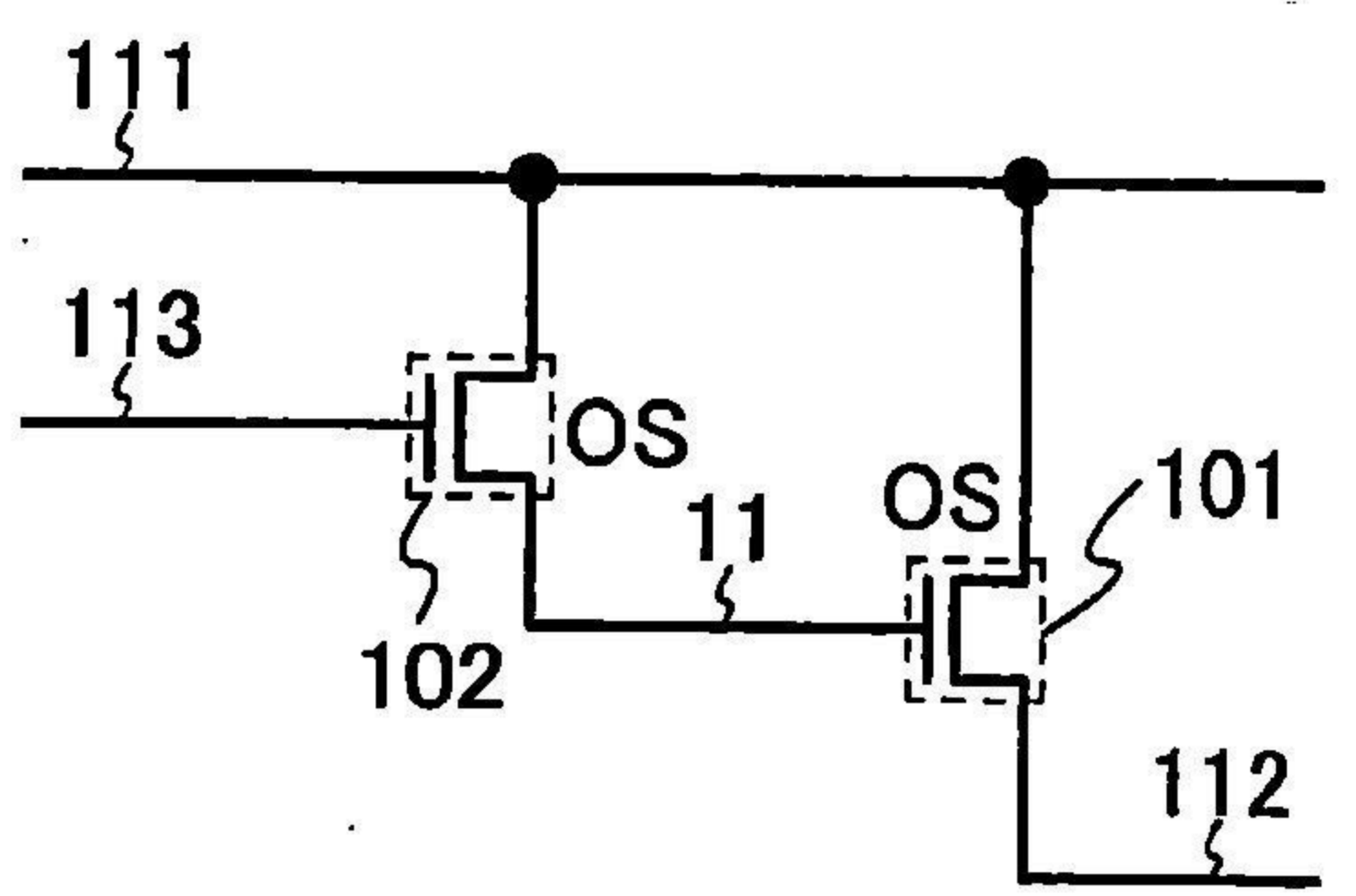


圖 3C

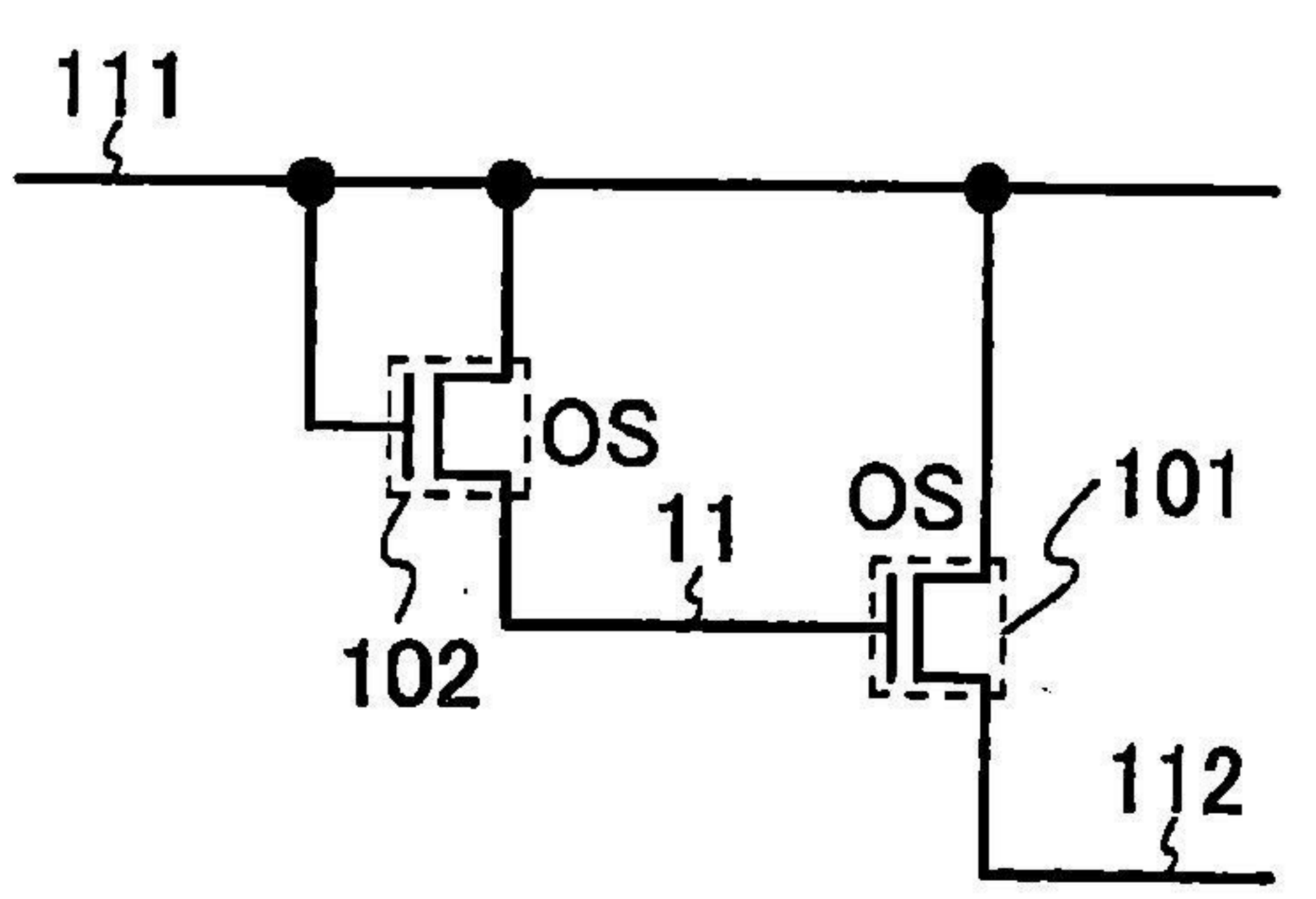


圖 3D

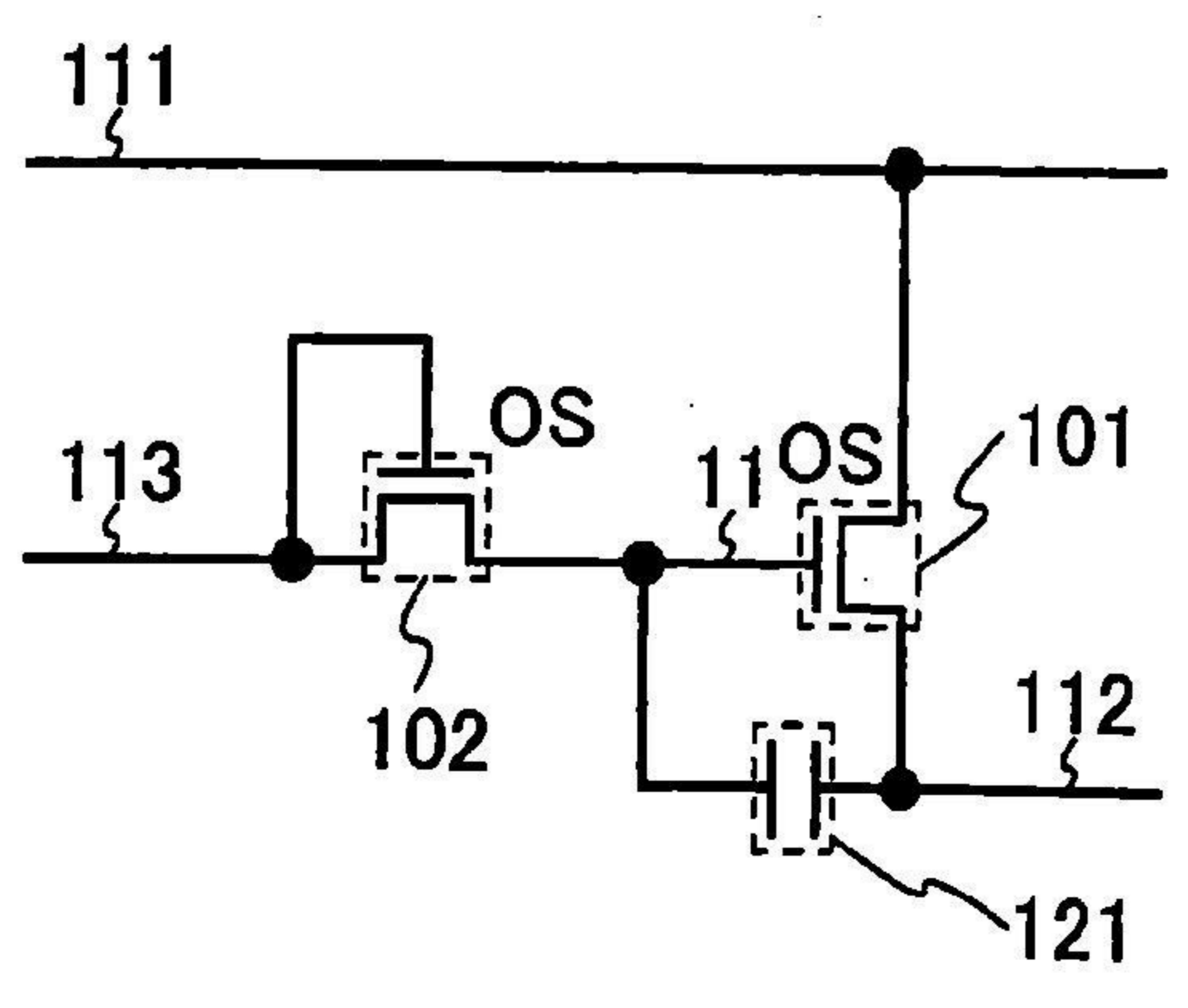


圖 4A

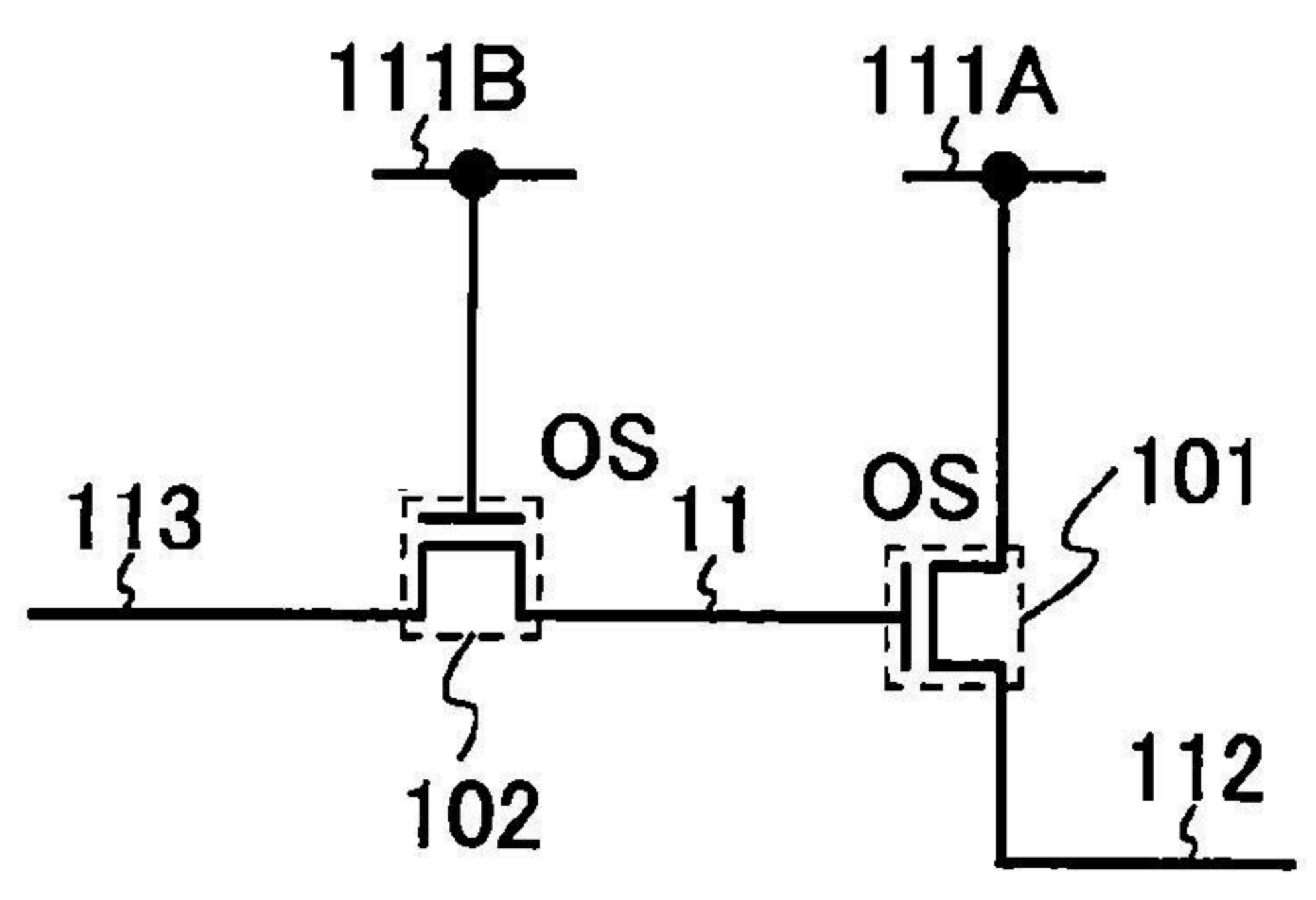


圖 4B

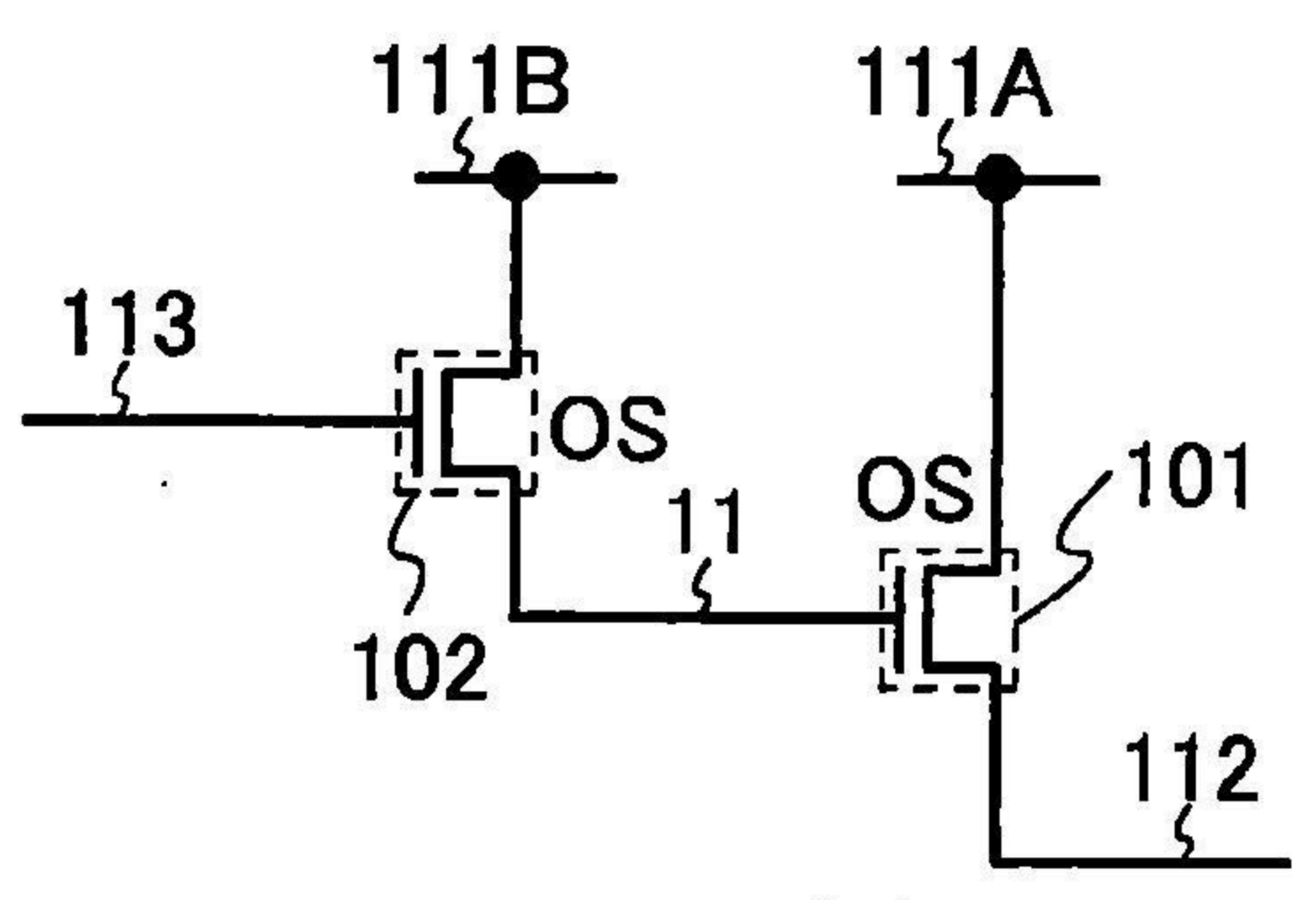


圖 4C

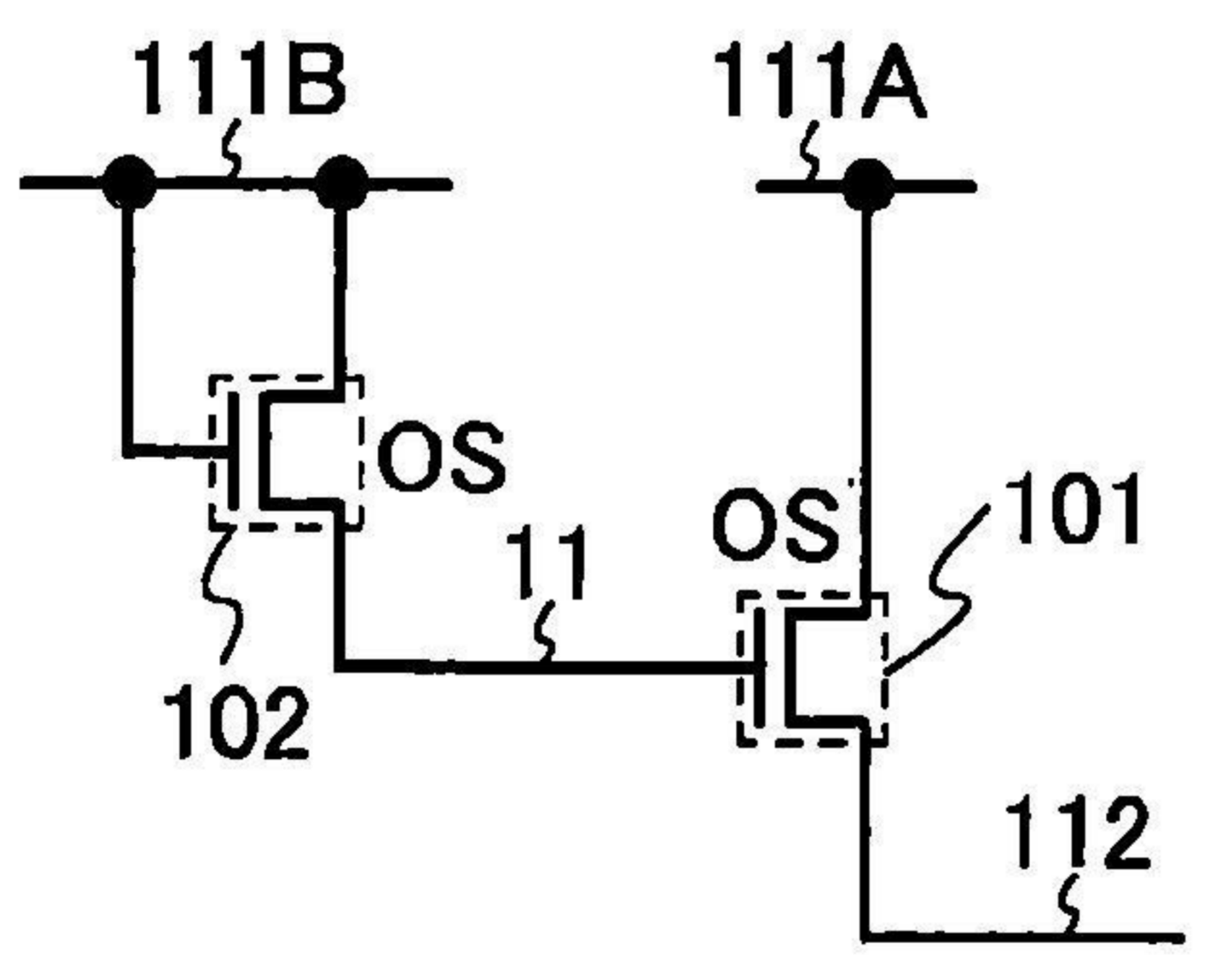






圖 6A

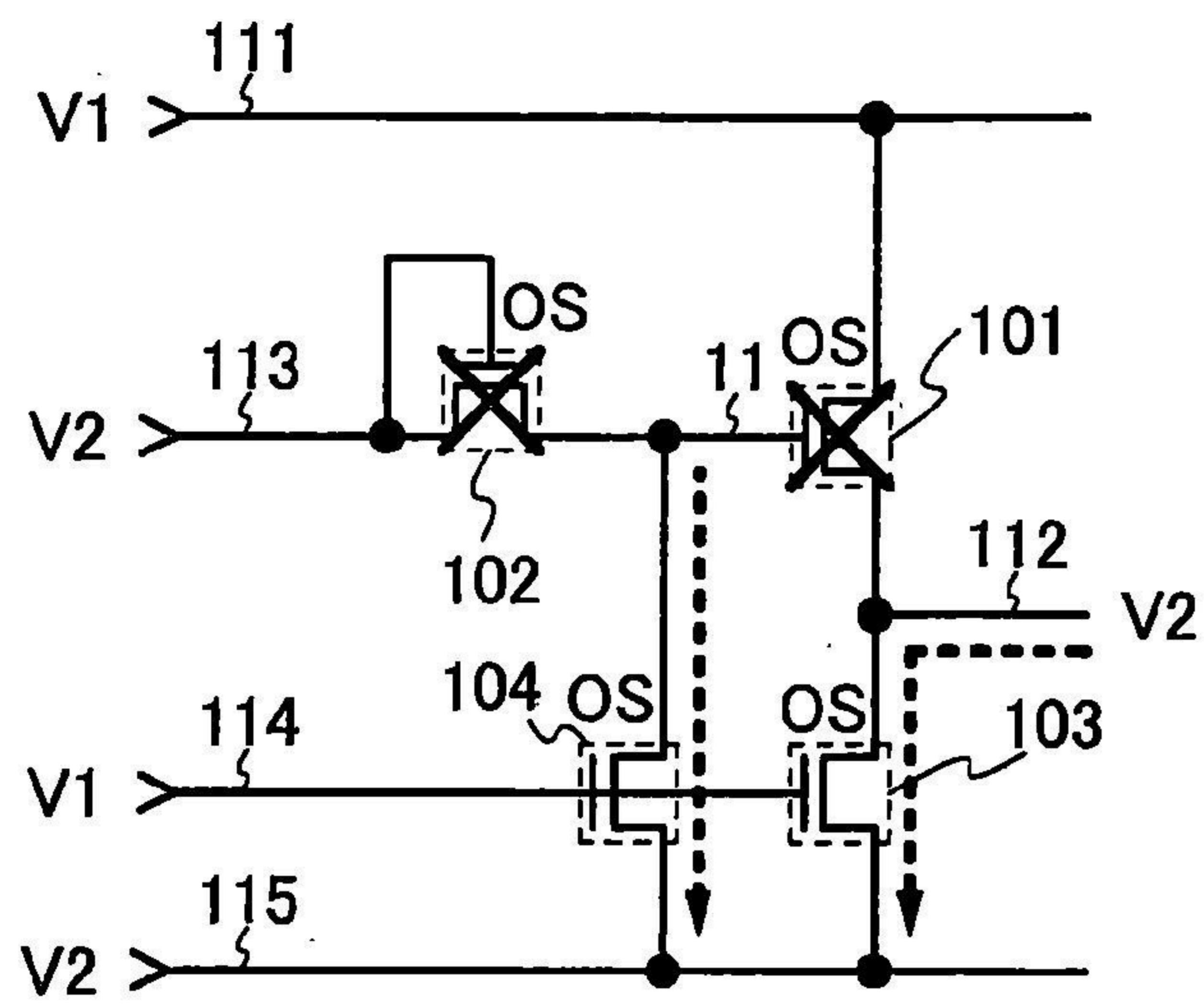


圖 6B

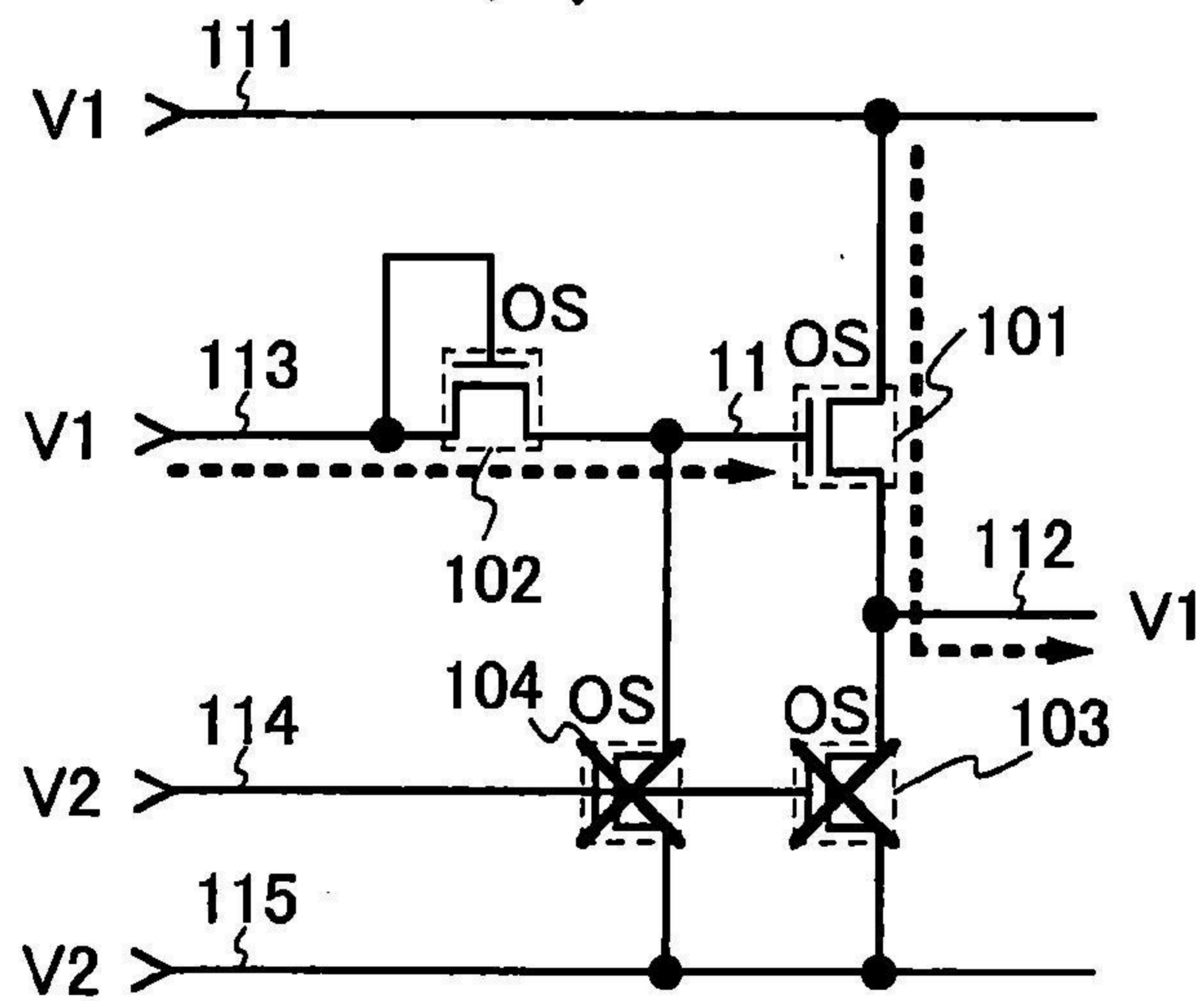


圖 6C

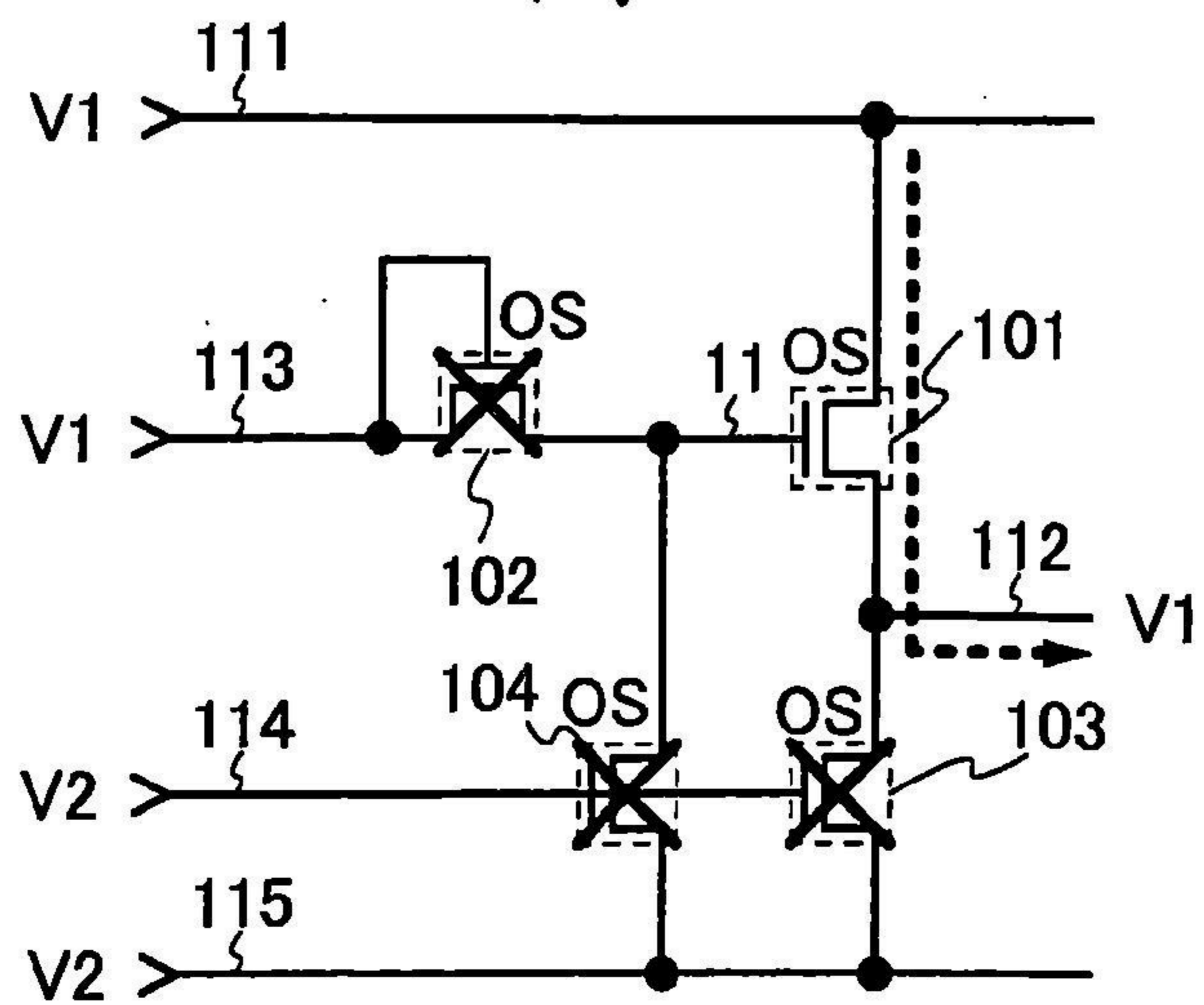


圖 7A

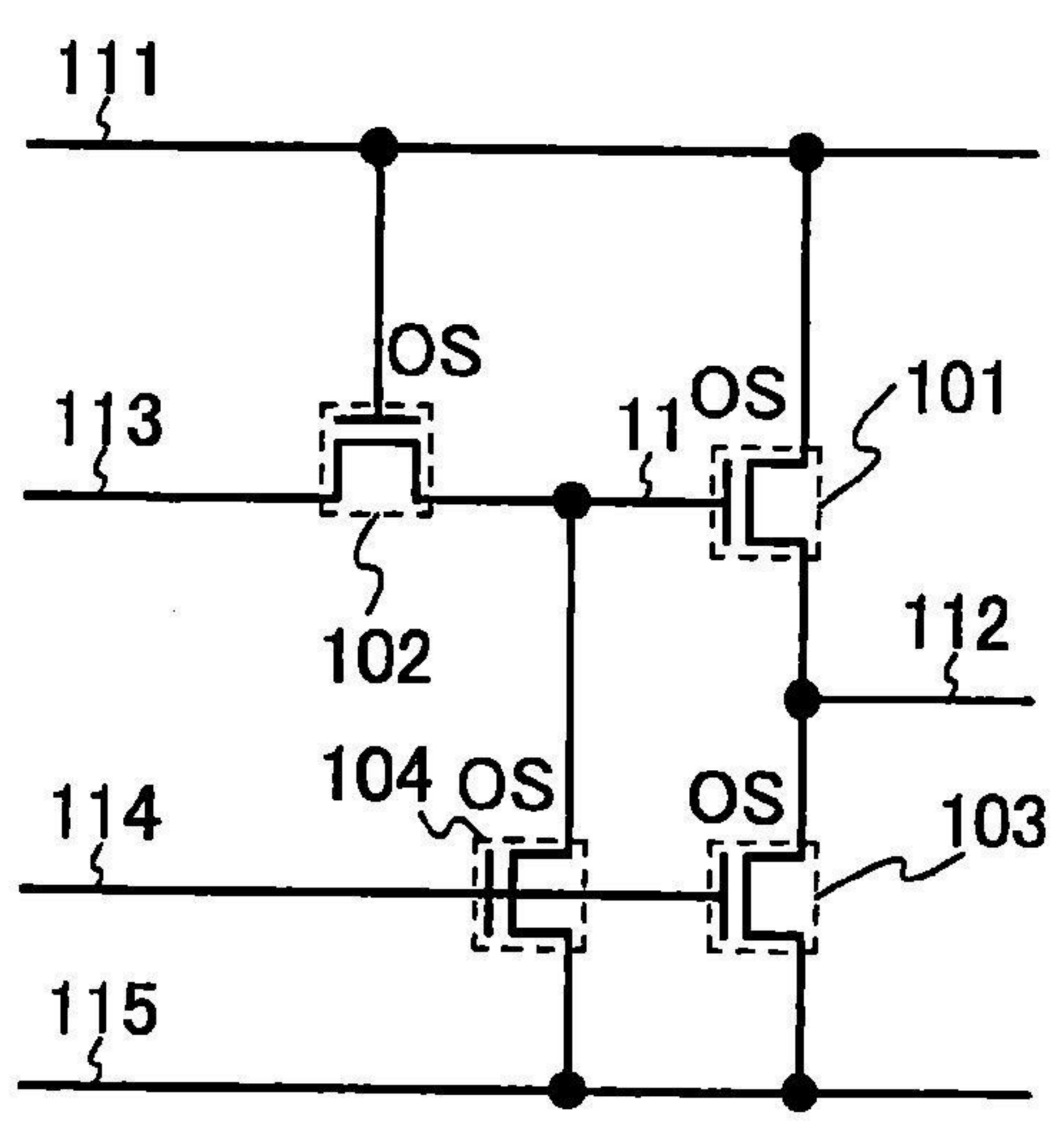


圖 7B

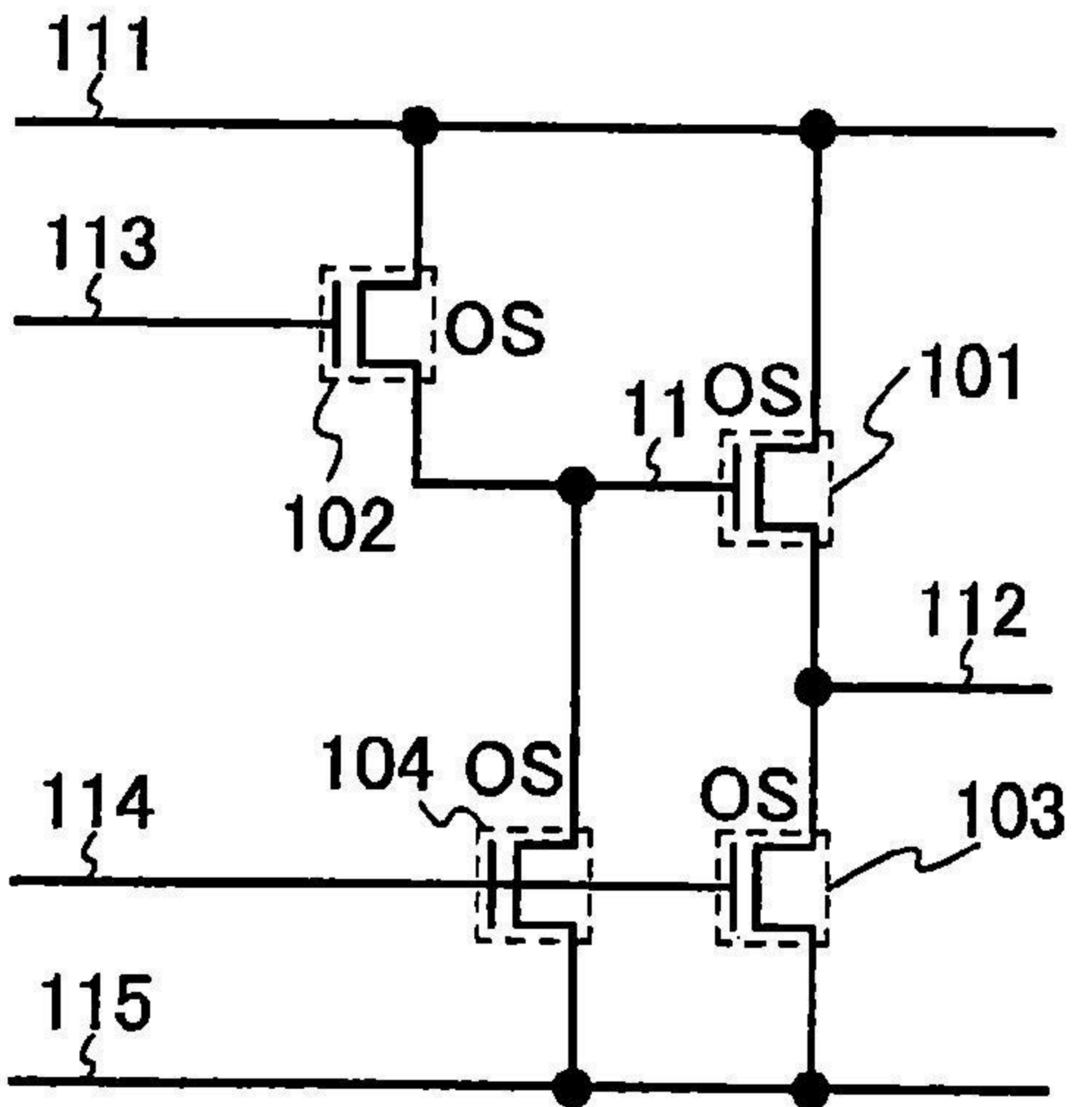


圖 7C

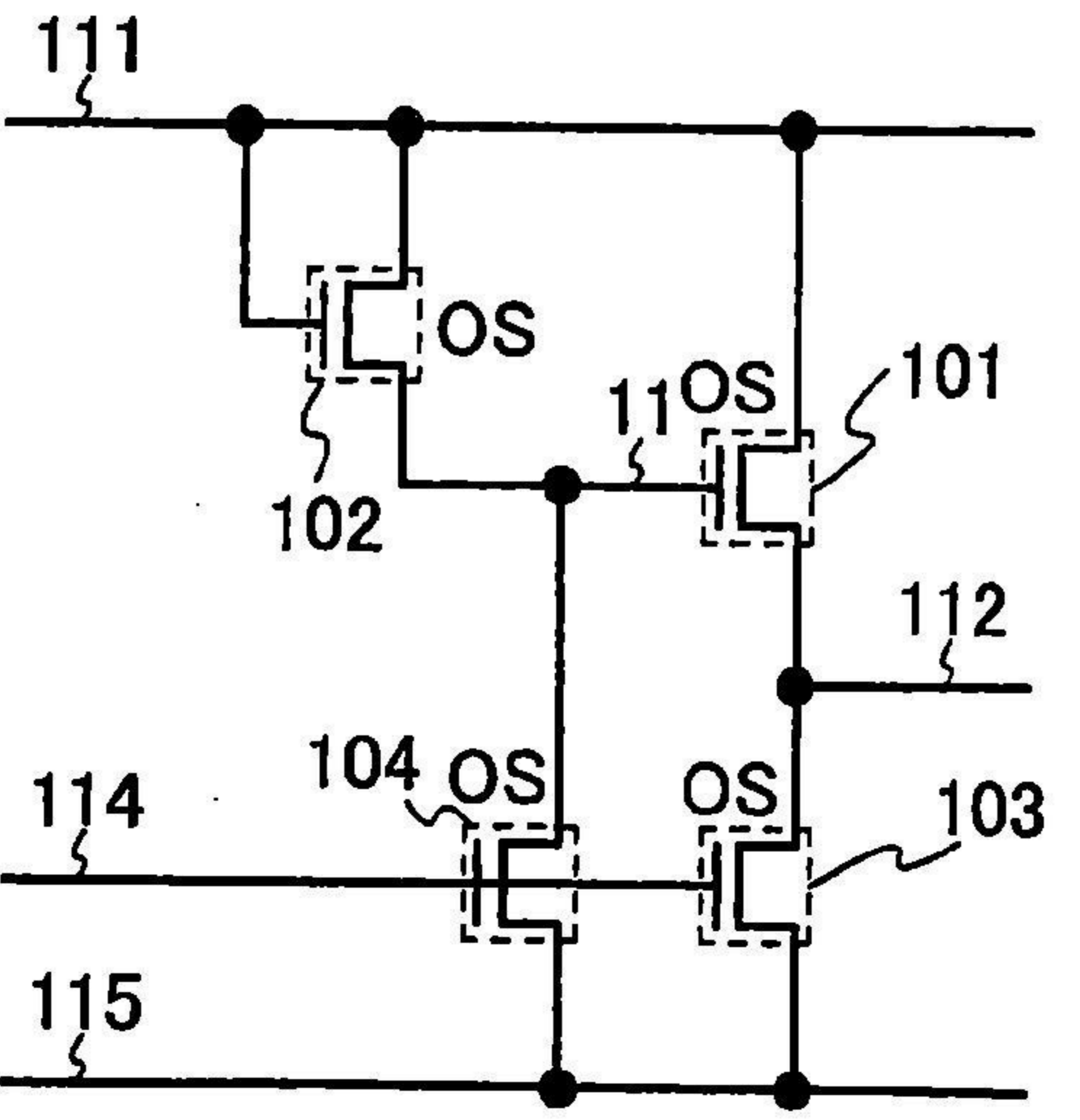


圖 8A

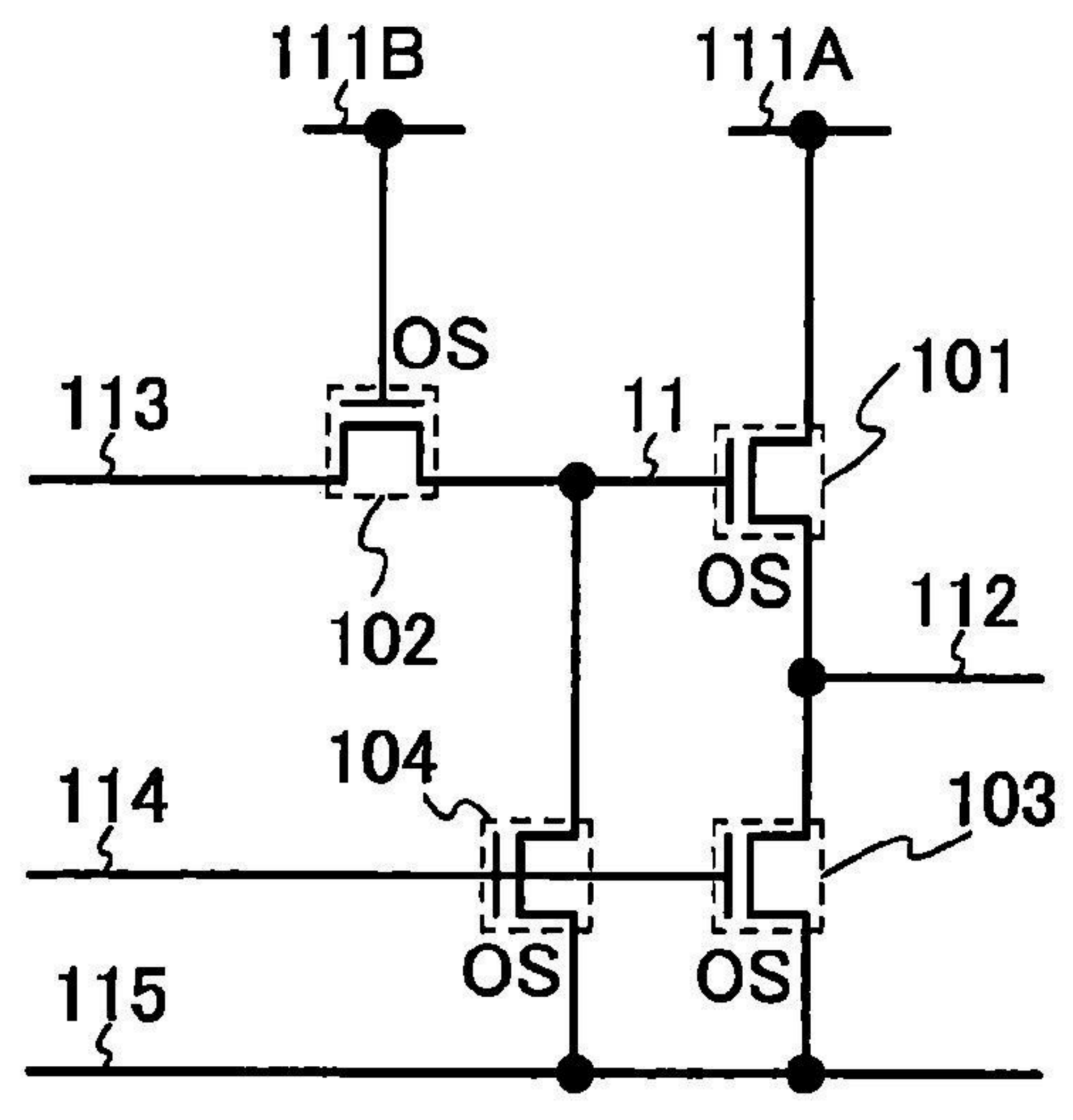


圖 8B

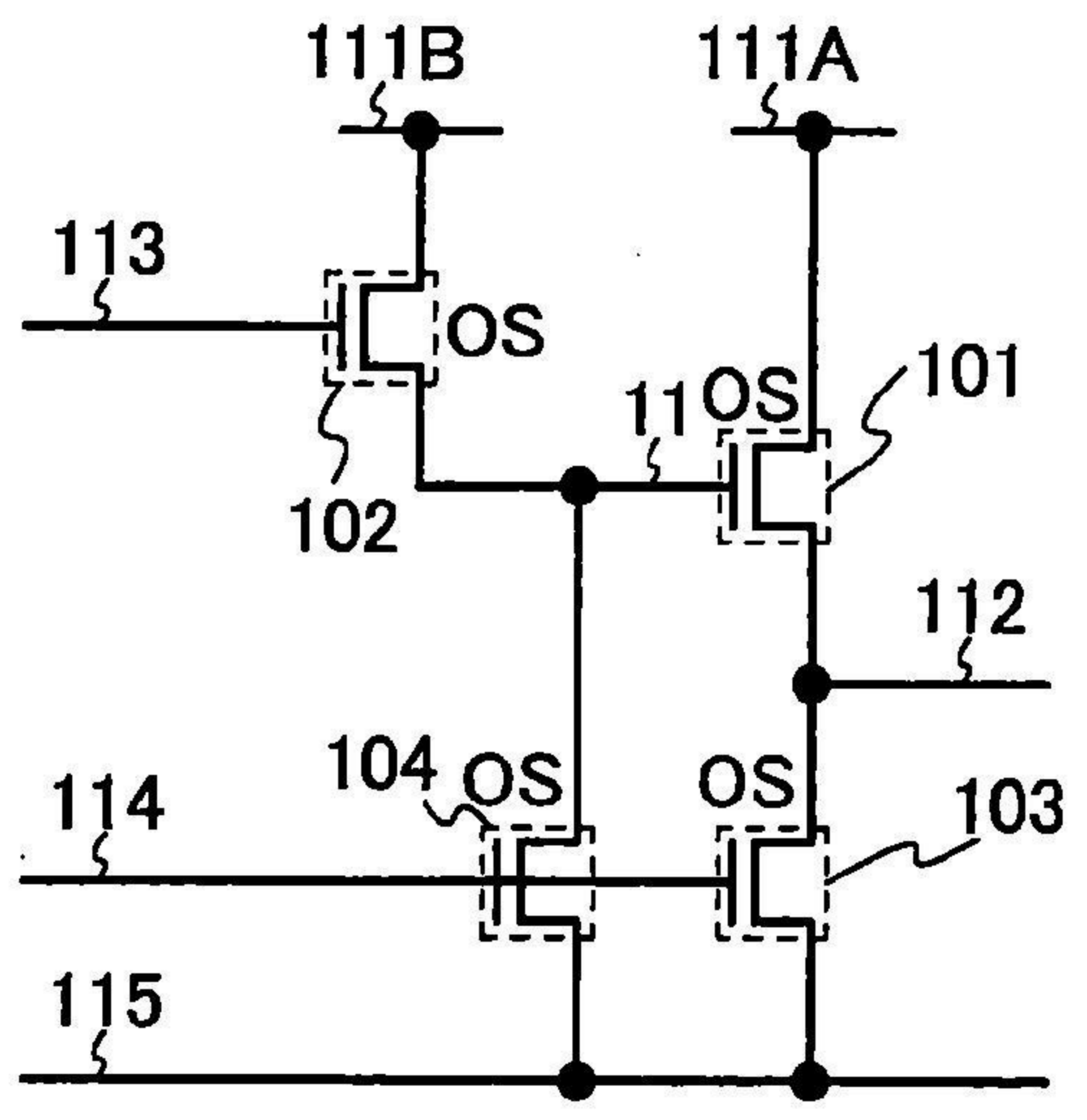


圖 8C

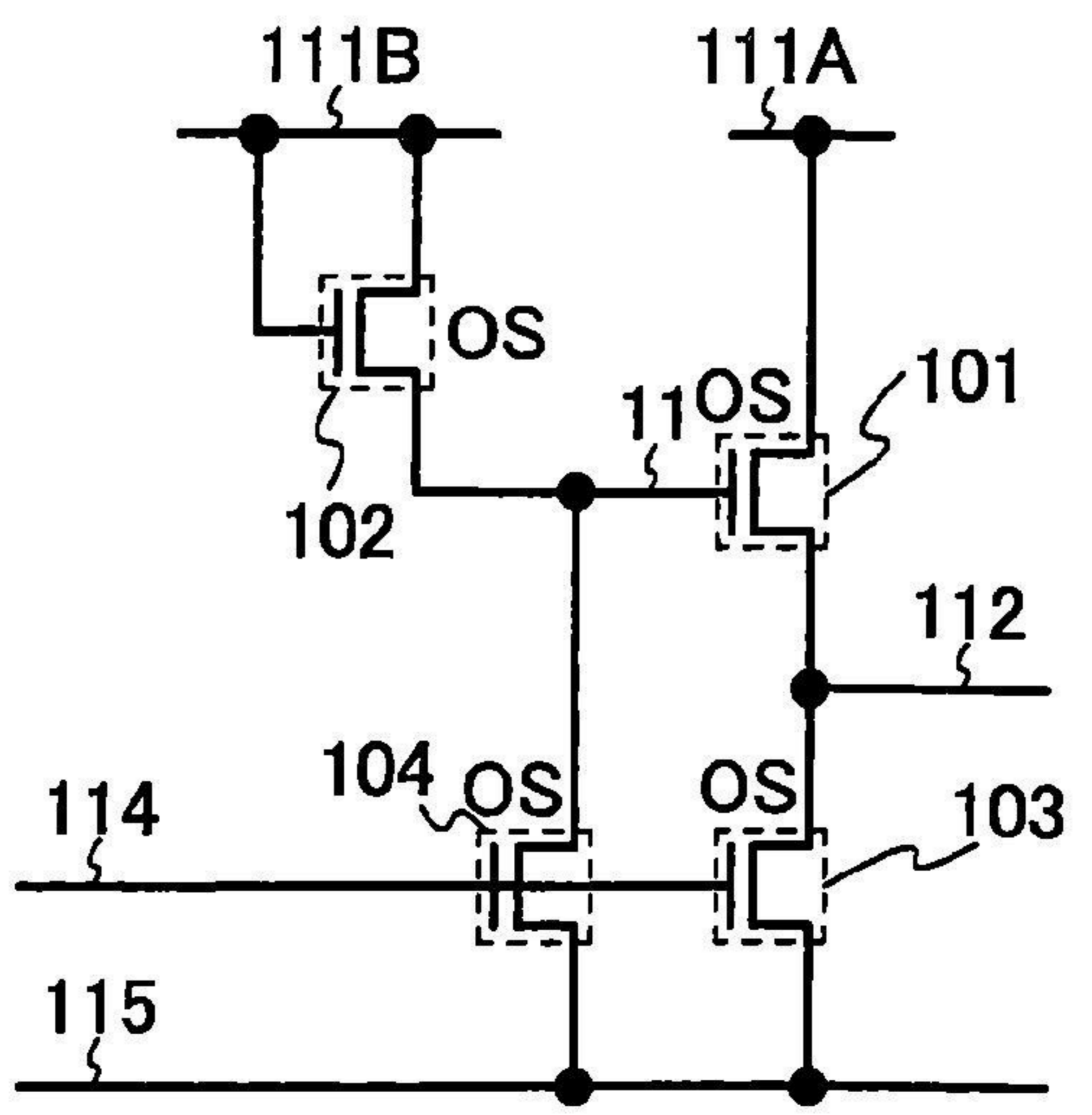


圖 9A

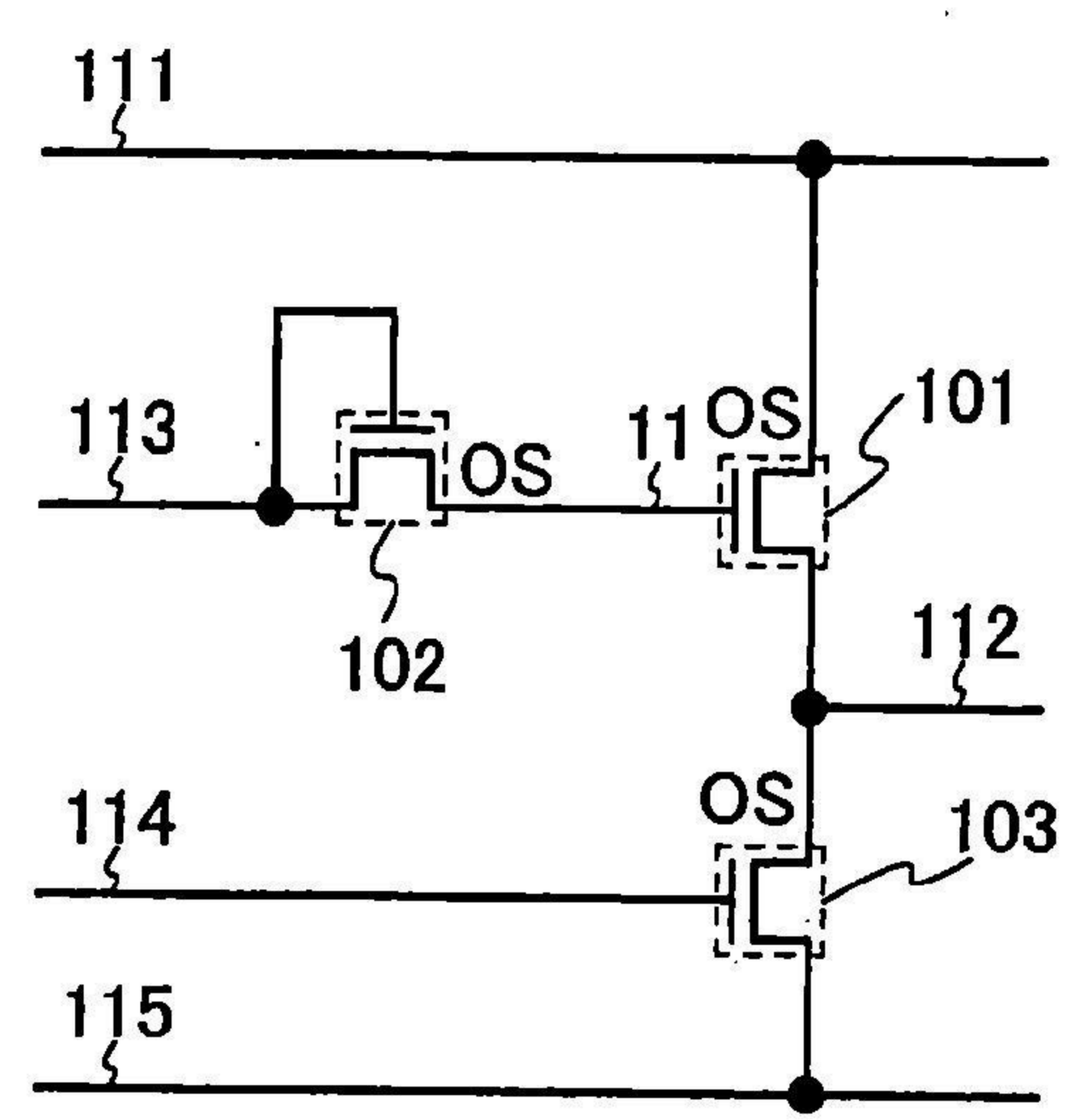


圖 9B

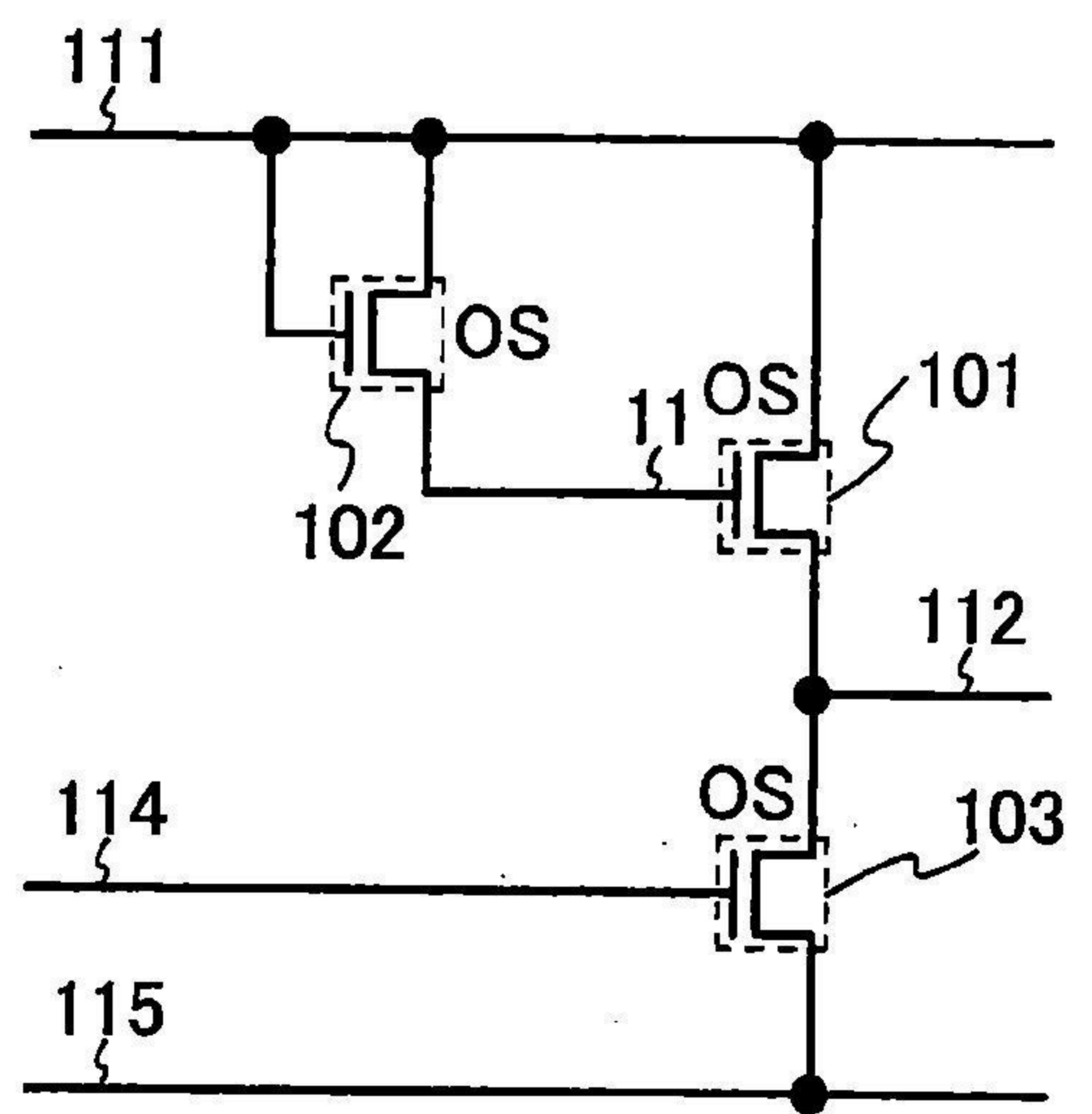


圖 10

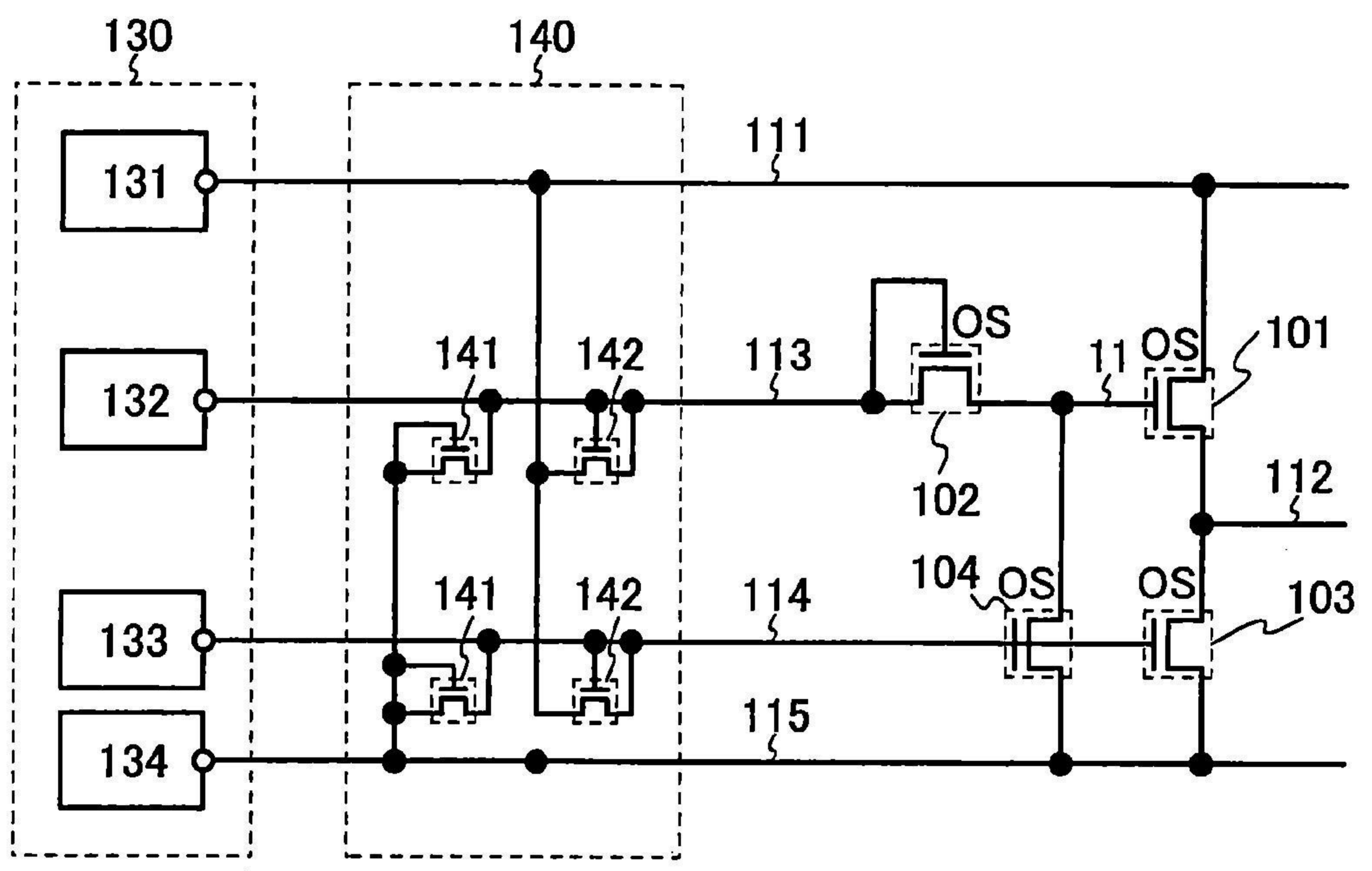


圖 11A

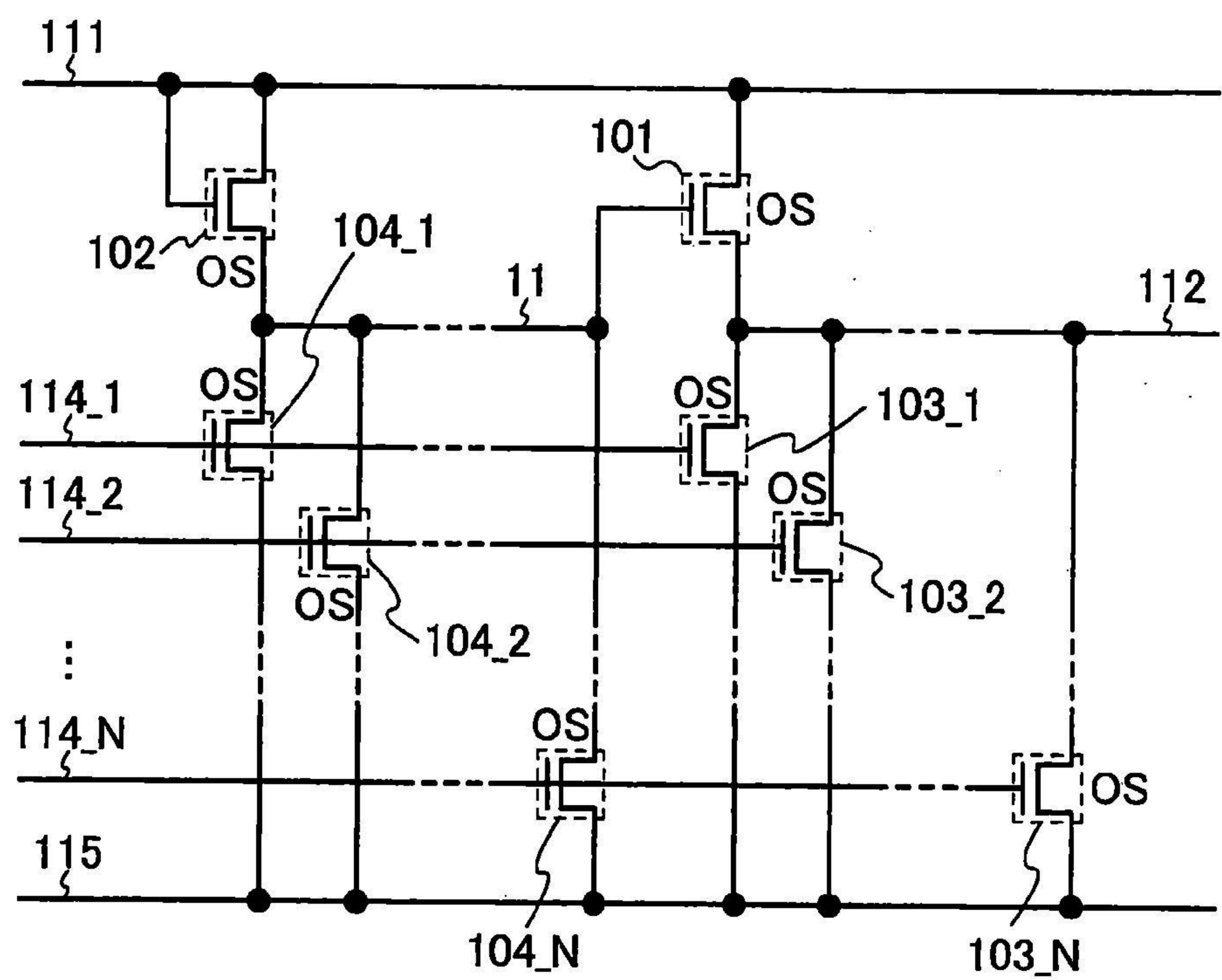


圖 11B

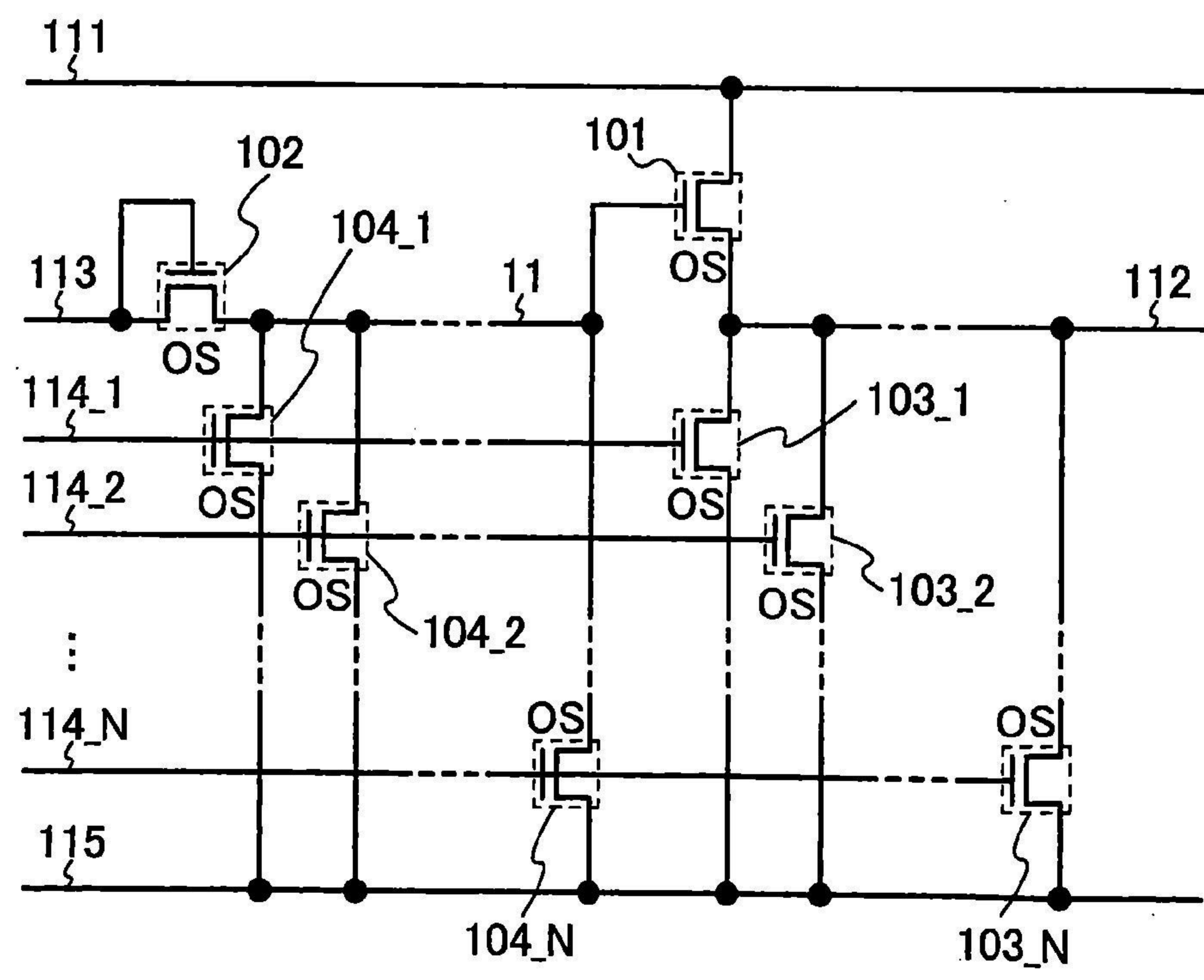


圖 12A

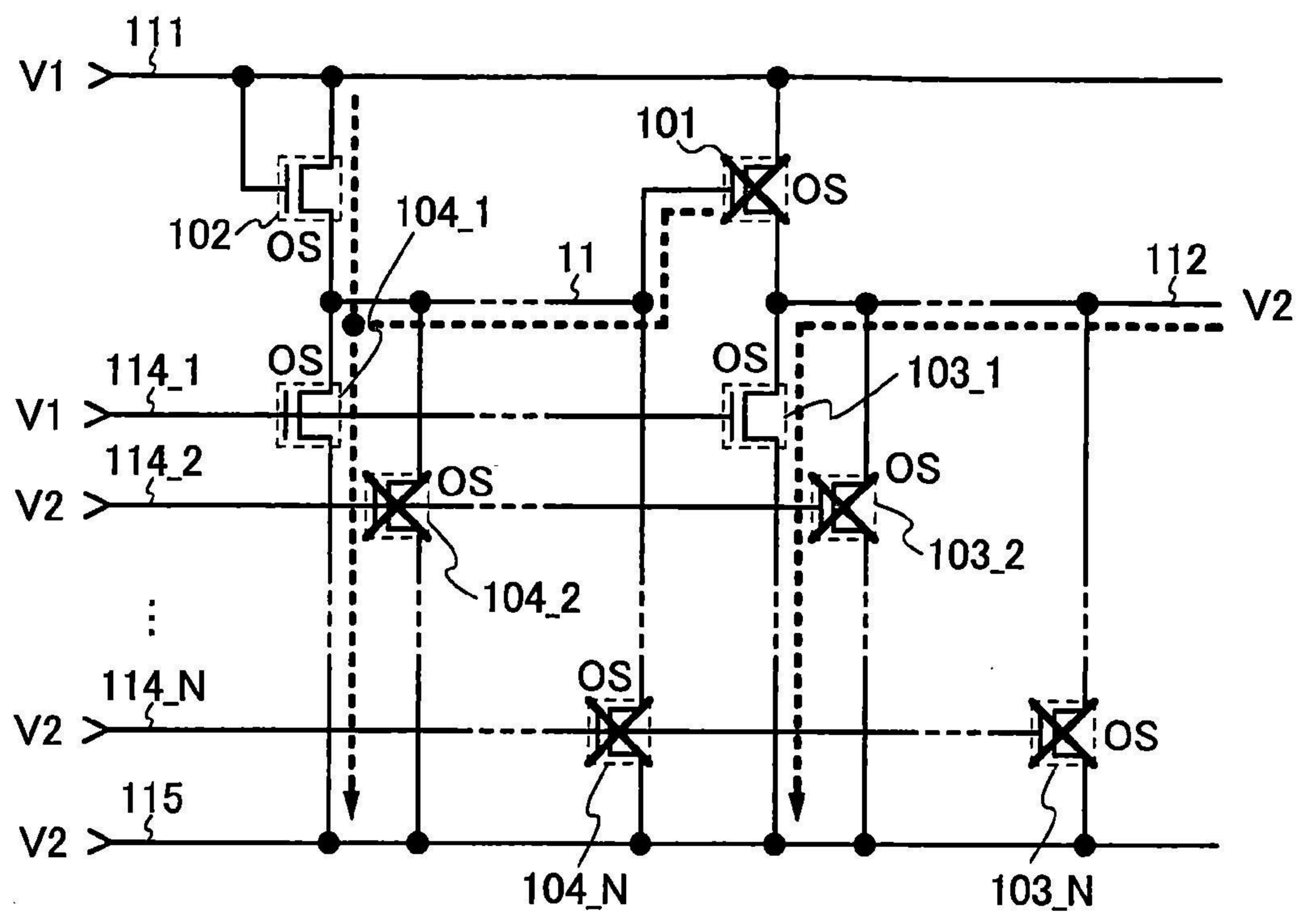


圖 12B

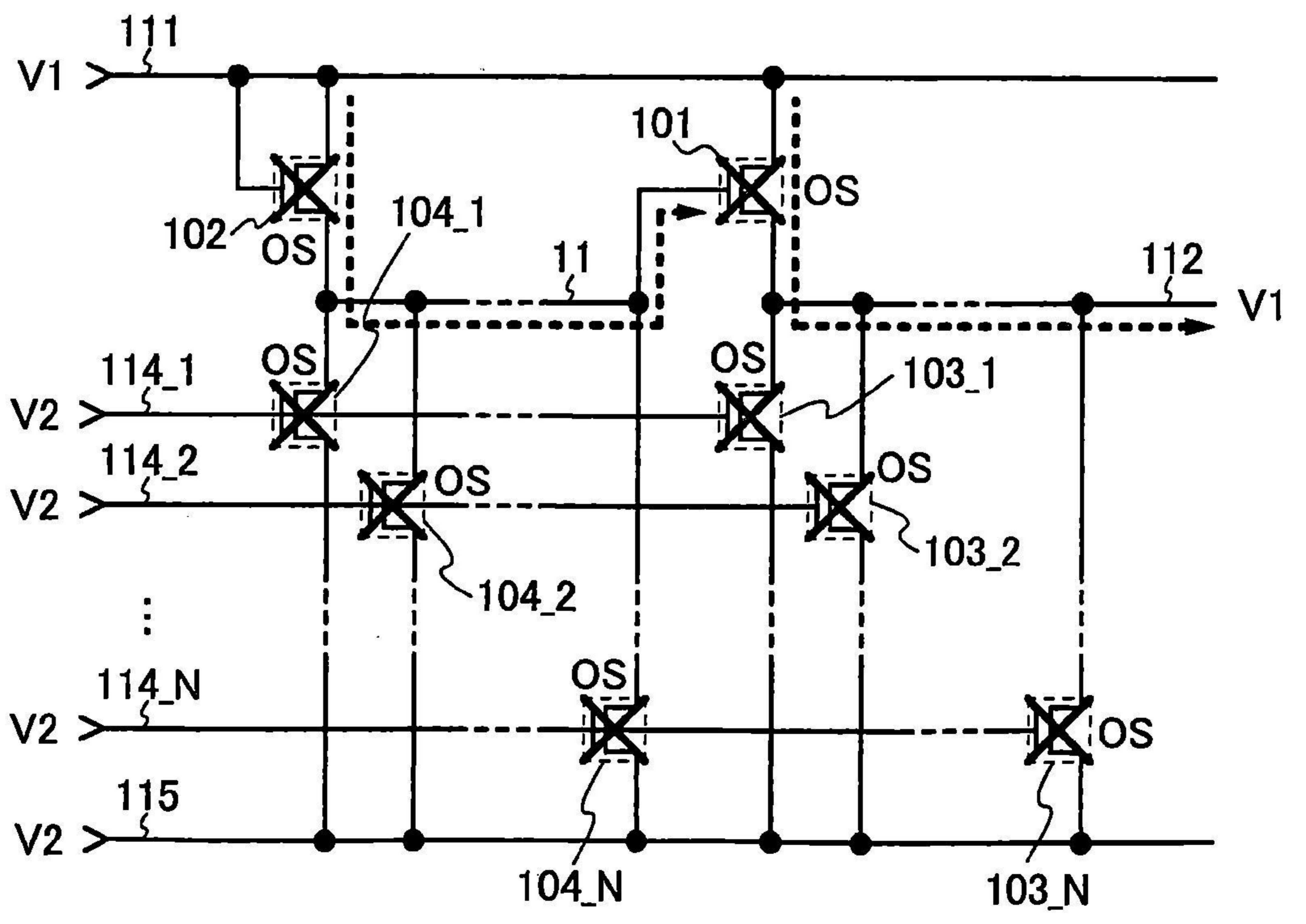




圖 13A

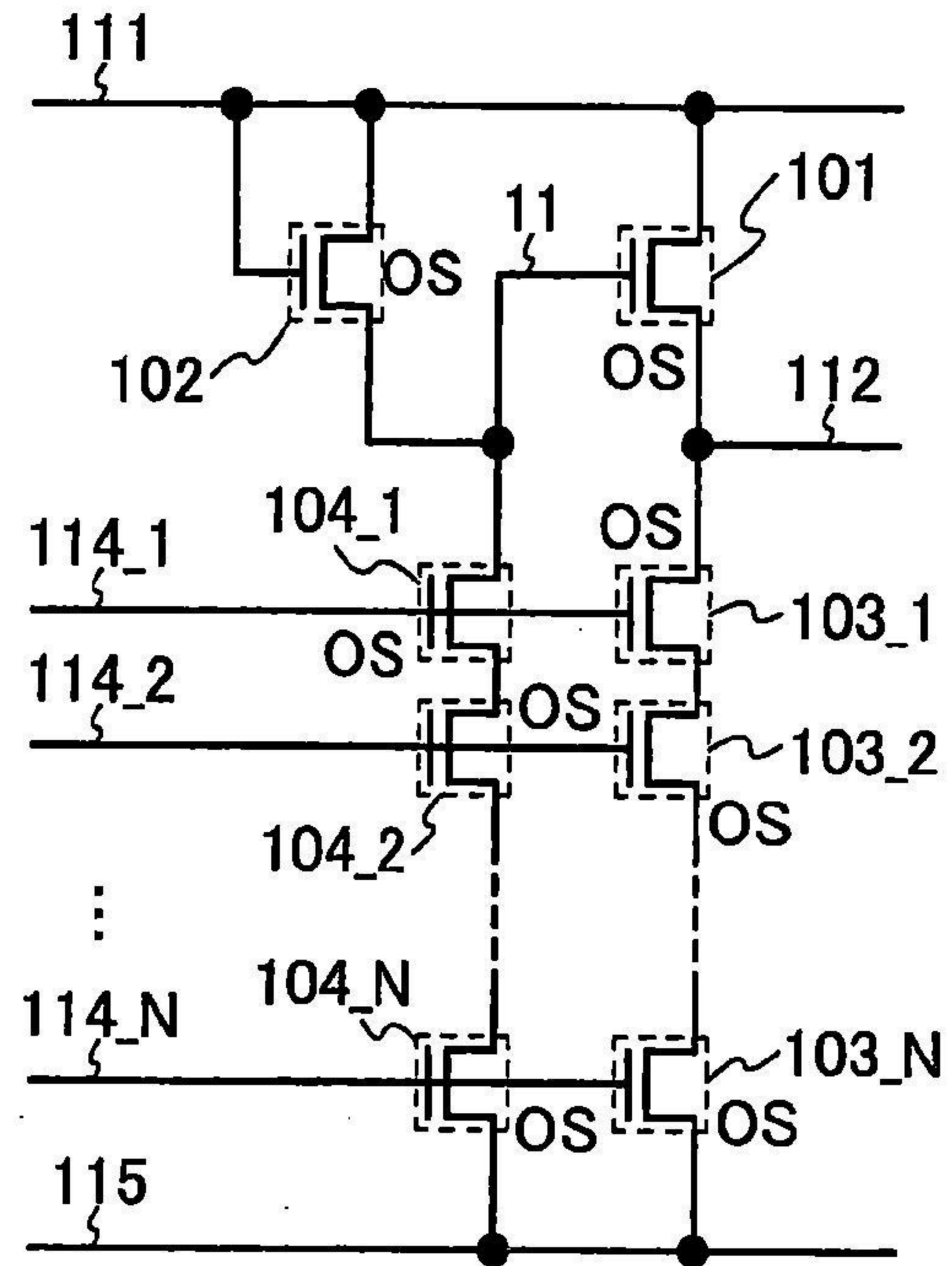


圖 13B

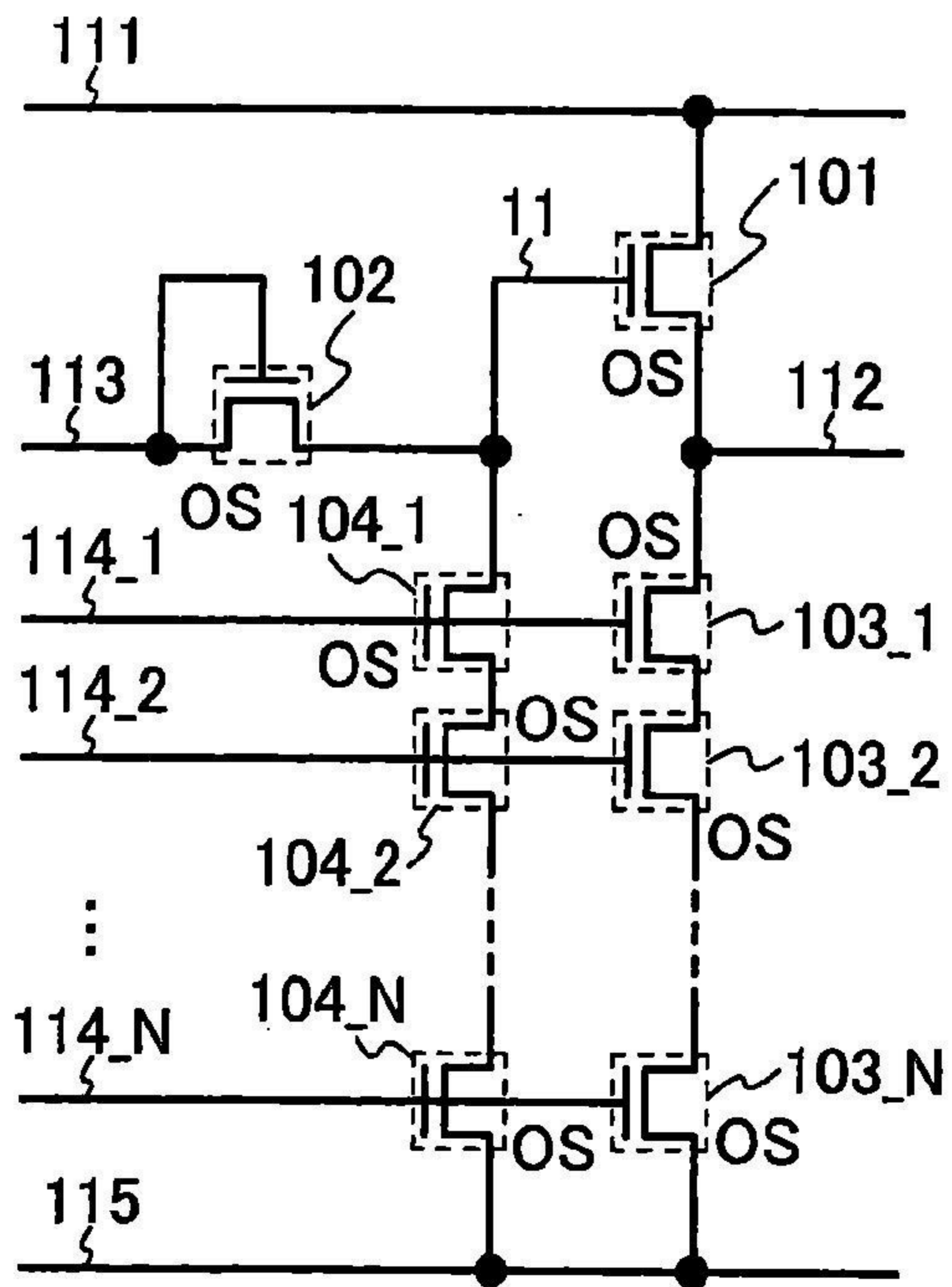


圖 14A

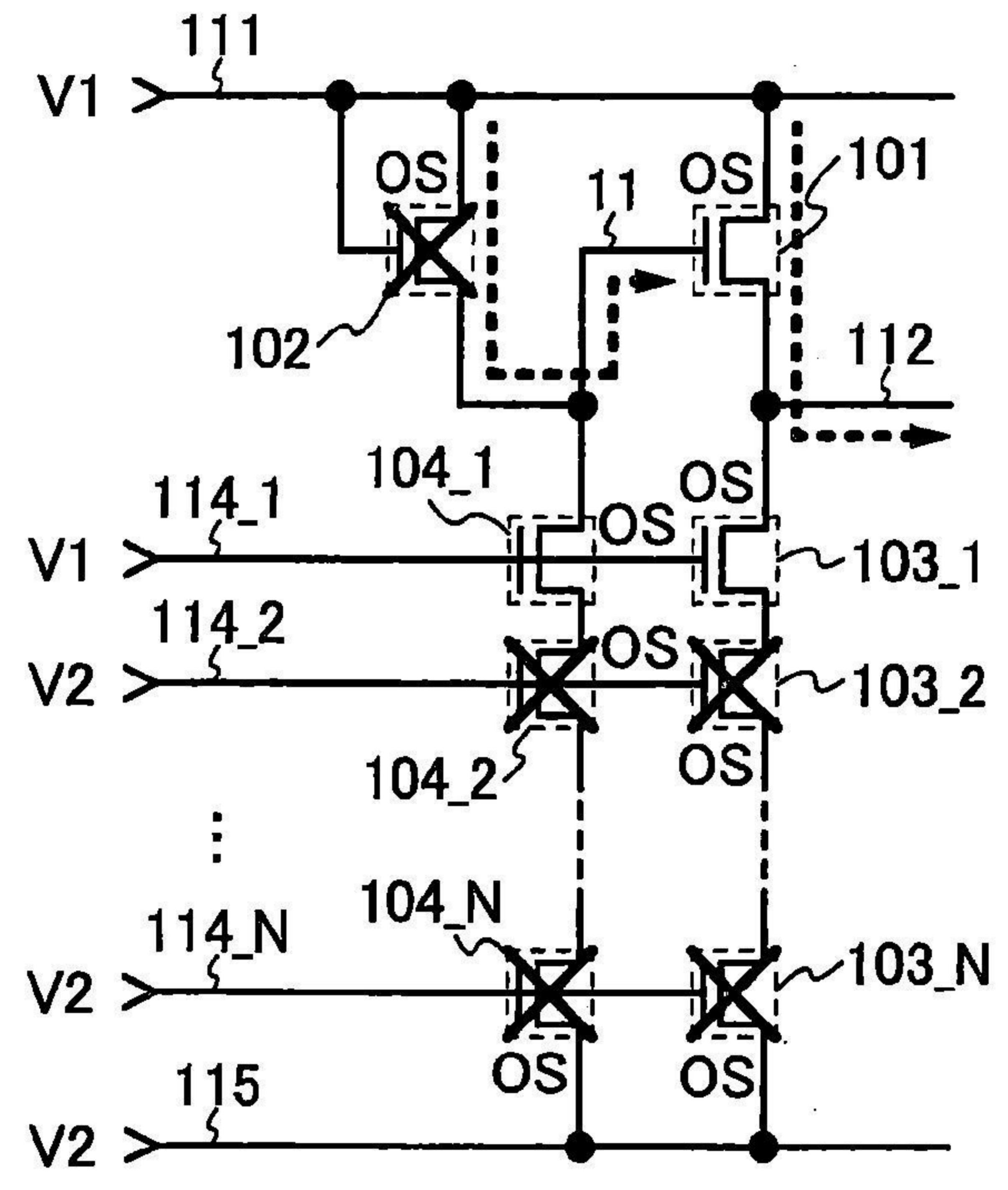


圖 14B

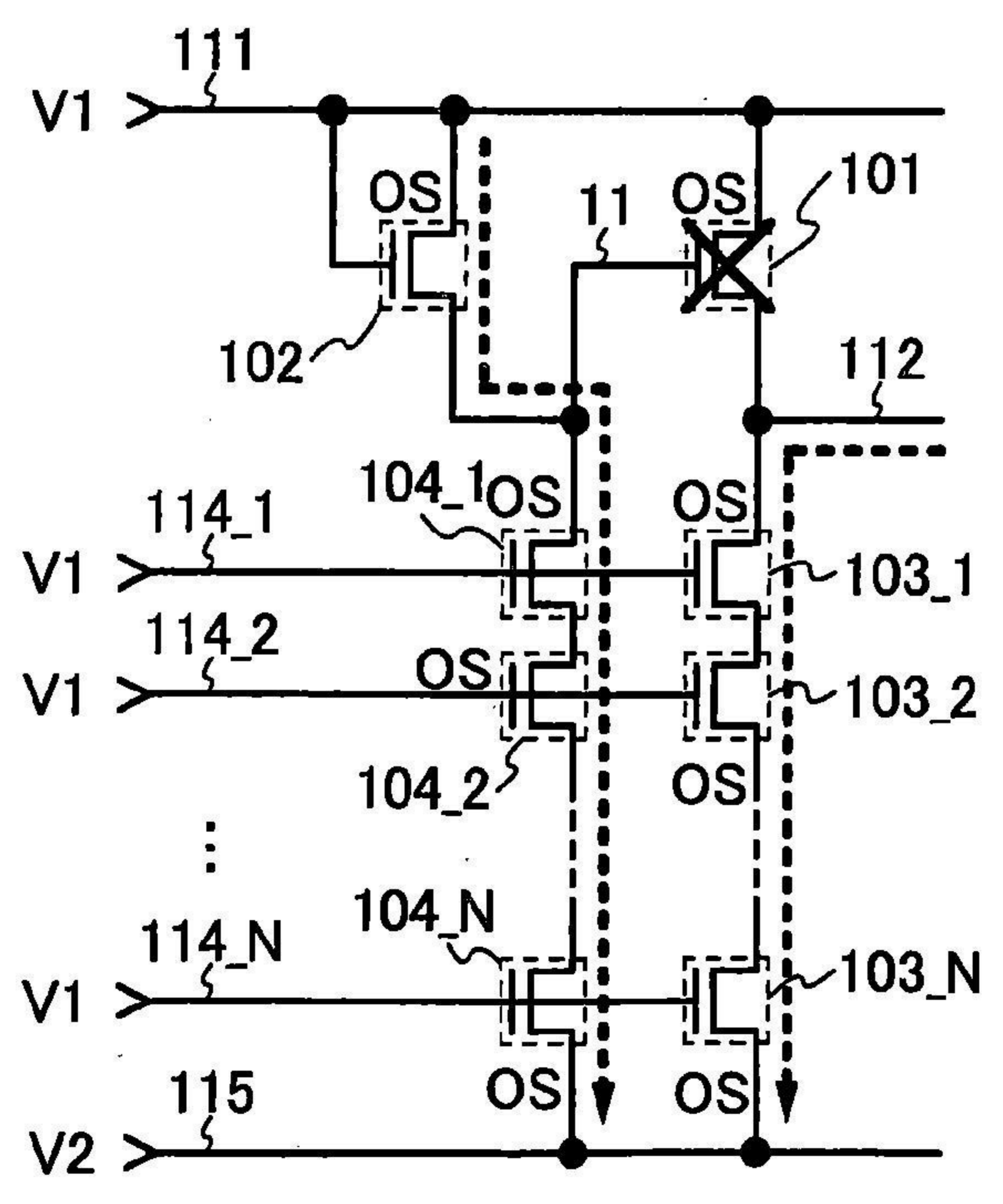


圖 15A

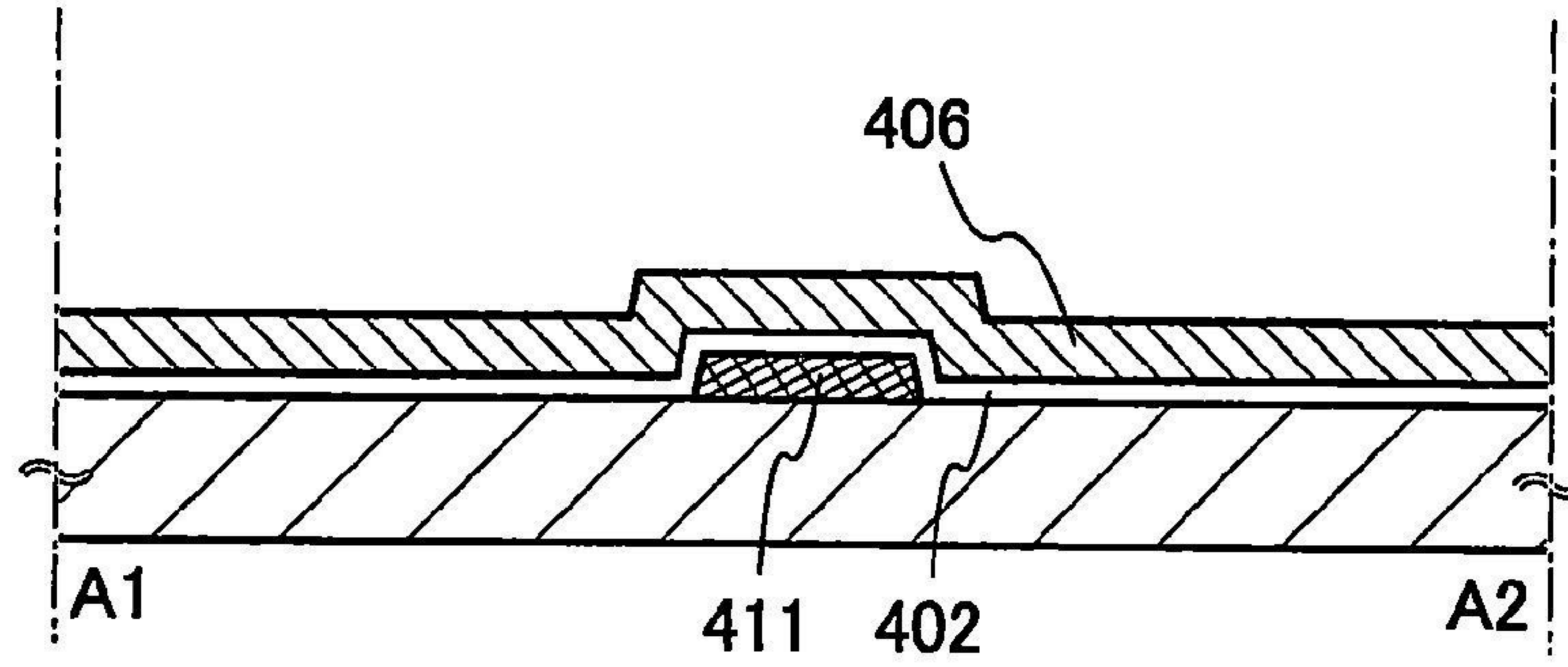


圖 15B

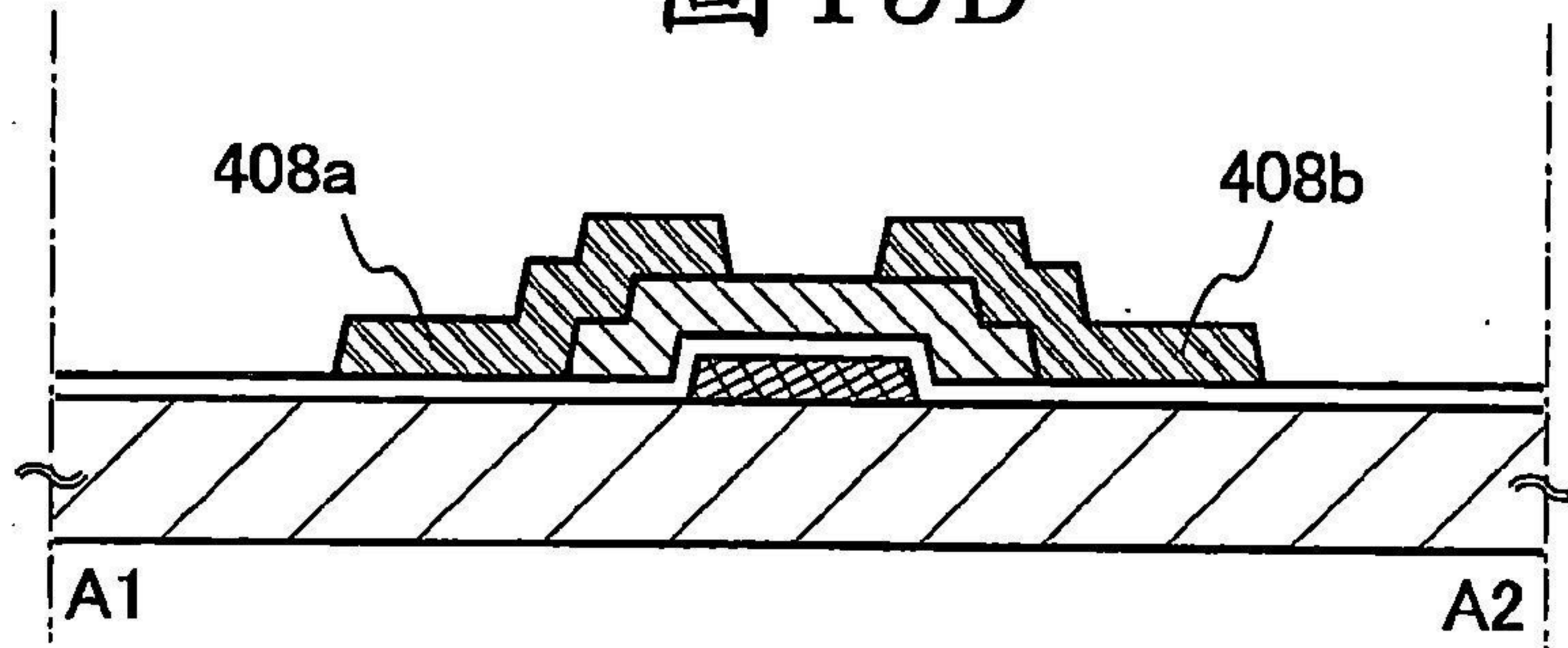


圖 15C

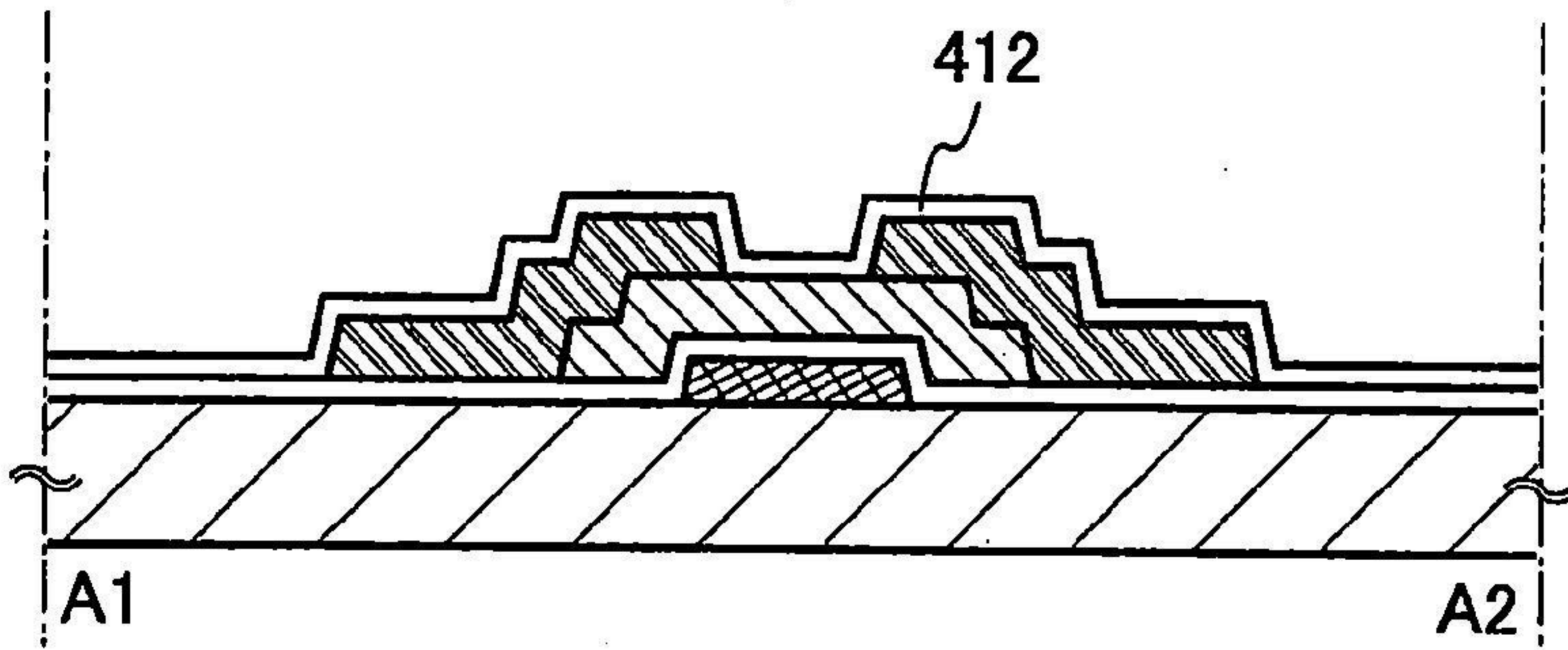


圖 15D

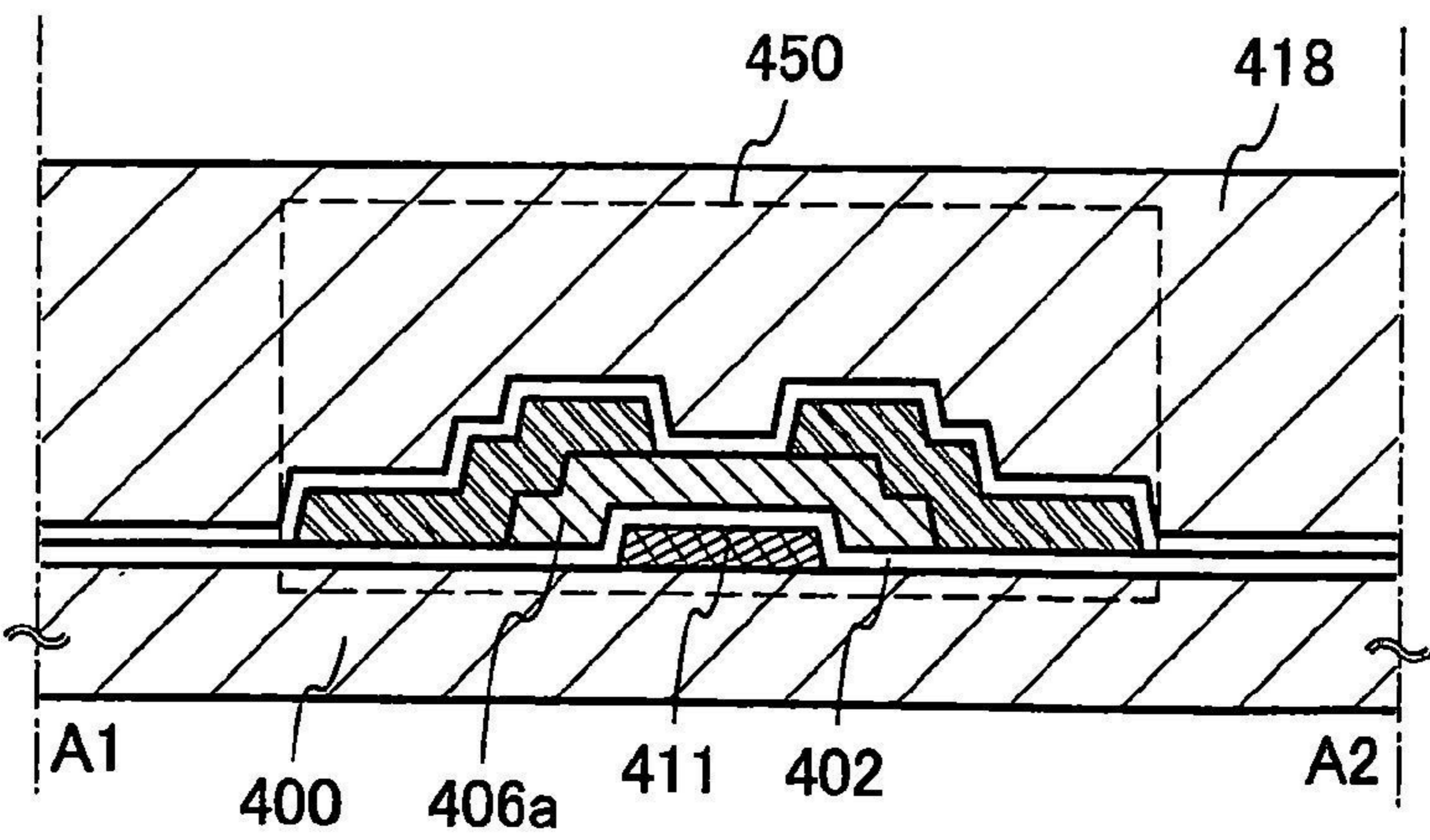


圖16

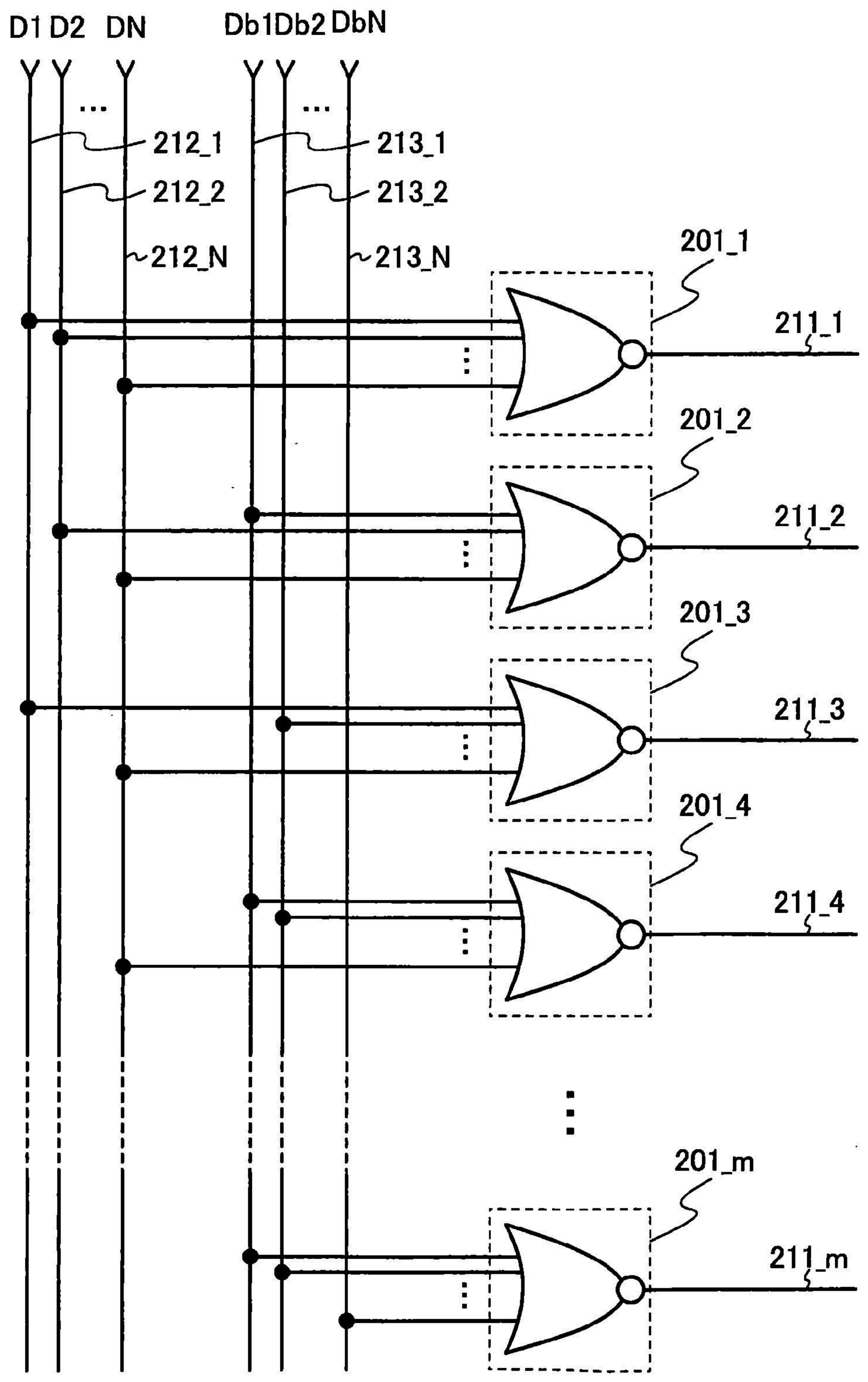


圖 17

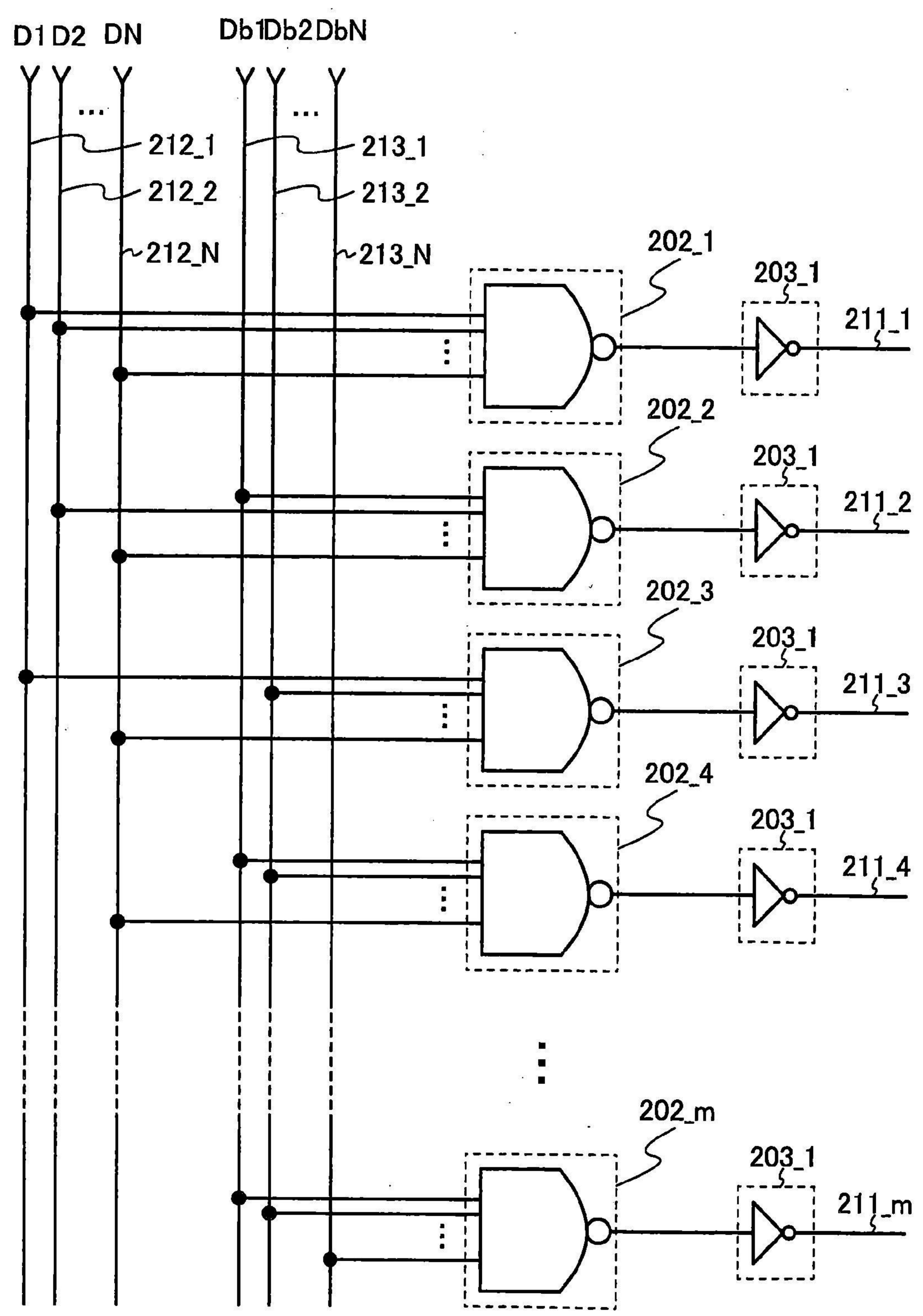


圖 18A

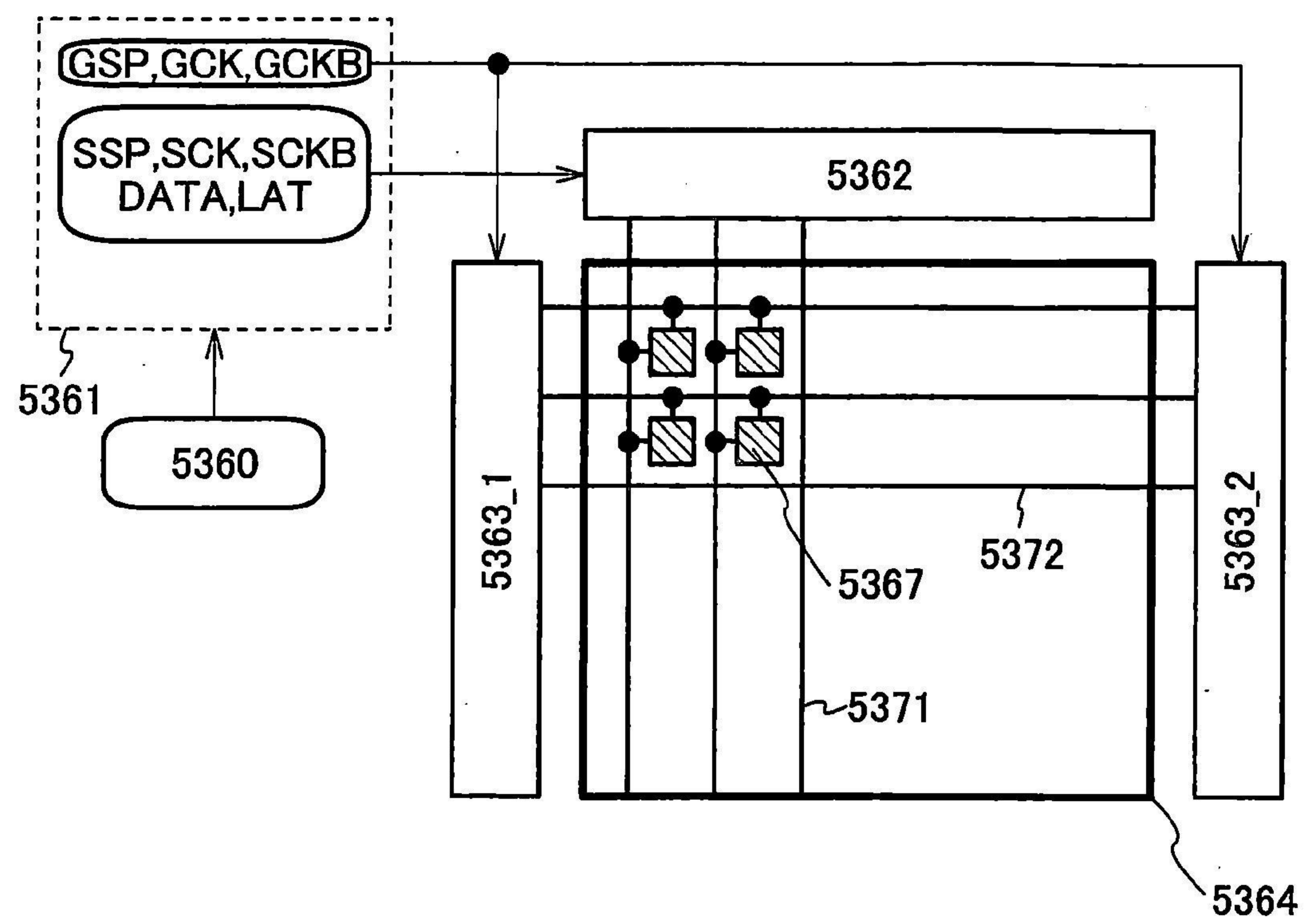


圖 18B

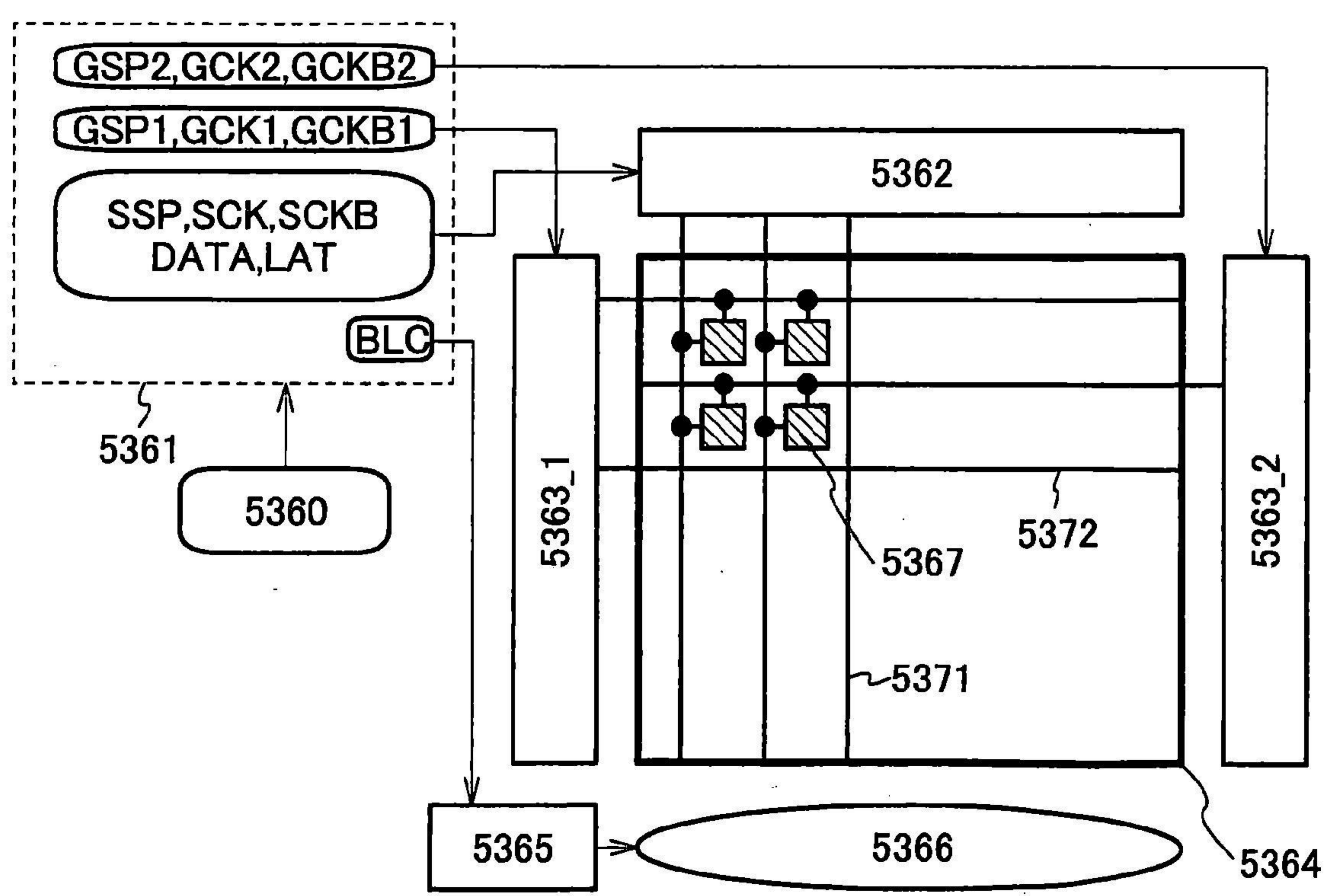


圖 19A

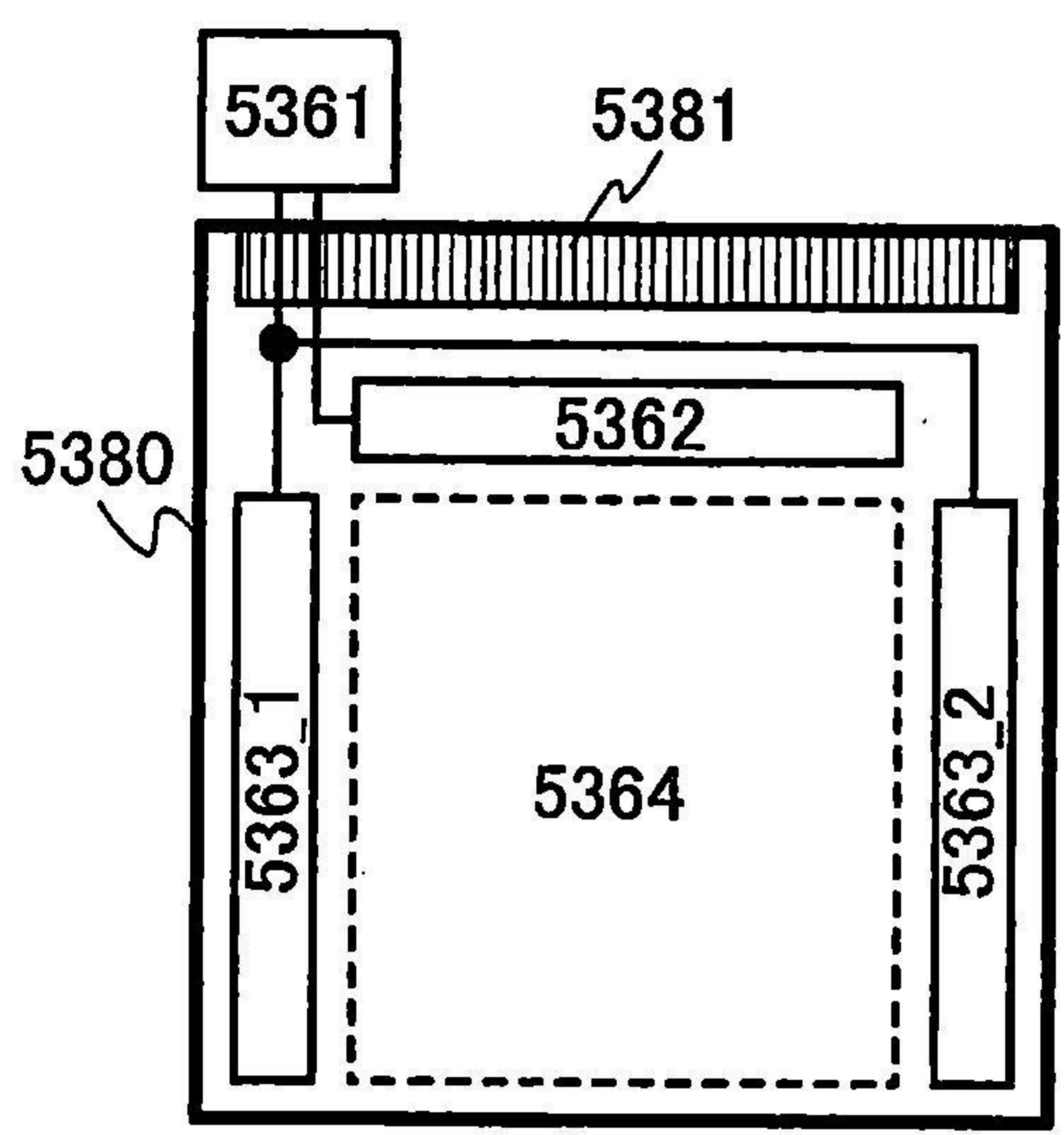


圖 19B

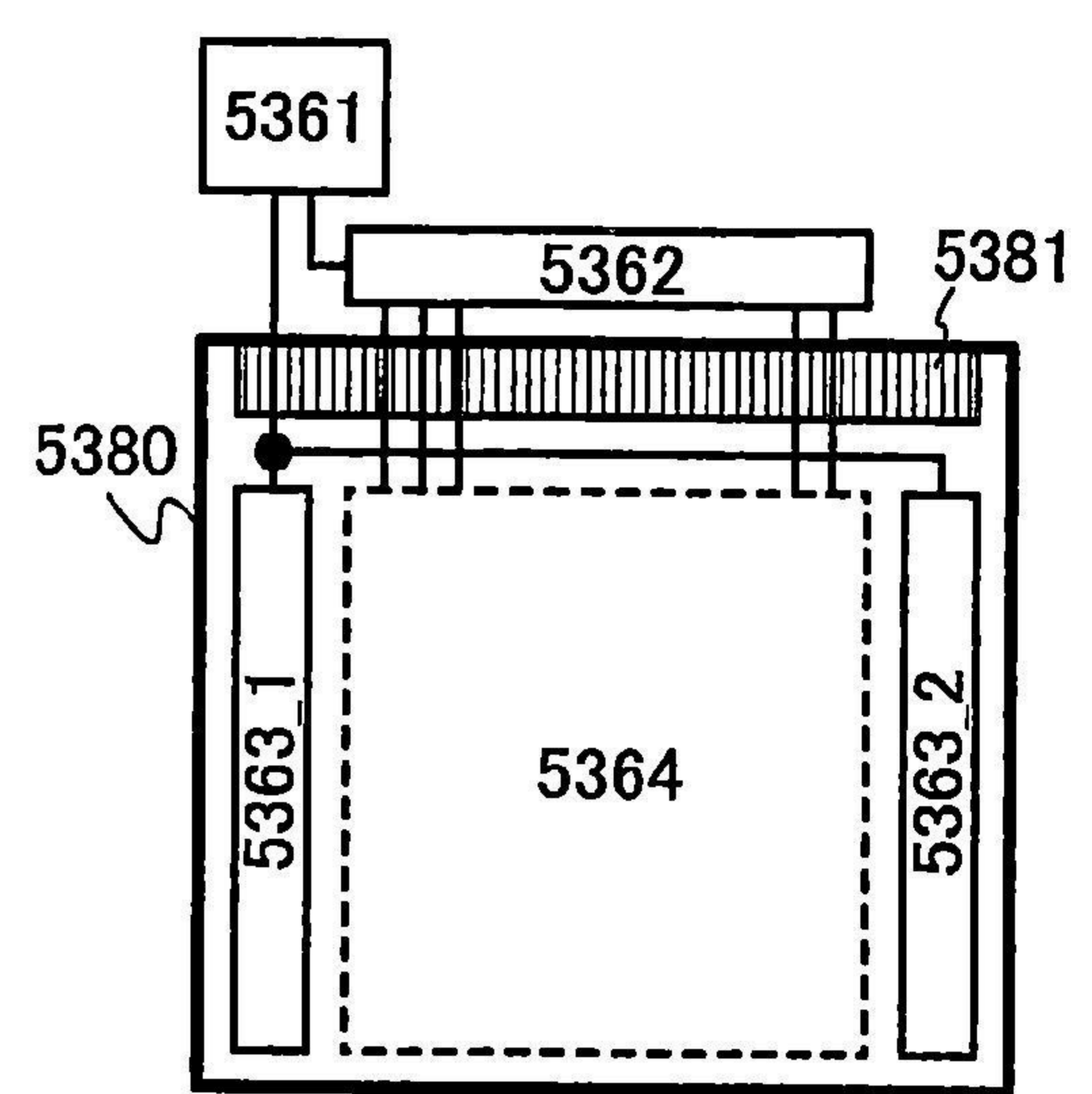


圖 19C

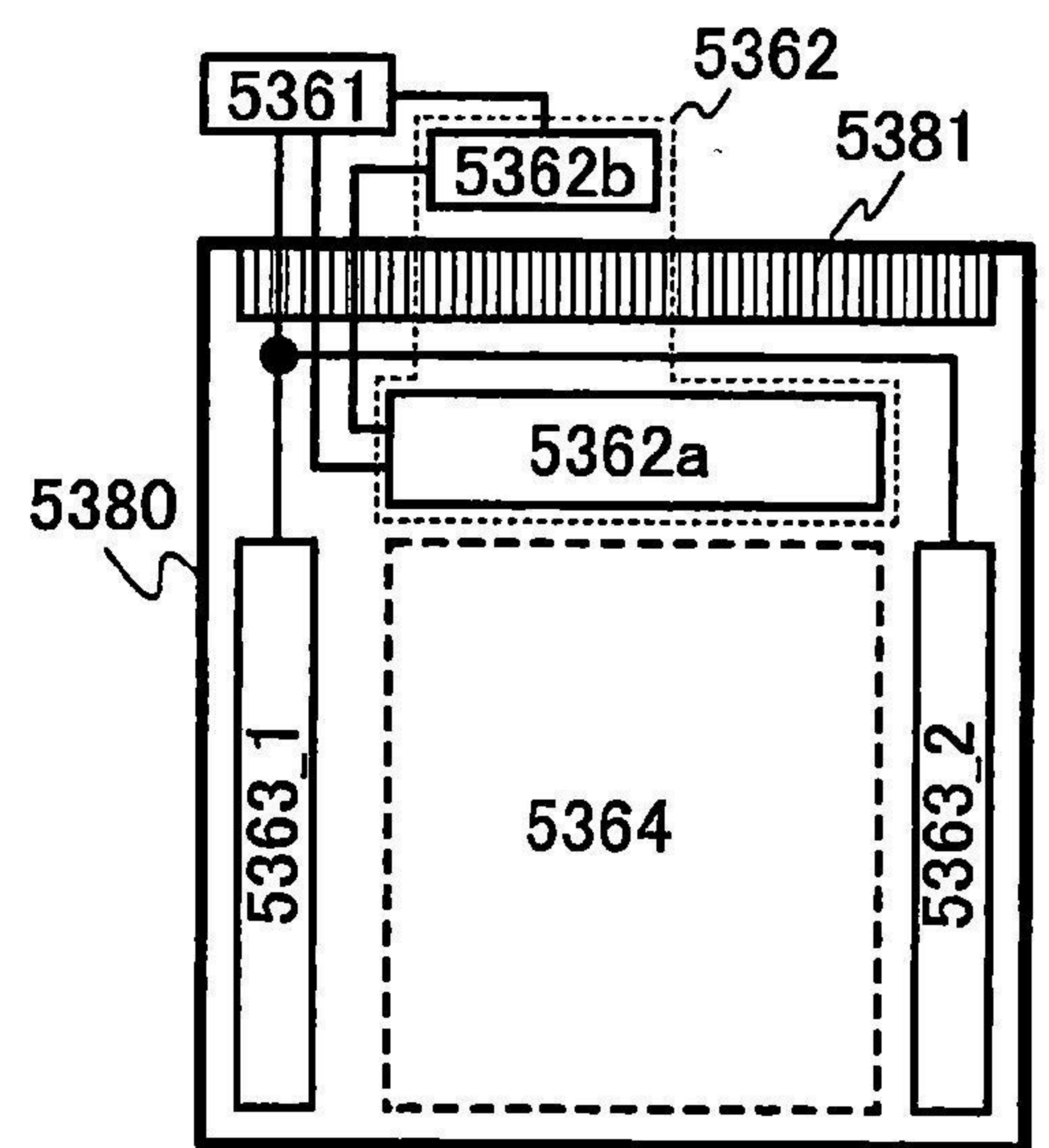


圖 19D

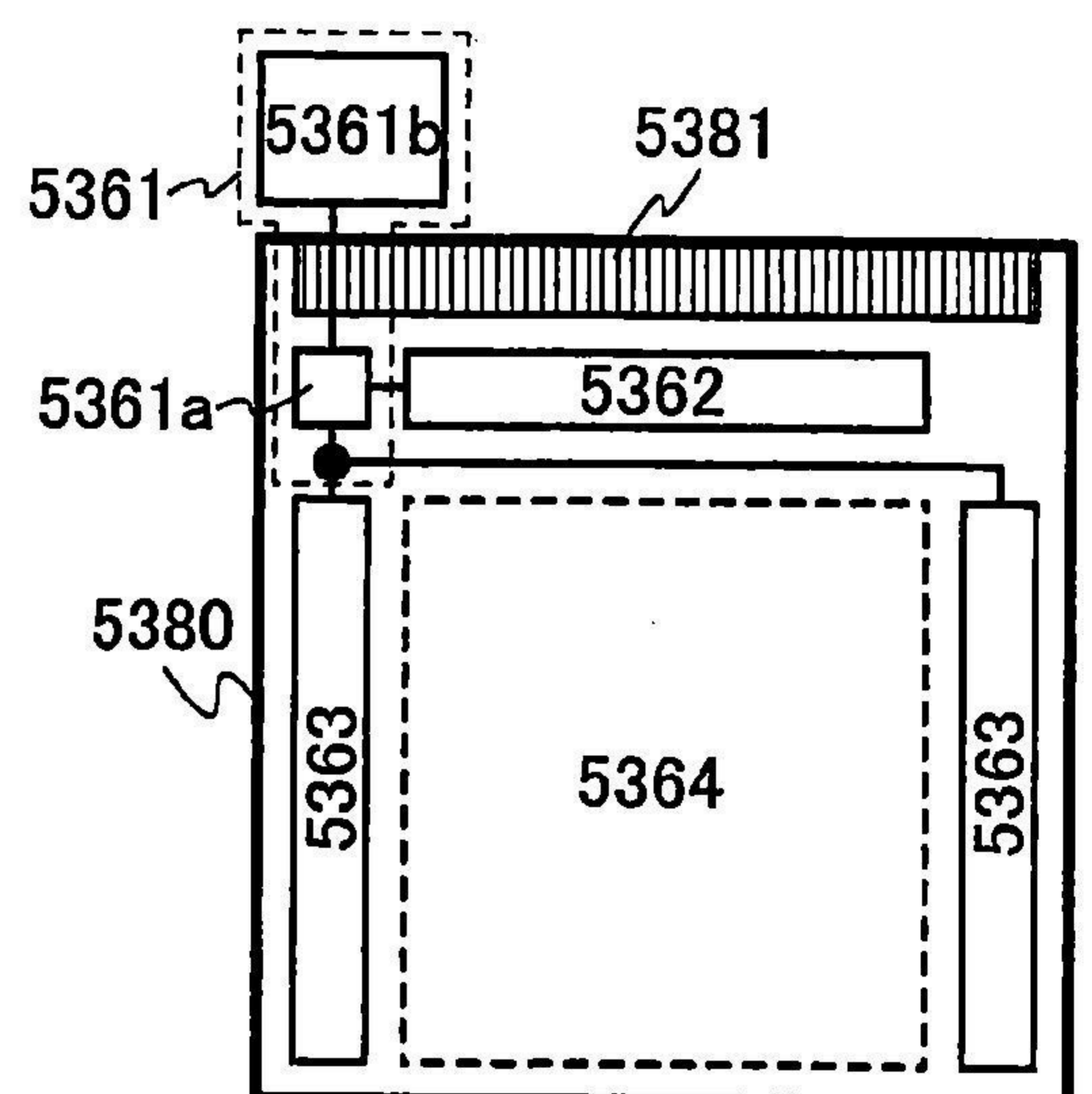


圖 20A

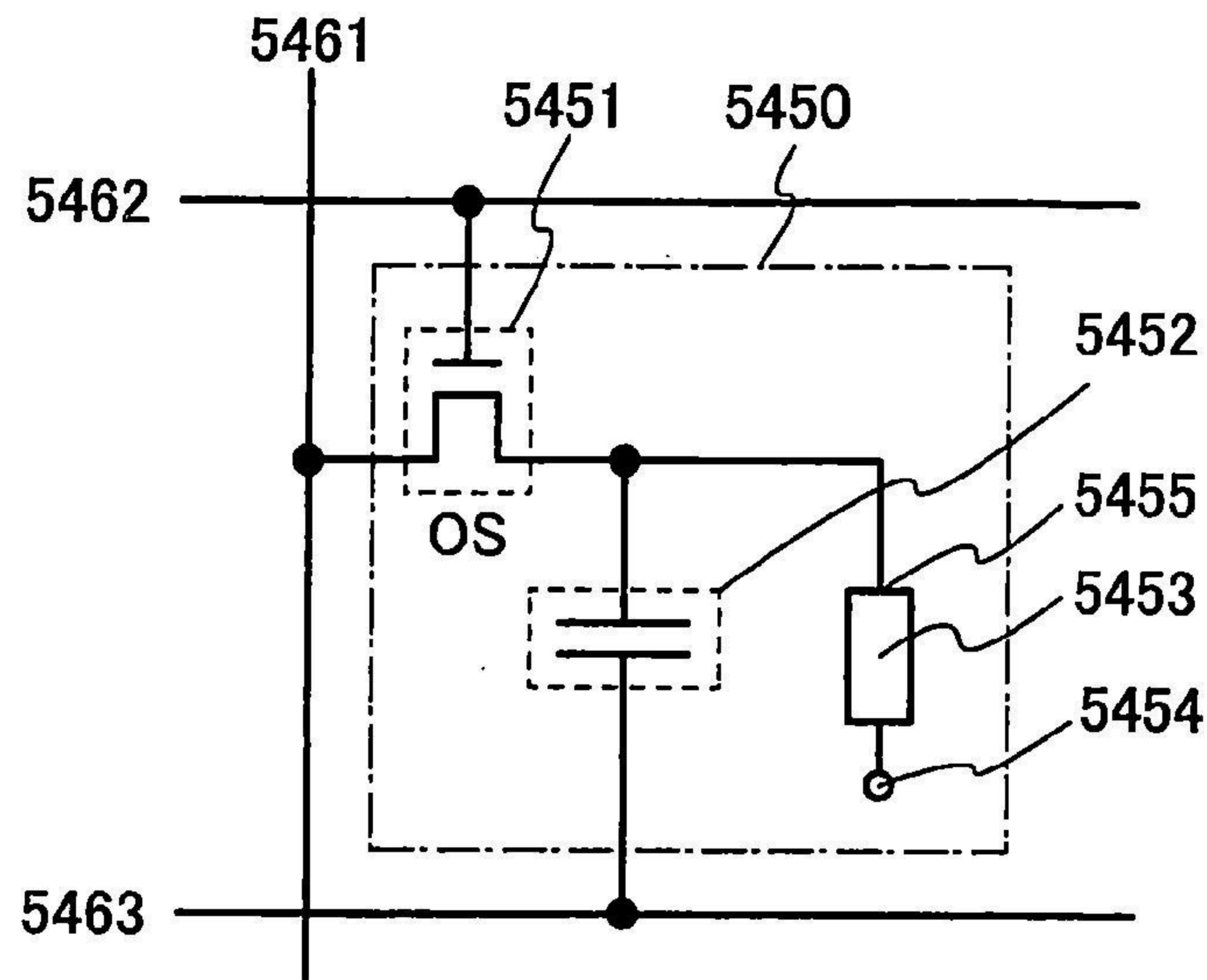


圖 20B

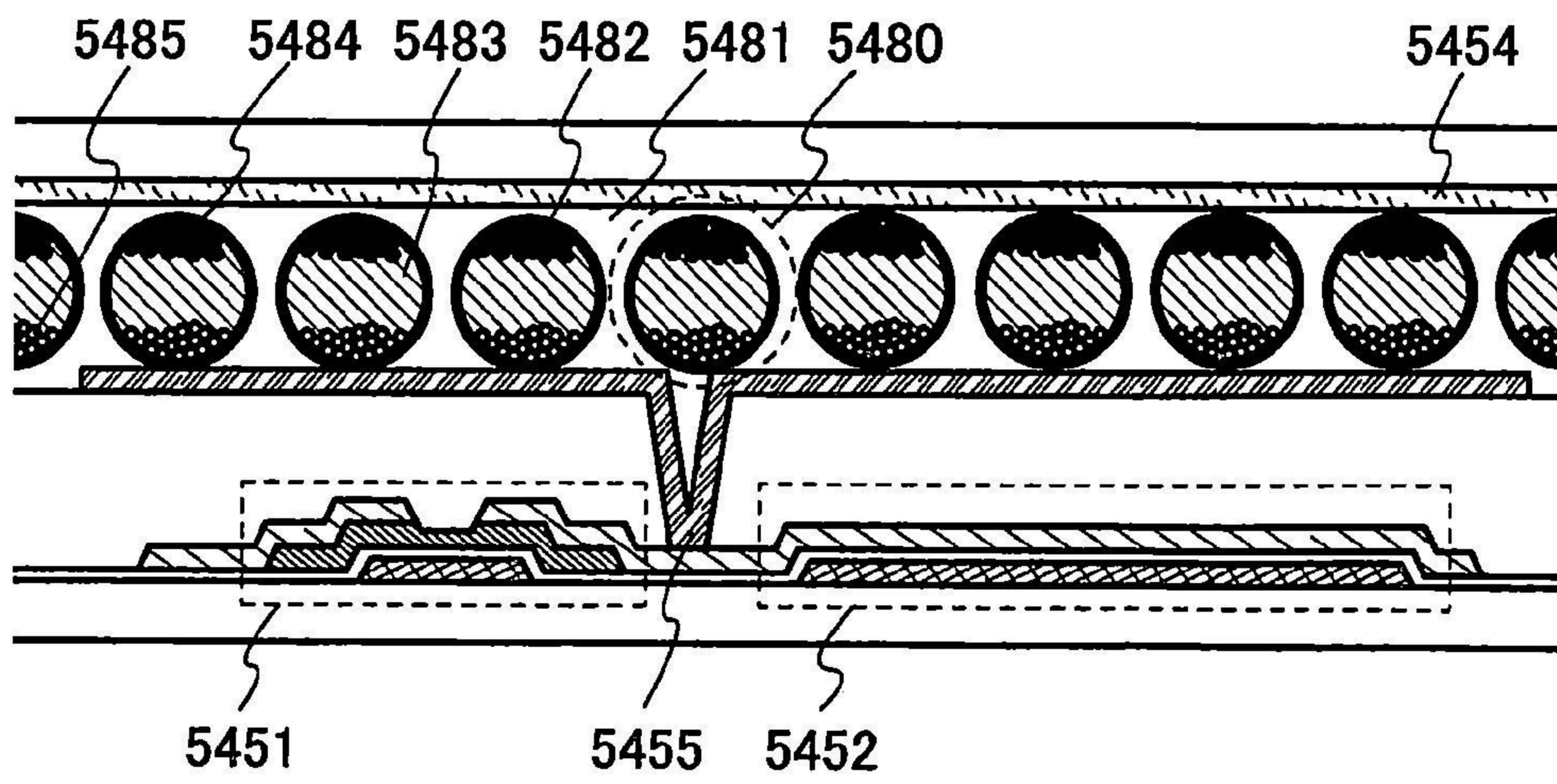




圖 21A

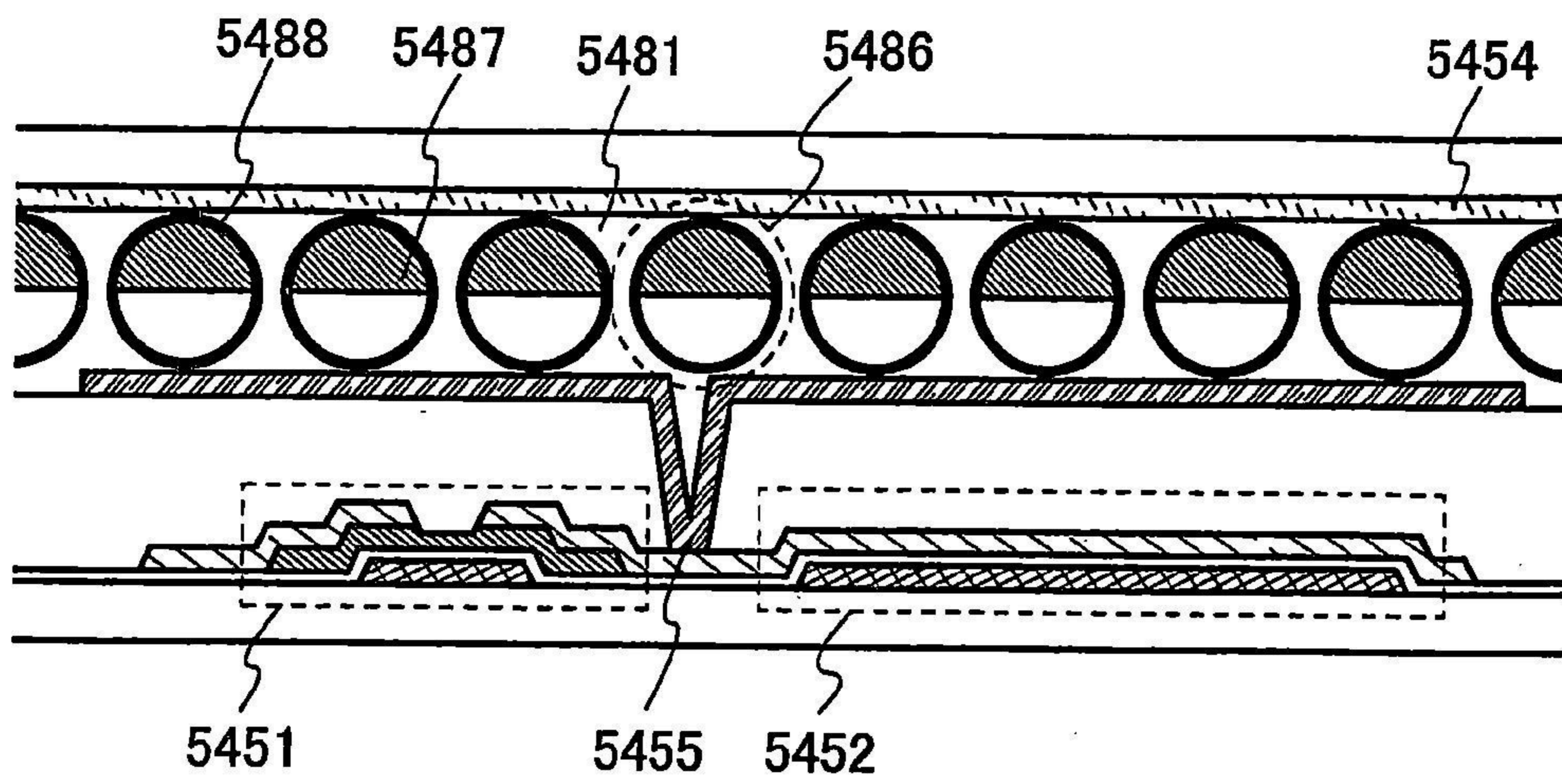


圖 21B

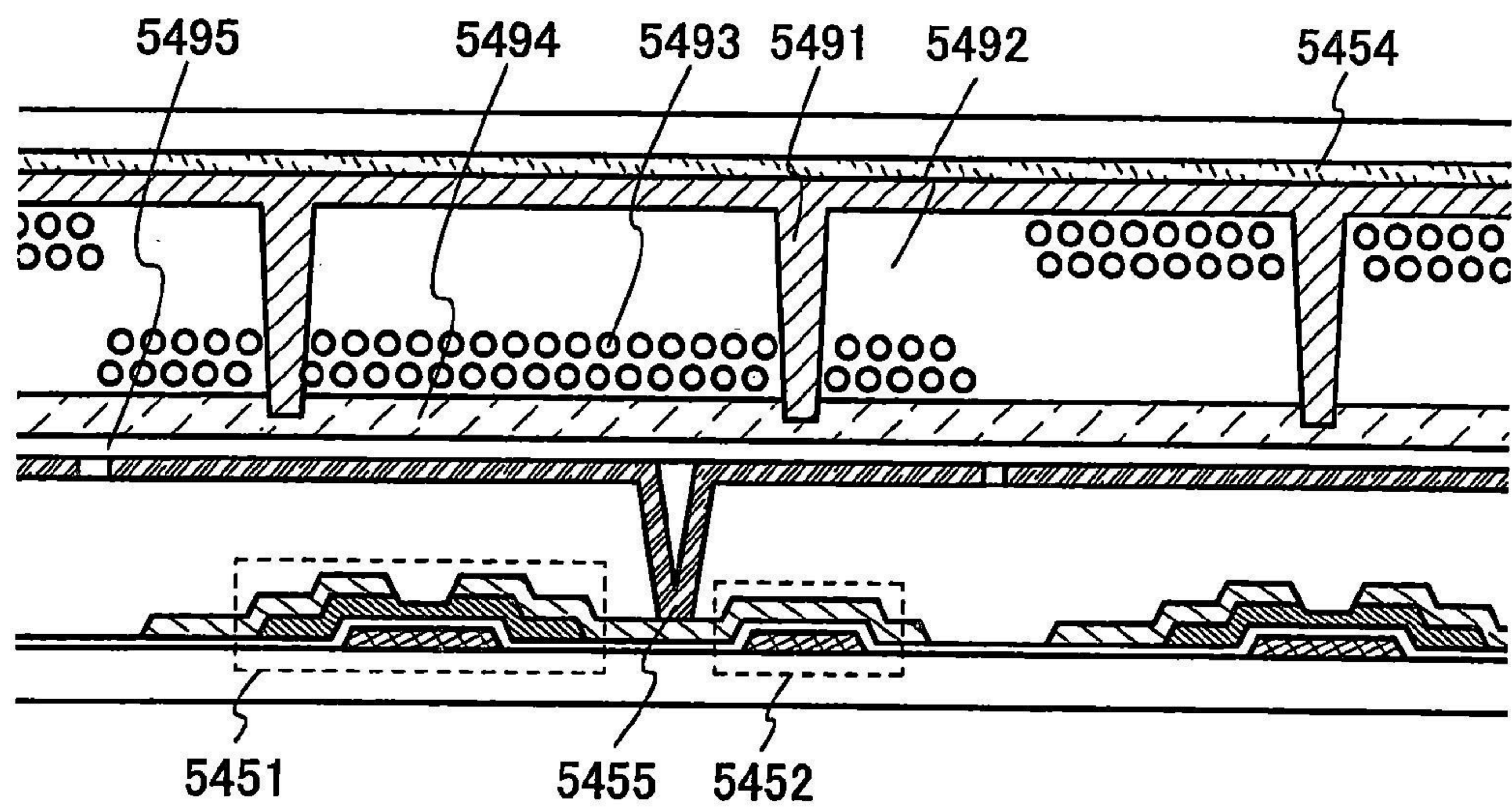


圖 21C

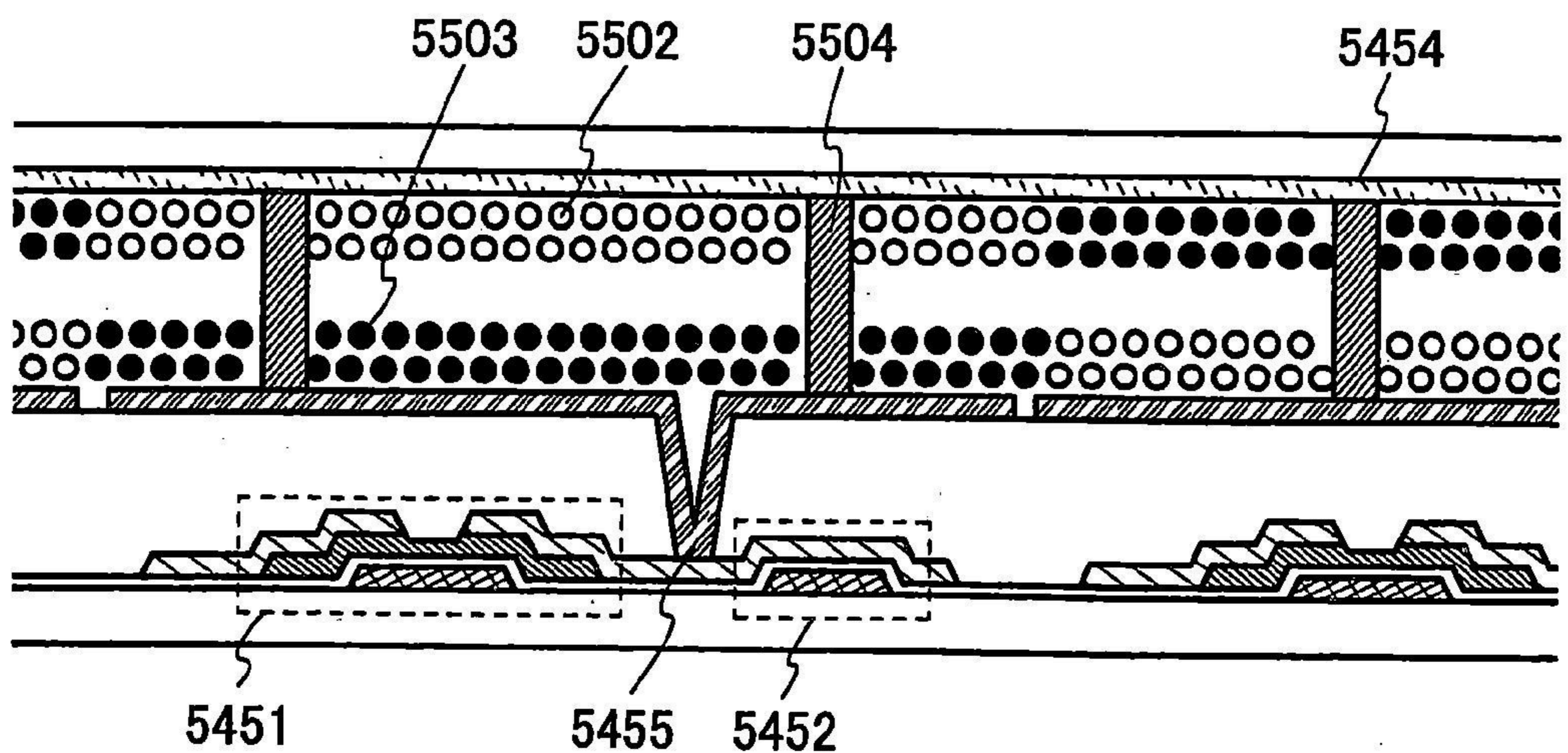


圖 22A

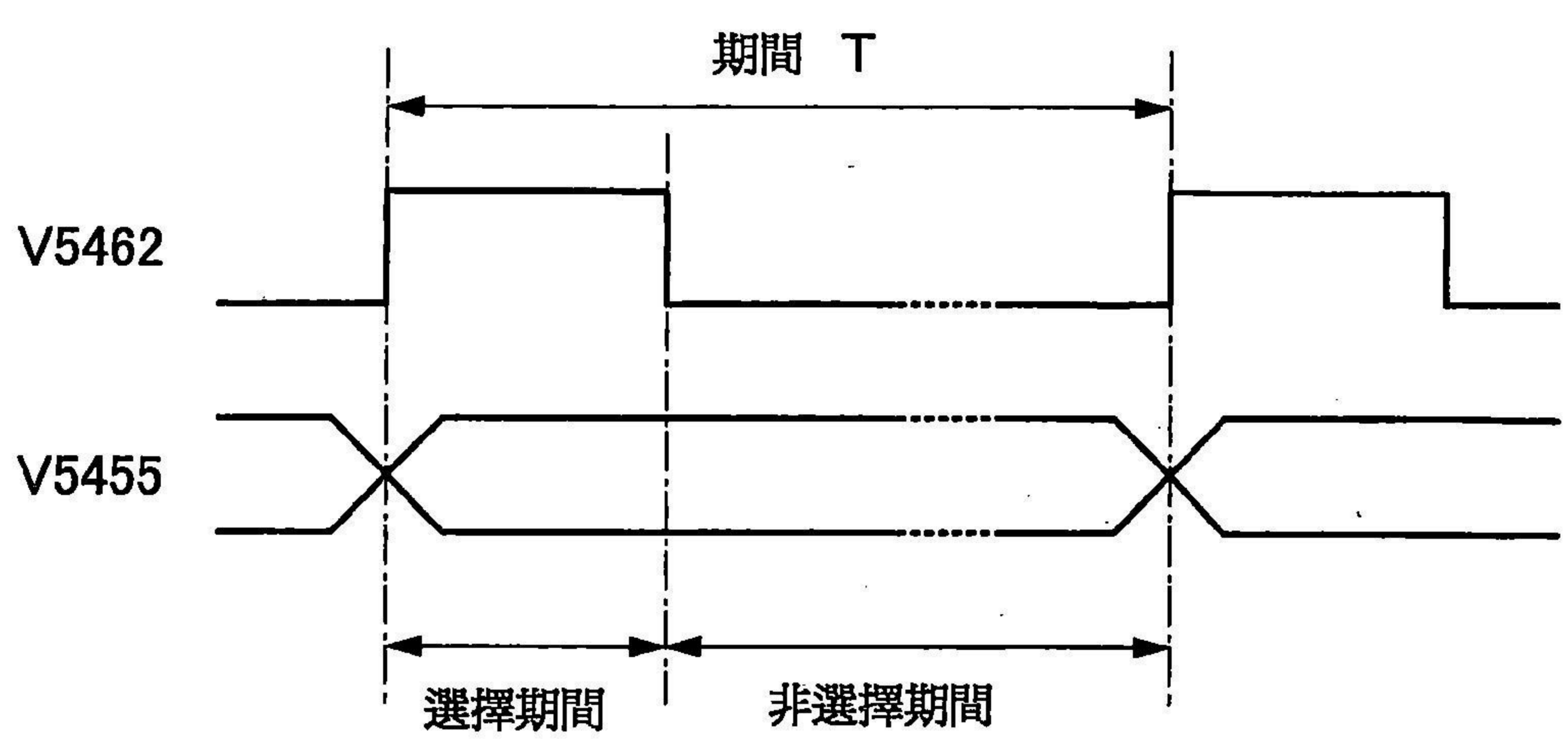


圖 22B

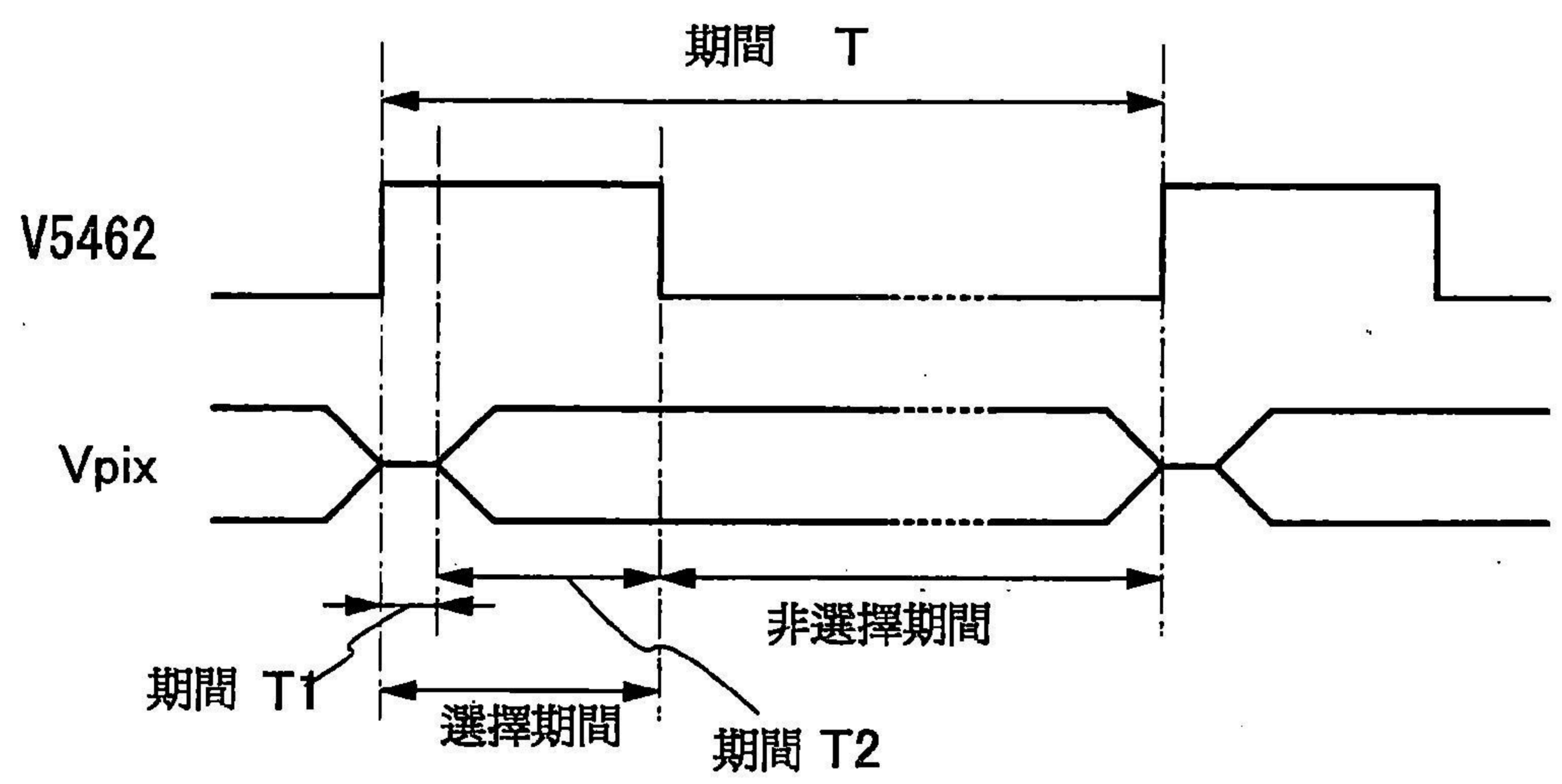


圖 22C

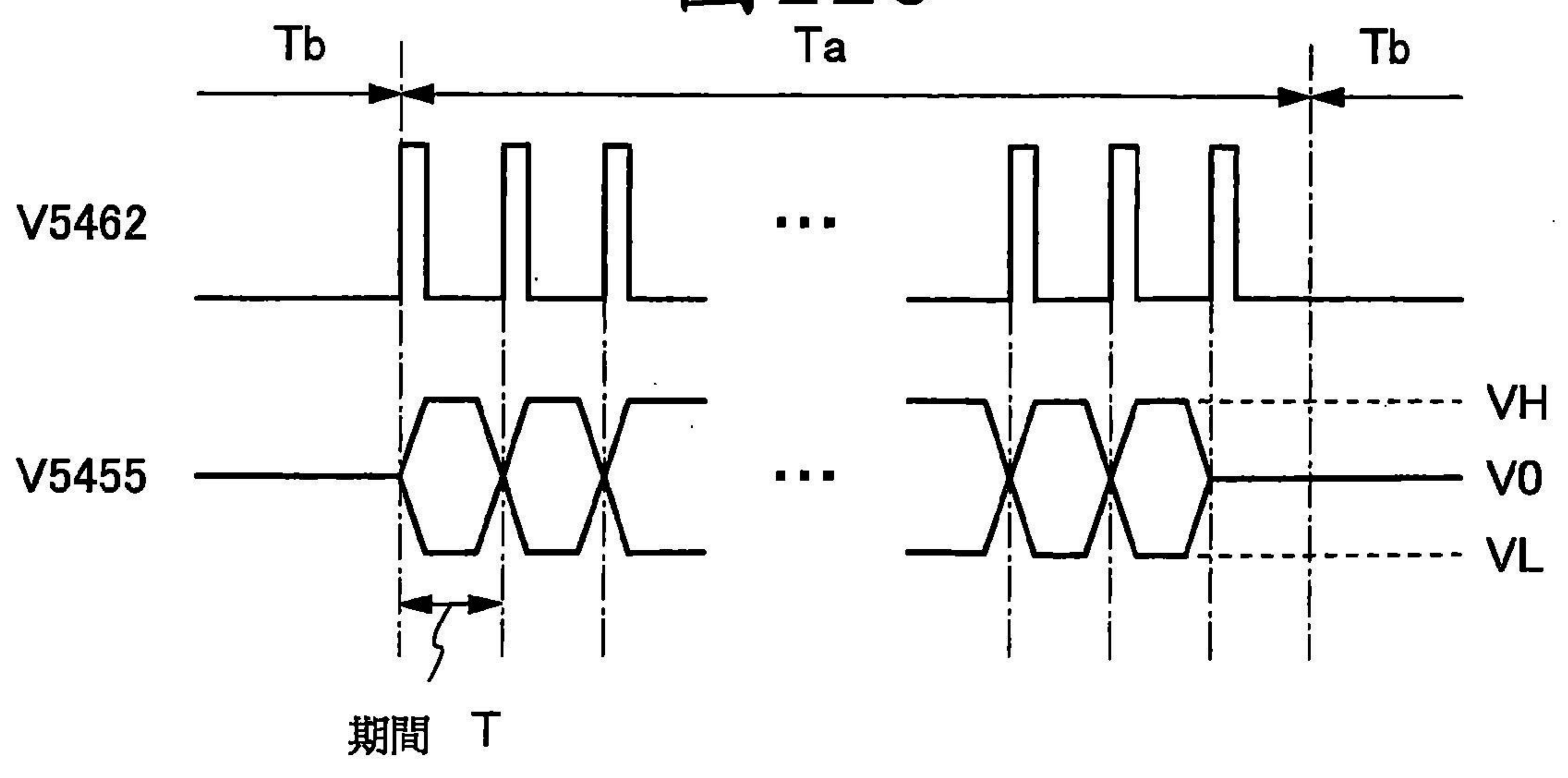


圖 23

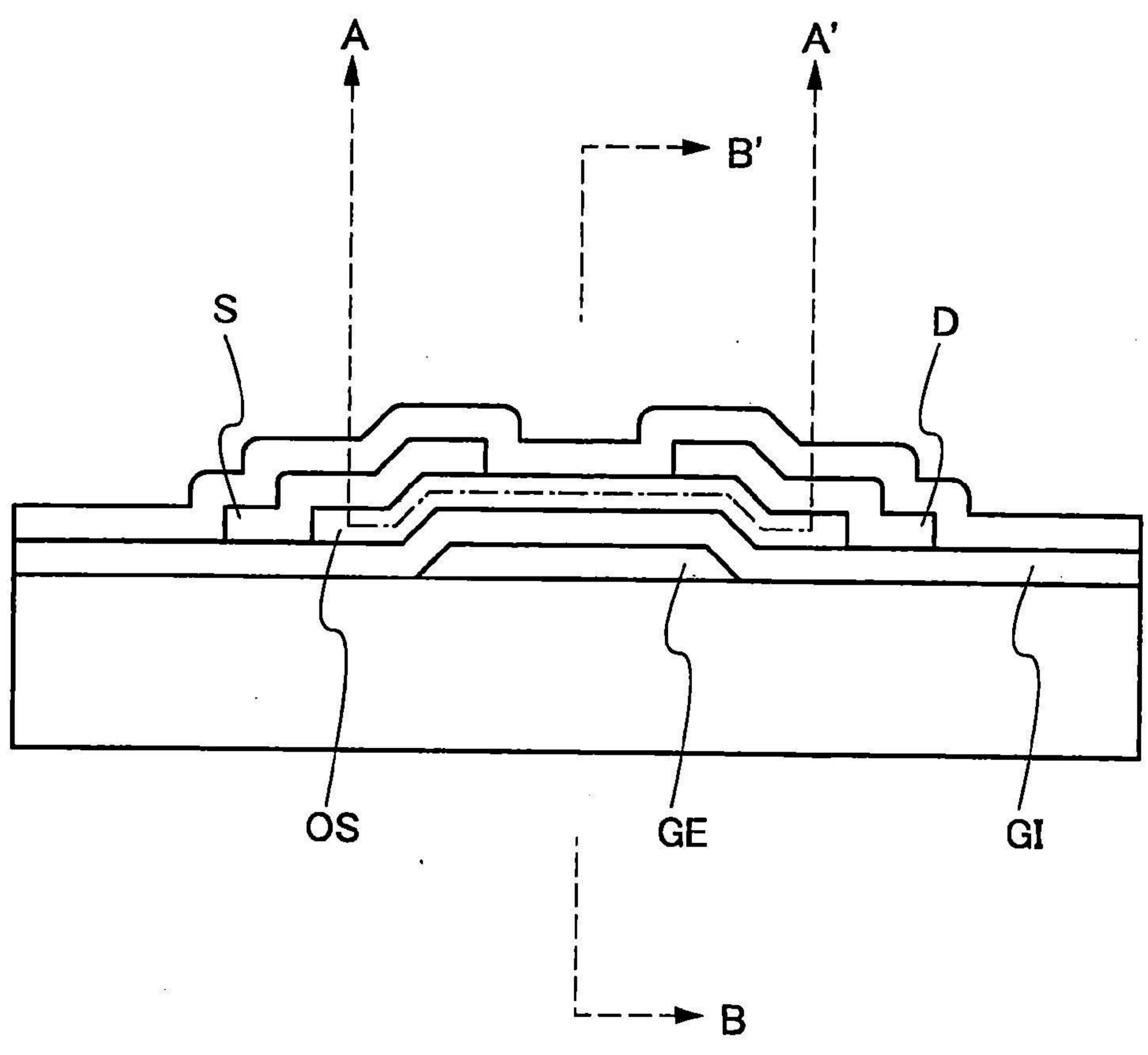


圖 24A

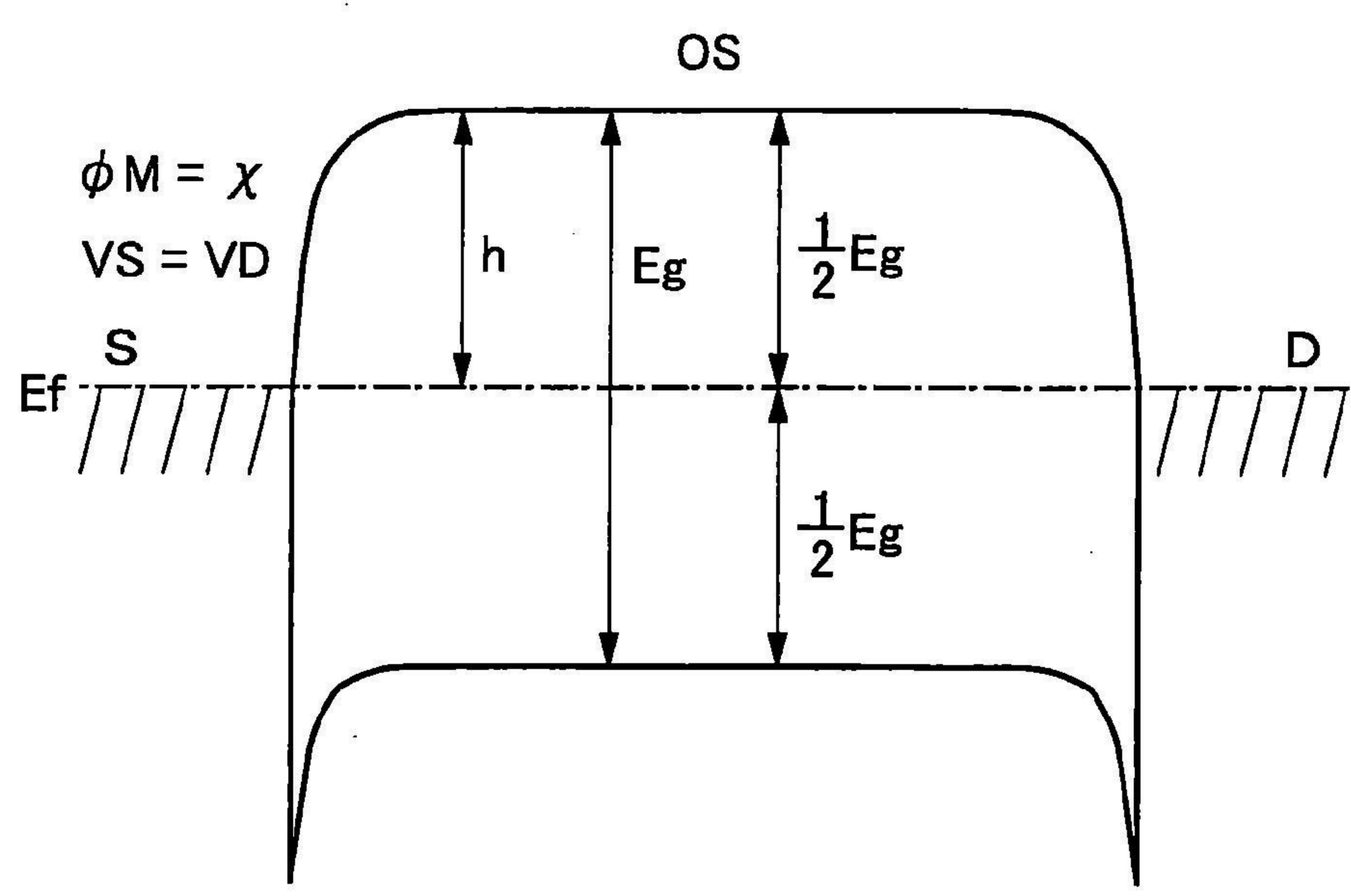


圖 24B

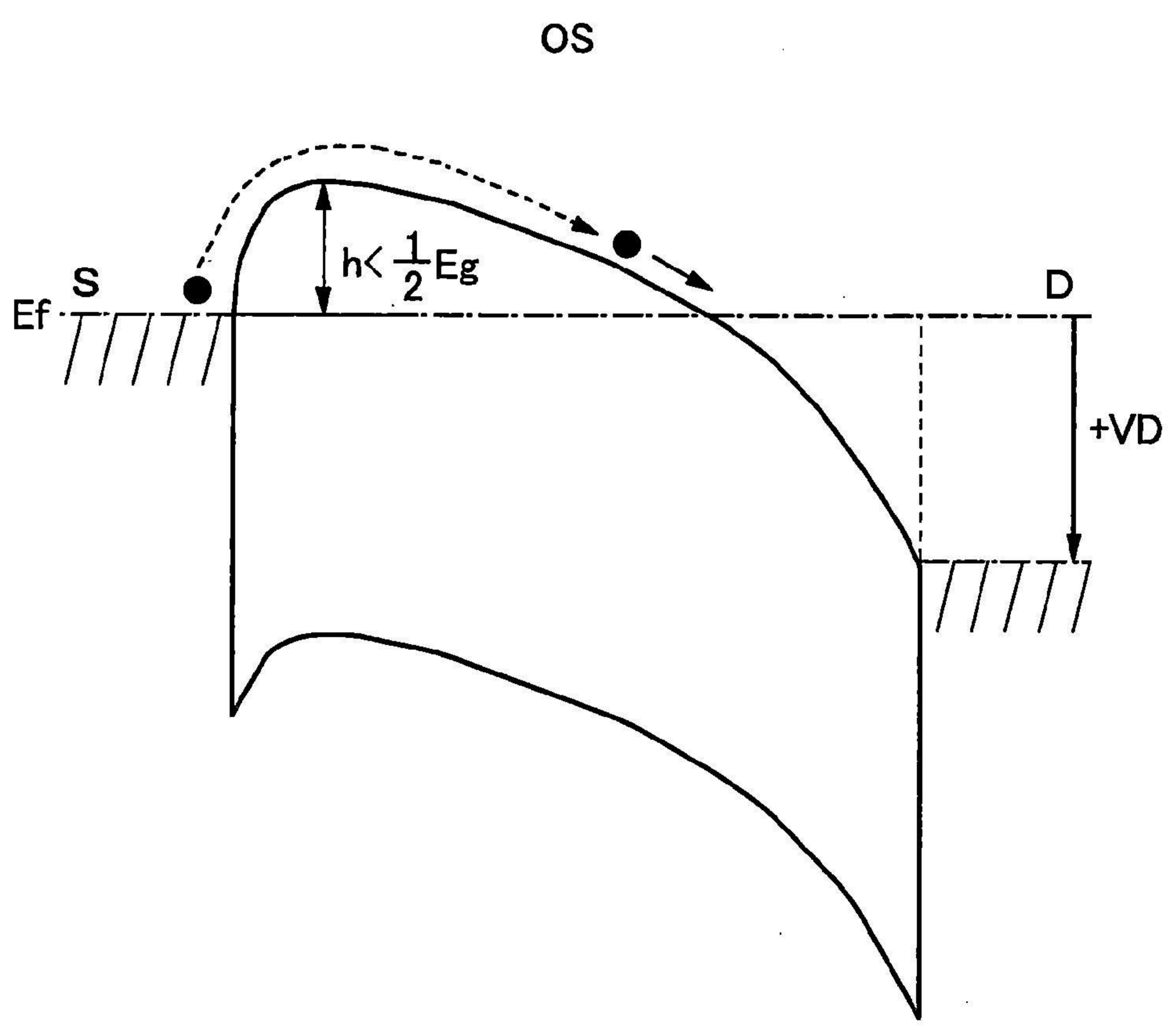


圖 25A

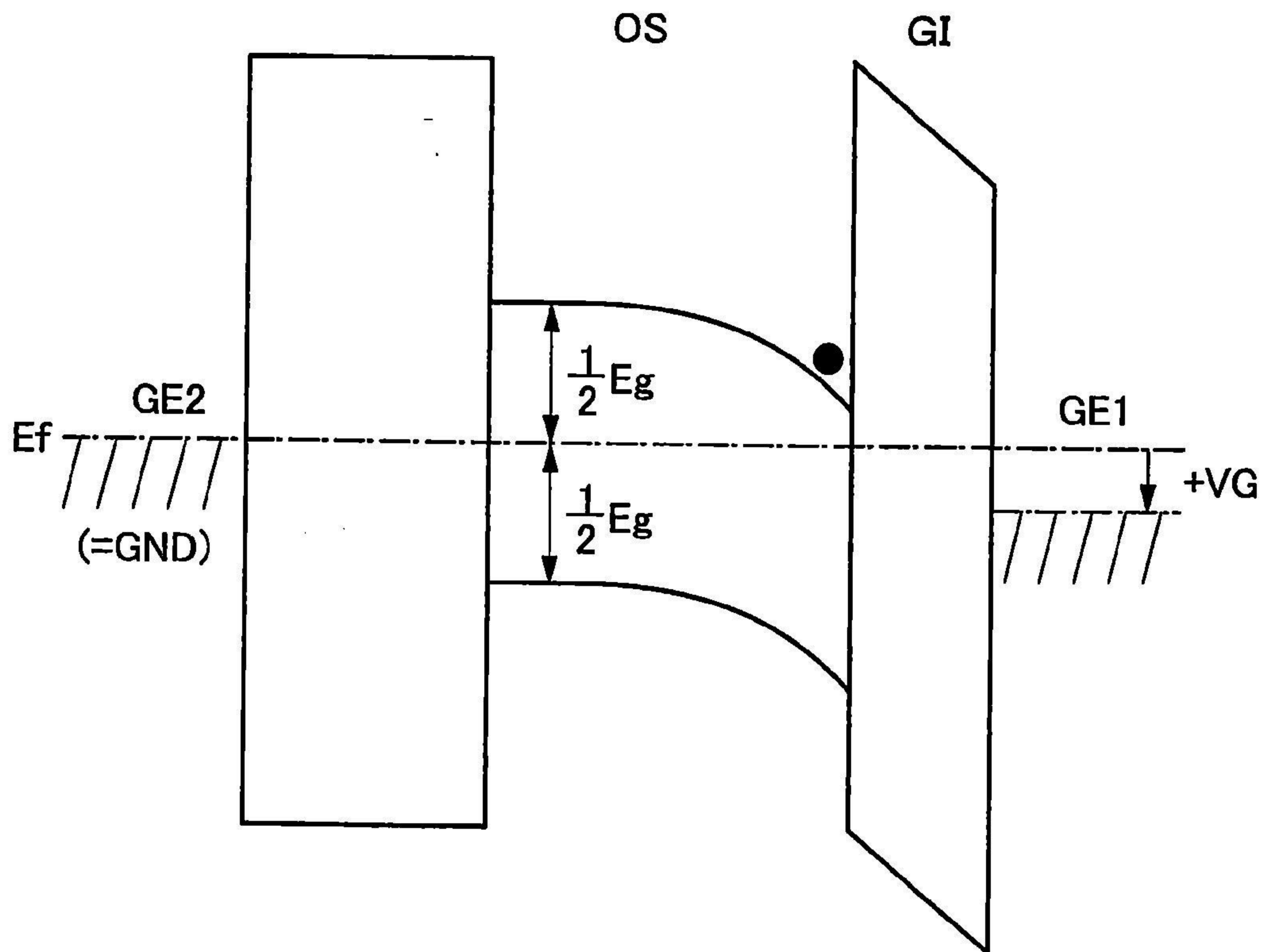


圖 25B

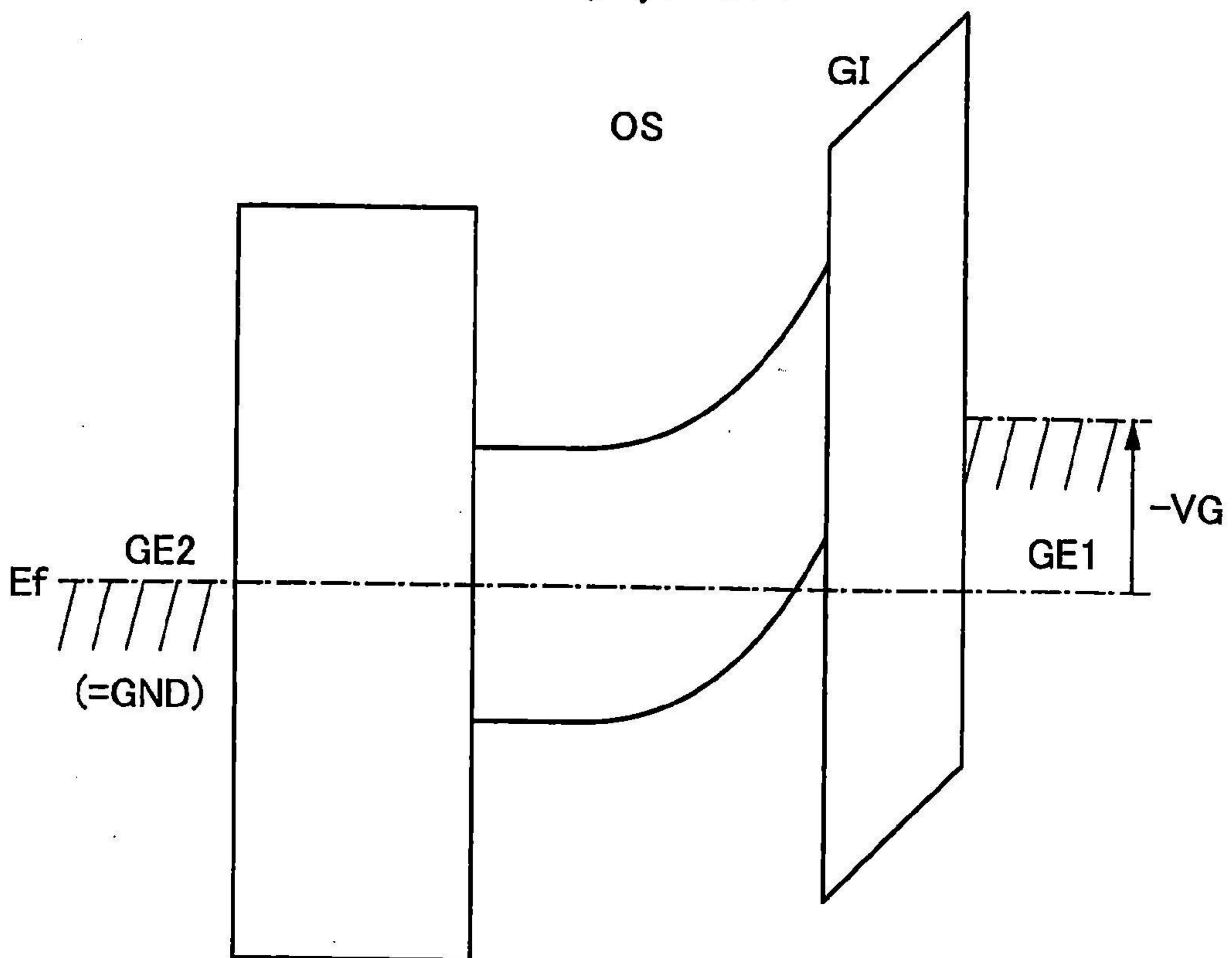


圖 26

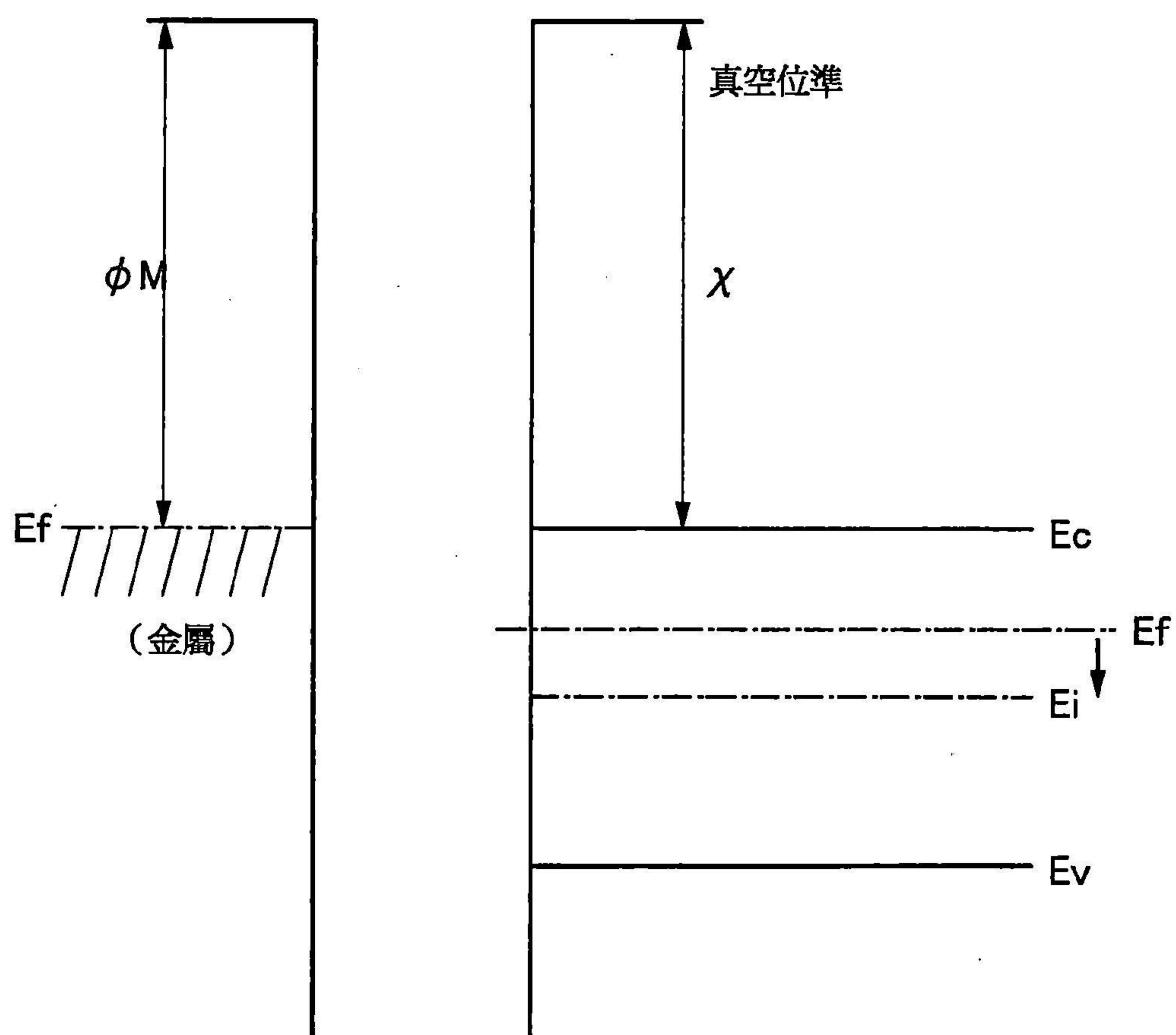


圖 27A

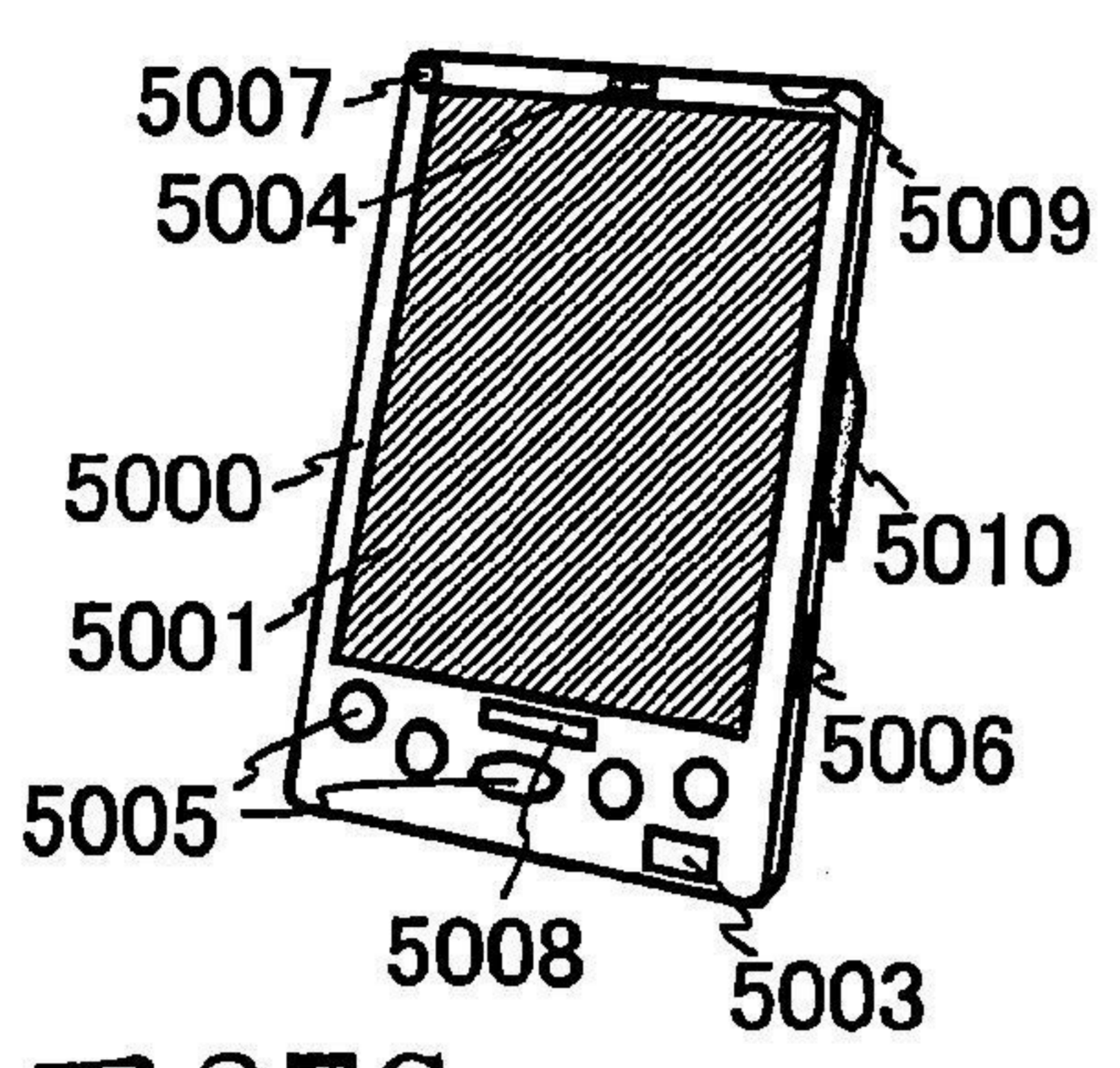


圖 27B

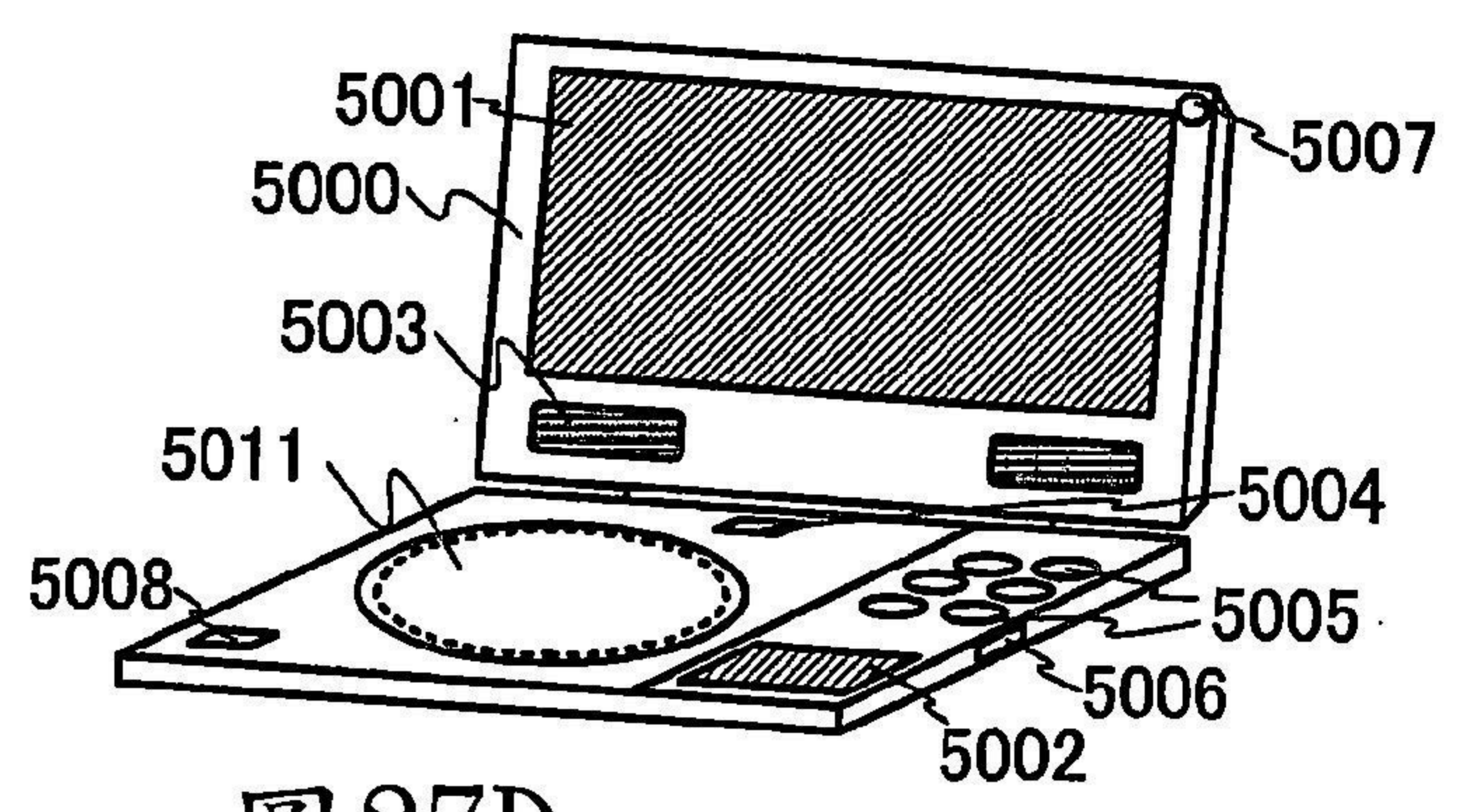


圖 27C

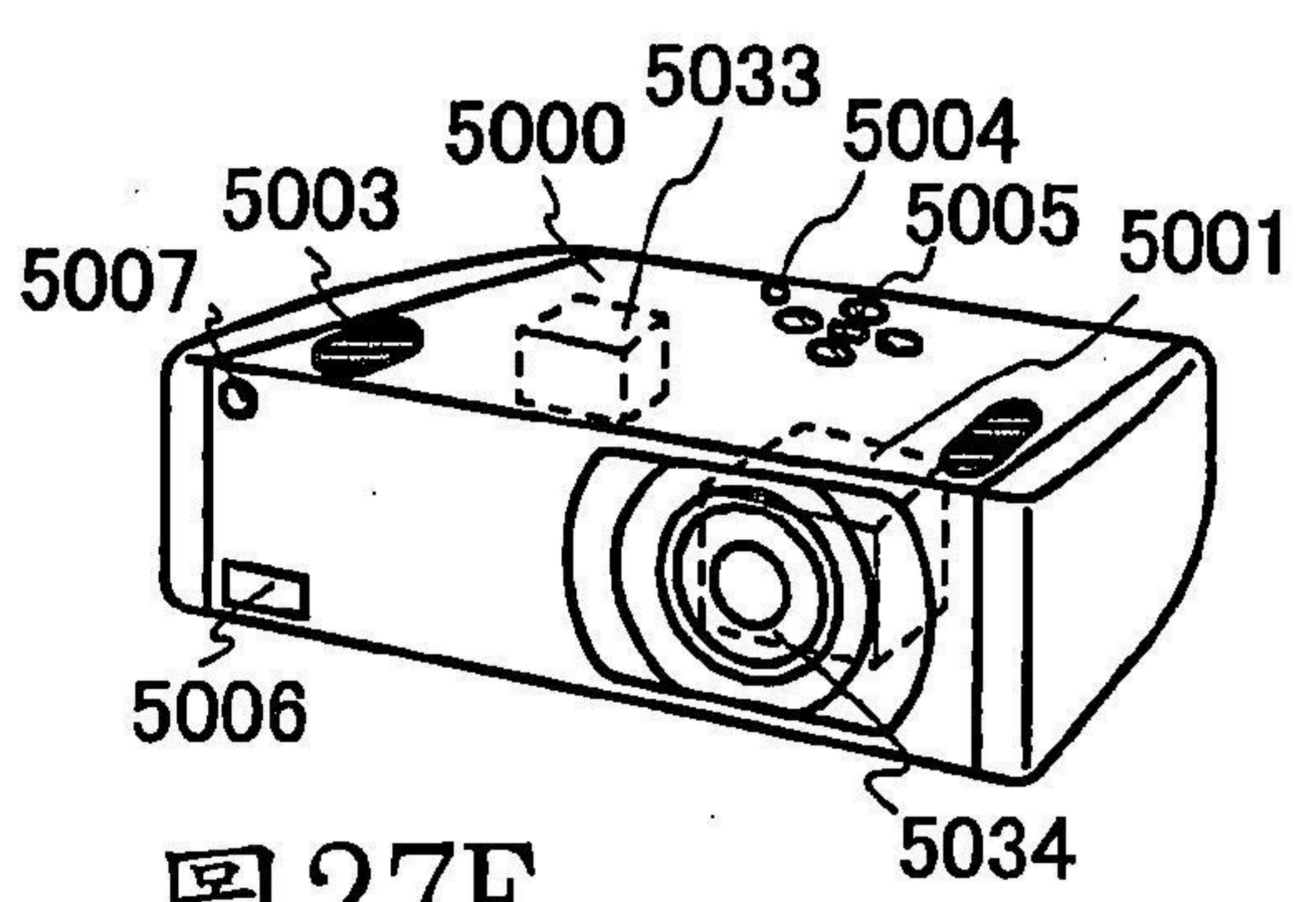


圖 27D

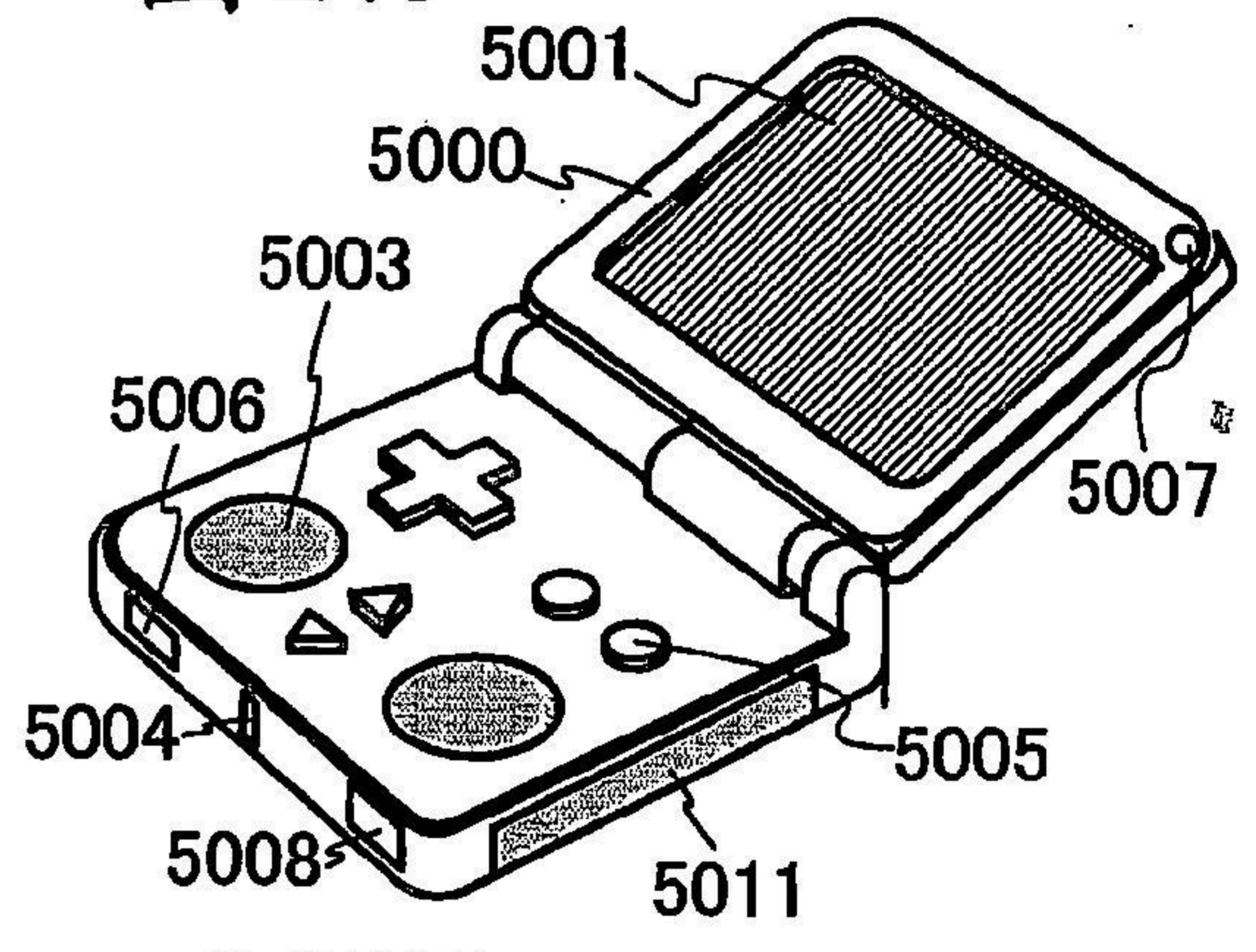


圖 27E

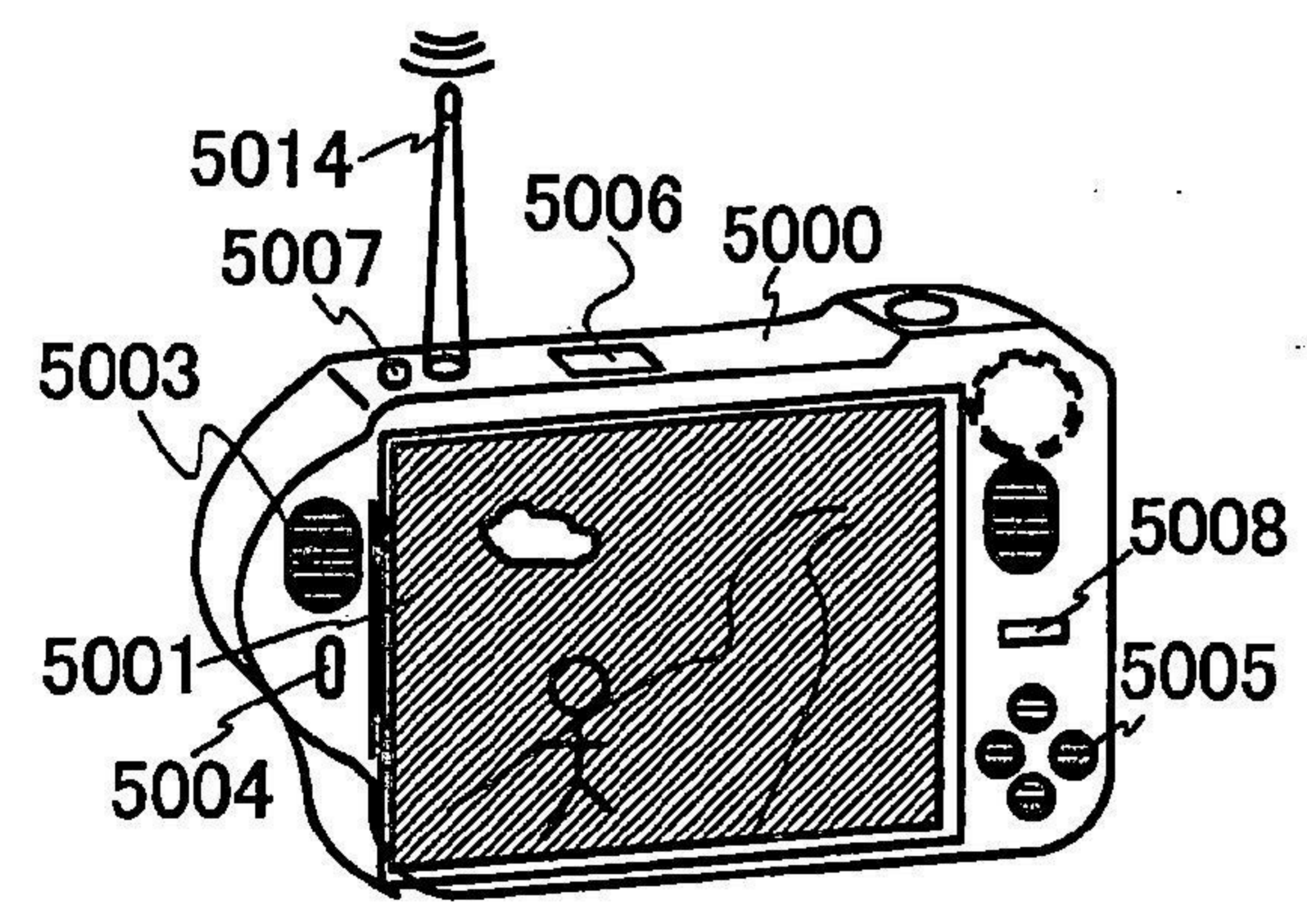


圖 27F

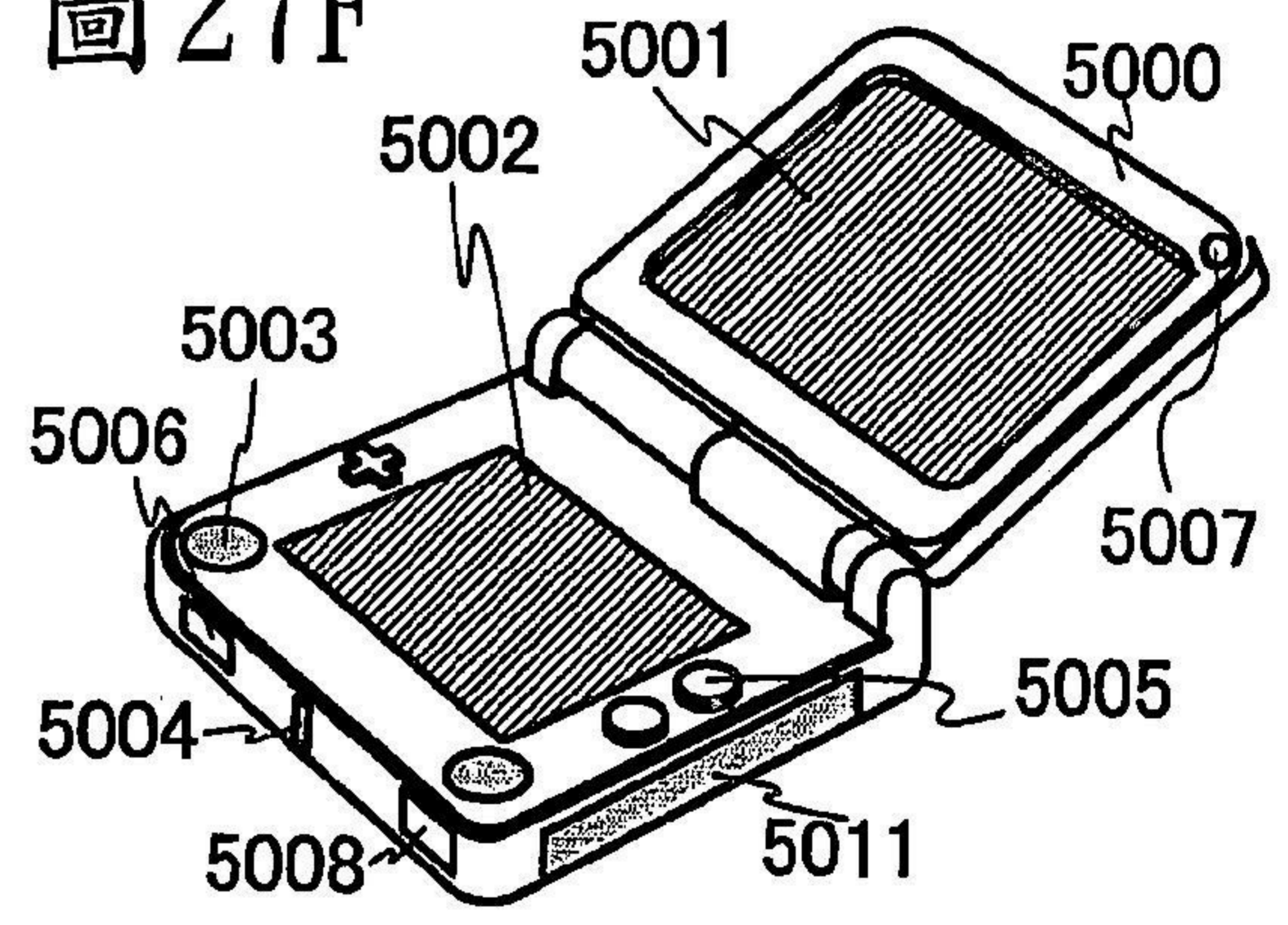


圖 27G

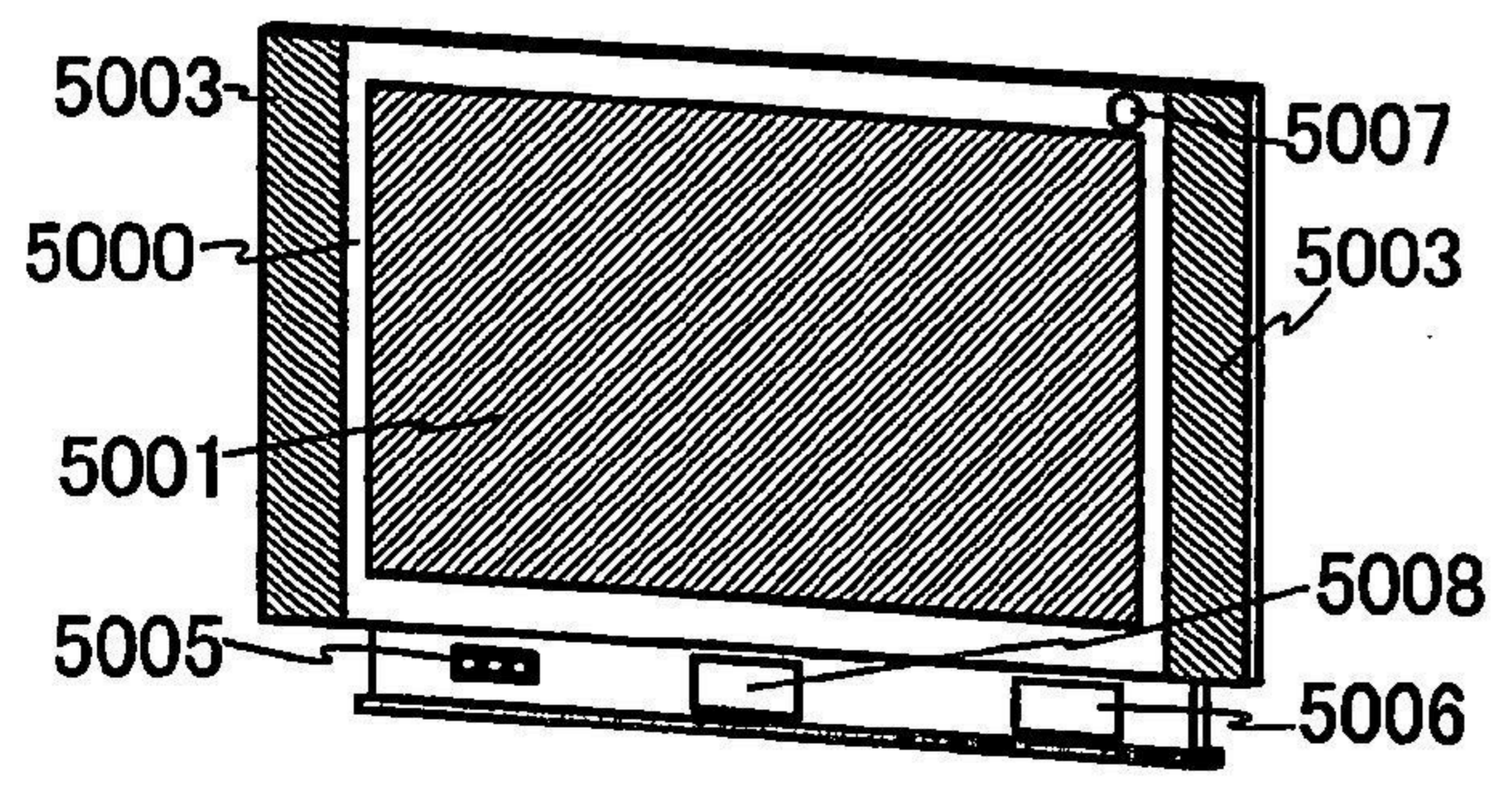


圖 27H

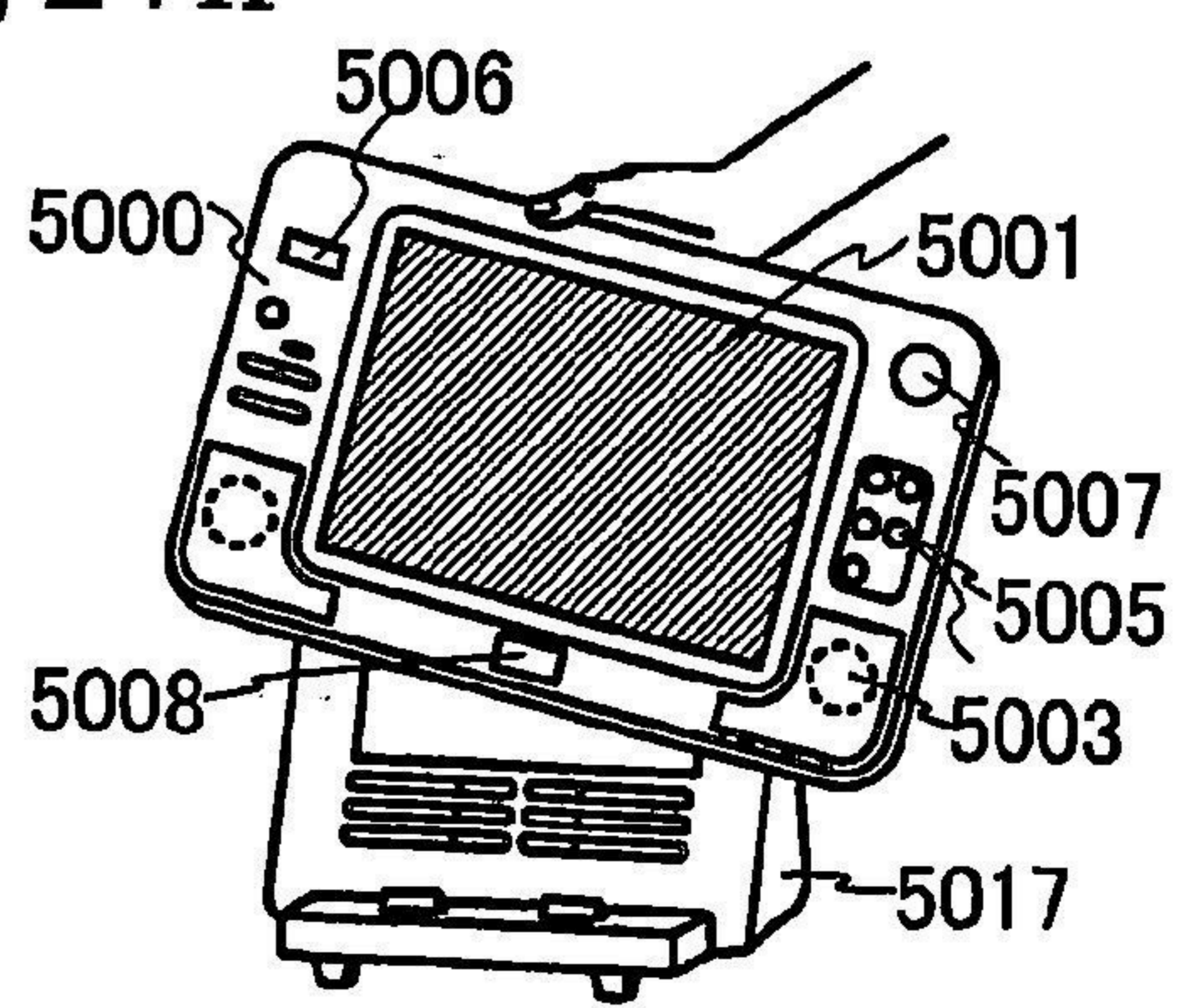


圖 28A

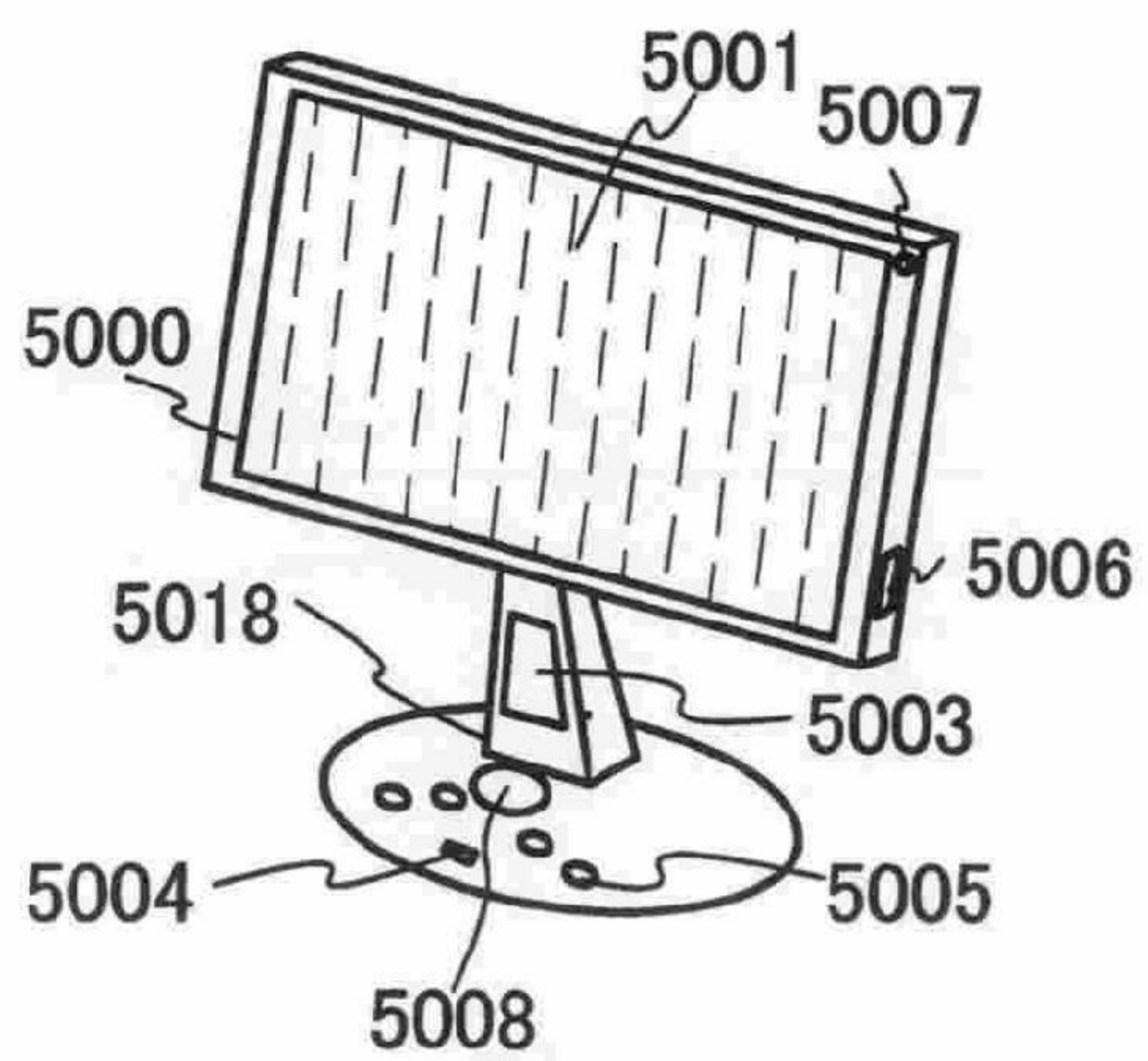


圖 28B

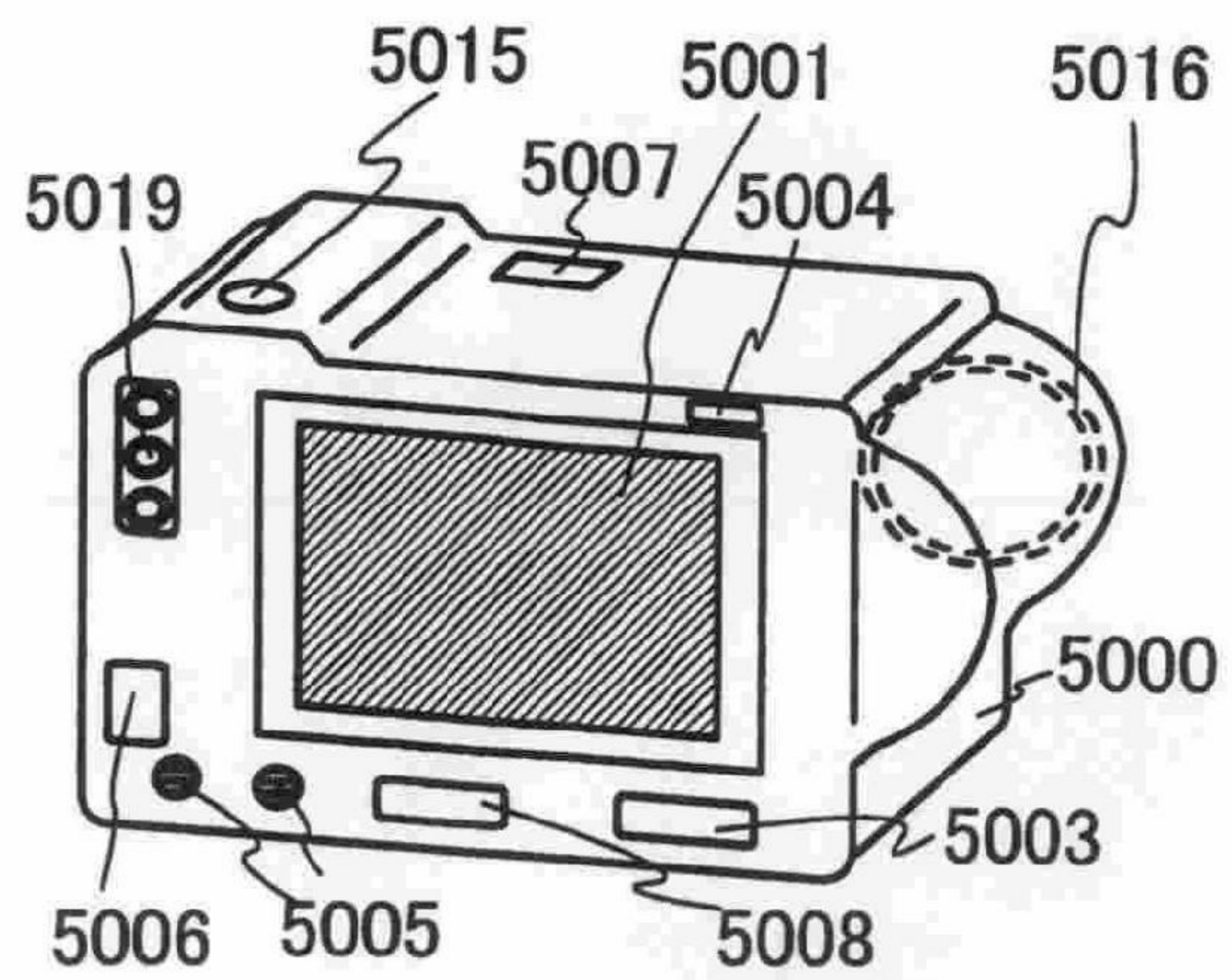


圖 28C

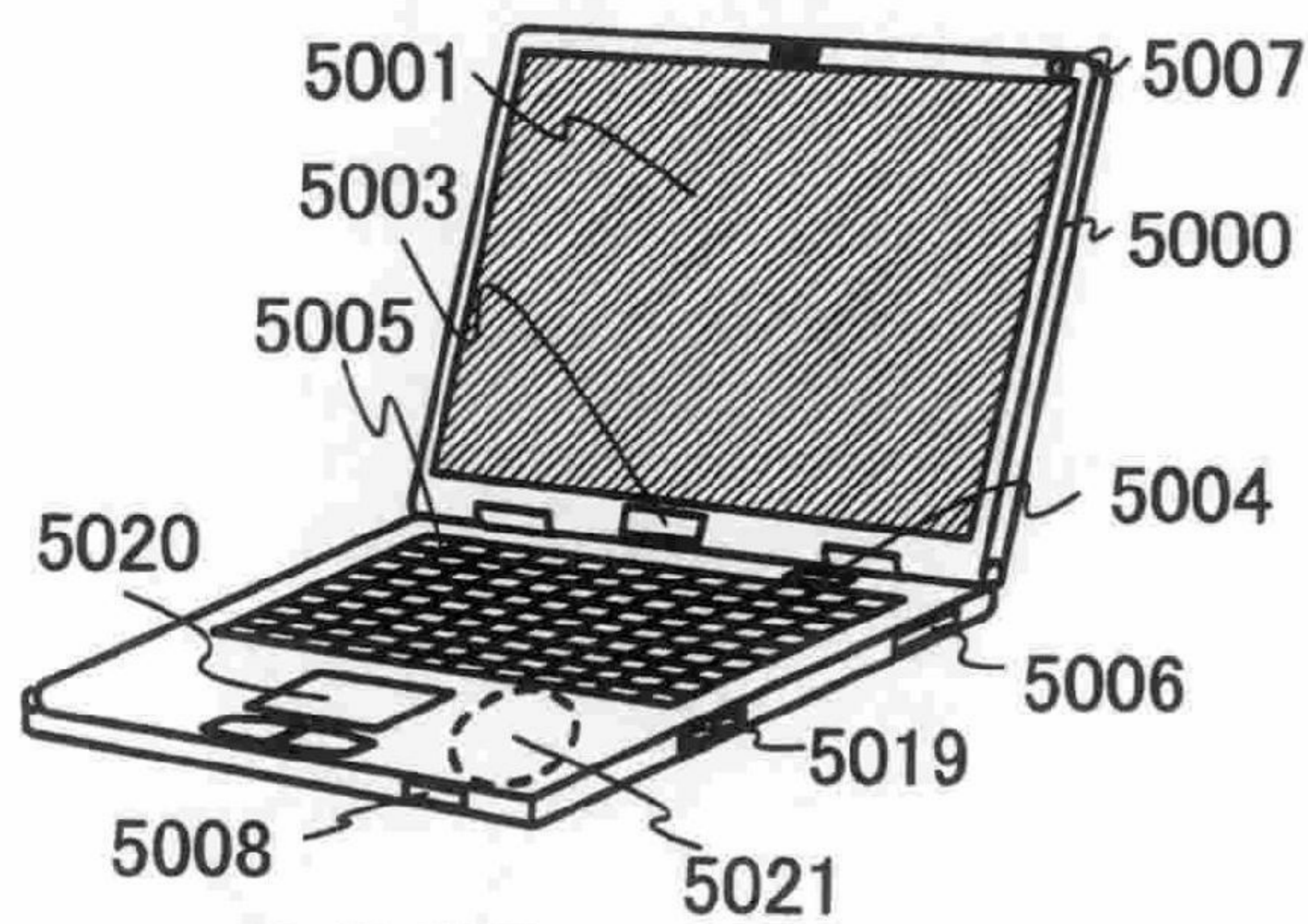


圖 28D

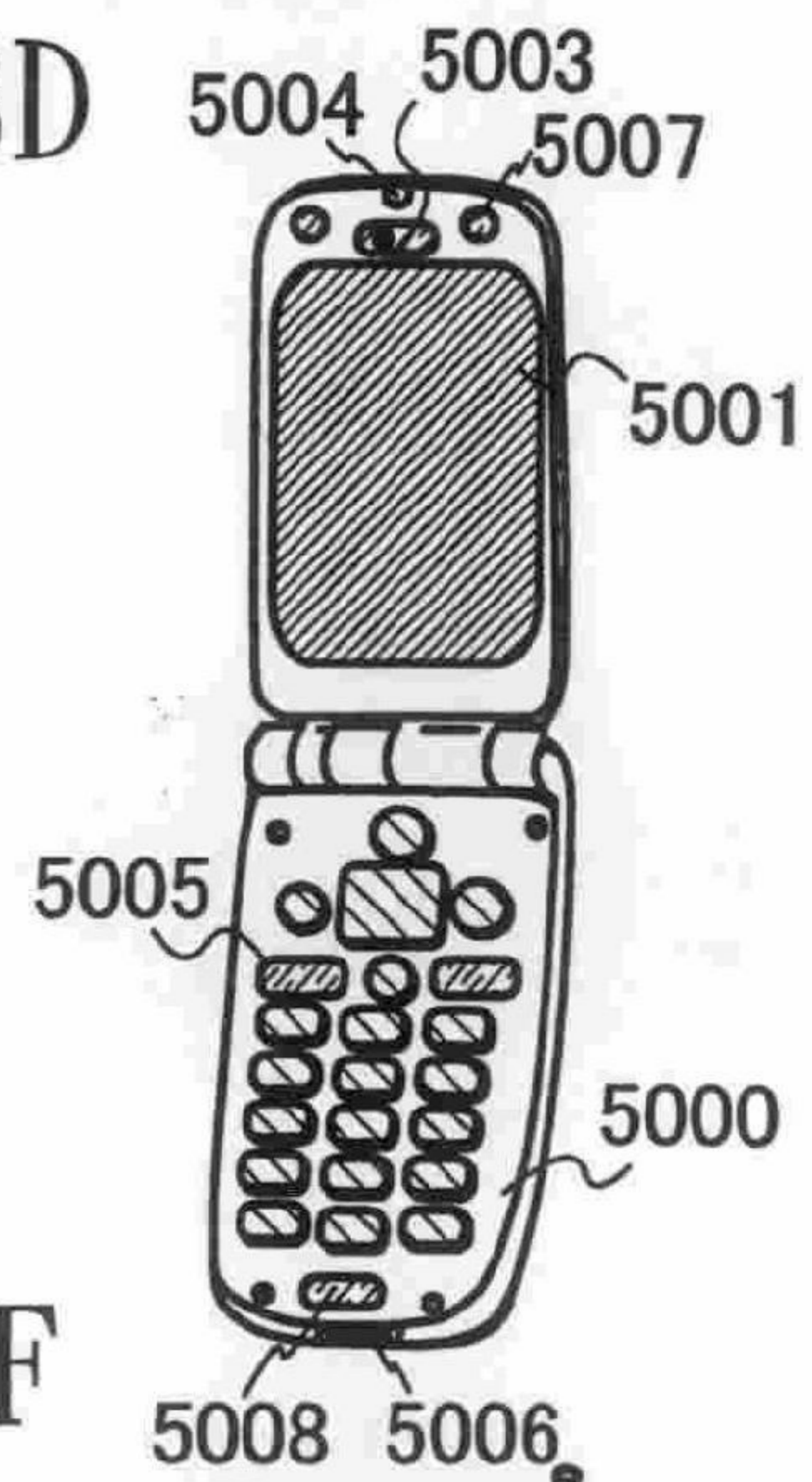


圖 28E

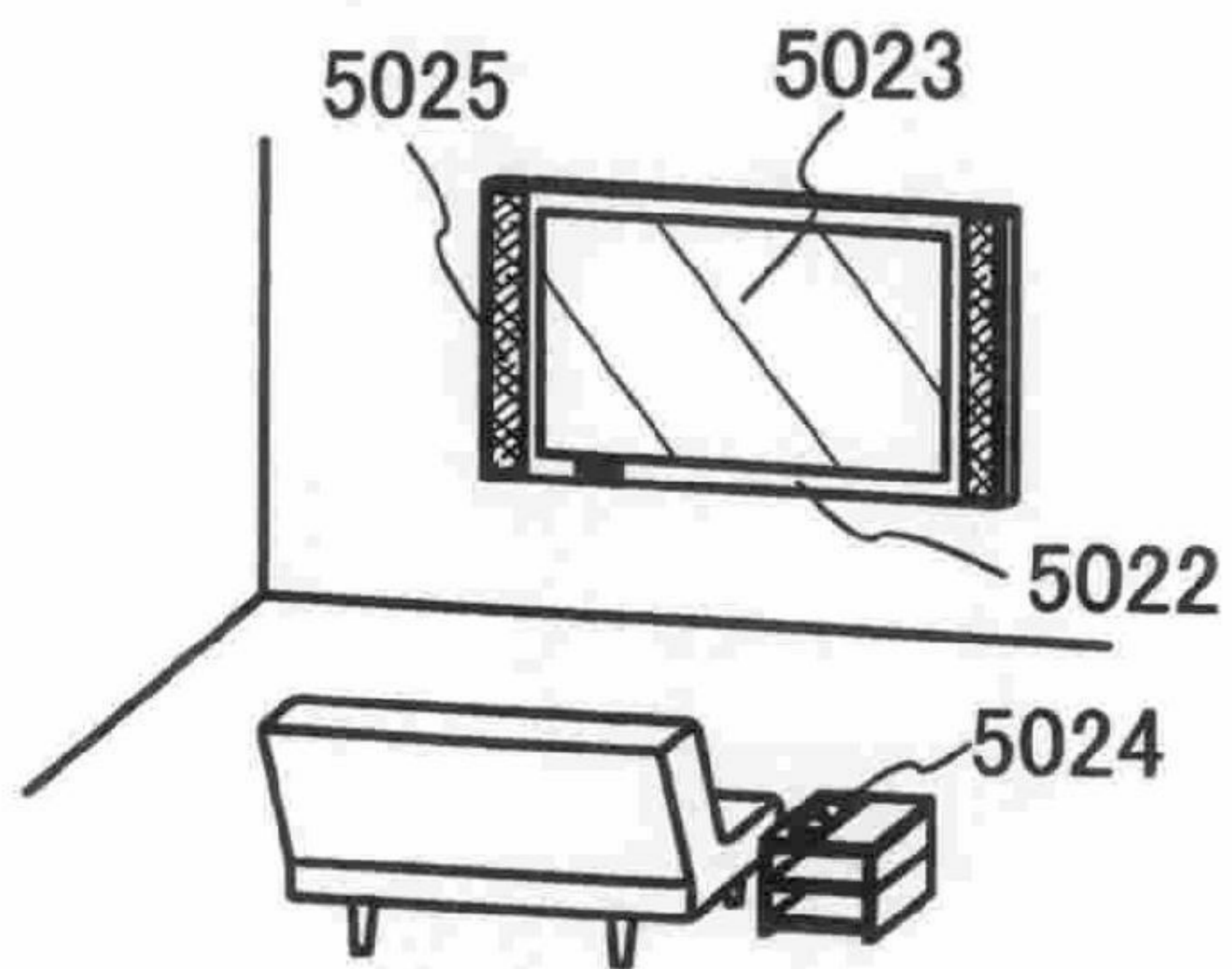


圖 28F

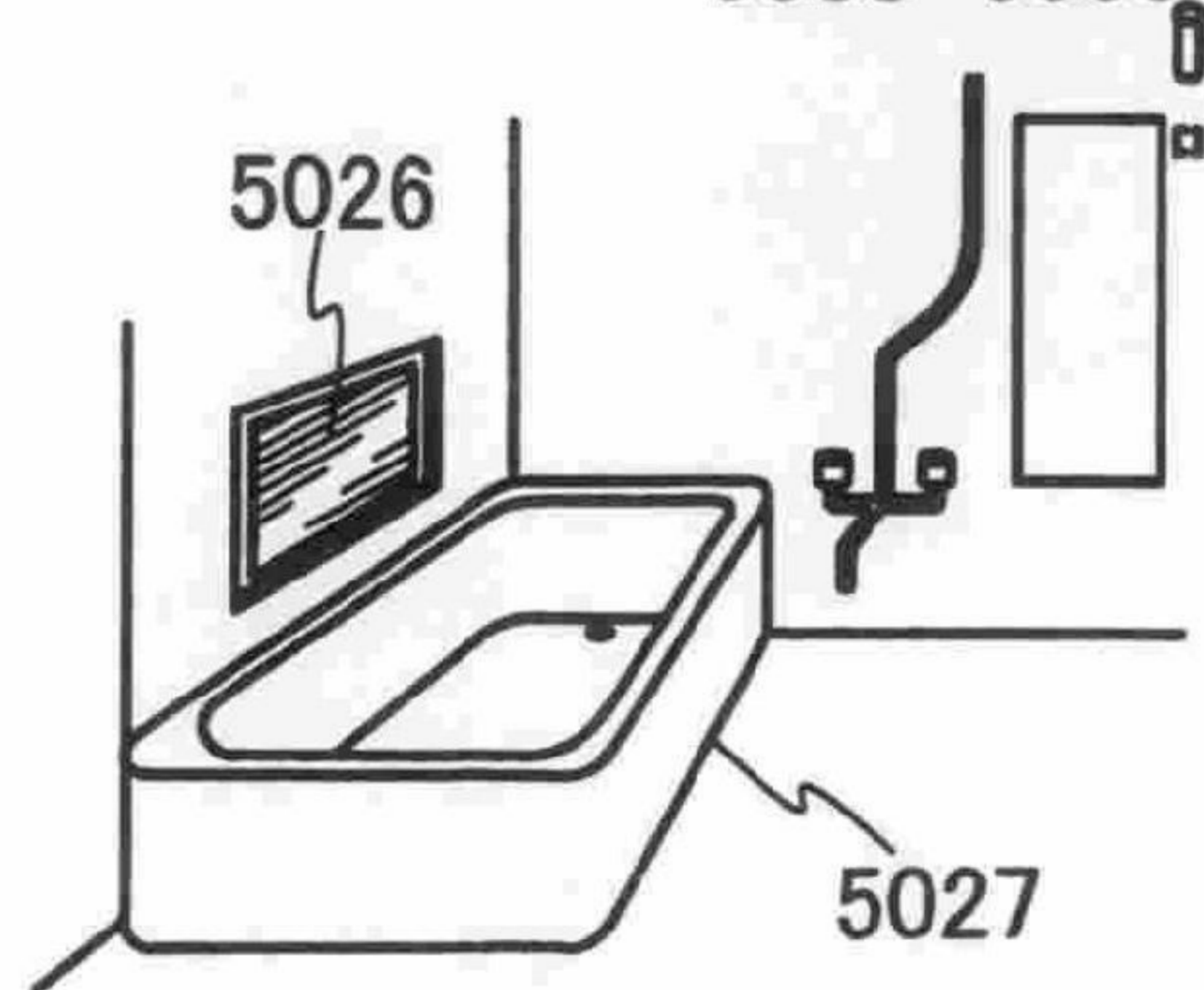


圖 28G

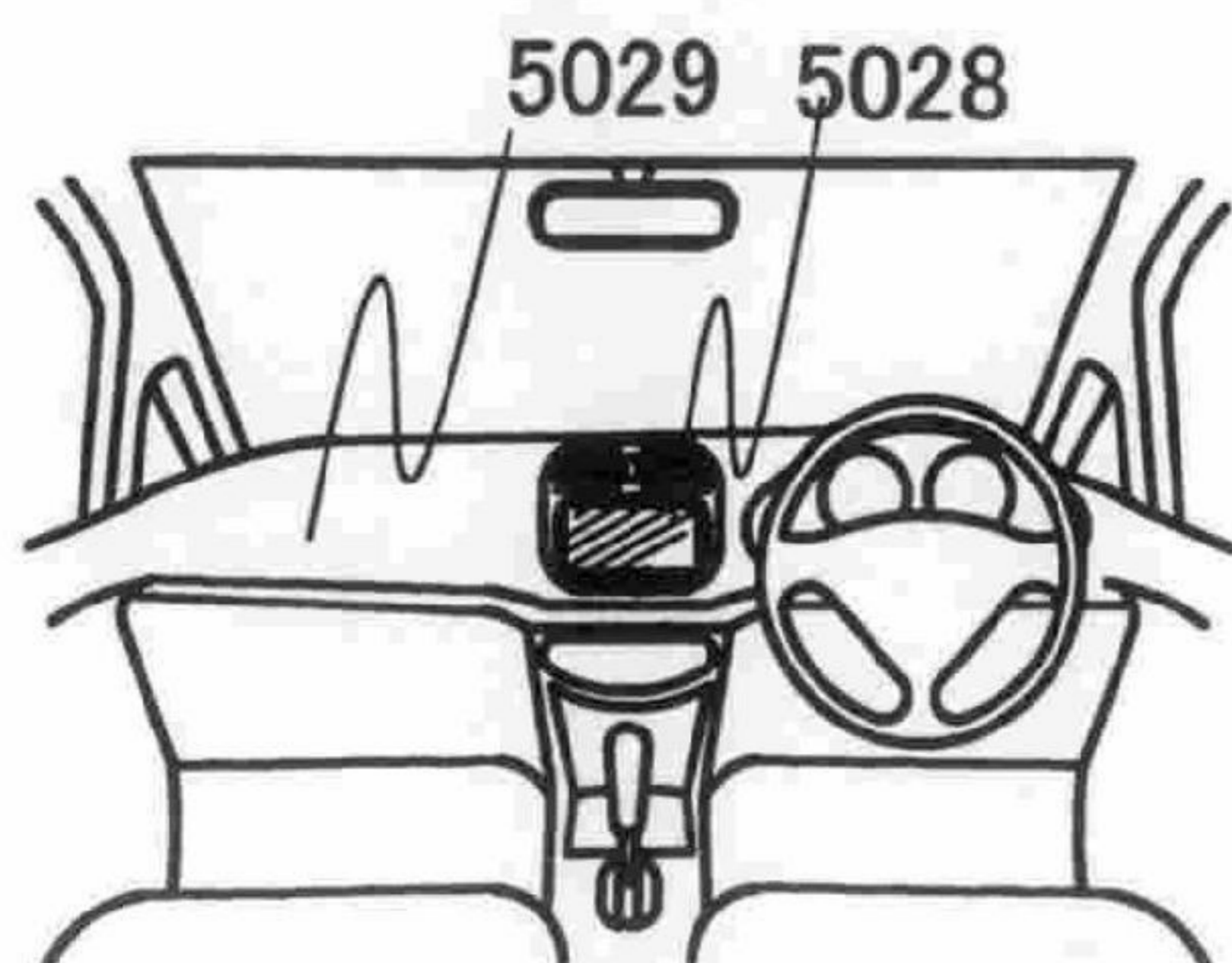


圖 28H

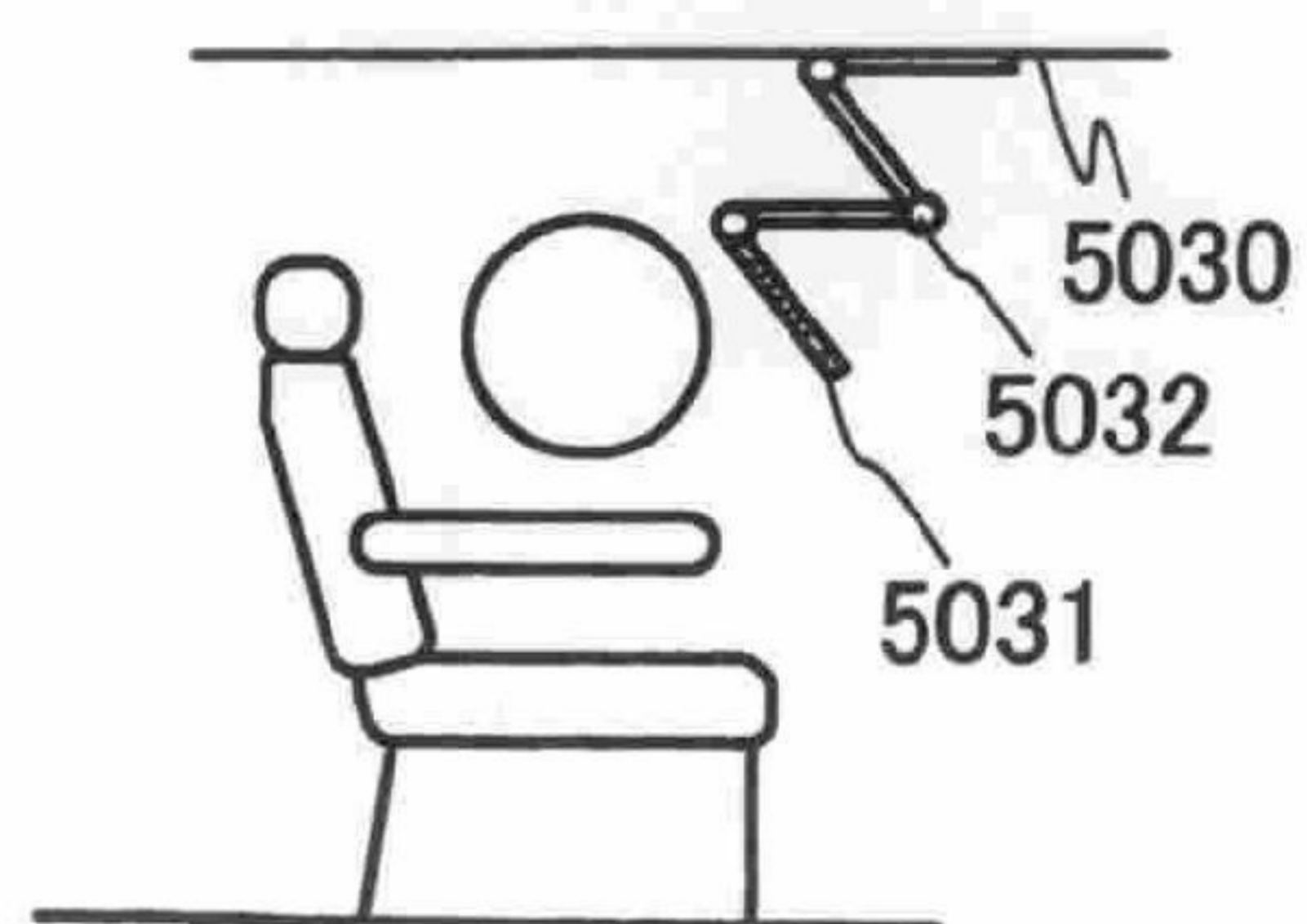




圖 29A

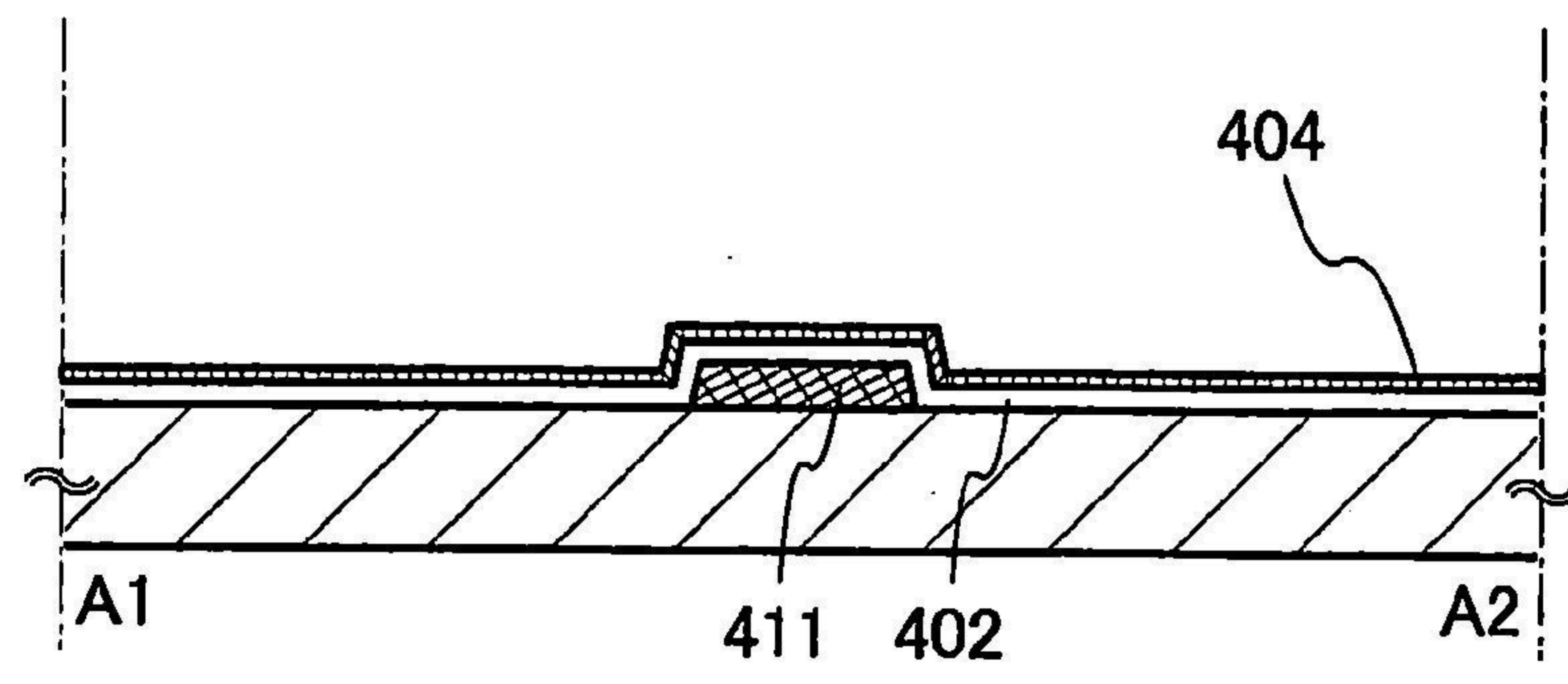


圖 29B

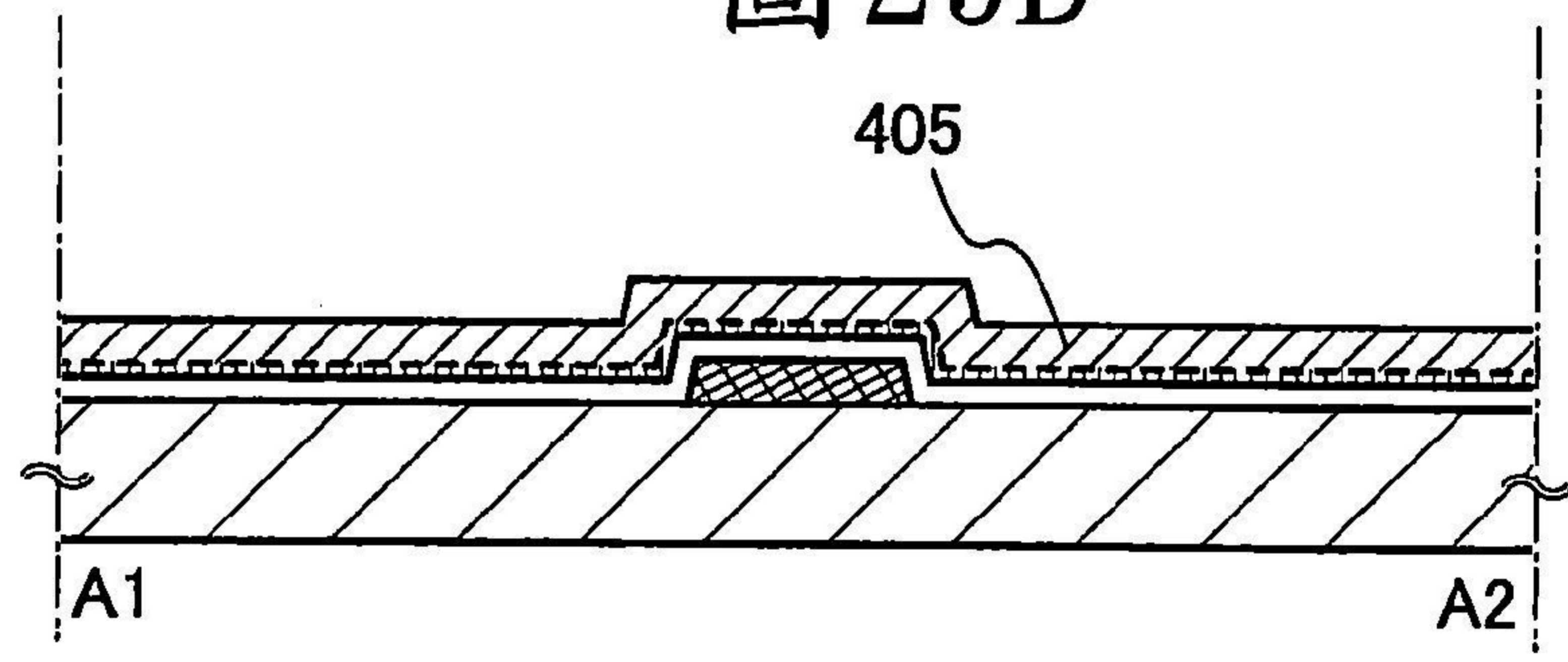


圖 29C

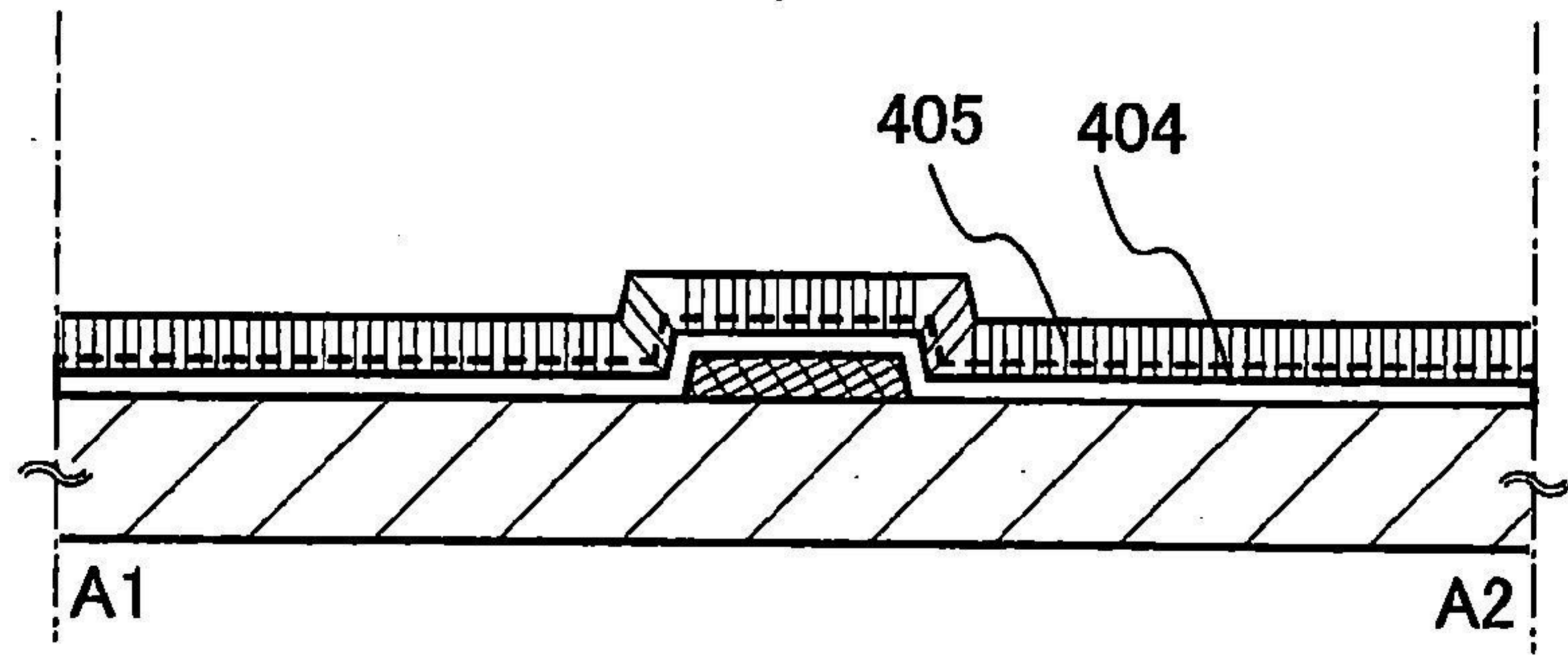


圖 29D

