

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4056213号
(P4056213)

(45) 発行日 平成20年3月5日(2008.3.5)

(24) 登録日 平成19年12月21日(2007.12.21)

(51) Int.Cl.		F I			
H03K	5/15	(2006.01)	H03K	5/15	P
G06F	1/06	(2006.01)	G06F	1/04	311Z
G06F	1/10	(2006.01)	G06F	1/04	330A

請求項の数 13 (全 16 頁)

(21) 出願番号	特願2000-337057 (P2000-337057)	(73) 特許権者	00004237
(22) 出願日	平成12年11月6日(2000.11.6)		日本電気株式会社
(65) 公開番号	特開2002-141785 (P2002-141785A)		東京都港区芝五丁目7番1号
(43) 公開日	平成14年5月17日(2002.5.17)	(74) 代理人	100109313
審査請求日	平成15年8月12日(2003.8.12)		弁理士 机 昌彦
審判番号	不服2005-18844 (P2005-18844/J1)	(74) 代理人	100124154
審判請求日	平成17年9月29日(2005.9.29)		弁理士 下坂 直樹
		(74) 代理人	100111637
			弁理士 谷澤 靖久
		(72) 発明者	山口 晃一
			東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

(54) 【発明の名称】 位相差信号発生回路並びにこれを用いた多相クロック発生回路及び集積回路

(57) 【特許請求の範囲】

【請求項1】

nを2以上のただ一つの自然数、kを1以上かつn-1以下の少なくとも一つの自然数、xを任意の実数としたとき、

位相0度の第一の入力信号を(n-k)x度遅延させて出力するとともに当該第一の入力信号をnx度遅延させて出力する遅延回路と、この遅延回路から出力された位相nx度の信号と位相 度の第二の入力信号とをk:n-kの割合で位相補間して位相(n-k)x+k/n度の信号を出力する位相補間回路と、

前記位相補間回路と同じ遅延時間を有する第三の遅延回路を備え、前記遅延回路から出力された位相(n-k)x度の信号を更に前記第三の遅延回路によって遅延させて出力することを特徴とする位相差信号発生回路。

10

【請求項2】

nを2以上のただ一つの自然数、kを1以上かつn-1以下の少なくとも一つの自然数、xを任意の実数としたとき、

位相0度の第一の入力信号をnx度遅延させて出力する第一の遅延回路と、この第一の遅延回路から出力された位相nx度の信号と位相 度の第二の入力信号とをk:n-kの割合で位相補間して位相(n-k)x+k/n度の信号を出力する位相補間回路と、この位相補間回路から出力された信号をkx度遅延させて出力する第二の遅延回路と、

前記位相補間回路と同じ遅延時間を有する第三の遅延回路を備え、前記第一の遅延回路から出力された信号を更に前記第三の遅延回路によって遅延させて出力することを特徴とす

20

る位相差信号発生回路。

【請求項 3】

n を 2 以上のただ一つの自然数、 k を 1 以上かつ $n - 1$ 以下の全ての自然数、 x を任意の実数としたとき、

位相 0 度の第一の入力信号を $(n - k) \times$ 度遅延させて出力するとともに当該第一の入力信号を $n \times$ 度遅延させて出力する遅延回路と、この遅延回路から出力された位相 $n \times$ 度の信号と位相 度の第二の入力信号とを $k : n - k$ の割合で位相補間して位相 $(n - k) \times + k / n$ 度の信号を出力する $n - 1$ 個の位相補間回路と、

前記位相補間回路と同じ遅延時間を有する第三の遅延回路を備え、前記遅延回路から出力された位相 $(n - k) \times$ 度の信号を更に前記第三の遅延回路によって遅延させて出力することを特徴とする位相差信号発生回路。

10

【請求項 4】

n を 2 以上のただ一つの自然数、 k を 1 以上かつ $n - 1$ 以下の全ての自然数、 x を任意の実数としたとき、

位相 0 度の第一の入力信号を $n \times$ 度遅延させて出力する 1 個の第一の遅延回路と、この第一の遅延回路から出力された位相 $n \times$ 度の信号と位相 度の第二の入力信号とを $k : n - k$ の割合で位相補間して位相 $(n - k) \times + k / n$ 度の信号を出力する $n - 1$ 個の位相補間回路と、これらの位相補間回路から出力された信号を $k \times$ 度遅延させて出力する $n - 1$ 個の第二の遅延回路と、

前記位相補間回路と同じ遅延時間を有する第三の遅延回路を備え、前記第一の遅延回路から出力された信号を更に前記第三の遅延回路によって遅延させて出力することを特徴とする位相差信号発生回路。

20

【請求項 5】

前記第二の入力信号として、前記第一の入力信号の反転信号を用いる、請求項 1 乃至 4 のいずれかに記載の位相差信号発生回路。

【請求項 6】

前記 n が 3 であり、前記 k が 1 及び 2 である、請求項 1 乃至 5 のいずれかに記載の位相差信号発生回路。

【請求項 7】

前記 n が 2 であり、前記 k が 1 である、請求項 1 乃至 6 のいずれかに記載の位相差信号発生回路。

30

【請求項 8】

請求項 1 乃至 7 のいずれかに記載の位相差信号発生回路を複数備え、これらの位相差信号発生回路に位相の異なる第三の入力信号及び第四の入力信号が入力される、多相クロック発生回路。

【請求項 9】

n , k を自然数 (ただし k は 1 から $n - 1$ まで) としたとき、複数の前記位相差信号発生回路が n 段直列に接続され、 k 段目の前記位相差信号発生回路の出力信号が $k + 1$ 段目の前記位相差信号発生回路の入力信号となり、 n 段目の前記位相差信号発生回路の出力信号によって多相クロックを得る、請求項 8 記載の多相クロック発生回路。

40

【請求項 10】

前記 n が 2 であり、1 段目の前記位相差信号発生回路は更に 2 個の位相差信号発生回路からなり、2 段目の前記位相差信号発生回路は更に 4 個の位相差信号発生回路からなり、前記 1 段目の位相差信号発生回路の出力信号が前記 2 段目の位相差信号発生回路の入力信号となり、前記 2 段目の位相差信号発生回路の出力信号によって多相クロックを得る、請求項 9 記載の多相クロック発生回路。

【請求項 11】

前記 n が 1 であり、1 段目の前記位相差信号発生回路は更に 2 個の位相差信号発生回路からなり、この 1 段目の位相差信号発生回路の出力信号によって多相クロックを得る、請求項 9 記載の多相クロック発生回路。

50

【請求項 1 2】

前記第三の入力信号と前記第四の入力信号との位相差が 1 8 0 度である、請求項 8、9、1 0 又は 1 1 記載の多相クロック発生回路。

【請求項 1 3】

請求項 1 乃至 7 のいずれかに記載の位相差信号発生回路又は請求項 8 乃至 1 2 のいずれかに記載の多相クロック発生回路を含む集積回路。

【発明の詳細な説明】

【0 0 0 1】

【本発明の属する技術分野】

本発明は、多相クロックを発生するための位相差信号発生回路、この位相差信号発生回路を用いた多相クロック発生回路、及び前記位相差信号発生回路又は前記多相クロック発生回路を用いた集積回路に関する。

10

【0 0 0 2】

【従来の技術】

近年、データ通信速度の高速化に伴い、データの処理に必要なクロック信号が高速化している。しかし、発振回路により発生可能な最高クロック周波数はデバイスの性能によって制限されるので、その周波数を越えたクロック信号を用いることはできない。加えて、発振器で発生したクロック信号をバッファ回路で分配可能な最高周波数もデバイスの性能によって決まっているので、同様にクロック信号の周波数は制限される。

【0 0 0 3】

このようなデバイスの性能に起因するクロック周波数の限界を克服するための技術として、複数の位相を持つ低周波数のクロックでデータを処理する多相クロック方式がある。多相クロックの例としては、0 度の基準クロック信号に対して 9 0 度、1 8 0 度、2 7 0 度の位相のクロック信号を加えた 4 相クロックや、4 5 度、9 0 度、1 3 5 度、1 8 0 度、2 2 5 度、2 7 0 度、3 1 5 度のクロック信号を加えた 8 相クロックなどがある。例えば 4 相クロックを用いてデータを処理した場合、単一の位相を用いた場合に比べて、4 倍の速度でデータを処理することができる。

20

【0 0 0 4】

このような多相クロックは、従来、PLL などのクロック発生回路によって作成されている。しかしながらこの方法では、PLL で発生した多相クロックをチップ全体に分配する必要があるので、クロックドライバの消費電力の増大や多相クロック間のスキュー等の問題が生ずる。

30

【0 0 0 5】

したがって、集積回路において多相クロックを発生する場合、特定の位相差を持ったクロック信号を発生する位相差信号発生回路を、クロック発生回路とは別に持つ必要がある。例えば、4 相クロックでは 9 0 度、8 相クロックでは 4 5 度の位相差信号発生回路が必要である。

【0 0 0 6】

従来の位相差信号発生回路の第一例として、アイ・イー・イー・イー・ジャーナル・オブ・ソリッド・ステイト・サーキット、第三 2 巻、第一 1 号、1 6 8 3 頁(Stefanos Sidiropoulos et al., "A Semidigital Dual Delay-Locked Loop", IEEE J. Solid-State Circuits, vol. 32, No. 11, pp. 1683-1692, Nov. 1997)において提案されている回路を図 9 に示す。この位相差信号発生回路は、入力端子 1 2 1、ディレイ素子 1 2 2 からなるディレイライン 1 2 3、バッファ回路 1 2 4、ディレイライン制御回路 1 2 5、出力端子 1 2 6 から構成される。

40

【0 0 0 7】

かかる構成において入力端子 1 2 1 にクロック信号を入力すると、ディレイライン制御回路 1 2 5 により、信号 1 2 7 と信号 1 2 8 との間の位相差が 1 8 0 度となるようにディレイライン 1 2 3 の遅延値が制御される。このとき、ディレイライン 1 2 3 は 6 つのディレイ素子 1 2 2 により構成されるので、ディレイ素子 1 2 2 一段当たりの遅延値は 3 0 度と

50

なる。6つのディレイ素子122からの出力信号は、それぞれバッファ回路124を通り、出力端子126へ出力される。したがって、6つの出力端子126にはそれぞれ30度の位相差を持ったクロック信号が得られる。

【0008】

位相差信号発生回路の第二例として、実開昭57-034729号公報に開示された90度位相差信号発生回路を図10に示す。この90度位相差発生回路は、搬送波発振器1301、ゲート回路1302、Dフリップフロップ(以下FFという。)1303、FF1304、FF1305により構成される。

【0009】

かかる構成において、搬送波発振回路1301の出力信号1306は、ゲート回路1302へ出力されて、逆相の出力信号1307と、同相の出力信号1308とに分かれる。FF1303及びFF1304は、それぞれ信号1307又は信号1308の立ち上がりでその論理状態が反転する。したがって、FF1303の出力信号1309と、FF1304の出力信号1310とは、互いに90度の位相差を持ったクロック信号となる。FF1305は、信号1309の位相が信号1310の位相に比べて遅れるときに、リセット信号1311をFF1304に与える。これにより、FF1304の出力信号1310が常にFF1303の出力信号1309に対して遅れるので、それぞれの位相関係が確定する。

10

【0010】

位相差信号発生回路の第三例として、特開昭63-121307号公報に開示された90度位相差信号発生装置を図11[1]に示す。この90度位相差発生回路は、入力端子1401、第一の分配回路1402、第二の分配回路1403、反転回路1404、加算回路1405、加算回路1406、遅延回路1407、第三の分配回路1408により構成される。

20

【0011】

かかる構成において、入力端子1401に与えられた原信号は分配器1402で2つに分配され、一方の信号は分配器1403で更に2つに分配される。分配器1403から出力される一方の信号は、信号1409として加算回路1405に与えられ、他方の信号は反転回路1404で位相反転されて信号1411として加算回路1406に与えられる。また、分配器1402から出力される他方の信号は遅延回路1407で所定の位相だけ遅延され、この遅延信号が分配器1408で2つに分配される。この分配器1408から出力される一方の信号は信号1410として加算回路1405に与えられ、他方の信号は信号1412として加算回路1406に与えられる。そして、加算回路1405から出力信号1413が出力され、加算回路1406から出力信号1414が出力される。このようにして得られた出力信号1413, 1414の位相差は90度となる。

30

【0012】

この回路の原理を図11[2]のベクトル図で幾何学的に説明する。信号1409のベクトルaと信号1411のベクトルbと信号1410, 1412のベクトルc, dとは、原信号から分配回路により分配された信号のベクトルであるので、ともに等しい大きさである。そして、ベクトルaとベクトルcとの合成ベクトルPが出力信号1413であり、ベクトルbとベクトルdとの合成ベクトルQが出力信号1414である。図11[2]において、点OはPQを直径とする円周上に存在し、POQは90度である。つまり、出力信号1413, 1414の位相差は90度となる。

40

【0013】

【発明が解決しようとする課題】

しかしながら、第一従来例を示す図9の回路では、ディレイラインの遅延調整に制御回路125を用いたフィードバック制御を用いているため、回路が複雑になるとともに、フィードバック系を安定して動作させるために緻密な回路設計が必要となる。更に、回路が複雑であるために、回路規模や消費電力も大きい。

【0014】

50

第二従来例を示す図10の回路では、FF1303, 1304を用いてクロック信号1307, 1308を分周することで、出力信号1309, 1310を発生している。そのため、発振器1301は、所望のクロック周波数に対して2倍のクロック周波数で発振する必要がある。つまり図10の回路で生成可能なクロック周波数は、発振器1301で発振可能な最高周波数の半分に制限される。

【0015】

第三従来例を示す図11の回路では、遅延回路1407の遅延値をクロック位相に換算した値が90度よりも大きい場合は、信号1409と信号1410との位相差が90度以上となり、これらが加算回路1405に入力される。一方、遅延回路1407の遅延値が90度よりも小さい場合は、信号1411と信号1412との位相差が90度以上になり、これらが加算回路1406に入力される。したがって、いずれの場合も90度以上の位相差をもった信号が加算器に入力される。電子回路を用いて90度以上の位相差を持った信号の加算を行った場合、位相差が90度を越えると加算器からの出力振幅が急激に減少するため、安定した回路動作ができない。したがって、図11の回路を電子回路で用いて正しく動作させることは困難である。

【0016】

【発明の目的】

そこで、本発明の目的は、分周器を用いずに、回路規模が小さく、電子回路により容易に構成可能な位相差信号発生回路を提供することにある。更に、当該位相差信号発生回路を用いて容易に構成可能な多相クロック発生回路、当該位相差信号発生回路又は当該多相クロック発生回路を含んだ集積回路を提供することにある。

【0017】

【問題を解決するための手段】

請求項1記載の位相差信号発生回路は、 n を2以上のただ一つの自然数、 k を1以上かつ $n - 1$ 以下の少なくとも一つの自然数、 x を任意の実数としたとき、位相0度の第一の入力信号を $(n - k) \times$ 度遅延させて出力するとともに当該第一の入力信号を $n \times$ 度遅延させて出力する遅延回路と、この遅延回路から出力された位相 $n \times$ 度の信号と位相 度の第二の入力信号とを $k : n - k$ の割合で位相補間して位相 $(n - k) \times + k / n$ 度の信号を出力する位相補間回路と、前記位相補間回路と同じ遅延時間を有する第三の遅延回路を備え、前記遅延回路から出力された位相 $(n - k) \times$ 度の信号を更に前記第三の遅延回路によって遅延させて出力することを特徴とするものである。また、 k は、1以上かつ $n - 1$ 以下の少なくとも一つの自然数であるから、1以上かつ $n - 1$ 以下の全ての自然数としてもよい(請求項3)。

【0018】

位相補間回路は、位相 $n \times$ 度の信号と位相 度の信号とを $k : n - k$ の割合で位相補間して出力する。したがって、位相補間回路の出力信号の位相 は、

$$= \{ (n - k) n x + k \} / n = (n - k) x + k / n$$

度となる。ここで、遅延回路から別途出力された位相 $(n - k) \times$ 度の信号と位相 度の信号との差は、 x を含む項が消去された位相差 k / n となる。この位相差 k / n は、 x を含まないので、 x の変動の影響を受けない。

【0019】

請求項2記載の位相差信号発生回路は、 n を2以上のただ一つの自然数、 k を1以上かつ $n - 1$ 以下の少なくとも一つの自然数、 x を任意の実数としたとき、位相0度の第一の入力信号を $n \times$ 度遅延させて出力する第一の遅延回路と、この第一の遅延回路から出力された位相 $n \times$ 度の信号と位相 度の第二の入力信号とを $k : n - k$ の割合で位相補間して位相 $(n - k) \times + k / n$ 度の信号を出力する位相補間回路と、この位相補間回路から出力された信号を $k \times$ 度遅延させて出力する第二の遅延回路と、前記位相補間回路と同じ遅延時間を有する第三の遅延回路を備え、前記第一の遅延回路から出力された信号を更に前記第三の遅延回路によって遅延させて出力することを特徴とするものである。また、 k は、1以上かつ $n - 1$ 以下の少なくとも一つの自然数であるから、1以上かつ $n - 1$ 以下の

10

20

30

40

50

全ての自然数としてもよい（請求項 4）

【0020】

位相補間回路は、位相 $n \times$ 度の信号と位相 k 度の信号とを $k : n - k$ の割合で位相補間して出力する。したがって、位相補間回路の出力信号の位相は、

$$= \{ (n - k)nx + k \} / n = (n - k)x + k / n$$

度となる。ここで、第一の遅延回路から出力された位相 $n \times$ 度の信号と第二の遅延回路から出力された位相 k を $k \times$ 度遅延させた信号との差は、 x を含む項が消去された位相差 k / n となる。この位相差 k / n は、 x を含まないので、 x の変動の影響を受けない。

【0021】

請求項 1 乃至 4 に記載の位相信号発生回路は、前記位相補間回路と同じ遅延時間を有する第三の遅延回路を備えることにより、位相補間回路の遅延時間の影響が除去された、正確な位相差 k / n が得られる。

10

【0022】

また、前記第二の入力信号として、前記第一の入力信号の反転信号を用いる、としてもよい（請求項 5）。この場合は、入力信号が一つだけでもよい。更に、前記 n が 3、前記 k が 1 及び 2 としてもよく（請求項 6）、前記 n が 2、前記 k が 1 としてもよい（請求項 7）。

【0023】

本発明に係る多相クロック発生回路は、複数個の本発明に係る位相差信号発生回路から構成され、これらに位相の異なる 2 つの入力信号が入力されることを特徴とする。かかる構成により、クロックの位相は均等に位相補間され、多相クロックを作成することができる。また、本発明に係る集積回路は、本発明に係る位相差信号発生回路又は本発明に係る多相クロック発生回路が内部に含まれていることを特徴とする。

20

【0024】

換言すると、本発明に係る位相差信号発生回路は、入力信号を遅延させる遅延回路と、入力された 2 つのクロック信号の中間の位相を持ったクロック信号を出力する位相補間回路により構成される。かかる構成により、入力に k 度の位相差を持ったクロック信号を与えた場合、デバイス性能の変動や信号伝送路における寄生素子の影響により遅延回路の遅延値が変動しても、出力には一定の位相差 $k / 2$ を持ったクロック信号が得られる。

【0025】

ここで、設計時に遅延回路の遅延値を 2 つの入力クロック信号の位相差 k に応じて調整することで、位相補間回路に入力される 2 つの信号間の位相差を 0 度にすることができる。なお、上述したようなデバイス性能の変動や信号伝送路における寄生素子の影響により遅延回路の遅延値が変動した場合に、位相補間回路に入力される 2 つの信号に微小な位相差が発生する。本発明に係る位相差信号発生回路では、この微小な位相差を位相補間回路を用いて補間することで、遅延値の変動を補償し出力クロック信号の位相差を $k / 2$ 度に保っている。このような微小な位相差の位相補間を行う回路は、電子回路により容易に構成可能である。

30

【0026】

【発明の実施の形態】

図 1 [1] は、本発明に係る位相差信号発生回路の第一実施形態を示すブロック図である。図 1 [2] は、図 1 [1] における位相補間回路の動作を示すタイムチャートである。以下、これらの図面に基づき説明する。

40

【0027】

本実施形態の位相差信号発生回路は、遅延回路 11 a , 11 b、位相補間回路 12 等により構成される。遅延回路 11 a , 11 b は、ともに入力信号の位相を x 度遅延させる。位相補間回路 12 は、図 1 [2] に示すように、入力された 2 つのクロック信号の中間の位相を持ったクロック信号を出力する。ここで、入力信号 13 , 14 として与えられるクロック信号の位相を、それぞれ 0 度 , k 度とする。

【0028】

50

まず、入力信号 1 3 は遅延回路 1 1 a に入力され、位相 x 度の信号 1 5 として出力される。信号 1 5 は、更に遅延回路 1 1 b に入力されて、位相 $2x$ 度の信号 1 6 となる。信号 1 6 と信号 1 4 とは位相補間回路 1 2 に入力され、信号 1 7 として出力される。ここで信号 1 7 は、位相補間回路 1 2 の出力であるから、信号 1 6 と信号 1 4 との中間の位相となり、

$$(2x + \quad) / 2 = x + \quad / 2 \quad \dots (1)$$

となる。

【0029】

したがって、信号 1 7 と信号 1 5 との位相差は、

$$(x + \quad / 2) - x = \quad / 2 \quad \dots (2)$$

であり、 x の値に関わらず $\quad / 2$ 度となる。つまり、入力に \quad 度の位相差を持ったクロック信号を与えた場合、遅延値 x が変動しても、遅延回路 1 1 a と遅延回路 1 1 b との遅延値 x は同じであるので、出力には一定の位相差 $\quad / 2$ を持ったクロック信号が得られる。

【0030】

このとき、位相補間回路 1 2 に入力される 2 つの信号の位相差は、 $(2x - \quad)$ 度である。そのため、設計時に遅延回路 1 1 a , 1 1 b の遅延値 x を 2 つの入力クロック信号の位相差 \quad に応じて調整することにより、位相補間回路 1 2 に入力される 2 つの信号の位相差を 0 度にすることができる。

【0031】

また、デバイス性能の変動や信号伝送路における寄生素子の影響により遅延回路 1 1 a , 1 1 b の遅延値 x が変動した場合は、位相補間回路 1 2 に入力される 2 つの信号に微小な位相差が発生する。本実施形態の位相差信号発生回路では、この微小な位相差を位相補間回路 1 2 を用いて補間することにより、遅延値 x の変動を補償し出力クロック信号の位相差を $\quad / 2$ 度に保っている。このような微小な位相差の位相補間を行う回路は、電子回路により容易に構成可能である。なお、遅延回路 1 1 a , 1 1 b は、同じ半導体集積回路内に形成されているので、温度や電源電圧の影響によって同じように遅延値 x が変動する。

【0032】

図 2 [1] は、本発明に係る位相差信号発生回路の第二実施形態を示すブロック図である。以下、この図面に基づき説明する。

【0033】

本実施形態の位相差信号発生回路は、第一実施形態に示した位相差信号発生回路に遅延回路 3 3 を加えた構成になっている。すなわち、本実施形態の位相差信号発生回路は、遅延回路 3 1 a , 3 1 b、位相補間回路 3 2、遅延回路 3 3 等により構成される。遅延回路 3 1 a , 3 1 b は、入力信号の位相を x 度遅延させる。位相補間回路 3 2 は、前述したように、入力された 2 つのクロック信号の中間の位相を持ったクロック信号を出力する。ただし、本実施形態における位相補間回路 3 2 は、内部での信号遅延が無視できないため、遅延値 y を持っている。遅延回路 3 3 は、位相補間回路 3 2 と同等の遅延値 y を持ったものである。

【0034】

かかる構成により、出力信号 3 4 の位相は $x + y$ 度となり、出力信号 3 5 の位相は $x + \quad / 2 + y$ 度となる。したがって、信号 3 4 と信号 3 5 の位相差は、

$$(x + \quad / 2 + y) - x + y = \quad / 2 \quad \dots (3)$$

であり、 x , y の値に関わらず $\quad / 2$ 度となる。

【0035】

図 2 [2] は、本発明に係る位相差信号発生回路の第三実施形態を示すブロック図である。以下、この図面に基づき説明する。

【0036】

本実施形態の位相差信号発生回路は、第一実施形態の位相差信号発生回路に対し、入力信号を一つに減らし、反転回路 4 2 を加えた構成になっている。すなわち、本実施形態の位相差信号発生回路は、遅延回路 4 1 a , 4 1 b、反転回路 4 2、位相補間回路 4 3 等によ

10

20

30

40

50

り構成される。

【0037】

まず、入力信号44は、2つに分岐され遅延回路41aと反転回路42とにそれぞれ入力される。遅延回路41aに入力された信号は、位相 x 度の信号45として出力される。信号45は、もう一つの遅延回路41bに入力され、位相 $2x$ 度の信号46となる。一方、反転回路42に入力された信号44は位相が反転され、位相 180 度の信号47となる。信号46と信号47とは、位相補間回路43に入力され、信号48として出力される。

【0038】

ここで、信号48は位相補間回路43の出力であるから、信号46と信号47との中間の位相

$$(2x + 180) / 2 = x + 90 \quad \dots(4)$$

となる。したがって信号45と信号48との位相差は

$$(x + 90) - x = 90 \quad \dots(5)$$

となり、 x の値に関わらず 90 度となる。すなわちデバイス性能の変動や信号伝送路における寄生素子の影響により遅延回路41a, 41bの遅延値 x が変動しても、出力には 90 度の位相差を持ったクロック信号が得られる。

【0039】

図3[1]は、本発明に係る位相差信号発生回路の第四実施形態を示すブロック図である。図3[2]は、図3[1]における位相補間回路の動作を示すタイムチャートである。以下、これらの図面に基づき説明する。

【0040】

本実施形態の位相差信号発生回路は、遅延回路501a~501f、位相補間回路502、位相補間回路503等により構成される。遅延回路501a~501fは、それぞれ入力信号の位相を x 度遅延させる。位相補間回路502は、入力された2つのクロック信号を1:2の割合で位相補間するクロック信号を出力する。同様に、位相補間回路503は入力された2つのクロック信号を2:1の割合で位相補間するクロック信号を出力する。ここで、入力信号504, 505として与えられるクロック信号の位相を、それぞれ 0 度, 180 度とする。

【0041】

まず、入力信号504は、三段の遅延回路501a~501cにより遅延され、位相 $3x$ 度の出力信号506として出力される。信号506と信号505とは位相補間回路502に入力され、信号507として出力される。ここで、信号507は、位相補間回路502の出力であるから、信号506と信号505とをそれぞれ1:2の割合で位相補間した信号となる。すなわち、信号507の位相は

$$(2 \cdot 3x + 1 \cdot 180) / 3 = 2x + 60 \quad \dots(6)$$

度となる。更に、信号507は、遅延回路501dに入力されて x 度遅延され、位相 $3x + 60$ 度の信号508として出力される。

【0042】

また、信号506と信号505は、位相補間回路503にも入力され、信号509として出力される。ここで、信号509は、位相補間回路502の出力であるから、信号506と信号505とを2:1の割合で位相補間した信号となる。すなわち、信号509の位相は、

$$(1 \cdot 3x + 2 \cdot 180) / 3 = x + 120 \quad \dots(7)$$

度となる。更に、信号509は、二段の遅延回路501e, 501fに入力され $2x$ 度遅延され、位相 $3x + 120$ 度の信号510として出力される。

【0043】

したがって、信号506と信号508との位相差は

$$(3x + 60) - 3x = 60 \quad \dots(8)$$

となり、信号508と信号510との位相差は

$$(3x + 120) - (3x + 60) = 60 \quad \dots(9)$$

10

20

30

40

50

となり、どちらも x の値に関わらず $\pi/3$ 度となる。つまり、入力に $\pi/3$ 度の位相差を持ったクロック信号を与えた場合、デバイス性能の変動や信号伝送路における寄生素子の影響により遅延回路 501a ~ 501f の遅延値 x が変動しても、出力には一定の位相差 $\pi/3$ 度を持ったクロック信号が得られる。

【0044】

図4は、本発明に係る位相差信号発生回路の第五実施形態を示すブロック図である。以下、この図面に基づき説明する。

【0045】

本実施形態の位相差信号発生回路は、遅延回路701、複数の位相補間回路からなる位相補間部702、複数の遅延回路からなる遅延部703等により構成される。遅延回路701は、入力信号の位相を $n \times$ 度遅延させる回路である。位相補間部702は、それぞれ $1:n-1, \dots, k:n-k, k+1:n-k-1, \dots, n-1:1$ の割合で位相補間を行う $n-1$ 個の位相補間回路からなる。遅延部703は、それぞれ $x, \dots, kx, (k+1)x, \dots, (n-1)x$ の遅延値を持つ $n-1$ 個の遅延回路からなる。ただし k, n は自然数である。ここで、入力信号704, 705として与えられるクロック信号の位相を、それぞれ0度, $\pi/3$ 度とする。

【0046】

まず、入力信号704は、遅延回路701により遅延され、位相 $n \times$ 度の信号706として出力される。信号706と信号705とは位相補間部702中の位相補間回路707, ... にそれぞれ入力され、位相補間回路707, ... からの出力は遅延部703の遅延回路709, ... にそれぞれ入力される。遅延部703からの出力信号がそれぞれ本実施形態の位相差信号発生回路の出力信号になる。

【0047】

ここで、信号706と信号705とは位相補間回路707に入力され、信号708として出力される。信号708は位相補間回路707の出力であるから、信号706と信号705とをそれぞれ $1:n-1$ の割合で位相補間した信号となる。すなわち、信号708の位相は

$$\{(n-1) \cdot nx + \pi/3\} / n = nx - \pi/3 + \pi/3 / n \dots (10)$$

度となる。更に、信号708は、遅延回路708に入力されて x 度遅延され、位相 $nx + \pi/3$ 度の信号710として出力される。したがって信号706と信号710の位相差は

$$(nx + \pi/3) - nx = \pi/3 \dots (11)$$

となり、 x の値に関わらず $\pi/3$ 度となる。

【0048】

また、 k 番目の位相補間回路711に注目すると、信号706と信号705とは、位相補間回路711に入力され、信号712として出力される。信号712は、位相補間回路711の出力であるから、信号706と信号705とを $k:n-k$ の割合で位相補間した信号となる。すなわち、信号712の位相は、

$$\{(n-k)nx + k\pi/3\} / n = nx - kx/n + k\pi/3n \dots (12)$$

度となる。更に信号712は遅延回路713に入力されて kx 度遅延されるので、出力信号714の位相は、

$$(nx - kx/n + k\pi/3n) + kx/n = nx + k\pi/3n \dots (13)$$

度となる。

【0049】

続いて、 $k+1$ 番目の位相補間回路715に注目すると、信号706と信号705とは、位相補間回路715に入力され、信号716として出力される。ここで、信号716は、位相補間回路715の出力であるから、信号706と信号705とを $k+1:n-k-1$ の割合で位相補間した信号となる。すなわち、信号716の位相は、

$$\{(n-k-1) \cdot nx + (k+1)\pi/3\} / n = nx - (k+1)x/n + (k+1)\pi/3n \dots (14)$$

度となる。更に、信号716は、遅延回路717に入力されて $(k+1)x$ 度遅延され、

位相 $nx + (k + 1) / 3$ 度の信号 718 として出力される。したがって信号 714 と信号 718 との位相差は

$$\{ nx + (k + 1) / n \} - \{ nx + k / n \} = 1 / n \dots (15)$$

となり、 x の値に関わらず $1 / n$ 度となる。したがって、式 (13) により、出力には、 nx 、 $nx + 1 / n$ 、 $nx + 2 / n$ 、 \dots 、 $nx + (n - 1) / n$ という、それぞれ $1 / n$ の位相差を持った n 個のクロック信号が得られる。

【0050】

図5は、本発明に係る多相クロック発生回路の第一実施形態を示すブロック図である。以下、この図面に基づき説明する。

【0051】

本実施形態の多相クロック発生回路は、第一の位相差信号発生回路81と第二の位相差信号発生回路82とを備えている。これらの位相差信号発生回路81、82は図1に示した回路である。位相差信号発生回路81、82の入力端子 p 、 q はそれぞれ図1の入力端子（入力信号13、14）に対応し、出力端子 r 、 s はそれぞれ図1の出力端子（出力信号15、17）に対応する。ここで入力信号83、84はそれぞれ0度、180度の位相を持ったクロック信号である。

【0052】

まず、位相差信号発生回路81において、信号83が入力端子 p に、信号84が入力端子 q にそれぞれ入力され、90度の位相差を持った2個のクロック信号が出力端子 r 、 s から出力される。また、第二の位相差信号発生回路82において、信号83が入力端子 q に、信号84が入力端子 p にもそれぞれ入力され、90度の位相差を持った2個のクロック信号が出力端子 r 、 s から出力される。ここで、位相差信号発生回路81への入力信号と位相差信号発生回路82への入力信号とが180度の位相差を持つように接続しているので、出力されるクロック信号も180度の位相差を持つ。したがって、出力信号はそれぞれ90度ずつの位相差を持った0度、90度、180度、270度の4個のクロック信号（4相クロック）となる。

【0053】

図6は、本発明に係る多相クロック発生回路の第二実施形態を示すブロック図である。以下、この図面に基づき説明する。

【0054】

本実施形態の多相クロック発生回路は、位相差信号発生回路91、92、93、94、95、96により構成される。これらの位相差信号発生回路91～96は、図1に示した位相差信号発生回路である。ここで、入力信号97、98は、それぞれ0度、180度の位相を持ったクロック信号である。

【0055】

まず、入力信号97、98は、位相差信号発生回路91、92に入力され、位相差信号発生回路91、92から4相クロックとして出力される。したがって、位相差信号発生回路93、94、95、96にはそれぞれ90度の位相差を持ったクロック信号が入力され、位相差信号発生回路93、94、95、96から45度の位相差をもった8個のクロック信号が出力される。ここで、位相差信号発生回路93、94、95、96への入力信号がそれぞれ90度の位相差を持つように接続しているので、0度、45度、90度、135度、180度、225度、270度、315度の8個のクロック信号、すなわち8相クロックが得られる。

【0056】

図7は、本発明に係る多相クロック発生回路の第三実施形態を示すブロック図である。以下、この図面に基づき説明する。

【0057】

本実施形態の多相クロック発生回路は、 n 段の本発明に係る位相差信号発生回路により構成される。 k 段目に用いられる位相差信号発生回路は 2^k 個である（ n 、 k は自然数）。ここで入力信号104、105はそれぞれ0度、180度の位相を持ったクロック信号で

10

20

30

40

50

ある。

【0058】

まず、1段目の位相差信号発生回路101により4相クロックが発生される。2段目の位相差信号発生回路102は、4相クロック入力に基づいて8相クロックを発生する。k段目の位相差信号発生回路(図示せず)は、 2^k 相クロック入力に基づいて 2^{k+1} 相クロックを発生する。このようにして、出力部106には、それぞれ $360/(2^{n+1})$ の位相差を持った 2^{n+1} 相クロックが得られる。

【0059】

図8は、本発明に係る集積回路の一実施形態を示すブロック図である。以下、この図面に基づき説明する。

10

【0060】

本実施形態の集積回路111は、クロック信号発生回路112、多相クロック発生回路113、シリアル・パラレル変換回路114等により構成される。多相クロック発生回路113、図5に示される多相クロック発生回路である。また、シリアル・パラレル変換回路114は4相クロックにより動作する論理回路である。

【0061】

クロック信号発生回路112で発生したクロック信号115は、多相クロック発生回路113に入力され、多相クロック発生回路113により4相クロック信号116として出力され、シリアル・パラレル変換回路114に入力される。かかる構成により、4相クロック信号116がシリアル・パラレル変換回路114に供給され、シリアル・パラレル変換回路114が動作可能となる。

20

【0062】

一般に、クロック信号発生回路112とシリアル・パラレル変換回路114とは、集積回路111の内部で離れた位置に配置されていることが多い。そのため、集積回路111内部で多相クロック発生回路113を用いることによって、4相クロック信号116をシリアル・パラレル変換回路114の直近で作成することが可能となる。つまり、本実施形態の集積回路111によれば、多相クロック間のスキューやクロックドライバの消費電力の増大を抑えることが可能となる。

【0063】

【発明の効果】

以上説明したように、本発明に係る位相差信号発生回路は、デバイス性能の変動や信号伝送路における寄生素子の影響にかかわらず、フィードバック制御を用いずに単純な構成で、特定の位相差を持ったクロック信号を発生することが可能である。また、本発明に係る多相クロック発生回路は、本発明に係る位相差信号発生回路を用いて容易に構成可能である。更に、本発明に係る集積回路は、本発明に係る位相差信号発生回路又は本発明に係る多相クロック発生回路を内部に含んでいるので、多相クロック間のスキューやクロックドライバの消費電力の増大を抑えることができる。

30

【図面の簡単な説明】

【図1】図1[1]は本発明に係る位相差信号発生回路の第一実施形態を示すブロック図である。図1[2]は図1[1]における位相補間回路の動作を示すタイムチャートである。

40

【図2】図2[1]は本発明に係る位相差信号発生回路の第二実施形態を示すブロック図である。図2[2]は本発明に係る位相差信号発生回路の第三実施形態を示すブロック図である。

【図3】図3[1]は本発明に係る位相差信号発生回路の第四実施形態を示すブロック図である。図3[2]は図3[1]における位相補間回路の動作を示すタイムチャートである。

【図4】本発明に係る位相差信号発生回路の第五実施形態を示すブロック図である。

【図5】本発明に係る多相クロック発生回路の第一実施形態を示すブロック図である。

【図6】本発明に係る多相クロック発生回路の第二実施形態を示すブロック図である。

50

【図7】本発明に係る多相クロック発生回路の第三実施形態を示すブロック図である。

【図8】本発明に係る集積回路の一実施形態を示すブロック図である。

【図9】従来の位相差信号発生回路の第一例を示すブロック図である。

【図10】従来の位相差信号発生回路の第二例を示すブロック図である。

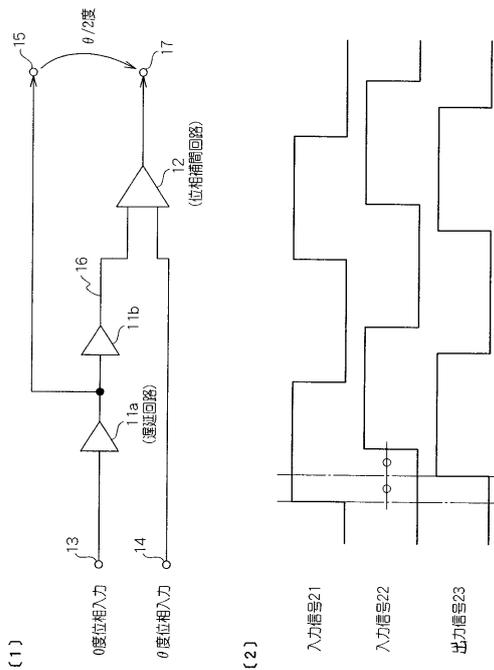
【図11】図11[1]は従来の位相差信号発生回路の第三例を示すブロック図である。

図11[2]は図11[1]の位相差信号発生回路の動作を示すベクトル図である。

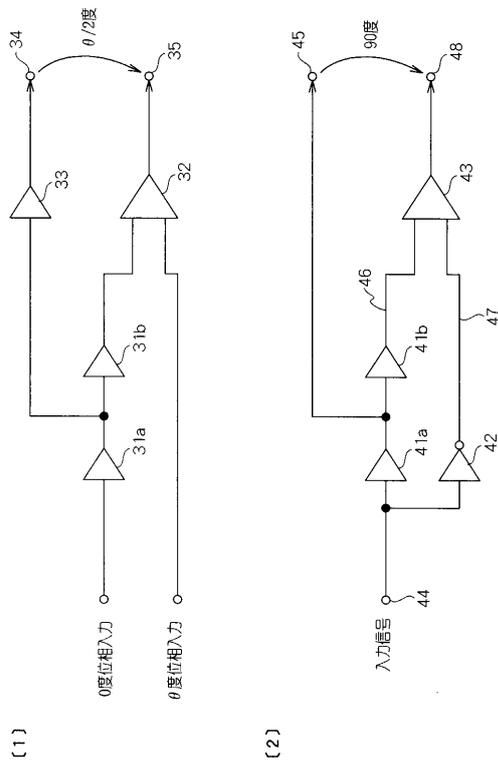
【符号の説明】

- 11a, 11b, 31a, 31b, 501a ~ 501f, 701, 709, 713, 717 遅延回路
- 12, 32, 43, 502, 503, 707, 711, 715 位相補間回路
- 81, 82, 91 ~ 96, 101 ~ 103 位相差信号発生回路
- 111 集積回路
- 113 多相クロック発生回路

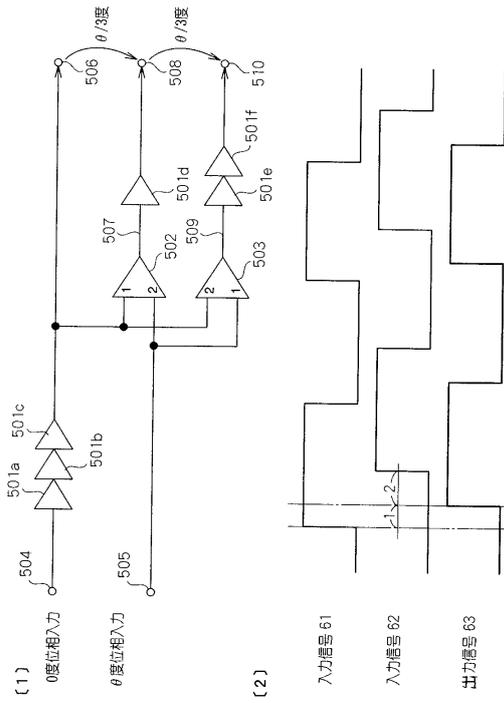
【図1】



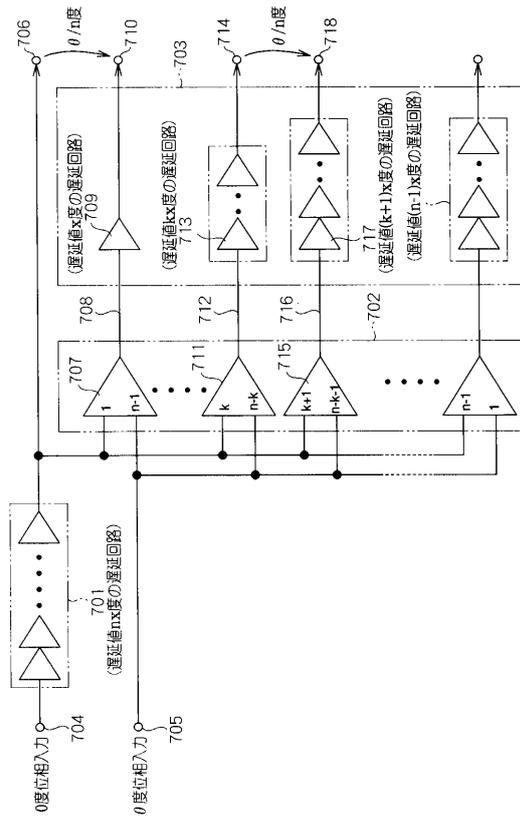
【図2】



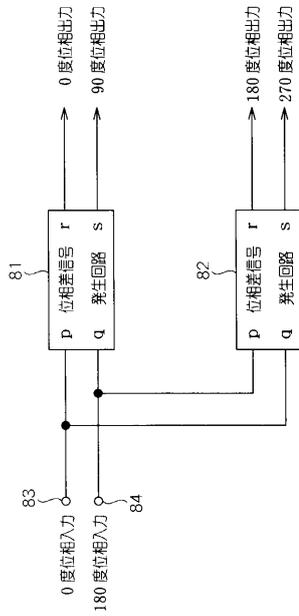
【 図 3 】



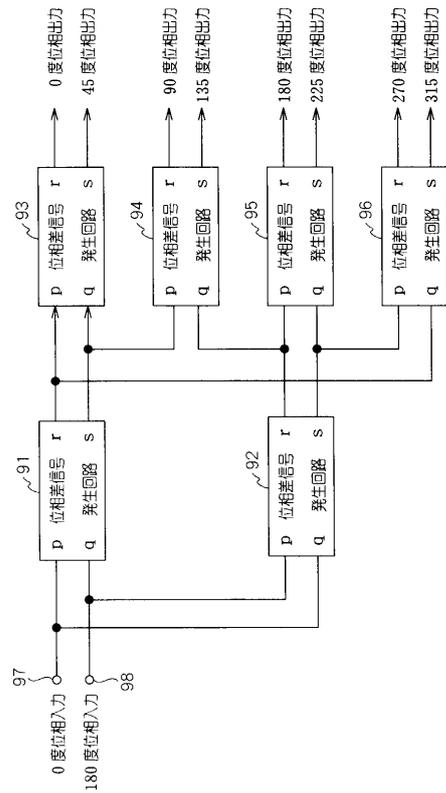
【 図 4 】



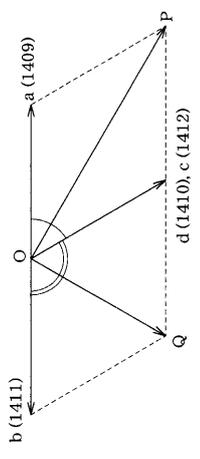
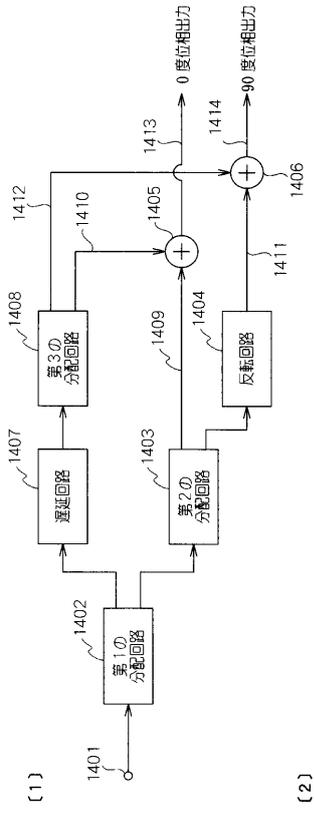
【 図 5 】



【 図 6 】



【 図 1 1 】



フロントページの続き

合議体

審判長 石井 研一

審判官 萩原 義則

審判官 阿部 弘

(58)調査した分野(Int.Cl. , D B 名)

H03K5/00-5/02, 5/08-5/12, 5/15-5/26

G06F1/04