

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-61985
(P2004-61985A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 550	5C006
G09G 3/20	G09G 3/20 611J	5C080
	G09G 3/20 621B	
	G09G 3/20 623B	
審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2002-222236 (P2002-222236)	(71) 出願人	000156950 関西日本電気株式会社 滋賀県大津市晴嵐2丁目9番1号
(22) 出願日	平成14年7月31日 (2002.7.31)	(72) 発明者	奥谷 保 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内
		(72) 発明者	松田 覚 滋賀県大津市晴嵐2丁目9番1号 関西日本電気株式会社内
		Fターム(参考)	2H093 NA16 NA31 NA32 NA43 NA53 NC03 NC11 NC21 NC34 NC62 ND31 ND36 ND42
最終頁に続く			

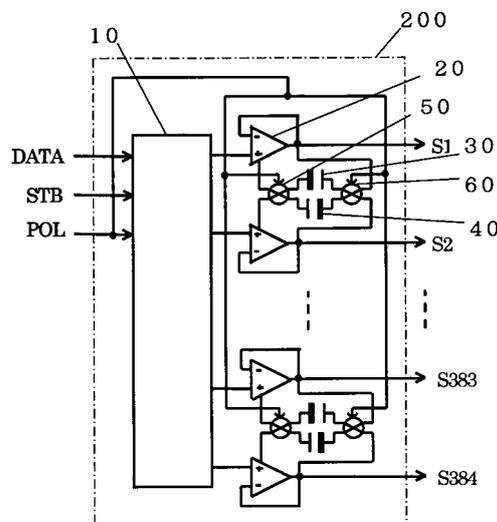
(54) 【発明の名称】 液晶表示装置の駆動回路

(57) 【要約】

【課題】 スルーレートを小さくすることなく演算増幅器の発振を防止できるデータ側ドライバを提供する。

【解決手段】 演算増幅器 20 の発振防止用位相補償容量素子として、立ち下がり波形の出力時に容量値を設定したNウェル容量素子からなる位相補償容量素子 30 と立ち上がり波形の出力時に容量値を設定したNウェル容量素子からなる位相補償容量素子 40 とを切替えスイッチ 50, 60 を介してNウェル容量素子のゲート側端子とウェル側端子とを逆並列に接続している。そして、2n-1番目と2n番目のデータ線に対応した2個の演算増幅器 20 のうち、立ち上がり波形の出力時の演算増幅器 20 に位相補償容量素子 40 を接続するとともに、立ち下がり波形の出力時の演算増幅器 20 に位相補償容量素子 30 を接続するようにしている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶パネルのデータ線に接続される演算増幅器と、演算増幅器に接続されるNウェル容量素子からなる位相補償容量素子とを備えた液晶表示装置の駆動回路において、容量値の相異なる2個1組の前記位相補償容量素子を有し、前記演算増幅器が立ち下がり波形を出力するとき、前記2個1組の位相補償容量素子のうち容量値が大きい位相補償容量素子が接続されるとともに、前記演算増幅器が立ち上がり波形を出力するとき、前記2個1組の位相補償容量素子のうち容量値が小さい位相補償容量素子が、前記容量値が大きい位相補償容量素子に対しNウェル容量素子の端子を逆方向にして接続されることを特徴とする液晶表示装置の駆動回路。

10

【請求項 2】

前記演算増幅器が、立ち上がり波形と立ち下がり波形を交互に出力することを特徴とする請求項1記載の液晶表示装置の駆動回路。

【請求項 3】

前記立ち上がり波形と立ち下がり波形を奇数データ線と偶数データ線とで互い違いに出力する2個1組の前記演算増幅器に、前記2個1組の位相補償容量素子が互い違いに接続されることを特徴とする請求項2記載の液晶表示装置の駆動回路。

【請求項 4】

前記立ち上がり波形と立ち下がり波形を出力するデータ線1本に対応して1個の前記演算増幅器に前記2個1組の位相補償容量素子が交互に接続されることを特徴とする請求項2

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置の駆動回路に関し、特に演算増幅器に接続された位相補償容量素子がNウェル容量素子からなる液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】

アクティブマトリクス方式の液晶表示装置の液晶表示モジュールは、図3に示すように、液晶パネル(LCDパネル)1と、半導体集積回路装置(以下、ICという)からなる制御回路(以下、コントローラという)2と、ICからなる複数個の走査側駆動回路(以下、走査側ドライバという)3およびデータ側駆動回路(以下、データ側ドライバという)4とを具備している。液晶パネル1は、詳細を図示しないが、透明な画素電極および薄膜トランジスタ(TFT)を配置した半導体基板と、面全体に1つの透明な電極を形成した対向基板と、これら2枚の基板を対向させて間に液晶を封入した構造からなり、対向基板電極に所定の電圧(以下、コモン電圧 V_{com} という)を供給するとともに、スイッチング機能を持つTFTを制御することにより各画素電極に所定の電圧を印加し、各画素電極と対向基板電極との間の電位差により液晶の透過率を変化させて画像を表示するものである。ここで、画像を中間調表示(階調表示)するために各画素電極には所定の電圧として可変の電圧(以下、階調電圧という)が印加される。半導体基板上には、各画素電極へ印加する階調電圧を送るデータ線と、TFTのスイッチング制御信号(走査信号)を送る走査線とが配線されている。

30

40

【0003】

コントローラ2は、入力側がPC(パソコン)5に接続され、出力側が走査側ドライバ3およびデータ側ドライバ4に接続されている。走査側ドライバ3およびデータ側ドライバ4の出力側は、液晶パネル1の走査線およびデータ線にそれぞれ接続されている。走査側ドライバ3およびデータ側ドライバ4は、製造上の制限よりチップサイズが制限され、従って、IC1個で出力できる走査線およびデータ線に対応する出力数も制限され、液晶パネル1のサイズが大きい場合、それぞれ複数個を液晶パネル1の外周に配置する必要がある。例えばXGA(1024×768画素)カラー表示の液晶パネルの場合の各ドライバ

50

3, 4 のモジュールへの実装は、

1 走査側ドライバ3は、768本のゲート線を駆動する必要があり、例えば192本分の駆動能力を有する場合、4個必要とし、液晶パネル1の左側外周にカスケード接続で片側配置される。

2 データ側ドライバ4は、1画素をカラー表示するためにデータ線はR(赤)、G(緑)、B(青)用の3本が必要なため、 $1024 \times 3 = 3072$ 本のデータ線を駆動する必要があり、例えば、384本分の駆動能力を有する場合、8個を必要とし、液晶パネル1の上側外周にカスケード接続で片側配置される。

尚、図示しないが、対向基板電極には、コモン電圧Vcomを供給するための電源回路が接続されている。

10

【0004】

PC5から画像データが液晶表示モジュールのコントローラ2に送られ、コントローラ2から走査側ドライバ3には、クロック信号等が各走査側ドライバ3に並列に送られ、垂直同期用のスタート信号STVが初段の走査側ドライバ3に送られ、カスケード接続された次段以降の走査側ドライバ3に順次転送されていく。また、コントローラ2からデータ側ドライバ4には、クロック信号等のタイミング信号やデータ信号が各データ側ドライバ4に並列に送られ、水平同期用のスタート信号STHが初段のデータ側ドライバ4に送られ、カスケード接続された次段以降のデータ側ドライバ4に順次転送されていく。そして、走査側ドライバ3から各走査線にはパルス状の走査信号が送られ、走査線に印加された走査信号がハイレベルのとき、その走査線につながるTFTが全てオンとなり、そのときデータ側ドライバ4からデータ線に送られた階調電圧が、オンとなったTFTを介して画素電極に印加される。このとき、図示しない電源回路から対向基板電極にコモン電圧Vcomが供給される。そして、走査信号がローレベルとなり、TFTがオフ状態に変化すると、画素電極と対向基板電極との電位差は、次の階調電圧が画素電極に印加されるまでの間保持される。そして、各走査線に順次走査信号を送ることにより、全ての画素電極に所定の階調電圧が印加され、フレーム周期で階調電圧の書き替えを行うことにより画像を表示することができる。

20

【0005】

データ側ドライバ4により各画素電極を駆動するとき、液晶固有の特性から対向基板電極の電位に対して交流駆動する必要がある。代表的な交流駆動方法として、データ側ドライバ4からの階調電圧を1走査線を駆動する期間(以下、1水平期間という)ごとにコモン電圧Vcomに対して正電圧と負電圧を、1走査線単位で切り換えるライン反転駆動法や、1画素電極単位で切り換えるドット反転駆動法がある。ライン反転駆動法は、データ側ドライバ4からの階調電圧を、例えば、+5V以下の低電圧に設定し、コモン電圧Vcomを1水平期間ごとに変化させることにより極性反転して交流駆動する方法である。これに対して、ドット反転駆動法は、コモン電圧Vcomを一定電圧に固定し、データ側ドライバ4からの階調電圧としてコモン電圧Vcomに対して、極性が正の電圧(以下、正極性階調電圧という)と、極性が負の電圧(以下、負極性階調電圧という)をそれぞれ対称となるように設定して、正極性階調電圧と負極性階調電圧を1水平期間ごとに交互に供給する方法である。例えば、64階調表示の場合、正極性階調電圧VP1~VP64として

30

40

【0006】

以下に、データ側ドライバ4の従来例として、ドット反転駆動法を用いたデータ側ドライバ100について、液晶パネルのデータ線384本分を駆動し、64階調表示する能力を有するものとして、図4を参照して説明する。データ側ドライバ100は、384本の各データ線に対応して、画像データとしてm=6ビットのデータ信号DATAを供給するこ

50

とにより、2のm乗 = 64階調の正極性および負極性階調電圧 $V_{P1} \sim V_{P64}$ 、 $V_{N1} \sim V_{N64}$ のうちデータ信号DATAの論理に対応した1つの階調電圧 V_{Px} 、 V_{Nx} を1水平期間ごとに極性が交互にかつ $2n - 1$ (奇数)番目 ($n = 1 \sim 192$)のデータ線と $2n$ (偶数)番目のデータ線とで互い違いとなるようにして出力するもので、384本の各データ線に対応して、データ信号DATAをシリアル/パラレル変換し、さらに1水平期間ごとに極性が交互にかつ $2n - 1$ 番目のデータ線と $2n$ 番目のデータ線とで互い違いの階調電圧 V_{Px} 、 V_{Nx} にデジタル/アナログ変換して出力する前段回路部10と、データ線384本に対応して前段回路部10からの階調電圧 V_{Px} 、 V_{Nx} を駆動能力を上げて出力する384個のボルテージホロワ接続の演算増幅器20と、演算増幅器20の発振を防止するための位相補償容量素子30とを備えている。

10

【0007】

次にデータ側ドライバ100を液晶パネルに接続したときの動作を図5を参照して説明する。ある1水平期間において、前段回路部10に極性制御信号POLが“ハイ”レベルで供給され、384本の各データ線に対応する $m = 6$ ビットのデータ信号DATAがシリアルに取り込まれ、内部で、パラレルに変換され、ストローク信号STBに同期して、 $2n - 1$ 番目のデータ線に対応して64階調の階調電圧 $V_{P1} \sim V_{P64}$ のうちのひとつの階調電圧 V_{Px} にアナログ変換されるとともに、 $2n$ 番目のデータ線に対応して64階調の階調電圧 $V_{N1} \sim V_{N64}$ のうちのひとつの階調電圧 V_{Nx} にアナログ変換され、各演算増幅器20で各階調電圧 V_{Px} 、 V_{Nx} の駆動能力を上げて出力 $S1$ 、 $S2$ 、...、 $S384$ として液晶パネルの対応する各データ線に供給される。

20

【0008】

次の1水平期間において、前段回路部10に極性制御信号POLが“ロウ”レベルで供給され、384本の各データ線に対応する $m = 6$ ビットのデータ信号DATAがシリアルに取り込まれ、内部で、パラレルに変換され、ストローク信号STBに同期して、 $2n - 1$ 番目のデータ線に対応して64階調の階調電圧 $V_{N1} \sim V_{N64}$ のうちのひとつの階調電圧 V_{Nx} にアナログ変換されるとともに、 $2n$ 番目のデータ線に対応して64階調の階調電圧 $V_{P1} \sim V_{P64}$ のうちのひとつの階調電圧 V_{Px} にアナログ変換され、各演算増幅器20で各階調電圧 V_{Px} 、 V_{Nx} の駆動能力を上げて出力 $S1$ 、 $S2$ 、...、 $S384$ として液晶パネルの対応する各データ線に供給される。

30

【0009】

【発明が解決しようとする課題】

ところで、上述したように演算増幅器20の発振防止のための位相補償容量素子30が用いられているが、位相補償容量素子30としてNウェル容量素子を用いた場合について、以下、説明する。Nウェル容量素子は、図6に示すように、P型半導体基板11に形成されたNウェル層12に N^+ 拡散層13が形成され、 N^+ 拡散層13間のNウェル層12上にゲート酸化膜を介してゲート電極14が形成されるとともに、ゲート電極14にゲート側端子15が接続され、 N^+ 拡散層にウェル側端子16が接続されて構成されている。このNウェル容量素子は、図7に示すような電圧依存性を有する。すなわち、ゲート側端子15とウェル側端子16に電圧を印加した場合、ウェル側端子16を基準電位として閾値電圧以上の正電圧で容量が最大となり、閾値電圧より低くなると容量が減少し、ある電圧以下の負電圧になると容量が最小となる。

40

【0010】

一方、データ側ドライバ100に用いられる演算増幅器20は、各出力 $S1$ 、 $S2$ 、...、 $S384$ から正極性階調電圧 V_{Px} と負極性階調電圧 V_{Nx} を1水平期間ごとに交互に出力するために、立ち上がり波形および立ち下がり波形の両出力を高速にできるものが用いられ、具体的回路の一例として、例えば、図8に示す演算増幅器20が用いられる。この図8に示す演算増幅器20は、特開平9-93055号公報に記載されている。そして、図8において、位相補償容量素子30は、演算増幅器20の差動段出力、すなわち、MOSトランジスタM14のゲートと出力端子Vout間に接続されるが、MOSトランジスタM14のゲートと出力端子Vout間の電位差は、図9に示すように、出力端子Vout

50

tを基準電位として立ち下がり波形の出力時に正側で大となり、立ち上がり波形の出力時に負側で小となる。従って、位相補償容量素子30として、図6に示すNウェル容量素子を用いる場合、立ち下がり波形の出力時に、MOSトランジスタM14のゲートと出力端子Vout間の大きな正側の電位差が、Nウェル容量素子のゲート側端子15とウェル側端子16間にウェル側端子16を基準電位として正電圧で印加され、立ち上がり波形の出力時に、MOSトランジスタM14のゲートと出力端子Vout間の小さな負側の電位差が、Nウェル容量素子のゲート側端子15とウェル側端子16間にウェル側端子16を基準電位として負電圧で印加されるようにするため、ゲート側端子15がMOSトランジスタM14のゲートに接続され、ウェル側端子16が出力端子Voutに接続されて構成される。尚、図8では、位相補償容量素子30をゲート側が太線、ウェル側が細線で表示されたNウェル容量素子として表示している。

10

【0011】

上述のようにNウェル容量素子を位相補償容量素子として用いた場合において、位相補償容量素子の容量値を立ち下がり波形の出力時に必要とする容量値に合わせて決めた場合、立ち上がり波形の出力時の容量が必要とする容量値より小さくなる虞があり、最悪の場合、演算増幅器20が発振する。また、逆に立ち上がり波形の出力時に必要とする容量値に合わせて決めた場合、立ち下がり波形の出力時の容量値が必要とする容量値より大きくなる虞がある。この場合、演算増幅器20の立ち下がり波形の出力時のスルーレートを小さくするという不都合が生じることになる。また、容量値は、ドライバICのチップ面積を小さくするという観点から、できる限り小さくする必要があり、容量値が必要とする容量値より大きくなるということは、これに反する。

20

【0012】

従って、本発明は上記の問題点を解決するためになされたもので、演算増幅器に接続されるNウェル容量素子からなる位相補償容量素子の容量値を立ち上がり波形の出力時と立ち下がり波形の出力時のそれぞれにおいて、必要とする適切な容量値とすることができる液晶表示装置の駆動回路を提供することを目的とする。

【0013】

【課題を解決するための手段】

(1)本発明の液晶表示装置の駆動回路は、液晶パネルのデータ線に接続される演算増幅器と、演算増幅器に接続されるNウェル容量素子からなる位相補償容量素子とを備えた液晶表示装置の駆動回路において、容量値の相異なる2個1組の位相補償容量素子を有し、演算増幅器が立ち下がり波形を出力するとき、2個1組の位相補償容量素子のうち容量値が大きい位相補償容量素子が接続されるとともに、演算増幅器が立ち上がり波形を出力するとき、2個1組の位相補償容量素子のうち容量値が小さい位相補償容量素子が、容量値が大きい位相補償容量素子に対しNウェル容量素子の端子を逆方向にして接続されることを特徴とする。

30

(2)本発明の液晶表示装置の駆動回路は、上記(1)項において、演算増幅器が、立ち上がり波形と立ち下がり波形を交互に出力することを特徴とする。

(3)本発明の液晶表示装置の駆動回路は、上記(2)項において、立ち上がり波形と立ち下がり波形を奇数データ線と偶数データ線とで互い違いに出力する2個1組の演算増幅器に上記2個1組の位相補償容量素子が互い違いに接続されることを特徴とする。

40

(4)本発明の液晶表示装置の駆動回路は、上記(2)項において、立ち上がり波形と立ち下がり波形を出力するデータ線1本に対応して1個の演算増幅器に上記2個1組の位相補償容量素子が交互に接続されることを特徴とする。

【0014】

【発明の実施の形態】

以下に、本発明に基づき、第1実施例のドット反転駆動法を用いたデータ側ドライバ200について、液晶パネルのデータ線384本分を駆動し、64階調表示する能力を有するものとして、図1を参照して説明する。尚、図4に示したデータ側ドライバ100と同一部分は同一符号を付して、重複する説明を省略する。

50

データ側ドライバ200は、384本の各データ線に対応して、画像データとして $m = 6$ ビットのデータ信号DATAを供給することにより、2の m 乗 = 64階調の正極性および負極性階調電圧 $V_{P1} \sim V_{P64}$ 、 $V_{N1} \sim V_{N64}$ のうちデータ信号DATAの論理に対応した1つの階調電圧 V_{Px} 、 V_{Nx} を1水平期間ごとに極性が交互にかつ $2n - 1$ (奇数)番目 ($n = 1 \sim 192$)のデータ線と $2n$ (偶数)番目のデータ線とで互い違いとなるようにして出力するもので、前段回路部10と、384個のボルテージホロワ接続の演算増幅器20と、各192個の位相補償容量素子30、40と、各192個の切替えスイッチ50、60とを備えている。位相補償容量素子30、40は、それぞれ図6に示すNウェル容量素子で構成される。位相補償容量素子30は、 $2n - 1$ 番目と $2n$ 番目のデータ線に対応した2個の演算増幅器20のうち、立ち下がり波形の出力時の演算増幅器20のMOSトランジスタM14のゲートにゲート側端子15が、および出力端子Voutにウェル側端子16が、切替えスイッチ50、60を介して接続され、その容量値は、立ち下がり波形の出力時の演算増幅器20が発振しないレベルに設定される。位相補償容量素子40は、 $2n - 1$ 番目と $2n$ 番目のデータ線に対応した2個の演算増幅器20のうち、立ち上がり波形の出力時の演算増幅器20のMOSトランジスタM14のゲートにウェル側端子16が、および出力端子Voutにゲート側端子15が、切替えスイッチ50、60を介して接続され、その容量値は、立ち上がり波形の出力時の演算増幅器20が発振しないレベルに設定される。このとき、位相補償容量素子の容量値は、立ち下がり波形を出力するときよりも立ち上がり波形を出力するときの方が小さくて済むので、ゲート側端子15とウェル側端子16間にウェル側端子16を基準電位として正電圧を印加したときの容量値は、位相補償容量素子30より位相補償容量素子40の方が小さく設定される。切替えスイッチ50、60は、外部から供給される極性制御信号POLにより切替えられる。

10

20

【0015】

次にデータ側ドライバ200を液晶パネルに接続したときの動作を図5を参照して説明する。ある1水平期間において、前段回路部10に極性制御信号POLが“ハイ”レベルで供給され、384本の各データ線に対応する $m = 6$ ビットのデータ信号DATAがシリアルに取り込まれ、内部で、パラレルに変換され、ストローク信号STBに同期して、 $2n - 1$ 番目のデータ線に対応して64階調の階調電圧 $V_{P1} \sim V_{P64}$ のうちのひとつの階調電圧 V_{Px} にアナログ変換されるとともに、 $2n$ 番目のデータ線に対応して64階調の階調電圧 $V_{N1} \sim V_{N64}$ のうちのひとつの階調電圧 V_{Nx} にアナログ変換され、各演算増幅器20で各階調電圧 V_{Px} 、 V_{Nx} の駆動能力を上げて出力S1、S2、...、S384として液晶パネルの対応する各データ線に供給される。このとき、各切替えスイッチ50、60に極性制御信号POLが“ハイ”レベルで供給され、 $2n - 1$ 番目のデータ線に対応する演算増幅器20に位相補償容量素子40が接続されるとともに $2n$ 番目のデータ線に対応する演算増幅器20に位相補償容量素子30が接続される。

30

【0016】

次の1水平期間において、前段回路部10に極性制御信号POLが“ロウ”レベルで供給され、384本の各データ線に対応する $m = 6$ ビットのデータ信号DATAがシリアルに取り込まれ、内部で、パラレルに変換され、ストローク信号STBに同期して、 $2n - 1$ 番目のデータ線に対応して64階調の階調電圧 $V_{N1} \sim V_{N64}$ のうちのひとつの階調電圧 V_{Nx} にアナログ変換されるとともに、 $2n$ 番目のデータ線に対応して64階調の階調電圧 $V_{P1} \sim V_{P64}$ のうちのひとつの階調電圧 V_{Px} にアナログ変換され、各演算増幅器20で各階調電圧 V_{Px} 、 V_{Nx} の駆動能力を上げて出力S1、S2、...、S384として液晶パネルの対応する各データ線に供給される。このとき、各切替えスイッチ50、60に極性制御信号POLが“ロウ”レベルで供給され、 $2n - 1$ 番目のデータ線に対応する演算増幅器20に位相補償容量素子30が接続されるとともに $2n$ 番目のデータ線に対応する演算増幅器20に位相補償容量素子40が接続される。

40

【0017】

以上、第1実施例で説明したように、立ち下がり波形の出力時に容量値を設定したNウ

50

エル容量素子からなる位相補償容量素子30と立ち上がり波形の出力時に容量値を設定したNウェル容量素子からなる位相補償容量素子40とを切替えスイッチ50, 60を介してNウェル容量素子のゲート側端子とウェル側端子とを逆並列に接続している。そして、 $2n - 1$ 番目と $2n$ 番目のデータ線に対応した2個の演算増幅器20のうち、立ち上がり波形の出力時の演算増幅器20に位相補償容量素子40を接続するとともに、立ち下がり波形の出力時の演算増幅器20に位相補償容量素子30を接続するようにしている。その結果、立ち上がり波形および立ち下がり波形のそれぞれの出力時に適合したNウェル容量素子の容量値を設定でき、容量値が小さ過ぎることにより演算増幅器が発振することや、逆に必要以上に大き過ぎてスルレートが小さくなるという不都合を防止でき、また、データ側ドライバのチップ面積を小さくすることができる。

10

【0018】

次に、第2実施例のライン反転駆動法を用いたデータ側ドライバ300について、液晶パネルのデータ線384本分を駆動し、64階調表示する能力を有するものとして、図2を参照して説明する。尚、図1に示したデータ側ドライバ200と同一部分は同一符号を付して、重複する説明を省略する。データ側ドライバ300は、コモン電圧 V_{com} を1水平期間ごとに変化させることにより極性反転して交流駆動するコモン反転駆動法に用いられるため、正極性および負極性の2種類の階調電圧が不要で、384本の各データ線に対応して、画像データとして $m = 6$ ビットのデータ信号DATAを供給することにより、2の m 乗 $= 64$ 階調の階調電圧 $V_1 \sim V_{64}$ のうちデータ信号DATAの論理に対応した1つの階調電圧 V_x を各データ線に1水平期間ごとに出力するもので、384本の各データ線に対応して、データ信号DATAをシリアル/パラレル変換し、1水平期間ごとに階調電圧 V_x にデジタル/アナログ変換して出力する前段回路部70と、384個のボルテージホロワ接続の演算増幅器20と、各384個の位相補償容量素子30, 40と、各384個の切替えスイッチ80, 90とを備えている。位相補償容量素子30, 40は、それぞれ図6に示すNウェル容量素子で構成される。各位相補償容量素子30は、各演算増幅器20の立ち下がり波形の出力時にゲート側端子15がMOSトランジスタM14のゲートに、およびウェル側端子16が出力端子Voutに、切替えスイッチ80, 90を介して接続され、その容量値は、各演算増幅器20が立ち下がり波形の出力時に発振しないレベルに設定される。各位相補償容量素子40は、各演算増幅器20の立ち上がり波形の出力時にゲート側端子15が出力端子Voutに、およびウェル側端子16がMOSトランジスタM14のゲートに、切替えスイッチ80, 90を介して接続され、その容量値は、各演算増幅器20が立ち上がり波形の出力時に発振しないレベルに設定される。このとき、位相補償容量素子の容量値は、立ち下がり波形を出力するときよりも立ち上がり波形を出力するときの方が小さくて済むので、ゲート側端子15とウェル側端子16間にウェル側端子16を基準電位として正電圧を印加したときの容量値は、位相補償容量素子30より位相補償容量素子40の方が小さく設定される。切替えスイッチ80, 90は、外部から供給される極性制御信号POLにより切替えられる。

20

30

【0019】

次にデータ側ドライバ300を液晶パネルに接続したときの動作を説明する。ある1水平期間において、前段回路部70に極性制御信号POLが“ハイ”レベルで供給され、384本の各データ線に対応する $m = 6$ ビットのデータ信号DATAがシリアルに取り込まれ、内部で、パラレルに変換され、ストローク信号STBに同期して、各データ線に対応して64階調の階調電圧 $V_1 \sim V_{64}$ のうちのひとつの階調電圧 V_x にアナログ変換され、各演算増幅器20で各階調電圧 V_x の駆動能力を上げて出力 S_1, S_2, \dots, S_{384} として液晶パネルの対応する各データ線に供給される。このとき、コモン電圧 V_{com} は、負電圧が供給され、各演算増幅器20は立ち上がり波形を出力することになる。このとき、各切替えスイッチ80, 90に極性制御信号POLが“ハイ”レベルで供給され、各演算増幅器20に位相補償容量素子40が接続される。

40

【0020】

次の1水平期間において、前段回路部70に極性制御信号POLが“ロウ”レベルで供給

50

され、384本の各データ線に対応する $m = 6$ ビットのデータ信号DATAがシリアルに取り込まれ、内部で、パラレルに変換され、ストロブ信号STBに同期して、各データ線に対応して64階調の階調電圧 $V_1 \sim V_{64}$ のうちのひとつの階調電圧 V_x にアナログ変換され、各演算増幅器20で各階調電圧 V_x の駆動能力を上げて出力S1、S2、...、S384として液晶パネルの対応する各データ線に供給される。このとき、コモン電圧Vcomは、正電圧が供給され、各演算増幅器20は立ち下がり波形を出力することになる。このとき、各切替えスイッチ80、90に極性制御信号POLが“ロウ”レベルで供給され、演算増幅器20に位相補償容量素子30が接続される。

【0021】

以上、第2実施例で説明したように、立ち下がり波形の出力時用に容量値を設定したNウェル容量素子からなる位相補償容量素子30と立ち上がり波形の出力時用に容量値を設定したNウェル容量素子からなる位相補償容量素子40とを切替えスイッチ80、90を介してNウェル容量素子のゲート側端子とウェル側端子とを逆並列に接続している。そして、各データ線に対応した演算増幅器20に、立ち上がり波形の出力時に位相補償容量素子40を接続するとともに、立ち下がり波形の出力時に位相補償容量素子30を接続するようにしている。その結果、立ち上がり波形および立ち下がり波形のそれぞれの出力時に適合したNウェルの容量値を設定でき、容量値が小さ過ぎることにより演算増幅器が発振することや、逆に必要以上に大き過ぎてスルレートが小さくなるという不都合を防止できる。

【0022】

【発明の効果】

本発明に係わる液晶表示装置の駆動回路によれば、演算増幅器に接続されるNウェル容量素子からなる位相補償容量素子を、容量値の相異なる2個1組の位相補償容量素子で構成し、演算増幅器が立ち下がり波形を出力するとき、2個1組の位相補償容量素子のうち容量値が大きい位相補償容量素子を接続するとともに、演算増幅器が立ち上がり波形を出力するとき、2個1組の位相補償容量素子のうち容量値が小さい位相補償容量素子を、容量値が大きい位相補償容量素子に対しNウェル容量素子の端子を逆方向にして接続するので、容量値が小さ過ぎることにより演算増幅器が発振することや、逆に必要以上に大き過ぎてスルレートが小さくなるという不都合を防止できる。さらに、立ち上がり波形と立ち下がり波形を奇数データ線と偶数データ線とで互い違いに出力する2個1組の演算増幅器に2個1組の位相補償容量素子が互い違いに接続される液晶表示装置の駆動回路では、チップ面積を小さくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例であるデータ側ドライバの要部回路図。

【図2】本発明の第2実施例であるデータ側ドライバの要部回路図。

【図3】液晶表示装置の概略構成図。

【図4】従来のデータ側ドライバの要部回路図。

【図5】図4のデータ側ドライバの回路動作を示すタイミング図。

【図6】Nウェル容量素子の概略断面を示す図。

【図7】図6のNウェル容量素子のバイアス電圧依存特性を示す図。

【図8】図1、2および図5のデータ側ドライバに用いられる演算増幅器の一例の回路図

【図9】図8に示す演算増幅器のNウェル容量素子の接続点における電位の変化を示す図

【符号の説明】

200、300 データ側ドライバ

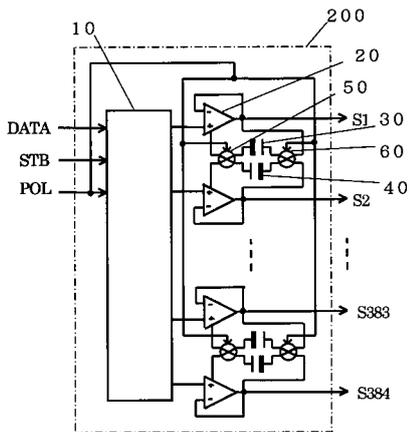
10、70 前段回路部

20 演算増幅器

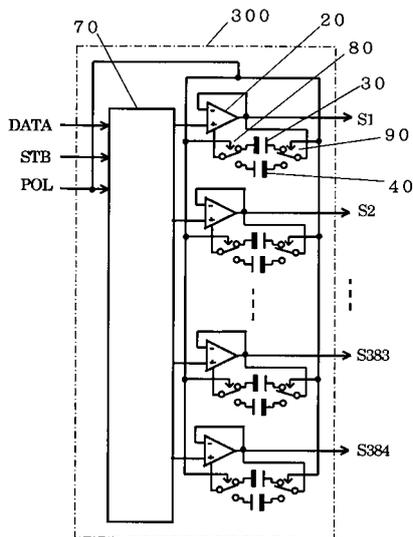
30、40 位相補償容量素子

50、60、80、90 切替えスイッチ

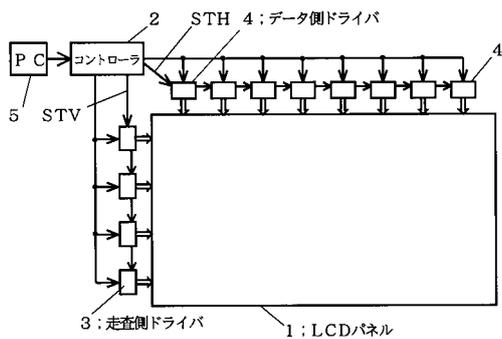
【 図 1 】



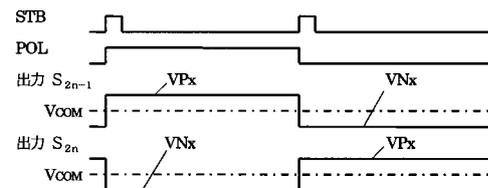
【 図 2 】



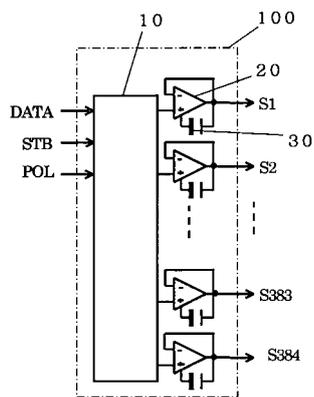
【 図 3 】



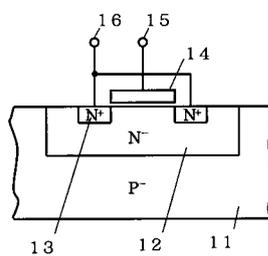
【 図 5 】



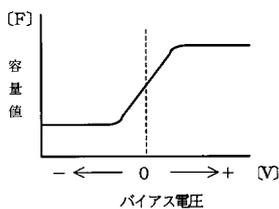
【 図 4 】



【 図 6 】



【 図 7 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 W

G 0 9 G 3/20 6 7 0 E

G 0 9 G 3/20 6 8 0 G

F ターム(参考) 5C006 AA16 AC27 AC28 AF25 AF43 AF50 AF82 BB16 BC02 BC13
BC20 BC23 BC24 BF24 BF25 BF27 BF34 BF37 BF42 FA13
FA18 FA37 FA42
5C080 AA10 BB05 DD08 DD09 DD25 EE29 FF11 JJ02 JJ03 JJ04
JJ06