



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2011년02월28일  
 (11) 등록번호 10-1017757  
 (24) 등록일자 2011년02월18일

(51) Int. Cl.  
*G11C 16/02* (2006.01) *G11C 16/12* (2006.01)  
*G11C 16/14* (2006.01)  
 (21) 출원번호 10-2008-0089407  
 (22) 출원일자 2008년09월10일  
 심사청구일자 2008년09월10일  
 (65) 공개번호 10-2010-0030452  
 (43) 공개일자 2010년03월18일  
 (56) 선행기술조사문헌  
 US20040257879 A1\*  
 US20070236994 A1\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
**한양대학교 산학협력단**  
 서울 성동구 행당동 17 한양대학교 내  
 (72) 발명자  
**윤한섭**  
 경기도 이천시 갈산동 781번지 힐스테이트 105동 503호  
**이종석**  
 02421 미국 매사추세츠주. 렉싱턴시, 렉싱턴 리지로 7332  
**곽계달**  
 서울 종로구 구기동 154-3번지 건덕빌라 B동 201호  
 (74) 대리인  
**특허법인이상**

전체 청구항 수 : 총 7 항

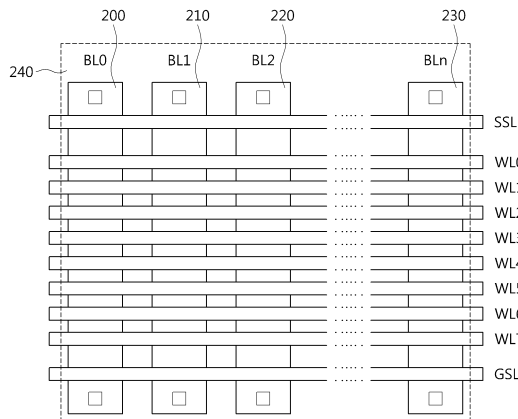
심사관 : 손윤식

**(54) 공통 피델을 이용하는 낸드 플래시 메모리 및 이의 동작방법**

**(57) 요약**

핫 캐리어 주입을 이용하는 플래시 메모리 및 이의 동작 방법이 개시된다. 페이지를 구성하는 다수의 스트링은 하나의 p-웰 상에 형성되어, p-웰을 공유한다. 프로그램 동작시에는 스트링 선택 트랜지스터는 턴오프되고, p-웰에 인가되는 바이어스에 의해 소스 또는 드레인 영역의 전자는 축적된다. 이어서, 워드라인을 통해 인가되는 프로그램 전압에 의해 축적된 전자는 메모리 셀의 전하 트랩층에 트랩된다. 또한, 소거 동작시에는 p-웰에 인가되는 바이어스에 의해 축적된 홀은 소거 전압에 의해 전하 트랩층으로 트랩된다. 낸드 플래시의 프로그램 및 소거 동작은 핫 캐리어 주입을 이용한다.

**대표도 - 도5**



## 특허청구의 범위

### 청구항 1

p-웰 영역; 및

상기 p-웰 영역 상에 형성된 다수의 스트링들을 포함하고,

상기 각각의 스트링은 직렬연결된 다수의 메모리 셀을 가지며, 상기 다수의 메모리 셀은 상기 p-웰 영역 상에 형성되어, 상기 p-웰 영역을 공유하며,

선택된 스트링에 공급되는 프로그램 전압 및 상기 p-웰 영역에 독립적으로 연결된 바디 바이어스에 의해 메모리 셀은 선택적으로 프로그램되고, 워드라인을 통해 공급되는 소거 전압 및 상기 바디 바이어스에 의해 하나의 페이지를 구성하는 모든 메모리 셀들은 소거되는 것을 특징으로 하는 플래시 메모리.

### 청구항 2

제1항에 있어서, 상기 스트링은,

비트라인에 전기적으로 연결된 스트링 선택 트랜지스터;

상기 스트링 선택 트랜지스터에 전기적으로 연결된 메모리 셀들; 및

상기 메모리 셀들에 전기적으로 연결된 접지 선택 트랜지스터를 가지고,

프로그램 동작시에는, 스트링 선택 트랜지스터는 턴오프되고, 상기 p-웰에 공급되는 상기 바디 바이어스에 의해 축적된 전자를 상기 워드 라인을 통해 공급되는 상기 프로그램 전압에 의해 핫 캐리어 주입을 수행하고,

소거 동작시에는, 상기 p-웰에 공급되는 상기 바디 바이어스에 의해 축적된 홀을 상기 워드 라인을 통해 공급되는 상기 소거 전압에 의해 핫 캐리어 주입을 수행하는 것을 특징으로 하는 플래시 메모리.

### 청구항 3

다수의 스트링을 가지고, 각각의 스트링은 비트라인에 전기적으로 연결된 스트링 선택 트랜지스터, 상기 스트링 선택 트랜지스터에 전기적으로 연결된 메모리 셀들 및 상기 메모리 셀들에 전기적으로 연결된 접지 선택 트랜지스터를 가지는 플래시 메모리의 프로그램 방법에 있어서,

상기 다수의 스트링 하부에 형성된 하나의 p-웰 영역에 워드라인 및 상기 비트라인과 독립적으로 구성된 바디 바이어스를 인가하여, 상기 메모리 셀의 소스 또는 드레인 영역에 전자를 축적하는 단계; 및

특정의 상기 워드 라인에 프로그램 전압을 인가하여 상기 축적된 전자를 상기 메모리 셀의 전하 트랩층에 트랩시키는 단계를 포함하는 플래시 메모리의 프로그램 방법.

### 청구항 4

제3항에 있어서, 전자를 축적하는 단계는 상기 스트링 선택 트랜지스터와 상기 접지 선택 트랜지스터를 오프 상태로 설정하고, 상기 축적된 전자를 상기 메모리 셀의 전하 트랩층에 트랩시키는 프로그램 동작이 수행되는 메모리 셀에 연결된 다른 메모리 셀은 온 상태로 설정하는 것을 특징으로 하는 플래시 메모리의 프로그램 방법.

### 청구항 5

제4항에 있어서, 상기 프로그램 동작이 수행되는 스트링 이외의 다른 스트링의 스트링 선택 트랜지스터는 턴오프되는 것을 특징으로 하는 플래시 메모리의 프로그램 방법.

### 청구항 6

다수의 스트링을 가지고, 각각의 스트링은 비트라인에 전기적으로 연결된 스트링 선택 트랜지스터, 상기 스트링 선택 트랜지스터에 전기적으로 연결된 메모리 셀들 및 상기 메모리 셀들에 전기적으로 연결된 접지 선택 트랜지스터를 가지는 플래시 메모리의 소거 방법에 있어서,

상기 다수의 스트링 하부에 형성된 하나의 p-웰 영역에 워드라인 및 상기 비트라인과 독립적으로 구성된 바디 바이어스를 인가하여, 상기 메모리 셀의 소스 또는 드레인 영역에 홀을 축적하는 단계; 및

상기 p-웰을 공유하는 모든 워드 라인에 소거 전압을 인가하여 상기 축적된 홀을 상기 메모리 셀의 전하 트랩층에 트랩시키는 단계를 포함하는 플래시 메모리의 소거 방법.

**청구항 7**

제6항에 있어서, 상기 축적된 홀을 상기 메모리 셀의 전하 트랩층에 트랩시키는 소거 동작 시에는, 상기 하나의 p-웰 영역 상에 형성된 모든 스트링의 스트링 선택 트랜지스터들은 오프 상태로 설정되는 것을 특징으로 하는 플래시 메모리의 소거 방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

[0001] 본 발명은 비휘발성 메모리에 관한 것으로, 더욱 상세하게는 낸드 플래시 메모리 및 이의 동작 방법에 관한 것이다.

**배경기술**

[0002] 비휘발성 메모리는 전원이 제거되더라도, 저장된 정보가 삭제되지 아니하고 보존되는 특성을 가진다. 대표적인 비휘발성 메모리로서 플래시 메모리가 있다. 플래시 메모리는 하나의 셀 트랜지스터에 2개의 게이트층이 적층된 구조를 가진다. 이러한 게이트층들은 각각 플로팅 게이트와 컨트롤 게이트로 명명된다.

[0003] 플래시 메모리의 일반적인 동작은, 프로그램, 소거 및 읽기 동작으로 구분된다.

[0004] 프로그램 동작은 플로팅 게이트에 전자를 트랩시키는 동작이며, 셀 트랜지스터의 문턱전압을 상승시키는 동작이다. 또한, 소거 동작은 플로팅 게이트에 트랩된 전하를 채널 영역이나 소스/드레인 영역으로 이동시키는 동작이다. 이러한, 소거 동작에 의해 셀 트랜지스터의 문턱 전압은 하강되는 특성을 가진다.

[0005] 즉, 플래시 메모리의 정보의 저장형태는 문턱 전압의 변화에 의해 구현되는 특성을 가진다. 또한, 프로그램 또는 소거 동작이 이루어지기 위해서는 채널 영역과 플로팅 게이트 사이에 구비된 터널링 산화막을 전하가 통과하는 동작이 수행되어야 한다. 이는 F-N(Fowler-Nordheim) 터널링 또는 핫 캐리어 주입(Hot Carrier Injection)에 의해 달성된다.

[0006] F-N 터널링의 경우, 채널 하부에 구비된 벌크 영역에서의 전압과 플로팅 게이트 사이의 전압차에 의해 전하가 이동되는 동작을 지칭한다. 또한, 핫 캐리어 주입은 소스나 드레인 영역에서 전압차에 의해 가속된 전하가 컨트롤 게이트에 인가되는 전압에 의해 터널링 산화막을 통과하는 현상을 지칭한다.

[0007] F-N 터널링 동작을 채용하는 경우, 동작 시간에서 불리한 점을 가진다. 특히, 낸드 플래시의 경우, 프로그램 동작 및 소거 동작에서는 F-N 터널링을 이용하므로 노어 타입에 비해 상대적으로 느린 동작속도를 가진다. 그러나, 느린 동작속도에도 불구하고, 낸드 플래시는 페이지 단위로 데이터의 읽기 동작이 가능하다는 특징으로 인해 음성 또는 영상 데이터의 저장에 적합한 특징을 가진다.

[0008] 최근에는 낸드 타입의 형태로 셀을 배치하면서, 노어 동작을 수행하는 플래시 메모리에 대한 기술이 제시되고 있다. 대표적인 기술로는 미합중국 공개특허 제2007-236994에 개시된다. 이하, 상기 공개특허에 개시된 기술은 종래 기술로 지칭한다.

[0009] 도 1은 종래 기술에 따른 메모리 셀의 프로그램 및 소거 동작을 설명하기 위한 단면도이다.

[0010] 도 1을 참조하면, 메모리 셀은 채널 영역의 양측면에 형성된 소스 영역(100) 및 드레인 영역(110), 상기 채널 영역의 상부에 형성되는 게이트 구조물(130)로 구성된다.

[0011] 게이트 구조물(130)은 터널링 산화막(131), 전하 트랩층(133), 플로팅 절연막(135) 및 게이트 전극(137)으로 구성된다. 또한, 소스 및 드레인 영역(100, 110)은 n+로 고농도 도핑되고, 소스 및 드레인 영역(100, 110)의 외곽은 p-웰(120)로 형성된다. 따라서, p-웰(120)과 소스 및 드레인(100, 110) 사이에는 p-n 접합이 이루어지며, 접합의 계면에서는 공핍 영역이 형성된다. 또한, 소스 또는 드레인 영역(100, 110)에 별도의 바이어스가 인가되지 않는 경우, 공핍 영역을 가로질러 빌트-인 전압 Vbi(built-in voltage)가 형성된다.

- [0012] 상술한 구조를 가지는 메모리 셀의 프로그램 동작은 다음과 같다. 먼저, 게이트 전극(137)에 인가되는 전압  $V_g$ 가 0V이고, p-웰(120)에는 9V가 인가된다. p-웰(120)에 인가된 9V 전압에 의해 소스 또는 드레인 영역(100, 110)의 공핍 영역에 인접한 부분에는 9-V<sub>bi</sub>의 전압이 인가된다.
- [0013] 이어서, p-웰(120)에는 0V가 인가되고, 컨트롤 게이트(137)에는  $V_g = 9V$ 가 인가된다. 이전의 바이어스 조건에 의해 소스 또는 드레인 영역(100, 110)에는 9-V<sub>bi</sub>가 인가된 상태이고, p-웰(120)에는 0V의 바이어스가 인가되므로 p-웰(120)과 소스/드레인 영역(100, 110)의 접합 사이에는 역바이어스가 인가된다. 따라서, 역바이어스에 의해 소스 또는 드레인 영역(100, 110)의 전자는 공핍 영역 사이에 걸쳐 형성된 전위 장벽을 극복하고, 채널 영역으로 이동한다.
- [0014] 또한, 채널 영역으로 이동한 전자는 컨트롤 게이트(137)에 인가된 전압  $V_g = 9V$ 에 의해 터널링 산화막(131)을 통과하여 전하 트랩층(133)에 트랩된다.
- [0015] 소거 동작의 경우, 프로그램 동작에 비해 상보적인 동작이 이루어진다. 먼저, 컨트롤 게이트(137)에  $V_g = 0V$ 를 인가하고, p-웰(120)에 9V를 인가한다. 따라서, 공핍영역과 인접한 소스 또는 드레인 영역(100, 110)에는 9V-V<sub>bi</sub>가 인가된다.
- [0016] 계속해서 p-웰(120)에 0V를 인가하고, 컨트롤 게이트(137)에  $V_g = -9V$ 를 인가한다. p-웰(120)에 인가되는 0V의 바이어스에 의해 소스/드레인 영역(100, 110)과 p-웰(120) 사이에는 역바이어스가 인가된다. 또한, 컨트롤 게이트(137)에 인가되는  $V_g = -9V$ 에 의해 채널을 가로질러 홀이 전하 트랩층(133)에 트랩되고, 소거동작이 이루어진다.
- [0017] 도 2는 종래기술에 따라 프로그램 및 소거동작을 수행하는 플래시 메모리를 도시한 회로도이다.
- [0018] 도 2를 참조하면, 프로그램 동작시에 메모리 셀의 p-웰에 인가되는 바이어스는 스트링 선택 트랜지스터 SST0, SST1, SST2의 턴온에 의해 공급된다.
- [0019] 예컨대, 선택된 스트링에 구비된 스트링 선택 트랜지스터 SST1, SST2의 비트라인 BL1, BL2에는 9V가 인가되고, 선택되지 않은 스트링의 비트라인 BL0에는 0V가 인가된다. 또한, 스트링 선택 라인 SSL에는 11V가 인가된다.
- [0020] 따라서, 스트링 선택 트랜지스터 SST0, SST1, SST2는 턴온되고, 선택된 스트링 SST1, SST2의 메모리 셀 M10, M20의 일측단에는 9V가 전달되고, 선택되지 않은 스트링의 메모리 셀 M00의 일측단에는 0V가 전달된다. 또한, 스트링 선택 트랜지스터 SST0, SST1, SST2를 통해 전달된 비트라인 BL0, BL1, BL2의 전압은 메모리 셀들의 p-웰에 전기적으로 전달된다.
- [0021] 또한, 선택된 스트링에서 프로그램 동작이 수행되는 메모리 셀 M11, M21의 워드라인 WL1에는 9V가 인가된다. 즉, 워드라인 WL1을 통해 9V가 전달된다. 반면, 프로그램 동작이 수행되지 않는 나머지 메모리 셀들의 워드라인들 WL0, WL2에는 0V가 인가된다.
- [0022] 만일, 선택된 메모리 셀에 대해 소거동작이 수행되는 경우에는, 워드라인 WL1를 통해 -9V의 전압이 전달되고, 상기 도 1에 도시된 소거 동작이 일어난다. 따라서, 선택된 메모리 셀들 M11, M21에 대해 개별적인 소거 동작을 수행할 수 있다.
- [0023] 즉, 상기 도 2에 도시된 플래시 메모리는 개별적으로 메모리 셀을 선택하여 프로그램을 할 수 있고, 개별적으로 메모리 셀을 선택하여 소거동작을 수행할 수 있다. 즉, 프로그램과 소거 동작에 대해서는 노어 타입의 동작을 수행할 수 있다.
- [0024] 상기 도 2에 도시된 회로는 구조적으로는 낸드 타입의 구조를 취하고 있으나, 실질적으로 프로그램 및 소거 동작에서는 노어 타입의 동작을 수행할 수 있음을 보여준다.
- [0025] 도 3은 상기 도 2에 도시된 회로의 스트링 구조의 단면을 도시한 단면도이다.
- [0026] 도 3을 도시하면, 상기 도 2에 도시된 동작이 이루어지기 위해서는 버팅컨택(butting contact)(140)이 구비되어야 한다.
- [0027] 즉, p-웰(120)에 스트링 선택 트랜지스터 SST를 통한 비트 라인 BL의 바이어스를 공급하기 위해서는 기관의 표면에 도전성 금속으로 구성되는 버팅 컨택(140)이 구비되어야 한다. 이는 스트링 선택 트랜지스터 SST가 n형이며, 메모리 셀들이 n형이므로, p-웰(120)로는 직접 바이어스가 전달되지 않는 현상에 기인한다. 즉, p-웰(120)로 바이어스가 전달되기 위해서는 오믹컨택이 필요하며, p-웰(120)과의 오믹 컨택을 위해서는 p형의 별도의 도

핑영역을 통해 바이어스가 전달되어야 한다.

- [0028] 따라서, 스트링 선택 트랜지스터 SST의 출력단인 n+ 도핑 영역(141)의 상부에는 도전성의 버딩컨택(140)이 위치하며, 버딩컨택(140)의 일측단 하부 영역에는 p+ 도핑 영역(143)이 구비된다.
- [0029] 이는 소거 동작에서도 바이어스 전달을 위해 동일하게 적용되어야 한다.
- [0030] 도 4는 상기 도 2의 회로를 반도체 기판 상에 구현한 레이아웃도이다.
- [0031] 도 4를 참조하면, 하나의 스트링(150)에는 활성 영역이 정의되고, 활성 영역을 감싸는 p-웰(120)이 각각의 스트링(150)마다 구비된다. 또한, 스트링 선택 라인 SSL을 중심으로 일측에는 p+로 도핑된 영역(143)이 구비되며, p+로 도핑된 영역(143)의 상부에는 버딩 컨택(140)이 구비된다. 각각의 메모리 셀은 활성영역을 가로지르는 워드 라인 WL0, ..., WL7과 워드 라인 WL0, ..., WL7의 양측에 구비된 n+ 도핑영역들로 정의된다. 상기 워드 라인 WL0, ..., WL7은 상기 도 1의 게이트 전극과 등가로 해석될 수 있다.
- [0032] 상술한 구조에서 F-N 터널링의 도입없이 노어 타입의 동작을 구현할 수 있다. 그러나, 상술한 구조는 p-웰(120)에 바이어스를 인가하기 위해 버딩컨택(140)이 구비되어야 한다. 또한, 각각의 스트링(150)마다 별도의 p-웰(120)이 구비되어야 한다.
- [0033] 스트링(150)마다 구비되는 버딩컨택(140)에 의해 하나의 페이지를 구성하는 메모리의 면적은 증가하고, 별도의 제조공정이 추가되어야 한다. 즉, 버딩 컨택(140)을 형성하기 위한 별도의 공정이 개재되어야 하는 부담이 생긴다. 또한, 스트링(150)마다 별도의 p-웰(120)이 형성되어야 하므로 스트링(150)마다 p-웰(120)의 도핑 농도에서 편차가 발생한다.
- [0034] p-웰(120)들마다 도핑 농도에서 편차가 발생하는 경우, 하나의 워드라인에 프로그램 전압이 인가된다 하더라도, 워드라인에 연결된 메모리 셀의 프로그램 및 소거의 강도에서 편차가 발생한다. 즉, 동일한 워드라인의 전압이 인가된다 하더라도, p-웰(120)의 도핑 농도의 편차에 따라 메모리 셀의 문턱전압의 변화에서도 편차가 발생하는 문제가 발생한다.

**발명의 내용**

**해결 하고자하는 과제**

- [0035] 상술한 문제점을 해결하기 위해 본 발명의 제1 목적은, 역바이어스에 의한 핫 캐리어 주입을 이용하고, 하나의 p-웰을 다수의 스트링이 공유하는 플래시 메모리를 제공하는데 있다.
- [0036] 본 발명의 제2 목적은, 상기 제1 목적의 달성에 의해 제공되는 플래시 메모리의 동작방법을 제공하는데 있다.

**과제 해결수단**

- [0037] 상기 제1 목적을 달성하기 위한 본 발명은, p-웰 영역; 및 상기 p-웰 영역 상에 형성된 다수의 스트링들을 포함하고, 상기 스트링은 직렬연결된 다수의 메모리 셀을 가지며, 상기 다수의 메모리 셀은 상기 p-웰 영역 상에 형성되어, 상기 p-웰 영역을 공유하며, 선택된 스트링에 공급되는 프로그램 전압에 의해 메모리 셀은 선택적으로 프로그램되고, 워드라인을 통해 공급되는 소거 전압에 의해 하나의 페이지를 구성하는 모든 메모리 셀들은 소거되는 것을 특징으로 하는 플래시 메모리를 제공한다.
- [0038] 상기 제2 목적을 달성하기 위한 본 발명은, 다수의 스트링을 가지고, 각각의 스트링은 비트라인에 전기적으로 연결된 스트링 선택 트랜지스터, 상기 스트링 선택 트랜지스터에 전기적으로 연결된 메모리 셀들 및 상기 메모리 셀들에 전기적으로 연결된 접지 선택 트랜지스터를 가지는 플래시 메모리의 프로그램 방법에 있어서, 상기 다수의 스트링 하부에 형성된 하나의 p-웰 영역에 바디 전압을 인가하여, 상기 메모리 셀의 소스 또는 드레인 영역에 전자를 축적하는 단계; 및 특정의 워드 라인에 프로그램 전압을 인가하여 상기 축적된 전자를 상기 메모리 셀의 전하 트랩층에 트랩시키는 단계를 포함하는 플래시 메모리의 프로그램 방법을 제공한다.
- [0039] 또한, 본 발명의 상기 제2 목적은, 다수의 스트링을 가지고, 각각의 스트링은 비트라인에 전기적으로 연결된 스트링 선택 트랜지스터, 상기 스트링 선택 트랜지스터에 전기적으로 연결된 메모리 셀들 및 상기 메모리 셀들에 전기적으로 연결된 접지 선택 트랜지스터를 가지는 플래시 메모리의 소거 방법에 있어서, 상기 다수의 스트링 하부에 형성된 하나의 p-웰 영역에 바디 전압을 인가하여, 상기 메모리 셀의 소스 또는 드레인 영역에 홀을 축적하는 단계; 및 모든 워드 라인에 소거 전압을 인가하여 상기 축적된 홀을 상기 메모리 셀의 전하 트랩층에 트

랩시키는 단계를 포함하는 플래시 메모리의 소거 방법의 제공을 통해서도 달성된다.

**효 과**

[0040] 상술한 본 발명에 따르면, 플래시 메모리는 낸드 동작을 수행한다. 하나의 p-웰에는 다수의 스트링들이 구비되고, 스트링을 구성하는 메모리 셀에 전하를 축적하기 위해 p-웰에는 바이어스가 인가된다. p-웰에 인가되는 바이어스를 위해 별도의 p+영역이 구비되지 않으며, 버핑 컨택이 구비되지 않는다. 따라서, 제조공정 상의 효율을 상승시킬 수 있으며, 핫 캐리어 주입에 의한 프로그램 및 소거 동작의 수행에 의해 낸드 플래시 메모리의 동작 속도를 향상시킬 수 있다.

**발명의 실시를 위한 구체적인 내용**

[0041] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.

[0042] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0043] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

**실시예**

[0045] 도 5는 본 발명의 바람직한 실시예에 따른 플래시 메모리의 구조를 설명하기 위한 레이아웃도이다.

[0046] 도 5를 참조하면, 본 실시예의 플래시 메모리는 낸드 구조를 가진다. 또한, 낸드 플래시의 동작을 위해 페이지를 구성하는 복수의 스트링(200, 210, 220, 230)은 하나의 p-웰(240)을 공유한다. p-웰(240)의 공유를 통해 메모리 셀을 선택하여 프로그램할 수 있으며, 페이지 내의 메모리 셀들에 대해서는 동시에 소거 동작을 수행할 수 있다. 즉, 프로그램 동작은 메모리 셀마다 개별적으로 수행하고, 소거 동작은 페이지별로 수행할 수 있다.

[0047] 먼저, 본 실시예의 플래시 메모리는 다수의 스트링(200, 210, 220, 230)으로 구성된다. 각각의 스트링(200, 210, 220, 230)은 스트링 선택 트랜지스터, 접지 선택 트랜지스터 및 다수의 메모리 셀들로 구성된다. 다수의 메모리 셀들은 스트링 선택 트랜지스터와 접지 선택 트랜지스터 사이에 직렬로 구비된다. 또한, 각각의 스트링(200, 210, 220, 230)은 비트라인들 BL0, BL1, BL2, ..., BLn에 전기적으로 연결된다.

[0048] 상기 스트링 선택 트랜지스터는 스트링 선택 라인 SSL의 양 측면에 구비된 소스/드레인 영역과 게이트로 구성된다. 또한, 접지 선택 트랜지스터는 접지 선택 라인 GSL과 양측면에 구성된 소스/드레인 영역으로 구성된다. 각각의 메모리 셀은 워드 라인 WL 0, 1, ..., 7과 이를 중심으로 양측에 구비된 소스/드레인 영역으로 구성된다.

[0049] 또한, 본 실시예에서는 워드 라인이 8개로 구성된 것으로 도시되나, 반드시 이에 한정되지 않는다. 즉, 워드 라인의 개수는 16개 또는 그 이상이 될 수 있다.

[0050] 상기 접지 선택 트랜지스터와 스트링 선택 트랜지스터 사이에 연결된 메모리 셀들은 서로 직렬 연결된다. 직렬 연결된 메모리 셀들은 인접한 메모리 셀의 소스 또는 드레인 영역을 공유한다.

[0051] 또한, 다수의 스트링(200, 210, 220, 230) 내에 구비된 스트링 선택 트랜지스터는 p-웰 영역(240)을 공유한다. 즉, 복수의 스트링 선택 트랜지스터들은 동일한 p-웰 영역(240) 상에 형성된다. 복수의 스트링들(200, 210, 220, 230)에 구비된 메모리 셀도 동일한 p-웰 영역(240) 상에 형성된다. 따라서, 인접한 스트링(200, 210, 220, 230)에 구비된 메모리 셀들은 p-웰 영역(240)을 공유한다.

[0052] 실시의 형태에 따라 페이지를 구성하는 p-웰은 복수로 형성될 수 있다. 즉, 다수의 스트링 내에 구비된 스트링 선택 트랜지스터는 공통의 하나의 p-웰 상에 형성되고, 스트링들 내에 구비된 메모리 셀들은 또 다른 하나의 p-웰 상에 형성될 수 있다.

- [0053] 즉, 하나의 페이지에서 2개 이상의 p-웰들이 서로 분리된 상태로 구비될 수 있다. p-웰들이 서로 분리되어 구비된다 하더라도 동작의 양상은 상기 도 5에 개시된 구성요소들의 동작과 동일하다. 따라서, 이하에는 상기 도 5에 도시된 구성을 중심으로 동작의 양상을 설명한다. 다만, 인접한 스트링들 내의 메모리 셀들은 하나의 p-웰을 공유하여, 낸드 플래시 동작을 수행하는 것이 본 발명의 실질적 사상임이 간과되어서는 아니된다.
- [0054] 도 6은 본 발명의 바람직한 실시예에 따른 플래시 메모리의 프로그램 동작을 설명하기 위한 레이아웃도이다.
- [0055] 도 6을 참조하면, 선택된 제1 스트링(200) 및 제2 스트링(210)에는 비트 라인들 BL0, BL1을 통해 제1 비트라인 전압 Vbit1이 인가되고, 선택되지 않은 제3 스트링(220)에는 비트 라인 BL2를 통해 제2 비트라인 전압 Vbit2가 인가된다. 상기 제1 비트라인 전압 Vbit1은 제2 비트라인 전압 Vbit2보다 높은 것이 바람직하다.
- [0056] 따라서, 상기 도 6에서 제1 비트라인 전압 Vbit1은 양의 전원 전압인 Vdd로 설정되고, 제2 비트라인 전압 Vbit2는 접지 레벨인 0V로 설정됨이 바람직하다.
- [0057] 또한, 스트링 선택 트랜지스터의 온/오프 동작을 제어하는 스트링 선택 라인 SSL에는 스트링 제어 전압 Vsc가 인가된다. 만일, 상기 스트링 제어 전압 Vsc가 제1 비트라인 전압 Vbit1 또는 제2 비트라인 전압 Vbit2와 동일하거나 낮은 경우, 해당하는 스트링의 스트링 선택 트랜지스터는 오프된다. 또한, 스트링 제어 전압 Vsc가 제1 비트라인 전압 Vbit1 또는 제2 비트라인 전압 Vbit2보다 문턱 전압 이상으로 높은 경우, 해당하는 스트링 선택 트랜지스터는 온된다.
- [0058] 상기 도 6에서 선택된 제1 스트링(200) 및 제2 스트링(210) 내의 스트링 선택 트랜지스터는 오프되며, 선택되지 않은 제3 스트링(220) 내의 스트링 선택 트랜지스터는 온된다. 따라서, 스트링 제어 전압 Vsc의 레벨에 의해 스트링 선택 트랜지스터의 온/오프가 결정된다.
- [0059] 따라서, 선택된 제1 스트링(200) 및 제2 스트링(210)의 스트링 선택 트랜지스터들은 오프되고, 선택되지 않은 제3 스트링(220)의 스트링 선택 트랜지스터는 온된다.
- [0060] 또한, 선택된 워드 라인 WL2에는 프로그램 전압 Vp가 인가되고, 선택되지 않은 나머지 워드 라인들에는 패스 전압 Vpass가 인가된다. 상기 프로그램 전압 Vp는 상기 패스 전압 Vpass보다 높게 설정됨이 바람직하다. 또한, 상기 프로그램 전압 Vp는 메모리 셀이 핫 캐리어 주입을 일으킬 수 있는 레벨로 설정되어야 한다. 핫 캐리어 주입을 발생하기 위한 전압은 메모리 셀의 도핑 농도, 게이트 구조물의 조성 및 박막의 두께 등에 의해서 결정된다. 다만, 상기 프로그램 전압 Vp는 양의 전원 전압 Vdd보다 높게 설정됨이 바람직하다.
- [0061] 선택된 제1 및 제2 스트링(200, 210) 내의 선택된 메모리 셀(250)에 인가되는 프로그램 전압 Vp에 의해 프로그램 동작이 수행된다. 프로그램 동작에 의해 선택된 메모리 셀(250)의 소스 또는 드레인 영역의 전자는 전하 트랩층에 트랩되고, 문턱 전압이 변경되는 프로그램 동작이 수행된다.
- [0062] 반면, 선택되지 않은 제3 스트링(220)에는 메모리 셀에 프로그램 전압 Vp가 인가되더라도, 프로그램 동작이 수행되지 않는다. 이는 선택되지 않은 제3 스트링의 스트링 선택 트랜지스터가 턴온되고, 선택되지 않은 워드 라인에 인가되는 전압 Vpass에 의해 선택되지 않은 워드 라인에 연결된 메모리 셀들이 턴온되기 때문이다. 즉, 턴온된 메모리 셀들을 통해 비트 라인을 통해 인가되는 바이어스는 프로그램 전압 Vp가 인가되는 메모리 셀에 전달된다. 즉, 비트 라인을 통해 전달되는 0V의 제2 비트라인 전압 Vbit2는 프로그램 전압 Vp가 인가되는 메모리 셀에 전달된다. 따라서, 프로그램 전압 Vp가 인가되는 워드 라인에 연결된 메모리 셀의 소스 또는 드레인 영역은 실질적으로 0V로 바이어스가 인가되며, 따라서, p-웰(240)과 소스/드레인 영역이 접하는 공핍 영역 주변에는 전하의 축적이 없으며, 전하의 축적이 없음에 따라 프로그램 전압 Vp의 인가에 따른 전자의 트랩 동작이 발생하지 않는다.
- [0063] 도 7은 본 발명의 바람직한 실시예에 따라 상기 도 6에 도시된 레이아웃도의 제1 스트링에 대한 단면도이다.
- [0064] 도 7을 참조하면, p-웰(240) 상에 다수의 n+ 고농도 도핑 영역이 존재하며, 도핑 영역들 사이에는 게이트 구조물이 구비된다. 또한, 비트라인 BL0과 전기적으로 연결되는 부위에는 스트링 선택 트랜지스터가 구비되며, 상기 스트링 선택 트랜지스터는 메모리 셀과 연결된다. 상기 비트라인 BL0에는 제1 비트라인 전압 Vbit1이 인가되며, 메모리 셀들은 소스 영역 및 드레인 영역을 동일 스트링 내의 인접한 메모리 셀과 공유하며, 접지 선택 트랜지스터를 통해 공통 소스 라인과 전기적으로 연결된다.
- [0065] 또한, 각각의 메모리 셀은 터널링 산화막(251), 전하 트랩층(253), 블로킹 산화막(255) 및 게이트 전극(257)을 가진다.

- [0066] 선택된 제1 스트링에서, 스트링 선택 라인 SSL을 통해 인가되는 스트링 제어전압 Vsc에 의해 스트링 선택 트랜지스터는 오프된다. 스트링 선택 트랜지스터를 오프시키기 위한 스트링 제어전압 Vsc은  $V_{bit1} + V_{th}$  ( $V_{th}$ 는 스트링 선택 트랜지스터의 문턱전압) 미만으로 설정된다. 또한, 접지 선택 라인 GSL을 통해 인가되는 전압에 의해 접지 선택 트랜지스터도 오프된다.
- [0067] 프로그램 동작은 다음과 같이 수행된다. 먼저, 선택된 메모리 셀의 워드 라인 WL2에는 로우 레벨의 전압이 인가되고, p-웰(240)에는 하이 레벨의 바디 바이어스  $V_b$ 가 인가된다. 예컨대 로우 레벨로 0V의 전압이 워드 라인 WL2에 인가되고, p-웰(240)에 인가되는 하이레벨의 전압으로 9V가 인가된다. p-웰(240)에 인가된 전압에 의해 n+ 영역인 소스 또는 드레인 영역에는 전자가 축적된다.
- [0068] 이어서, p-웰(240)에 인가되는 바디 바이어스  $V_b$ 는 로우 레벨 또는 접지 레벨로 설정되고, 선택된 메모리 셀의 워드 라인 WL2에는 프로그램 전압  $V_p$ 가 인가된다. 인가된 프로그램 전압  $V_p$ 의 영향에 의해, 소스 또는 드레인 영역에 축적된 전자는 채널 영역으로 이동하고, 터널링 산화막(251)을 통과하여 전하 트랩층(253)에 트랩된다.
- [0069] 도 8은 상기 도 6의 제3 스트링에 대한 단면도이다.
- [0070] 도 8을 참조하면, 제3 스트링에서 스트링 선택 라인 SSL에 인가되는 스트링 제어전압 Vsc 및 비트라인 BL2에 인가되는 제2 비트라인전압  $V_{bit2}$ 에 의해 스트링 선택 트랜지스터는 턴온된다. 턴온된 스트링 선택 트랜지스터를 통해 제2 비트라인전압  $V_{bit2}$ 는 턴온된 메모리 셀들에 전달된다.
- [0071] 즉, 메모리 셀의 소스 및 드레인 영역은 제2 비트라인전압  $V_{bit2}$ 로 바이어싱된다.
- [0072] 만일, 선택되지 않은 제3 스트링에 프로그램 전압  $V_p$ 가 인가된다 하더라도 프로그램 동작은 수행되지 않는다. 즉, 선택되지 않은 제3 스트링에 공급되는 비트라인 BL2의 전압 레벨은 로우 레벨로 공급되고, 스트링 선택 신호 Vsc에 의해 스트링 선택 트랜지스터는 턴온된다. 턴온된 스트링 선택 트랜지스터에 의해 로우 레벨이 비트라인 BL2의 전압은 메모리 셀의 소스 또는 드레인 영역으로 전달된다.
- [0073] 또한, 워드라인들을 통해 공급되는 전압  $V_{pass}$  및 프로그램 전압  $V_p$ 에 의해 스트링의 메모리 셀은 단지 턴온 동작만 발생할 뿐이다. 예컨대, p-웰(240)에 하이레벨의 전압을 인가하고, 선택된 메모리 셀의 워드라인 WL2에 로우 레벨의 전압을 인가하여, 선택된 메모리 셀의 소스 또는 드레인 영역에 전자를 축적하고자 한다 하더라도, 턴온된 스트링 선택 트랜지스터를 통해 공급되는 비트라인 BL2의 로우 레벨의 전압에 의해 계면에서의 전하의 집적은 발생하지 않는다. 또한, p-웰(240)에 로우 레벨의 전압을 인가하고, 선택된 메모리 셀의 워드라인 WL2에 프로그램 전압  $V_p$ 를 인가하더라도, 턴온된 스트링 선택 트랜지스터 및 이를 통해 메모리 셀에 전달되는 로우 레벨의 비트라인 BL2의 전압에 의해 역바이어싱에 의한 전하의 이동은 발생하지 않는다. 즉, 프로그램 전압  $V_p$ 가 인가되더라도 프로그램 동작은 발생하지 않게 된다.
- [0074] 도 9는 본 발명의 바람직한 실시예에 따른 플래시 메모리의 소거 동작을 설명하기 위한 레이아웃도이다.
- [0075] 본 발명의 플래시 메모리의 구조는 상기 도 6에 도시된 바와 동일하다. 다만, 소거 동작에서 페이지 내의 모든 메모리 셀들에 대해 소거 동작을 수행할 수 있다. 즉, 메모리 셀의 워드 라인들을 통해 공급되는 바이어스에 의해 모든 메모리 셀에 대해 동시에 소거 동작을 수행할 수 있다.
- [0076] 도 9를 참조하면, 스트링 선택 라인 SSL 및 비트 라인 BL0,1,2,...,n을 통해 공급되는 바이어스에 의해 스트링 선택 트랜지스터는 턴오프된다. 또한, 모든 메모리 셀의 워드 라인들 WL0,1,...,7에는 소거 전압  $V_{erase}$ 가 인가된다. 인가되는 소거 전압  $V_{erase}$ 에 의해 페이지 내의 모든 메모리 셀들에 대한 소거 동작이 동시에 발생된다.
- [0077] 도 10은 본 발명의 바람직한 실시예에 따라 상기 도 9의 레이아웃도의 하나의 스트링에 대한 단면도이다.
- [0078] 도 10를 참조하면, 먼저, p-웰(340)에는 하이레벨의 바디 전압  $V_b$ 이 인가되고, 메모리 셀의 모든 워드라인 WL0,1,...,7에는 로우 레벨의 전압이 인가된다. 따라서, n+로 고농도 도핑된 소스 또는 드레인 영역에는 전하의 축적이 일어나고, 소스 또는 드레인 영역은 바디 전압  $V_b$ 에 비해 p-n 접합의 빌트-인 전압  $V_{bit}$ 만큼 저장된 값의 전위를 가진다.
- [0079] 이어서, 메모리 셀이 모든 워드라인 WL0,1,2,...,7에는 소거 전압  $V_{erase}$ 이 인가되고, p-웰(340)에는 접지 레벨이 인가된다. 상기 소거 전압  $V_{erase}$ 는 상기 접지 레벨보다 낮게 설정됨이 바람직하다. 따라서, 음의 전압이 인가됨이 바람직하다.
- [0080] 다만, 제조공정 상에서의 도핑 농도, 게이트 구조물의 막질의 두께 및 게이트 구조물의 조성에 따라 소거 전압  $V_{erase}$ 의 레벨은 변경될 수 있다. 게이트 구조물 및 도핑 농도에 따라 변경될 수 있는 소거 전압  $V_{erase}$ 는 홀의



핫 캐리어 주입이 일어나기에 충분한 수준의 값을 가져야 한다. 즉, 소거 전압 Verase는 충분한 음의 값을 가지고, p-웰(340)과 n+ 고농도 도핑 영역 사이의 역바이어스를 극복하고, 터널링 산화막(300)을 가로질러 전하 트랩층(310)에 홀을 트랩할 수 있도록 설정되어야 한다. 결국, 워드라인들에 소거전압 Verase이 인가되고 p-웰(340)에 접지 레벨이 인가되면, p-웰(340)과 소스/드레인 영역에서의 일시적인 역바이어스가 인가되고, 이에 따라 홀은 채널영역으로 이동하며, 채널영역의 홀은 소거 전압 Verase에 의해 전하 트랩층(310)으로 이동하여 트랩된다. 이로서 소거 동작이 완료된다.

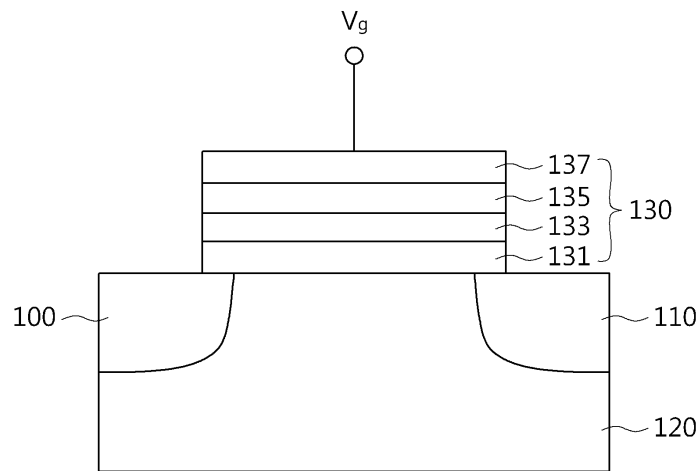
- [0081] 상술한 소거 동작에서 p-웰(340)은 다수의 스트링을 공유한다. 즉, 하나의 p-웰(340) 상에 다수의 스트링이 형성된다. 따라서, 소거 동작시 필요한 p-웰(340)의 바이어스의 변경에 대해 하나의 페이지는 동시에 소거 동작이 일어날 수 있다.
- [0082] 상술한 본 발명에서는 다수의 스트링은 하나의 p-웰을 공유한다. 또한, p-웰 상에는 별도의 버텅 콘택을 구비하지 않으며, 공유되는 p-웰에 의해 프로그램 및 소거 동작의 균일도를 확보할 수 있다. 또한, p-웰의 공유에 의해 본 발명의 플래시 메모리는 낸드 동작을 수행할 수 있다.

**도면의 간단한 설명**

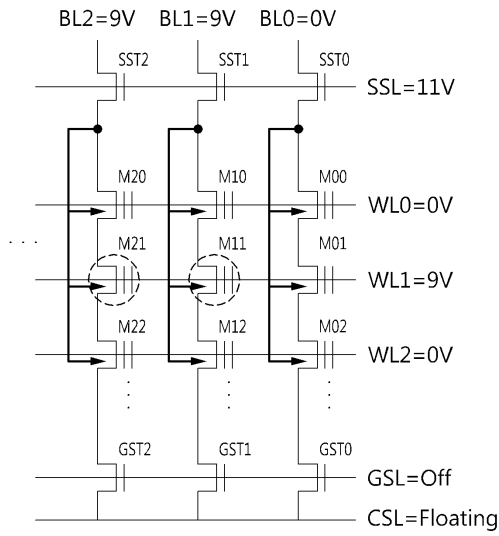
- [0083] 도 1은 종래 기술에 따른 메모리 셀의 프로그램 및 소거 동작을 설명하기 위한 단면도이다.
- [0084] 도 2는 종래기술에 따라 프로그램 및 소거동작을 수행하는 플래시 메모리를 도시한 회로도이다.
- [0085] 도 3은 상기 도 2에 도시된 회로의 스트링 구조의 단면을 도시한 단면도이다.
- [0086] 도 4는 상기 도 2의 회로를 반도체 기판 상에 구현한 레이아웃도이다.
- [0087] 도 5는 본 발명의 바람직한 실시예에 따른 플래시 메모리의 구조를 설명하기 위한 레이아웃도이다.
- [0088] 도 6은 본 발명의 바람직한 실시예에 따른 플래시 메모리의 프로그램 동작을 설명하기 위한 레이아웃도이다.
- [0089] 도 7은 본 발명의 바람직한 실시예에 따라 상기 도 6에 도시된 레이아웃도의 제1 스트링에 대한 단면도이다.
- [0090] 도 8은 상기 도 6의 제3 스트링에 대한 단면도이다.
- [0091] 도 9는 본 발명의 바람직한 실시예에 따른 플래시 메모리의 소거 동작을 설명하기 위한 레이아웃도이다.
- [0092] 도 10은 본 발명의 바람직한 실시예에 따라 상기 도 9의 레이아웃도의 하나의 스트링에 대한 단면도이다.

**도면**

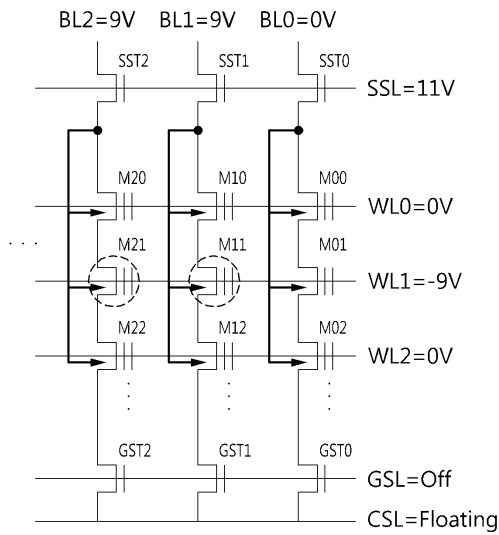
**도면1**



도면2

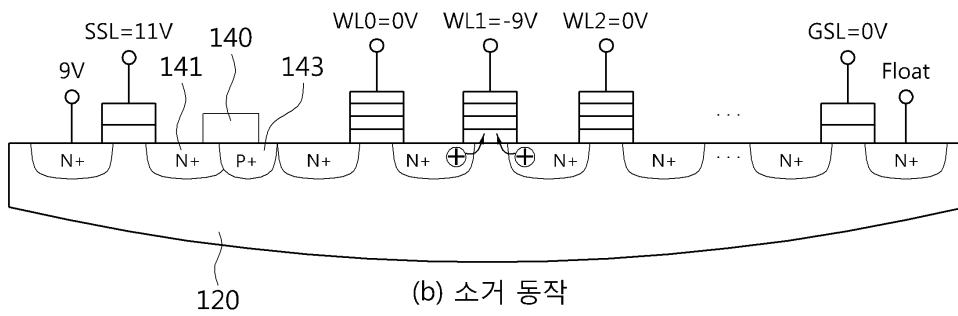
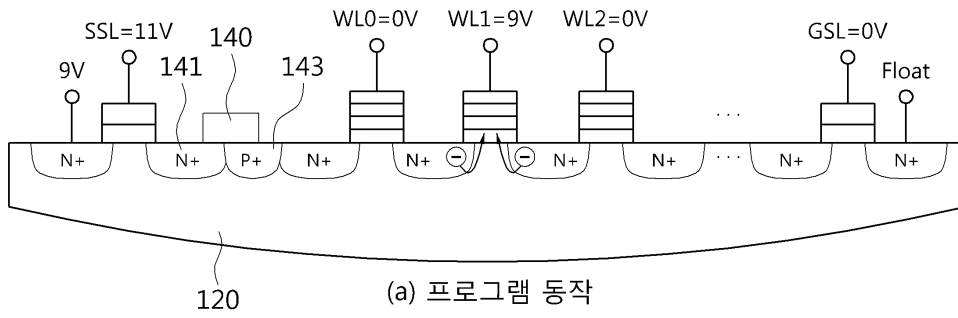


(a) 프로그램 동작

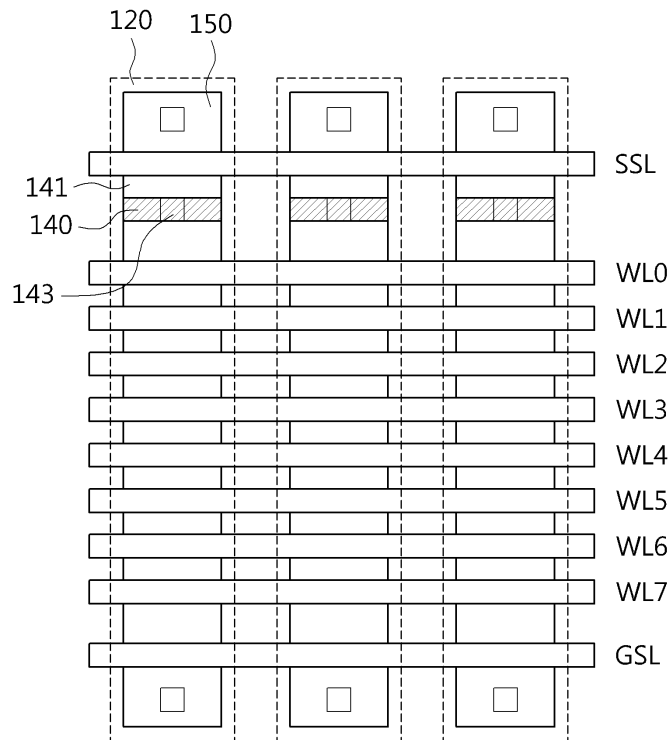


(b) 소거 동작

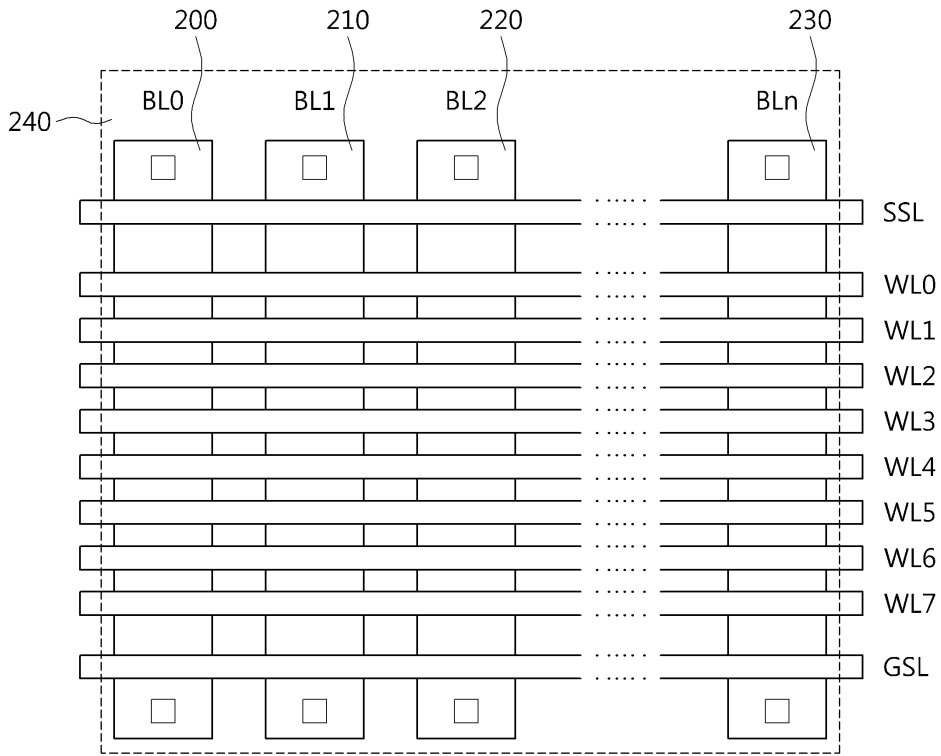
도면3



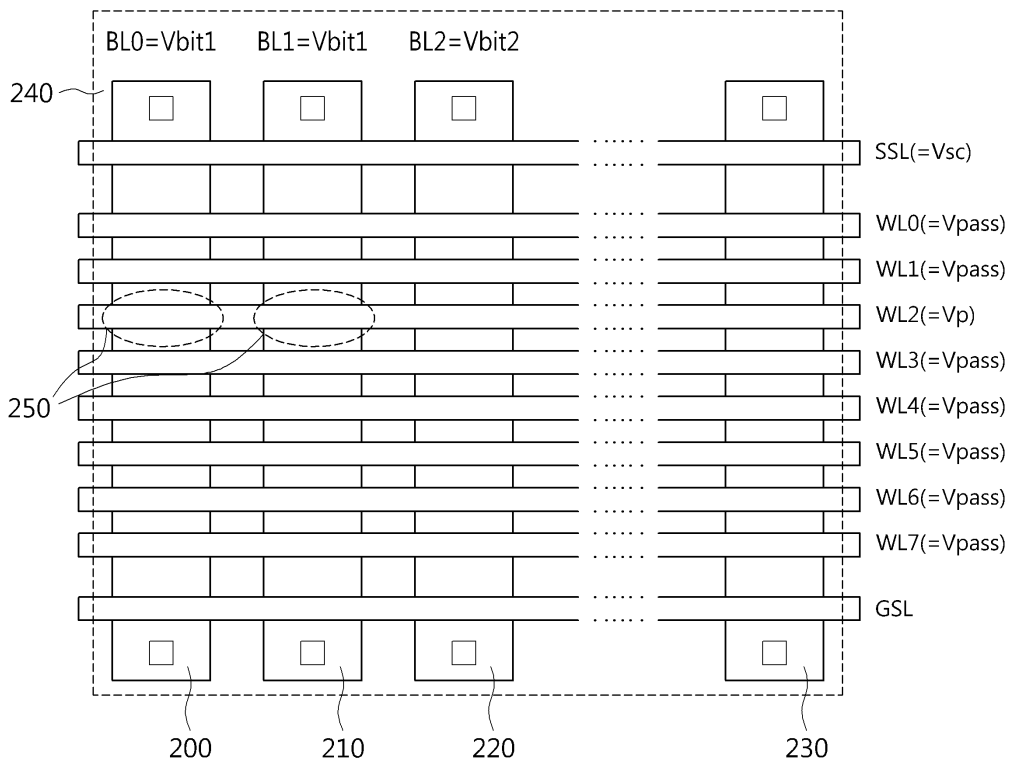
도면4



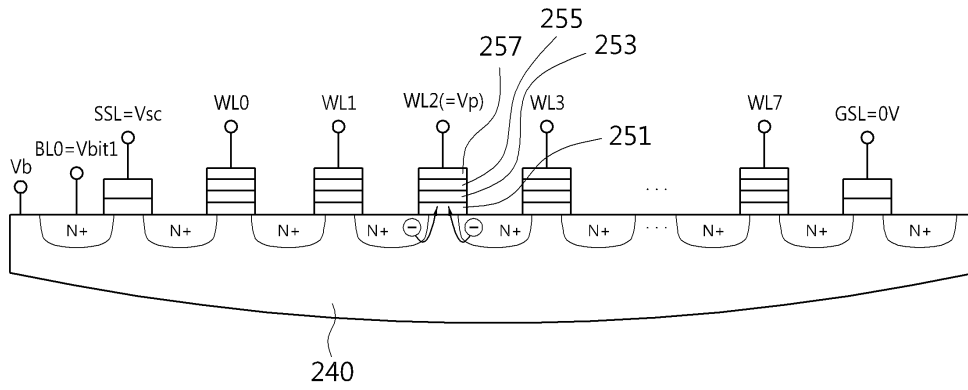
도면5



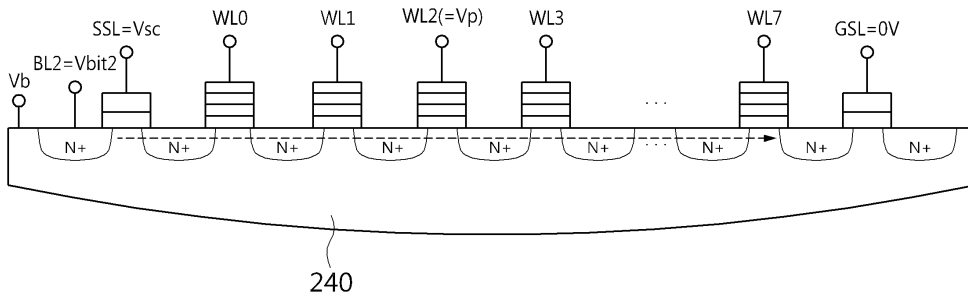
도면6



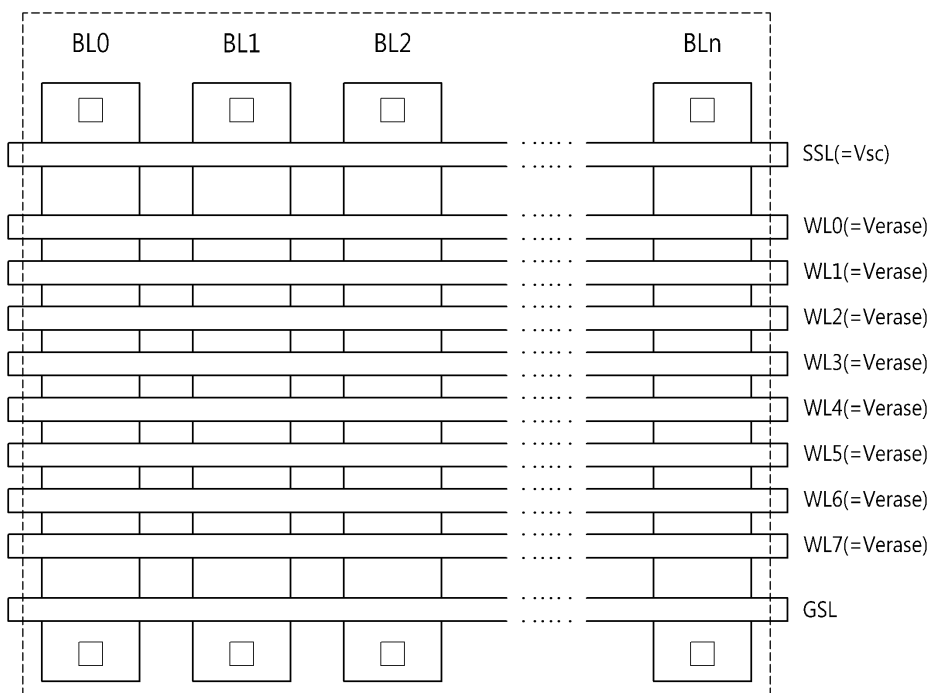
도면7



도면8



도면9



도면10

