



(12)发明专利

(10)授权公告号 CN 104599630 B

(45)授权公告日 2017.04.19

(21)申请号 201410784238.8

审查员 张辉

(22)申请日 2014.12.16

(65)同一申请的已公布的文献号

申请公布号 CN 104599630 A

(43)申请公布日 2015.05.06

(73)专利权人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区汇庆路889号

专利权人 天马微电子股份有限公司

(72)发明人 王志良 钱栋 罗丽媛

(74)专利代理机构 北京品源专利代理有限公司
11332

代理人 孟金喆

(51)Int.Cl.

G09G 3/3208(2016.01)

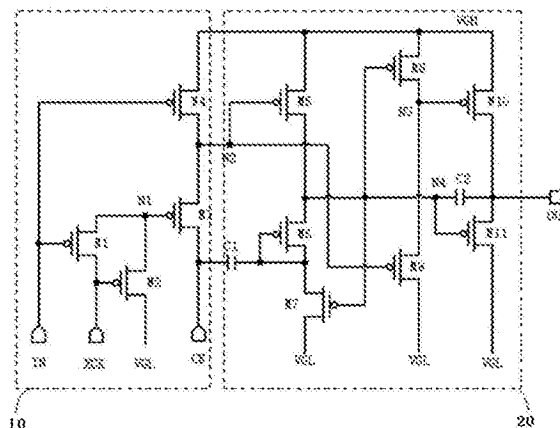
权利要求书3页 说明书9页 附图14页

(54)发明名称

一种驱动电路及发光控制电路、显示面板、显示装置

(57)摘要

本发明优选实施例提供一种驱动电路及其发光控制电路、显示面板、显示装置,发光控制电路包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管,第一电容、第二电容;第六晶体管以等效二极管形式连接,只能单向导通,第二电容保持输出端的电位稳定,使得输出端的信号不受时钟信号的影响,也即发光控制电路输出端输出的信号不会抖动。且发光控制电路整个工作过程中,输出端有第十晶体管传输第一电平信号或者第十一晶体管传输第二电平信号,使得输出端输出的信号不会悬空,输出更加稳定,提升显示效果。



1. 一种驱动电路,包括第一晶体管、第二晶体管、第三晶体管和第四晶体管,其中:

所述第一晶体管的栅极耦接用于接收起始信号的起始信号输入端,第一端耦接用于接收第二时钟信号的第二时钟信号输入端,第二端耦接第一节点;

所述第二晶体管的栅极耦接所述第二时钟信号输入端,第一端耦接用于接收第二电平信号的第二电平信号输入端,第二端耦接所述第一节点;

所述第三晶体管的栅极耦接所述第一节点,第一端耦接用于接收第一时钟信号的第一时钟信号输入端,第二端耦接第二节点;

所述第四晶体管的栅极耦接所述起始信号输入端,第一端耦接用于接收第一电平信号的第一电平信号输入端,第二端耦接所述第二节点。

2. 如权利要求1所述的驱动电路,其特征在于,所述驱动电路的工作状态包括第一阶段、第二阶段、第三阶段、第四阶段、第五阶段,其中:

所述第一阶段中,所述起始信号控制所述第一晶体管和第四晶体管关闭,所述第二时钟信号控制所述第二晶体管打开,第二电平信号经所述第二晶体管传输至第一节点,控制所述第三晶体管打开,第三晶体管传输第一时钟信号至所述第二节点;

所述第二阶段中,所述起始信号控制所述第一晶体管和第四晶体管关闭,所述第二时钟信号发生跳变,控制所述第二晶体管关闭,所述第一节点保持前一阶段电位,控制所述第三晶体管打开,第三晶体管传输第一时钟信号至所述第二节点;

所述第三阶段中,所述起始信号控制所述第一晶体管和第四晶体管关闭,所述第二时钟信号控制所述第二晶体管关闭,所述第一节点保持前一阶段电位,控制所述第三晶体管打开,所述第一时钟信号发生跳变并经所述第三晶体管传输至所述第二节点;

所述第四阶段中,所述起始信号控制所述第一晶体管和第四晶体管关闭,所述第二时钟信号控制所述第二晶体管关闭,所述第一节点保持前一阶段电位,控制所述第三晶体管打开,所述第一时钟信号发生跳变并经所述第三晶体管传输至所述第二节点;

所述第五阶段中,所述起始信号发生跳变,控制所述第一晶体管和第四晶体管打开,所述第二时钟信号发生跳变,控制所述第二晶体管打开,第二电平信号经所述第二晶体管传输至所述第一节点,控制所述第三晶体管打开,所述第四晶体管传输第一电平信号至所述第二节点。

3. 一种发光控制电路,包括输入单元和反向单元,其中所述输入单元包括如权利要求1~2任一项所述的驱动电路;

所述反向单元包括:第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第一电容和第二电容,其中,

所述第五晶体管的栅极耦接所述第二节点,第一端耦接所述第一电平信号输入端,第二端耦接第四节点;

所述第六晶体管的第一端通过所述第一电容与所述第一时钟信号输入端耦接,所述第六晶体管的栅极与第一端耦接,第二端耦接于所述第四节点;

所述第七晶体管的栅极耦接所述第四节点,第二端耦接所述第六晶体管的第一端,第一端耦接所述第二电平信号输入端;

所述第八晶体管的栅极耦接所述第四节点,第一端耦接于所述第一电平信号输入端,第二端耦接于第三节点;

所述第九晶体管的栅极耦接所述第二节点, 第一端耦接于所述第二电平信号输入端, 第二端耦接于所述第三节点;

所述第十晶体管的栅极耦接所述第三节点, 第一端耦接所述第一电平信号输入端, 第二端耦接所述发光控制电路的输出端;

所述第十一晶体管的栅极耦接于所述第四节点, 第一端耦接所述第二电平信号输入端, 第二端耦接所述发光控制电路的输出端;

所述第二电容耦接于所述第四节点和所述发光控制电路输出端之间。

4. 根据权利要求3所述的发光控制电路, 其特征在于, 所述发光控制电路的工作状态包括第一阶段、第二阶段、第三阶段、第四阶段、第五阶段、第六阶段、第七阶段、第八阶段, 其中,

所述第一阶段中, 所述起始信号控制所述第一晶体管和第四晶体管打开, 所述第一晶体管传输所述第二时钟信号至所述第一节点, 控制所述第三晶体管关闭, 所述第一电平信号经所述第四晶体管传输至所述第二节点, 控制所述第五晶体管和第九晶体管关闭; 所述第一时钟信号通过所述第一电容控制所述第六晶体管的栅极的电位以使所述第六晶体管开启, 所述第六晶体管的栅极的电位通过所述第六晶体管传输至所述第四节点, 然后控制第七晶体管、第八晶体管和第十一晶体管开启, 所述第八晶体管传输第一电平信号至所述第三节点, 控制第十晶体管关闭, 所述第十一晶体管传输第二电平信号至所述发光控制电路输出端, 作为该阶段的输出信号;

所述第二阶段中, 所述起始信号控制所述第一晶体管和第四晶体管打开, 所述第一晶体管传输所述第二时钟信号至所述第一节点, 控制所述第三晶体管关闭, 所述第一电平信号经所述第四晶体管传输至所述第二节点, 控制所述第五晶体管和第九晶体管关闭; 所述第四节点电位由第二电容保持前一阶段的电位, 然后控制第七晶体管、第八晶体管和第十一晶体管打开, 所述第七晶体管传输第二电平信号至第六晶体管的栅极, 以使得第六晶体管打开, 所述第八晶体管传输第一电平信号至所述第三节点, 控制第十晶体管关闭, 所述第十一晶体管传输第二电平信号至所述发光控制电路输出端, 作为该阶段的输出信号;

所述第三阶段中, 所述起始信号控制所述第一晶体管和第四晶体管关闭, 所述第二时钟信号控制所述第二晶体管打开, 第二电平信号经所述第二晶体管传输至第一节点, 控制所述第三晶体管打开, 第一时钟信号经所述第三晶体管传输至所述第二节点, 控制所述第五晶体管和第九晶体管关闭; 所述第四节点电位由第二电容保持前一阶段的电位, 然后控制第七晶体管、第八晶体管和第十一晶体管打开, 所述第七晶体管传输第二电平信号至第六晶体管的栅极, 以使得第六晶体管打开, 所述第八晶体管传输第一电平信号至所述第三节点, 控制第十晶体管关闭, 所述第十一晶体管传输第二电平信号至所述发光控制电路输出端, 作为该阶段的输出信号;

所述第四阶段中, 所述起始信号控制所述第一晶体管和第四晶体管关闭, 所述第二时钟信号发生跳变, 控制所述第二晶体管关闭, 所述第一节点保持前一阶段电位, 控制所述第三晶体管打开, 第一时钟信号经所述第三晶体管传输至所述第二节点, 控制所述第五晶体管和第九晶体管关闭; 所述第四节点电位由第二电容保持前一阶段的电位, 然后控制所述第七晶体管、第八晶体管和第十一晶体管打开, 所述第七晶体管传输第二电平信号至第六晶体管的栅极, 以使得第六晶体管打开, 所述第八晶体管传输第一电平信号至所述第三节

点,控制第十晶体管关闭,所述第十一晶体管传输第二电平信号至所述发光控制电路输出端,作为该阶段的输出信号;

所述第五阶段中,所述起始信号控制所述第一晶体管和第四晶体管关闭,所述第二时钟信号控制所述第二晶体管关闭,所述第一节点保持前一阶段电位,控制所述第三晶体管打开,所述第一时钟信号发生跳变并经所述第三晶体管传输至所述第二节点,控制所述第五晶体管和第九晶体管打开,所述第一电平信号经所述第五晶体管传输至第四节点,控制所述第七晶体管、第八晶体管和第十一晶体管关闭;所述第二电平信号经所述第九晶体管传输至所述第三节点,控制第十晶体管打开,所述第一电平信号经所述第十晶体管传输至发光控制电路输出端,作为该阶段的输出信号;

所述第六阶段中,所述起始信号控制所述第一晶体管和第四晶体管关闭,所述第二时钟信号控制所述第二晶体管关闭,所述第一节点保持前一阶段电位,控制所述第三晶体管打开,所述第一时钟信号发生跳变并经所述第三晶体管传输至所述第二节点,控制所述第五晶体管和第九晶体管关闭,所述第三节点和第四节点的电位保持前一阶段,所述发光控制电路输出端的信号保持不变;

所述第七阶段中,所述起始信号发生跳变,控制所述第一晶体管和第四晶体管打开,所述第二时钟信号发生跳变,控制所述第二晶体管打开,第二电平信号经所述第二晶体管传输至所述第一节点,控制所述第三晶体管打开,所述第一电平信号经所述第四晶体管传输至所述第二节点,控制所述第五晶体管和第九晶体管关闭,所述第三节点和第四节点的电位保持前一阶段,所述发光控制电路输出端的信号保持不变;

所述第八阶段中,所述起始信号控制所述第一晶体管和第四晶体管打开,所述第二时钟信号发生跳变,控制所述第二晶体管关闭,所述第一晶体管传输第二时钟信号至所述第一节点,控制所述第三晶体管关闭,所述第一电平信号经所述第四晶体管传输至所述第二节点,控制所述第五晶体管和第九晶体管关闭,所述第三节点和第四节点的电位保持前一阶段,所述发光控制电路输出端的信号保持不变。

5. 根据权利要求3或4所述的发光控制电路,其特征在于,第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管均为PMOS管,所述第一电平信号为恒定的高电平,所述的第二电平信号为恒定的低电平;或者,

第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管均为NMOS管,所述第一电平信号为恒定的低电平,所述的第二电平信号为恒定的高电平。

6. 根据权利要求3或4所述的发光控制电路,其特征在于,所述第一时钟信号和所述第二时钟信号的相位相差 π 。

7. 一种显示面板,其特征在于,包括N级如权利要求3~6任一项所述的发光控制电路。

8. 如权利要求7所述的显示面板,其特征在于,第一级发光控制电路的起始信号输入端输入起始信号,第I级发光控制电路的起始信号输入端输入上一级发光控制电路的输出信号, $I=2,3,\dots,N$ 。

9. 一种显示装置,其特征在于,包括如权利要求7或8所述的显示面板。

一种驱动电路及发光控制电路、显示面板、显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种驱动电路及发光控制电路、显示面板、显示装置。

背景技术

[0002] 有机发光显示(Organic light Emitting Display),由于其具有不需背光源、对比度高、厚度薄、视角广、反应速度等技术优点,已经成为显示行业发展的重点方向之一。其利用有机发光材料作为像素的发光材料,利用像素驱动电路驱动发光,而为像素驱动电路提供驱动信号的电路设计是发展有机发光显示技术的重中之重。

发明内容

[0003] 本发明优选实施例主要提供一种结构简单且输出信号更加稳定的发光控制电路。

[0004] 一方面,本发明优选实施例提供一种驱动电路,包括第一晶体管、第二晶体管、第三晶体管和第四晶体管,其中:

[0005] 所述第一晶体管的栅极耦接用于接收起始信号的起始信号输入端,第一端耦接用于接收第二时钟信号的第二时钟信号输入端,第二端耦接第一节点;

[0006] 所述第二晶体管的栅极耦接所述第二时钟信号输入端,第一端耦接用于接收第二电平信号的第二电平信号输入端,第二端耦接所述第一节点;

[0007] 所述第三晶体管的栅极耦接所述第一节点,第一端耦接用于接收第一时钟信号的第一时钟信号输入端,第二端耦接第二节点;

[0008] 所述第四晶体管的栅极耦接所述起始信号输入端,第一端耦接用于接收第一电平信号的第一电平信号输入端,第二端耦接所述第二节点。

[0009] 另一方面,本发明另一优选实施例提供一种发光控制电路,包括输入单元和反向单元,其中输入单元包括上述驱动电路。

[0010] 进一步的,所述反向单元包括:第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管、第一电容和第二电容,其中,所述第五晶体管的栅极耦接所述第二节点,第一端耦接所述第一电平信号输入端,第二端耦接第四节点;

[0011] 所述第六晶体管的第一端通过所述第一电容与所述第一时钟信号输入端耦接,所述第六晶体管的栅极与第一端耦接,第二端耦接于所述第四节点;

[0012] 所述第七晶体管的栅极耦接所述第四节点,第二端耦接所述第六晶体管的第一端,第一端耦接所述第二电平信号输入端;

[0013] 所述第八晶体管的栅极耦接所述第四节点,第一端耦接于所述第一电平信号输入端,第二端耦接于第三节点;

[0014] 所述第九晶体管的栅极耦接所述第二节点,第一端耦接于所述第二电平信号输入端,第二端耦接于所述第三节点;

[0015] 所述第十晶体管的栅极耦接所述第三节点,第一端耦接所述第一电平信号输入

端,第二端耦接所述发光控制电路的输出端;

[0016] 所述第十一晶体管的栅极耦接于所述第四节点,第一端耦接所述第二电平信号输入端,第二端耦接所述发光控制电路的输出端;

[0017] 所述第二电容耦接于所述第四节点和所述发光控制电路输出端之间。

[0018] 另一方面,本发明另一优选实施例还提供一种显示面板,包括N级上述发光控制电路。

[0019] 进一步的,所述第一级发光控制电路的起始信号输入端输入起始信号,所述第I级发光控制电路的起始信号输入端输入上一级发光控制电路的输出信号, $I=2,3,\dots,N$ 。

[0020] 另一方面,本发明优选实施例还提供一种显示装置,包括上述显示面板。

[0021] 本发明优选实施例提供的驱动电路及发光控制电路、显示面板、显示装置至少具有的有益效果:多级发光控制电路相互级联,只需一个高电平的触发信号;发光控制电路结构简单且输出的信号不会抖动,在工作期间不会出现输出悬空,使得输出更加稳定,提高显示效果。

附图说明

[0022] 图1是现有技术的发光控制电路原理图;

[0023] 图2是图1中发光控制电路的各个信号时序图;

[0024] 图3是本发明优选实施例一提供的驱动电路原理图;

[0025] 图4是图3中驱动电路的各个信号时序图;

[0026] 图5a~图5e是图4中驱动电路各个工作阶段对应的电路图;

[0027] 图6是本发明优选实施例二提供的发光控制电路原理图;

[0028] 图7是图6中发光控制电路的工作时序图;

[0029] 图8a~图8h是图6中发光控制电路各个工作阶段对应的电路图;

[0030] 图9是本发明优选实施例三提供的显示面板截面示意图;

[0031] 图10是图9中第二基板的结构示意图;

[0032] 图11是图10中发射驱动电路的连接示意图;

[0033] 图12是本发明优选实施例四提供的显示装置结构示意图。

具体实施方式

[0034] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部。

[0035] 如背景技术所述,为像素驱动电路提供驱动信号的电路设计已是OLED显示的重要课题,像素驱动电路一般需要栅极驱动信号SCAN和发光控制信号Emi t,一行的OLED像素可能需要多个的栅极驱动信号SCAN来驱动。通常,发光控制信号由发光驱动电路产生。OLED显示面板有N行像素,则一般对应应有N级发光驱动电路,一级发光驱动电路通常包括移位寄存电路VSR和反相器,移位寄存电路的输出端连接至反相器的输入端。而每级发光驱动电路的移位寄存电路VSR以级联方式连接,如此逐级产生相应的发光控制信号Emi t。常用的像素驱动电路是PMOS结构,发光控制信号Emi t在栅极驱动信号SCAN工作时应该为高电平,因此,

发光驱动电路需输入低电平,然后经移位寄存电路VSR传输至反相器,也即,传统的发光驱动电路输入的是低电平信号。

[0036] 上述发光驱动电路的结构过于复杂,因而相继出现了替代技术,如图1所示,是三星公司设计的发光控制电路的电路图(专利公开号:US20140055444A1),其采用10T3C的结构,整个发光控制电路不是采用移位寄存电路和反相器的结构,而是直接由10T3C的结构生成发光控制信号Emi t。图2是图1中发光控制电路的工作时序图,由图2可知,此发光控制电路输入的是高电平起始信号,但其在t4-t5工作时段中,由于N1点的电位为高电平,M10管关闭,因此输出端会出现悬空状态,也即输出信号处于不稳定状态。另外,此发光控制电路输出时,由于N1点和N3点的电位没有保持功能,也会导致输出抖动现象发生。因此上述输出悬空及输出抖动,会导致发光控制电路在工作过程中输出信号不稳定,影响面板的显示效果。

[0037] 实施例一

[0038] 本发明优选实施例一提供一种驱动电路,如图3所示,包括第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4,其中,第一晶体管M1的栅极耦接用于接收起始信号的起始信号输入端IN,第一端耦接用于接收第二时钟信号的第二时钟信号输入端XCK,第二端耦接第一节点N1;第二晶体管M2的栅极耦接第二时钟信号输入端XCK,第一端耦接用于接收第二电平信号的第二电平信号输入端VGL,第二端耦接第一节点N1;第三晶体管M3的栅极耦接第一节点N1,第一端耦接用于接收第一时钟信号的第一时钟信号输入端CK,第二端耦接第二节点N2;第四晶体管M4的栅极耦接起始信号输入端IN,第一端耦接用于接收第一电平信号的第一电平信号输入端VGH,第二端耦接所述第二节点N2。

[0039] 进一步的,实施例一提供的驱动电路中第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4可以是PMOS管,也可以是NMOS管。优选的,其中第一时钟信号输入端CK输入的第一时钟信号和第二时钟信号输入端XCK输入的第二时钟信号是脉冲信号,相位相差180度;当所述的第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4均为PMOS管时,第一电平信号输入端VGH输入的第一电平信号为恒定的高电平,第二电平信号输入端VGL输入的第二电平信号为恒定的低电平;当第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4均为NMOS管时,第一电平信号输入端VGH输入的第一电平信号为恒定的低电平,第二电平信号输入端VGL输入的第二电平信号为恒定的高电平。实际使用时,起始信号、输出信号、第一时钟信号和第二时钟信号的高电平值可以选10V,低电平值可以选-5V,也可以根据晶体管的设计类型和实际需要进行设定。需要说明书的是,对于PMOS来说,晶体管的第一端指的是源极,第二端指的是漏极。而对于NMOS管来说,晶体管的第一端指的是漏极,第二端指的是源极。

[0040] 图4所示为图3中驱动电路的一种优选工作时序图,其对应的是第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4均为PMOS管,第一电平信号输入端VGH输入的第一电平信号为恒定的高电平,第二电平信号输入端VGL输入的第二电平信号为恒定的低电平。

[0041] 实施例一提供的驱动电路至少包括五个工作时段,图4中的T1~T5时刻对应实施例一驱动电路的五个工作阶段,分别如图5a~5e所示。下面结合图4和图5a~5e详细说明实施例一驱动电路的工作过程:

[0042] 图5a为实施例一中驱动电路工作的第一阶段电路图,即图4中T1时段,起始信号IN

输入高电平,控制第一晶体管M1和第四晶体管M4关闭,第一时钟信号CK输入高电平,第二时钟信号XCK输入低电平,控制第二晶体管M2打开,第二电平信号VGL经第二晶体管M2传输至第一节点N1,使得第一节点的电位为低电平,然后控制第三晶体管M3打开,第三晶体管M3传输第一时钟信号CK至第二节点N2,使得第二节点的电位为高电平。

[0043] 图5b为实施例一中驱动电路工作的第二阶段电路图,即图4中T2时段,起始信号IN输入高电平,控制第一晶体管M1和第四晶体管M4关闭,第一时钟信号CK输入高电平,第二时钟信号XCK发生跳变,由低电平变为高电平,控制第二晶体管M2关闭,第一节点N1保持前一阶段电位,也即第一节点N1电位保持低电平,控制第三晶体管M3打开,第三晶体管M3传输第一时钟信号CK至第二节点N2,使得第二节点的电位为高电平;此阶段中主要由第三晶体管M3的寄生电容保持第一节点N1的电位,因此第三晶体管M3的宽长比要设计足够的大。

[0044] 图5c为实施例一中驱动电路工作的第三阶段电路图,即图4中T3时段,起始信号IN输入高电平,控制第一晶体管M1和第四晶体管M4关闭,第二时钟信号XCK输入高电平,控制第二晶体管M2关闭,第一节点N1保持前一阶段低电位,控制第三晶体管M3打开,第一时钟信号CK发生跳变,由高电平变为低电平,并经第三晶体管M3传输至第二节点N2,使得第二节点N2的电位为低电平。

[0045] 图5d为实施例一中驱动电路工作的第四阶段电路图,即图4中T4时段,起始信号IN输入高电平,控制第一晶体管M1和第四晶体管M4关闭,第二时钟信号XCK输入高电平,控制第二晶体管M2关闭,第一节点N1保持前一阶段低电位,控制第三晶体管M3打开,第一时钟信号CK发生跳变,由低电平变为高电平,并经第三晶体管M3传输至第二节点N2,使得第二节点N2的电位为高电平。

[0046] 图5e为实施例一中驱动电路工作的第五阶段电路图,即图4中T5时段,第一时钟信号CK输入高电平,起始信号IN发生跳变,由高电平变为低电平,控制第一晶体管M1和第四晶体管M4打开,第二时钟信号XCK发生跳变,由高电平变为低电平,控制第二晶体管M2打开,第二电平信号VGL经所述第二晶体管M2传输至第一节点N1,第一晶体管M1传输低电平的第二时钟信号XCK至第一节点,使得第一节点N1电位为低电平,控制第三晶体管M3打开,第三晶体管M3传输高电平的第一时钟信号CK至第二节点N2,第四晶体管M4传输第一电平信号VGH至第二节点N2,使得第二节点N2电位为高电平。

[0047] 实施例二

[0048] 本发明优选实施例二提供了一种发光控制电路,如图6所示,包括输入单元10和反向单元20,其中,输入单元10包括如实施例一所描述的驱动电路,也即包括第一晶体管M1、第二晶体管M2、第三晶体管M3和第四晶体管M4,而反向单元20包括第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一四晶体管M11、第一电容C1和第二电容C2,也即整个发光驱动电路包括第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9第十晶体管M10、第十一四晶体管M11和第一电容C1、第二电容C2。

[0049] 其中:

[0050] 第一晶体管M1的栅极耦接用于接收起始信号的起始信号输入端IN,第一端耦接用于接收第二时钟信号的第二时钟信号输入端XCK,第二端耦接第一节点N1;

[0051] 第二晶体管M2的栅极耦接第二时钟信号输入端XCK,第一端耦接用于接收第二电

平信号的第二电平信号输入端VGL,第二端耦接第一节点N1;

[0052] 第三晶体管M3的栅极耦接第一节点N1,第一端耦接用于接收第一时钟信号的第一时钟信号输入端CK,第二端耦接第二节点N2;

[0053] 第四晶体管M4的栅极耦接起始信号输入端IN,第一端耦接用于接收第一电平信号的第一电平信号输入端VGH,第二端耦接所述第二节点N2;

[0054] 第五晶体管M5的栅极耦接第二节点N2,第一端耦接第一电平信号输入端 VGH,第二端耦接第四节点N4;

[0055] 第六晶体管M6的第一端通过第一电容C1与第一时钟信号输入端CK耦接,第六晶体管M6的栅极与其第一端耦接,使得第六晶体管M6等效于二极管,只能单向导通,第六晶体管M6的第二端耦接于第四节点N4;

[0056] 第七晶体管M7的栅极耦接第四节点N4,第二端耦接第六晶体管M6的第一端,第一端耦接用于接收第二电平信号的第二电平信号输入端VGL;

[0057] 第八晶体管M8的栅极耦接于第四节点N4,第一端耦接于所述第一电平信号输入端VGH,第二端耦接于所述第三节点N3;

[0058] 第九晶体管M9的栅极耦接第二节点N2,第一端耦接于第二电平信号输入端VGL,第二端耦接于第三节点N3;

[0059] 第十晶体管M10的栅极耦接第三节点N3,第一端耦接第一电平信号输入端VGH,第二端耦接发光控制电路的输出端OUT;

[0060] 第十一晶体管M11的栅极耦接于第四节点N4,第一端耦接第二电平信号输入端VGL,第二端耦接发光控制电路的输出端OUT;

[0061] 第二电容C2耦接于第四节点N4和发光控制电路输出端OUT之间,用于保持输出端OUT的输出信号稳定。

[0062] 进一步的,实施例一提供的发光控制电路中第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11可以是PMOS管,也可以是NMOS管。优选的,其中第一时钟信号输入端CK输入的第一时钟信号和第二时钟信号输入端XCK输入的第二时钟信号是脉冲信号,相位相差180度。当第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11均为PMOS管时,第一电平信号输入端VGH输入的第一电平信号为恒定的高电平,第二电平信号输入端VGL输入的第二电平信号为恒定的低电平;当第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11均为NMOS管时,第一电平信号输入端VGH输入的第一电平信号为恒定的低电平,第二电平信号输入端VGL输入的第二电平信号为恒定的高电平。实际使用时,起始信号、第一电平信号、第二电平信号、第一时钟信号和第二时钟信号的高电平的电平值可以选10V,低电平的电平值可以选-5V,也可以根据晶体管的设计类型和实际需要进行设定。需要说明书的是,对于PMOS来说,晶体管的第一端指的是源极,第二端指的是漏极。而对于NMOS管来说,晶体管的第一端指的是漏极,第二端指的是源极。

[0063] 图7所示为图6中发光控制电路的一种优选工作时序图,其对应的是第一晶体管

M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7、第八晶体管M8、第九晶体管M9、第十晶体管M10、第十一晶体管M11均为PMOS管,第一电平信号输入端VGH输入的第一电平信号为恒定的高电平,第二电平信号输入端VGL输入的第二电平信号为恒定的低电平。

[0064] 实施例二提供的发光控制电路至少包括八个工作时段,图7中的T1~T8时刻对应实施例二发光控制电路的八个工作阶段,分别如图8a~8h所示。下面结合图7和图8a~8h详细说明实施例二发光控制电路的工作过程:

[0065] 图8a为实施例二中发光控制电路工作的第一阶段电路图,即图7中T1时段,起始信号IN输入低电平,控制第一晶体管M1和第四晶体管M4打开,第二时钟信号XCK输入高电平,第一晶体管M1传输第二时钟信号XCK至第一节点N1,使得第一节点N1的电位为高电平,控制第三晶体管M3关闭,第一电平信号VGH经第四晶体管M4传输至第二节点N2,使得第二节点N2的电位为高电平,控制第五晶体管M5和第九晶体管M9关闭;第一时钟信号CK发生跳变,由高电平变为低电平,通过第一电容C1的自举效应,使得第六晶体管的栅极电位变低,由于第六晶体管M6以等效二极管方式连接,因此第六晶体管M6打开,并传输低电平值第四节点N4,使得第四节点N4的电位为低电平,然后控制第七晶体管M7、第八晶体管M8和第十一晶体管M11开启,第八晶体管M8传输第一电平信号VGH至第三节点N3,使得第三节点N3的电位变为高电平,控制第十晶体管M10关闭,第十一晶体管M11传输第二电平信号VGL至发光控制电路输出端OUT,作为该阶段的输出信号。

[0066] 图8b为实施例二中发光控制电路工作的第二阶段电路图,即图7中T2时段,起始信号IN输入低电平,控制第一晶体管M1和第四晶体管M4打开,第一时钟信号CK发生跳变,由低电平变为高电平,第二时钟信号XCK输入高电平,第一晶体管M1传输第二时钟信号XCK至第一节点N1,使得第一节点N1的电位为高电平,控制第三晶体管M3关闭,第一电平信号VGH经第四晶体管M4传输至第二节点N2,使得第二节点N2的电位为高电平,控制第五晶体管M5和第九晶体管M9关闭;第四节点N4电位由第二电容C2保持前一阶段的电位,也即保持低电平,控制第七晶体管M7、第八晶体管M8和第十一晶体管M11开启,第七晶体管M7传输恒定低电平的第二电平信号VGL至第六晶体管M6的栅极,虽然第一时钟信号CK的跳变以及第一电容C1的耦合效应,对第六晶体管M6的栅极电位有短暂的拉高作用,但第六晶体管M6的栅极会变为低电平,因此第六晶体管M6打开,第八晶体管M8传输第一电平信号VGH至第三节点N3,使得第三节点N3的电位变为高电平,控制第十晶体管M10关闭,第十一晶体管M11传输第二电平信号VGL至发光控制电路输出端OUT,作为该阶段的输出信号。

[0067] 图8c为实施例二中发光控制电路工作的第三阶段电路图,即图7中T3时段,起始信号IN发生跳变,由低电平变为高电平,控制第一晶体管M1和第四晶体管M4关闭,第一时钟信号CK输入高电平,第二时钟信号XCK发生跳变,由高电平变为低电平,控制第二晶体管M2打开,第二电平信号VGL经第二晶体管M2传输至第一节点N1,使得第一节点N1的电位为低电平,控制第三晶体管M3打开,第一时钟信号CK经第三晶体管M3传输至第二节点N2,使得第二节点N2的电位为高电平,控制第五晶体管M5和第九晶体管M9关闭;第四节点N4的电位由第二电容C2保持前一阶段的电位,也即保持低电平,控制第七晶体管M7、第八晶体管M8和第十一晶体管M11开启,第七晶体管M7传输第二电平信号VGL至第六晶体管M6的栅极,以使得第六晶体管M6打开,第八晶体管M8传输第一电平信号VGH至第三节点N3,使得第三节点N3的电

位变为高电平,控制第十晶体管M10关闭,第十一晶体管M11传输第二电平信号VGL至发光控制电路输出端OUT,作为该阶段的输出信号。

[0068] 图8d为实施例二中发光控制电路工作的第四阶段电路图,即图7中T4时段,起始信号IN输入高电平,控制第一晶体管M1和第四晶体管M4关闭,第一时钟信号CK输入高电平,第二时钟信号XCK发生跳变,由低电平变为高电平,控制第二晶体管M2关闭,第一节点N1保持前一阶段电位,也即保持低电平,控制第三晶体管M3打开,第一时钟信号CK经第三晶体管M3传输至第二节点N2,使得第二节点N2的电位为高电平,控制第五晶体管M5和第九晶体管M9关闭;第四节点N4的电位由第二电容C2保持前一阶段的电位,也即保持低电平,控制第七晶体管M7、第八晶体管M8和第十一晶体管M11开启,第七晶体管M7传输第二电平信号VGL至第六晶体管M6的栅极,以使得第六晶体管M6打开,第八晶体管M8传输第一电平信号VGH至第三节点N3,使得第三节点N3的电位变为高电平,控制第十晶体管M10关闭,第十一晶体管M11传输第二电平信号VGL至发光控制电路输出端OUT,作为该阶段的输出信号。

[0069] 图8e为实施例二中发光控制电路工作的第五阶段电路图,即图7中T5时段,起始信号IN输入高电平,控制第一晶体管M1和第四晶体管M4关闭,第二时钟信号XCK输入高电平,控制第二晶体管M2关闭,第一节点N1保持前一阶段电位,也即保持低电平,控制第三晶体管M3打开,第一时钟信号CK发生跳变,由高电平变为低电平,第一时钟信号CK经第三晶体管M3传输至第二节点N2,使得第二节点N2的电位为低电平,控制第五晶体管M5和第九晶体管M9打开,第一电平信号VGH经第五晶体管M5传输至第四节点N4,使得第四节点N4的电位变为高电平,控制控制第七晶体管M7、第八晶体管M8和第十一晶体管M11关闭;第二电平信号经第九晶体管M9传输至第三节点N3,使得第三节点N3的电位变为低电平,控制第十晶体管M10打开,第一电平信号VGH经第十晶体管M10传输至发光控制电路输出端,作为该阶段的输出信号。

[0070] 图8f为实施例二中发光控制电路工作的第六阶段电路图,即图7中T6时段,起始信号IN输入高电平,控制第一晶体管M1和第四晶体管M4关闭,第二时钟信号XCK输入高电平,控制第二晶体管M2关闭,第一节点N1保持前一阶段电位,也即保持低电平,控制第三晶体管M3打开,第一时钟信号CK发生跳变,由低电平变为高电平,第一时钟信号CK经第三晶体管M3传输至第二节点N2,使得第二节点N2的电位为高电平,控制第五晶体管M5和第九晶体管M9关闭,第一时钟信号CK的跳变经过第一电容C1的耦合,是第六晶体管M6的栅极电位拉高,第六晶体管M6关闭;第四节点N4的电位由第二电容C2保持前一阶段的电位,也即保持高电平,控制第七晶体管M7、第八晶体管M8和第十一晶体管M11关闭;第三节点N3保持前一阶段电位,也即第三节点N3电位保持低电平,控制第十晶体管M10打开,第一电平信号VGH经第十晶体管M10传输至发光控制电路输出端,作为该阶段的输出信号;此阶段中主要由第十晶体管M10的寄生电容保持第三节点N3的电位,因此第十晶体管M10的宽长比要设计足够的大。

[0071] 图8g为实施例二中发光控制电路工作的第七阶段电路图,即图7中T7时段,起始信号IN发生跳变,由高电平变为低电平,控制第一晶体管M1和第四晶体管M4打开,第一时钟信号CK输入高电平,第二时钟信号XCK发生跳变,由高电平变为低电平,控制第二晶体管M2打开,第二电平信号VGL经第二晶体管M2传输至第一节点N1,使得第一节点N1的电位为低电平,控制第三晶体管M3打开,第一时钟信号CK经第三晶体管M3传输至第二节点N2,使得第二节点N2的电位为高电平,控制第五晶体管M5和第九晶体管M9关闭;第四节点N4的电位由第

二电容C2保持前一阶段的电位,也即保持高电平,控制第七晶体管M7、第八晶体管M8和第十一晶体管M11关闭;第三节点N3保持前一阶段电位,也即第三节点N3电位保持低电平,控制第十晶体管M10打开,第一电平信号VGH经第十晶体管M10传输至发光控制电路输出端,作为该阶段的输出信号;此阶段中主要由第十晶体管M10的寄生电容保持第三节点N3的电位,因此第十晶体管M10的宽长比要设计足够的大。

[0072] 图8h为实施例二中发光控制电路工作的第八阶段电路图,即图7中T8时段,起始信号IN输入低电平,控制第一晶体管M1和第四晶体管M4打开,第一时钟信号CK输入高电平,第二时钟信号XCK发生跳变,由低电平变为高电平,控制第二晶体管M2关闭,第一晶体管M1传输第二时钟信号XCK至第一节点N1,使得第一节点N1的电位为高电平,控制第三晶体管M3关闭,第四晶体管M4传输第一电平信号VGH至第二节点N2,使得第二节点N2的电位为高电平,控制第五晶体管M5和第九晶体管M9关闭;第四节点N4的电位由第二电容C2保持前一阶段的电位,也即保持高电平,控制第七晶体管M7、第八晶体管M8和第十一晶体管M11关闭;第三节点N3保持前一阶段电位,也即第三节点N3电位保持低电平,控制第十晶体管M10打开,第一电平信号VGH经第十晶体管M10传输至发光控制电路输出端,作为该阶段的输出信号。

[0073] 由以上工作过程可知,第四节点N4与发光控制电路输出端OUT存在第二电容C2,可以保持第四节点与输出端的电位稳定,不受第一时钟信号或第二时钟信号跳变的影响,使得发光控制电路输出端OUT输出的信号不会抖动。且整个工作过程中,每一阶段,输出端OUT有第十晶体管M10传输第一电平信号VGH或者第十一晶体管M11传输第二电平信号VGL,使得发光控制电路输出端输出的信号不会悬空,输出更加稳定。

[0074] 需要说明的是,实施例二提供的发光控制电路中的第一晶体管~第十一晶体管可以是NMOS管,其工作过程中,只需起始信号、第一时钟信号、第二时钟信号、第一电平信号、第二电平信号的电平值相反即可。

[0075] 实施例三

[0076] 本发明优选实施例三提供一种显示面板,其截面图如图9所示,包括第一基板11和第二基板12,第一基板11与第二基板12相对设置,其中,所述第一基板11可以为彩膜基板、封装玻璃(Cover Glass)或者盖板玻璃(Cover Lens)等,所述第二基板12可以为像素阵列基板,如常见的OLED像素阵列基板。

[0077] 图10是本发明实施例三显示面板中第二基板12的结构示意图。参见图10,第二基板为像素阵列基板时,可以包括:扫描驱动电路121、数据驱动电路122、发射驱动电路123、m条扫描线(S1、S2……、Sm)、k条数据线(D1、D2……、Dk)、m条发射驱动线(E1、E2、……、Em)以及多个像素124;其中,本实施例中的发射驱动电路123为包括多级如实施例二所述的发光控制电路。

[0078] 具体地,本实施例中的扫描驱动电路121,用于向各条扫描线(S1、S2……、Sn)提供扫描信号;数据驱动电路122,用于向各条数据线(D1、D2……、Dm)提供数据信号;发射驱动电路123,用于向各条发射驱动线(E1、E2、……、Em)提供发光驱动信号,以使像素124中的像素驱动电路完成节点初始化、阈值补偿和数据写入等;像素124分别设置在扫描线和数据线交叉形成的区域中。

[0079] 图11是本发明实施例三中发射驱动电路123的连接示意图,如图11所示,发射驱动电路包括多级发光控制电路(E1、E2、E3、……),每级发光控制电路的电路图如图6所示,分别

连接第一时钟信号CK和第二时钟信号XCK。第一级发光控制电路的输入端输入起始触发信号STV,之后,每级发光控制电路的输入端输入前一级发光控制电路的输出信号,如此构成相互级联的连接方式,在第一时钟信号和第二时钟信号的驱动下,逐级产生发光驱动信号。

[0080] 本发明实施例四提供的显示面板,通过在显示面板的第二基板中采用输出信号稳定的发射驱动电路,可以使第二基板中的像素能够稳定地工作,从而可以使相应的显示面板达到更好的显示效果。

[0081] 实施例四

[0082] 图12所示为本发明优选实施例四提供的显示装置结构示意图,显示装置1包括显示面板2,其中显示面板的结构如实施例三中所述的显示面板结构相同。

[0083] 需要特别说明的是,本发明实施例中的所说的“耦接”指的是两个元器件之间的电性连接,包括直接电性连接和间接的电性连接。

[0084] 显然,上述实施例仅用于详细表述本发明,并不构成对本发明保护范围的限制。在本发明的构思下,本领域的普通技术人员任何没有创造性劳动而进行的各种改动和变型,均属于本发明权利要求的保护范围。

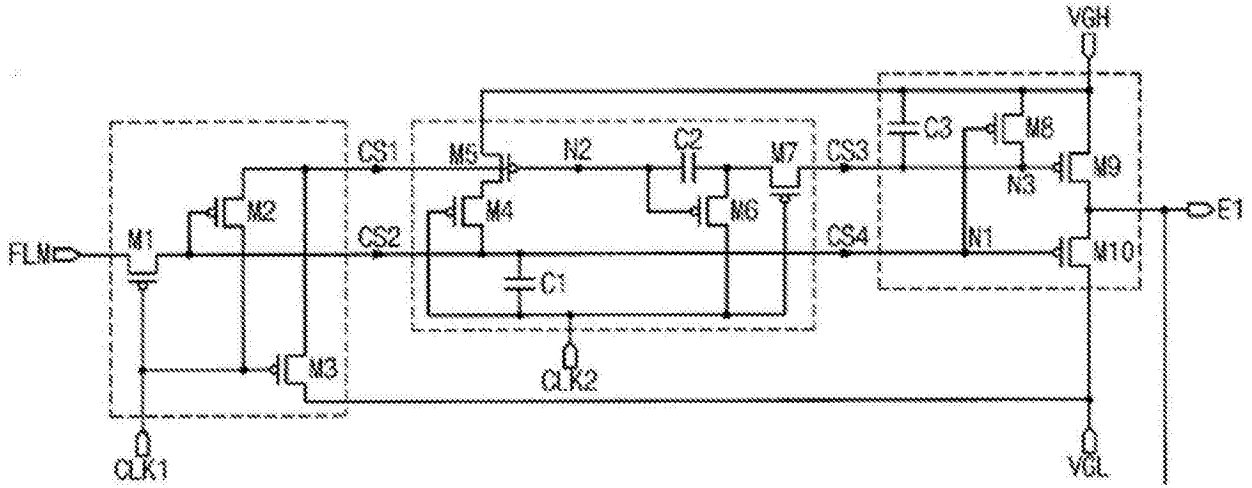


图1

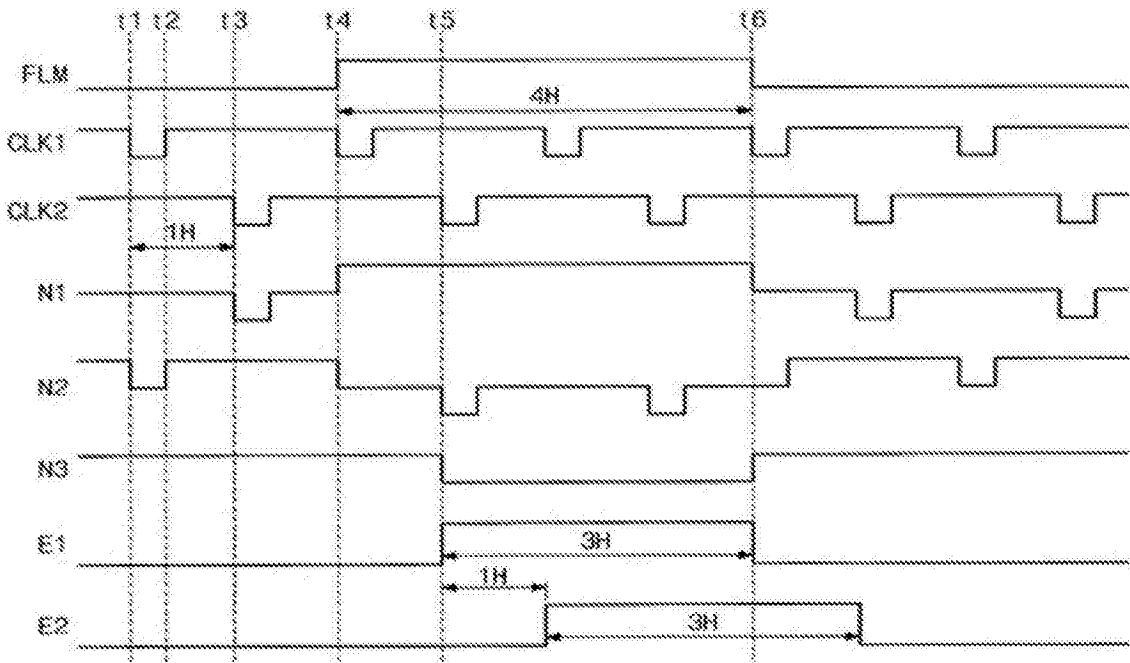


图2

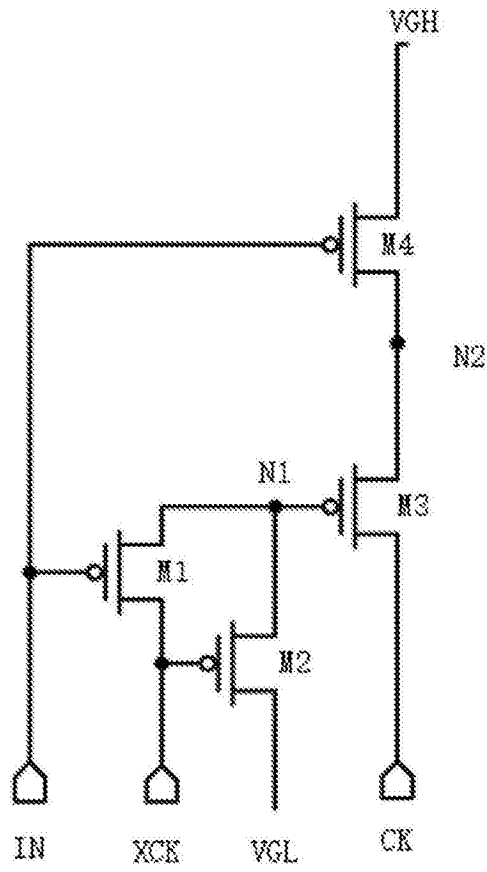


图3

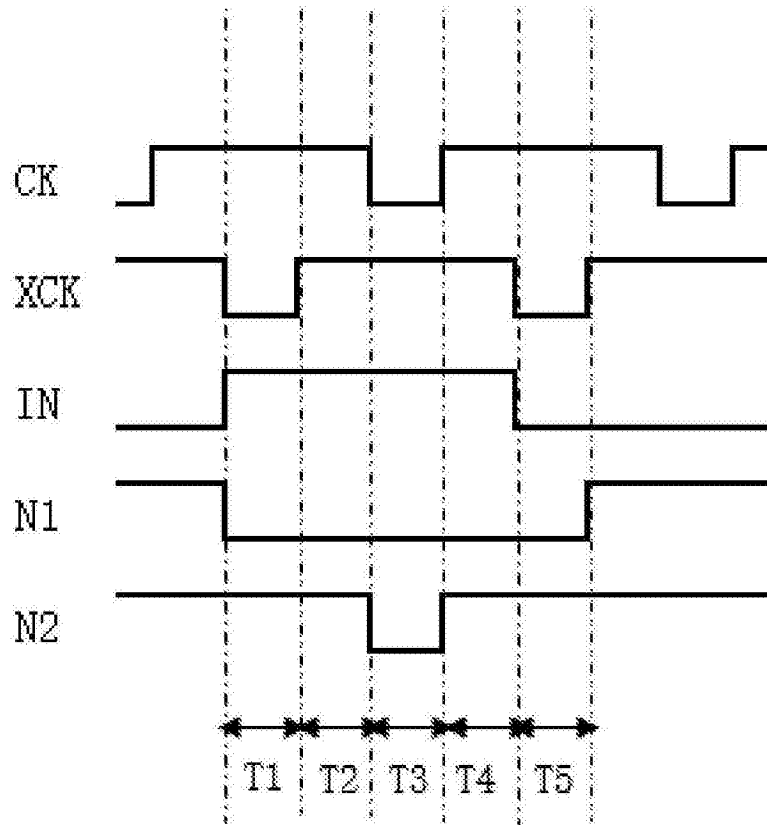


图4

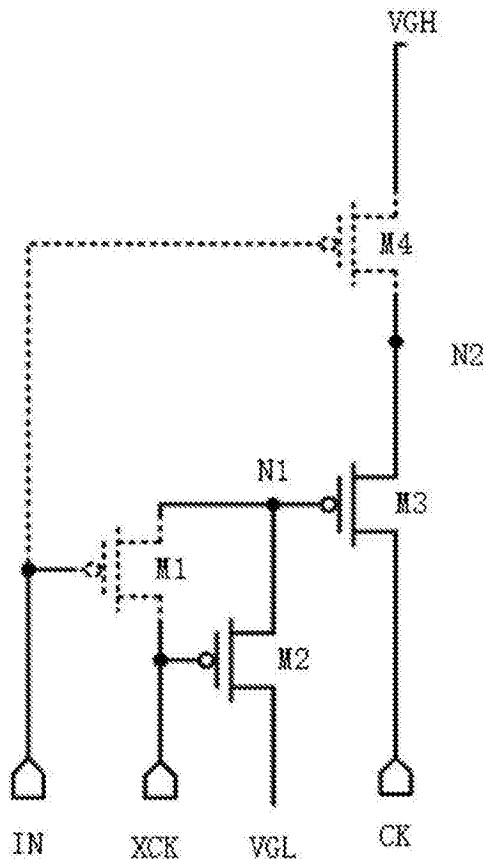


图5a

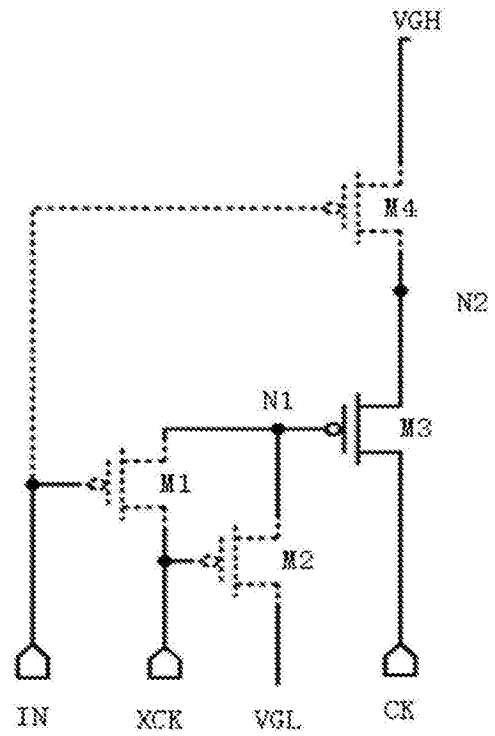


图5b

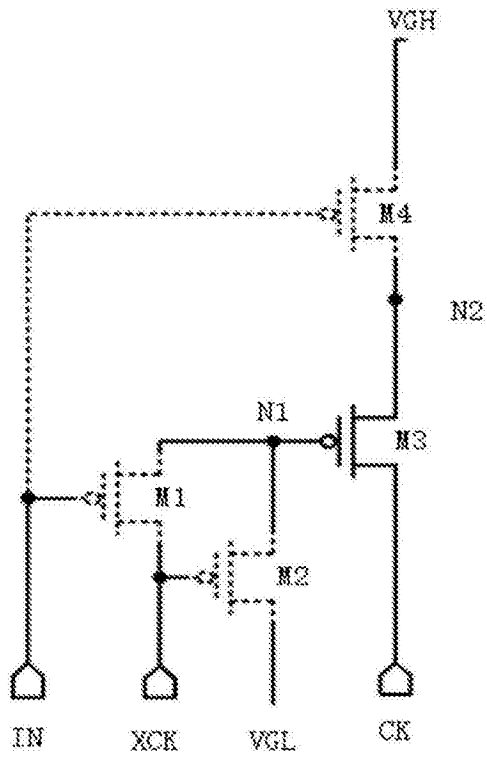


图5c

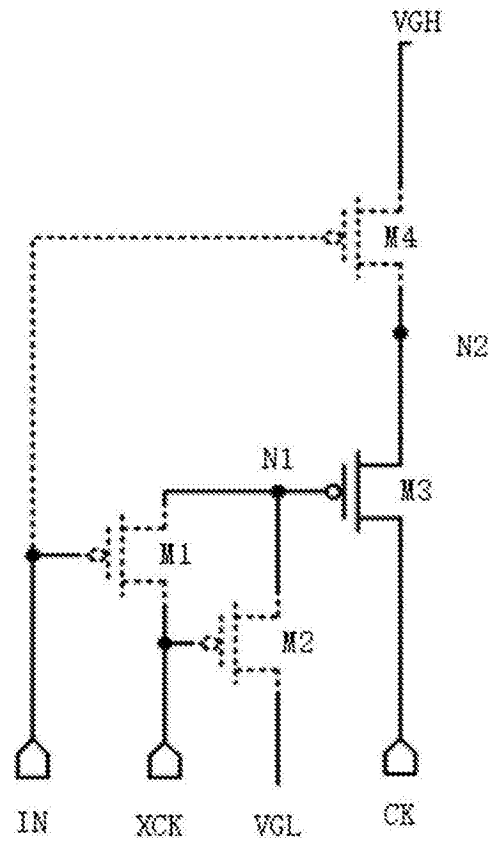


图5d

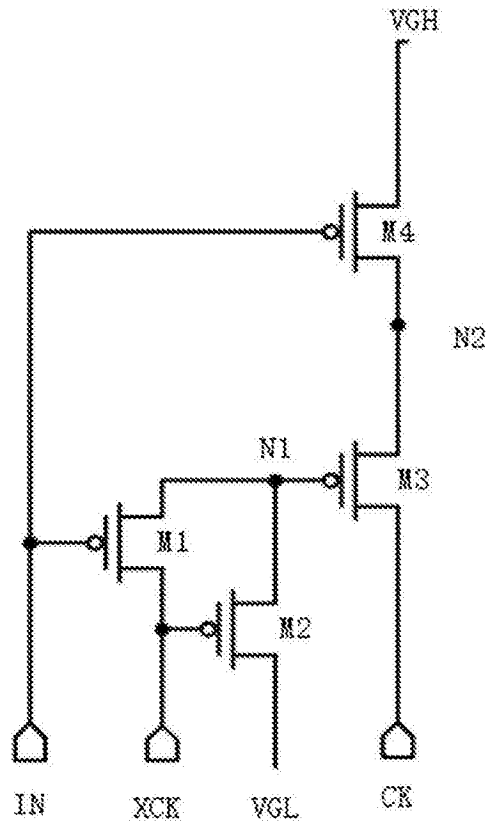


图5e

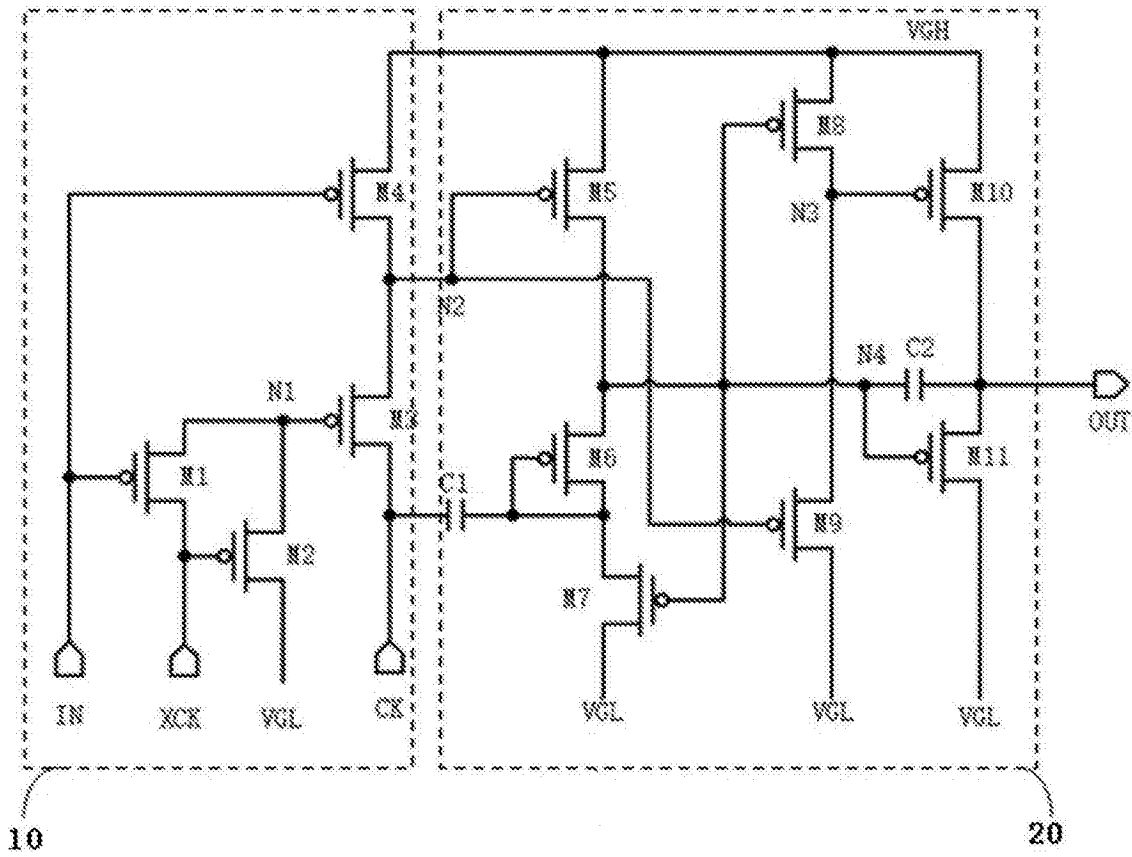


图6

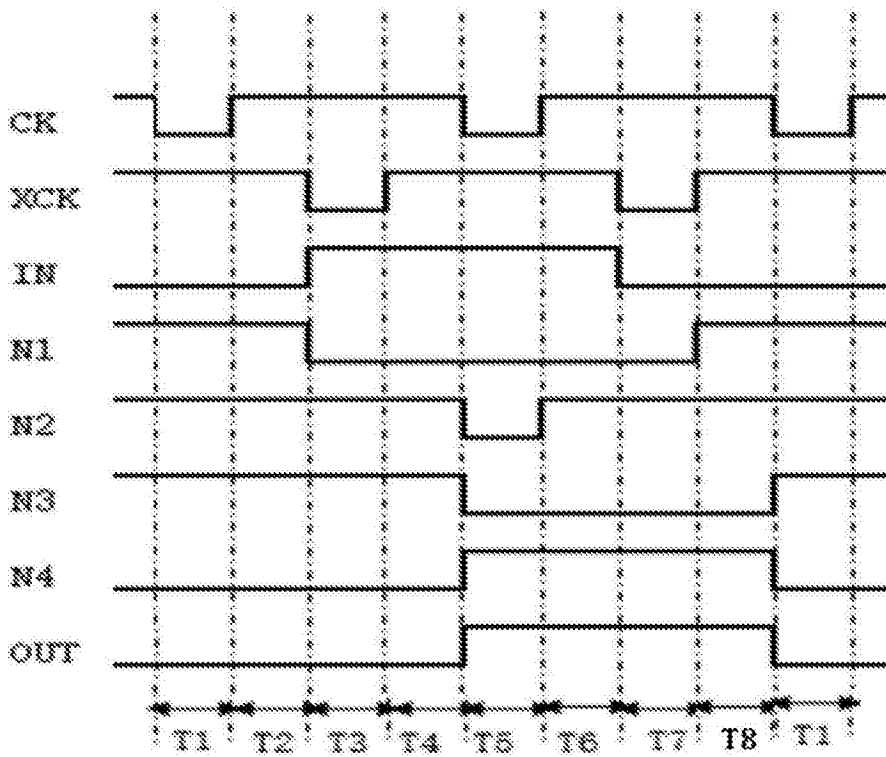


图7

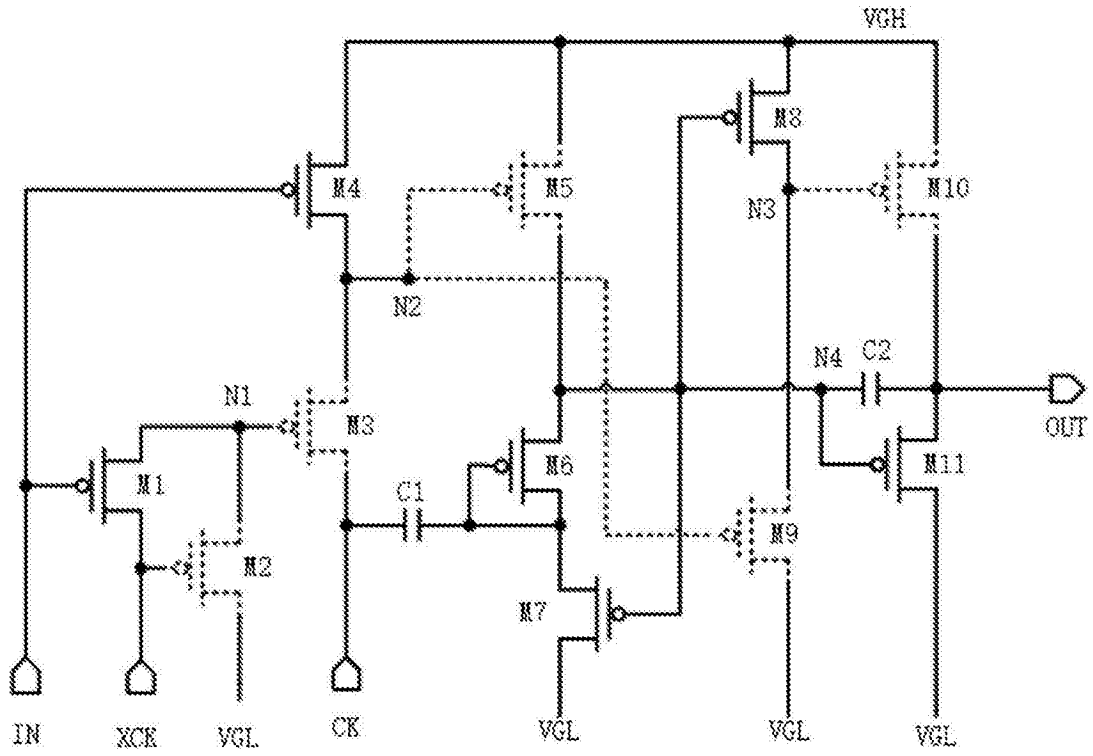


图8a

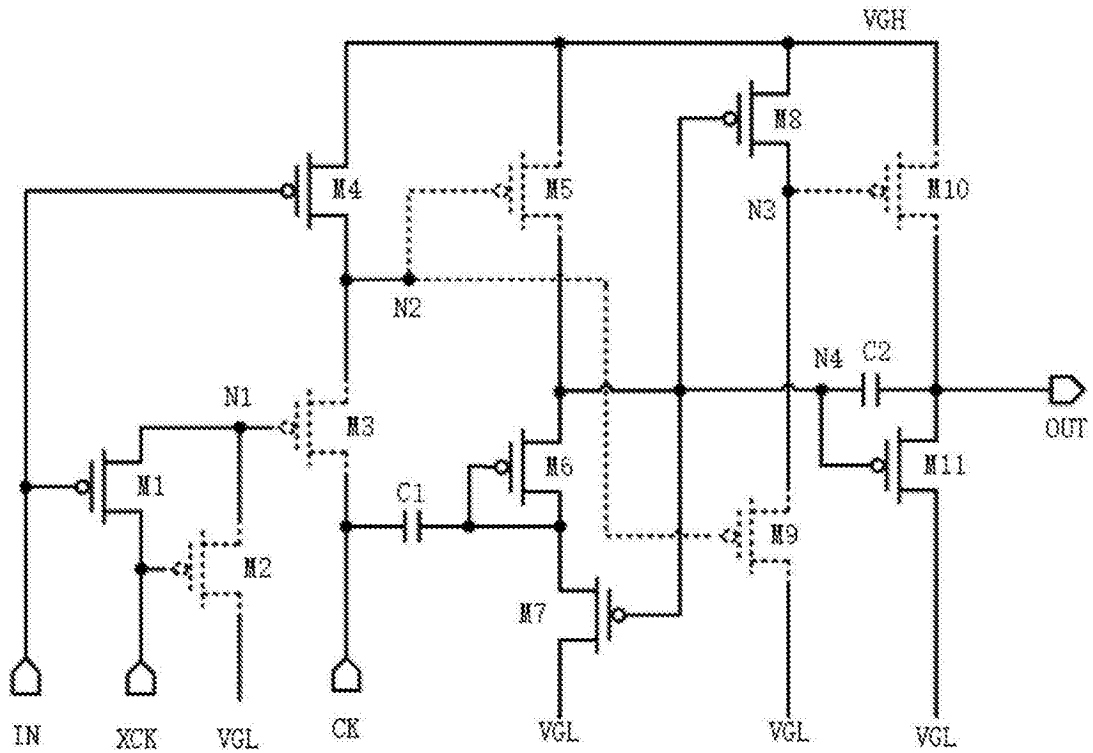


图8b

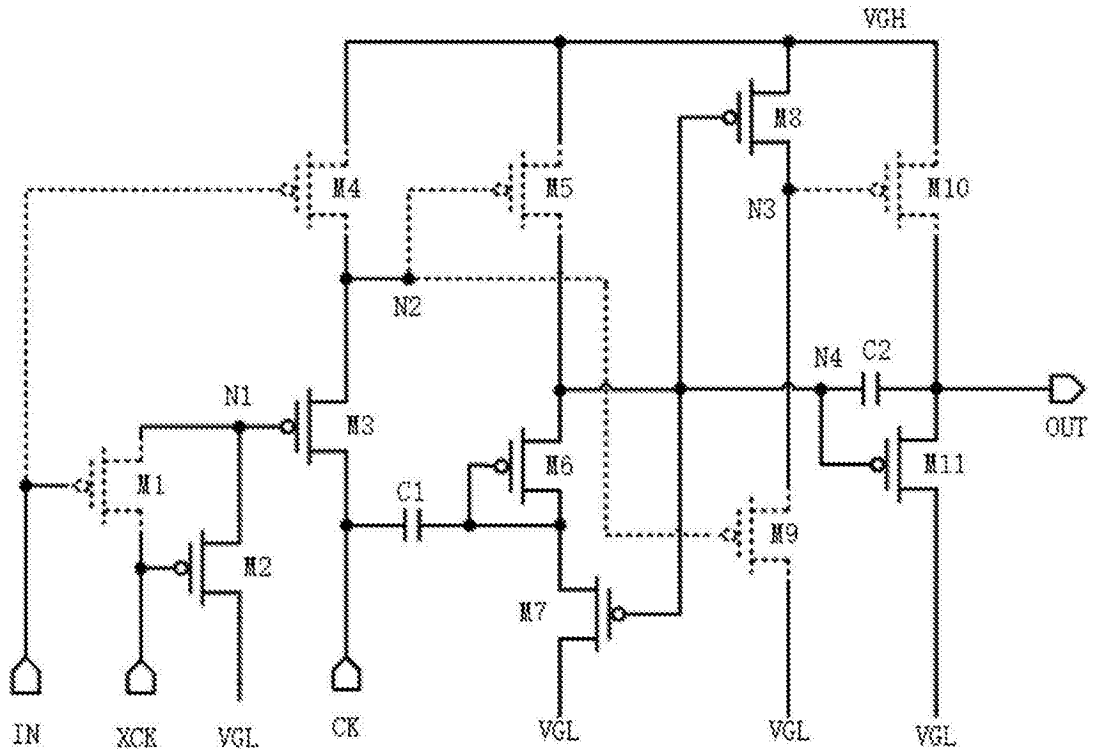


图8c

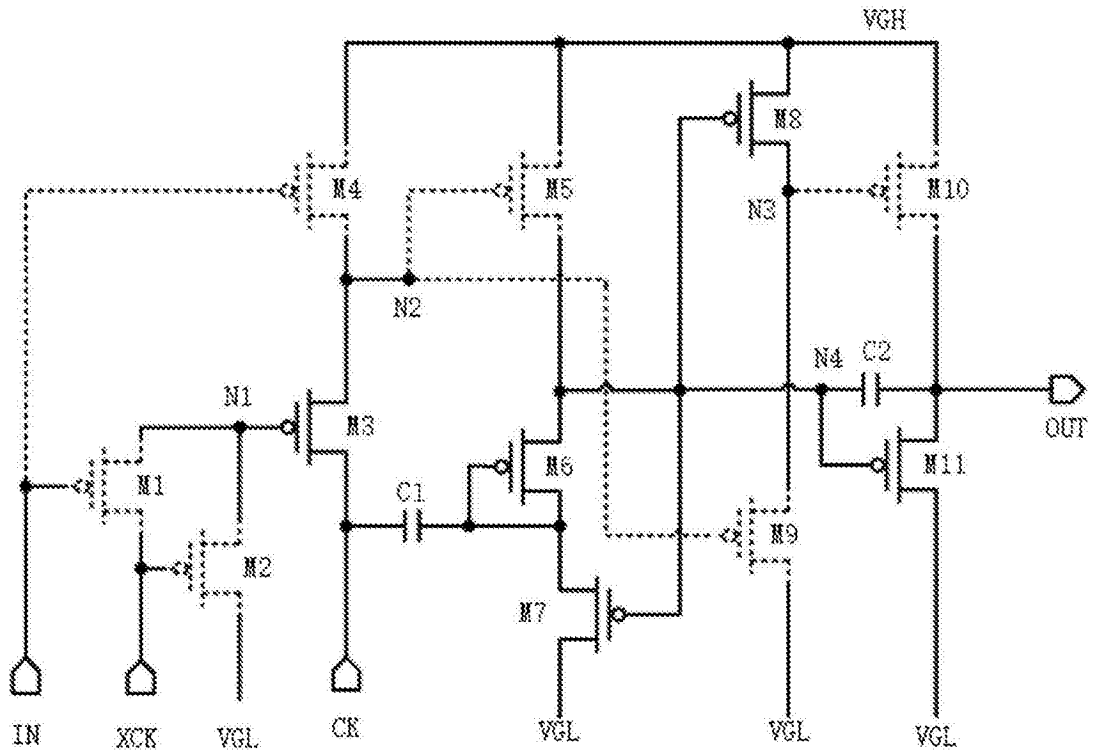


图8d

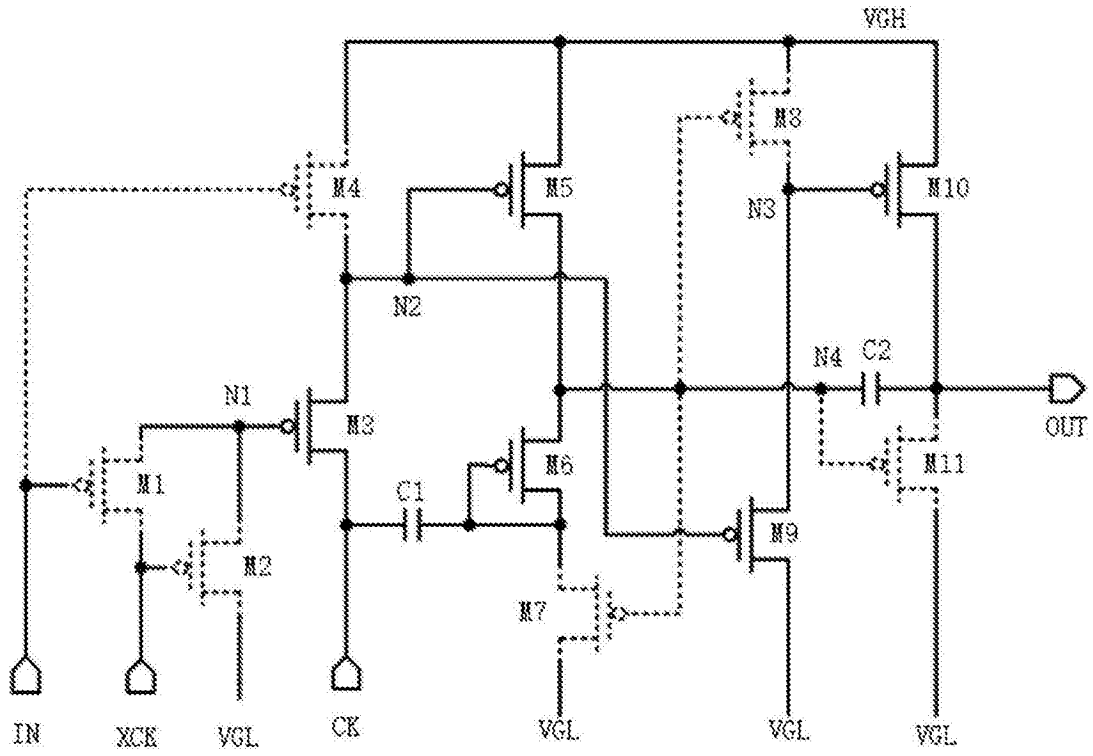


图8e

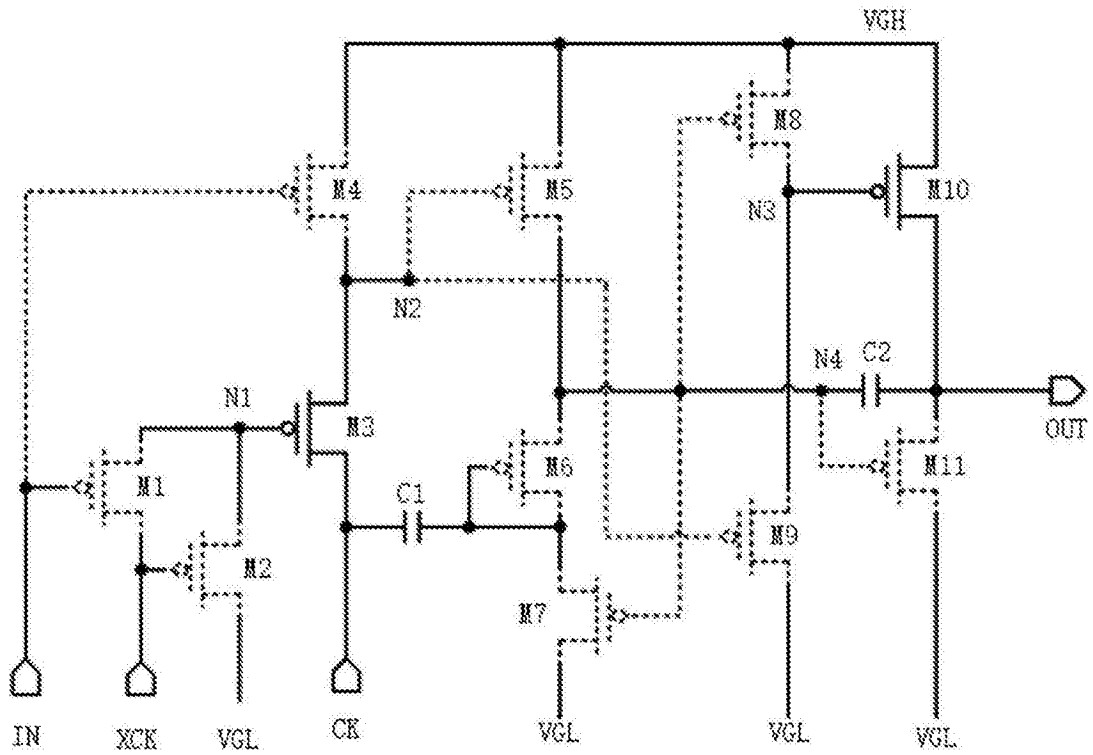


图8f

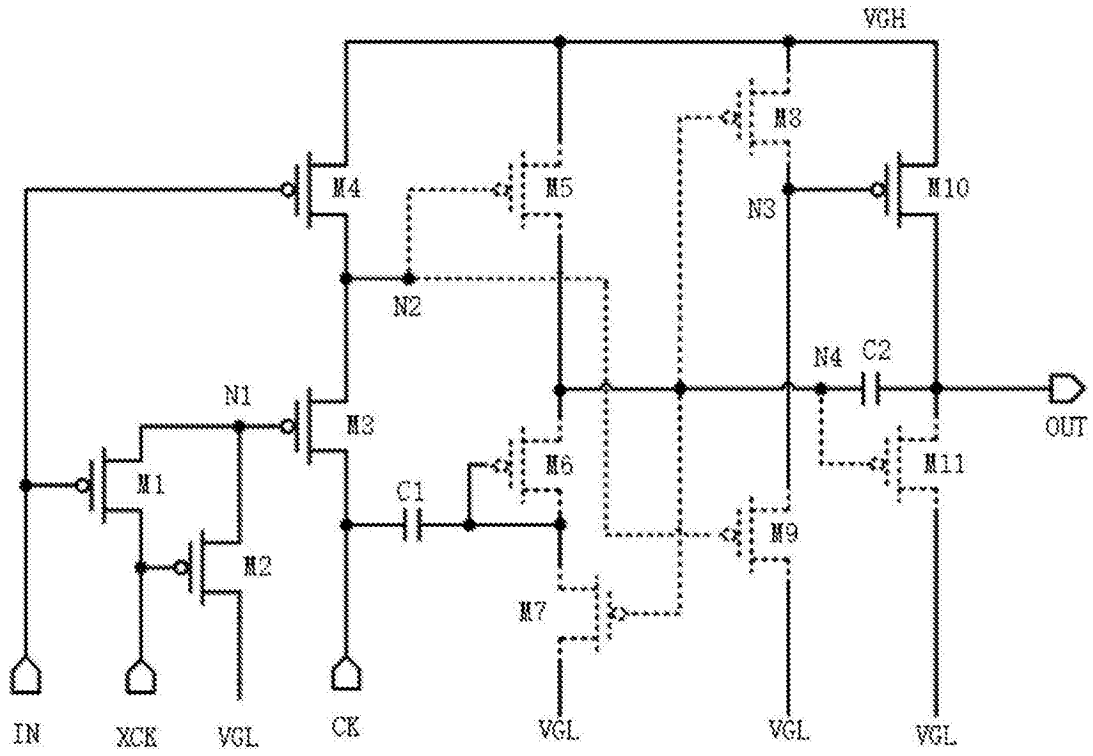


图8g

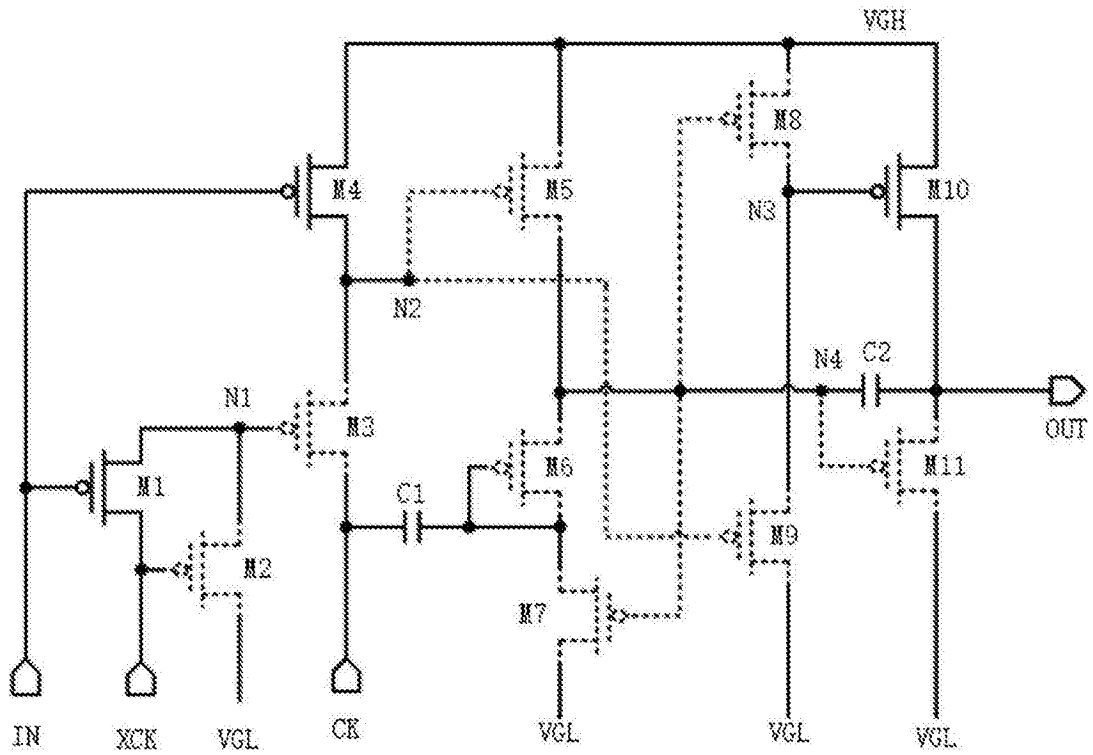


图8h

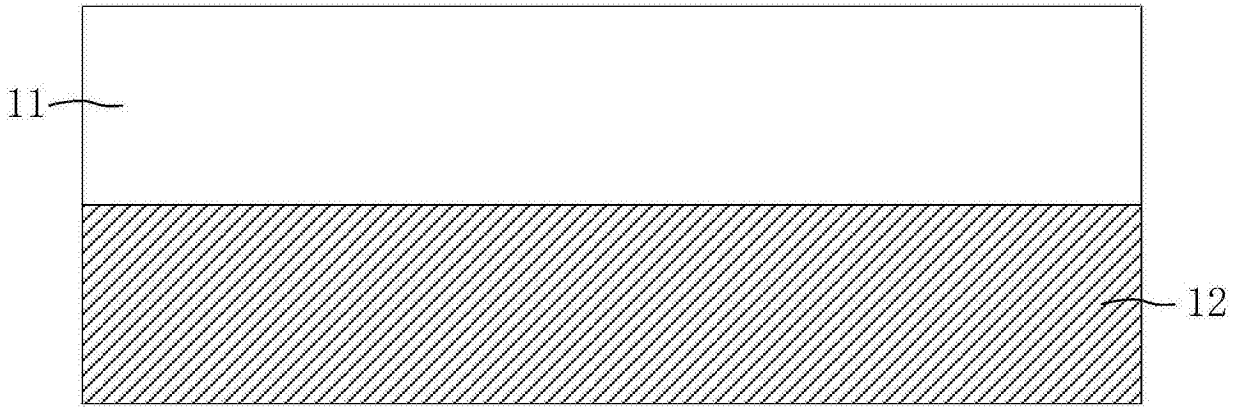


图9

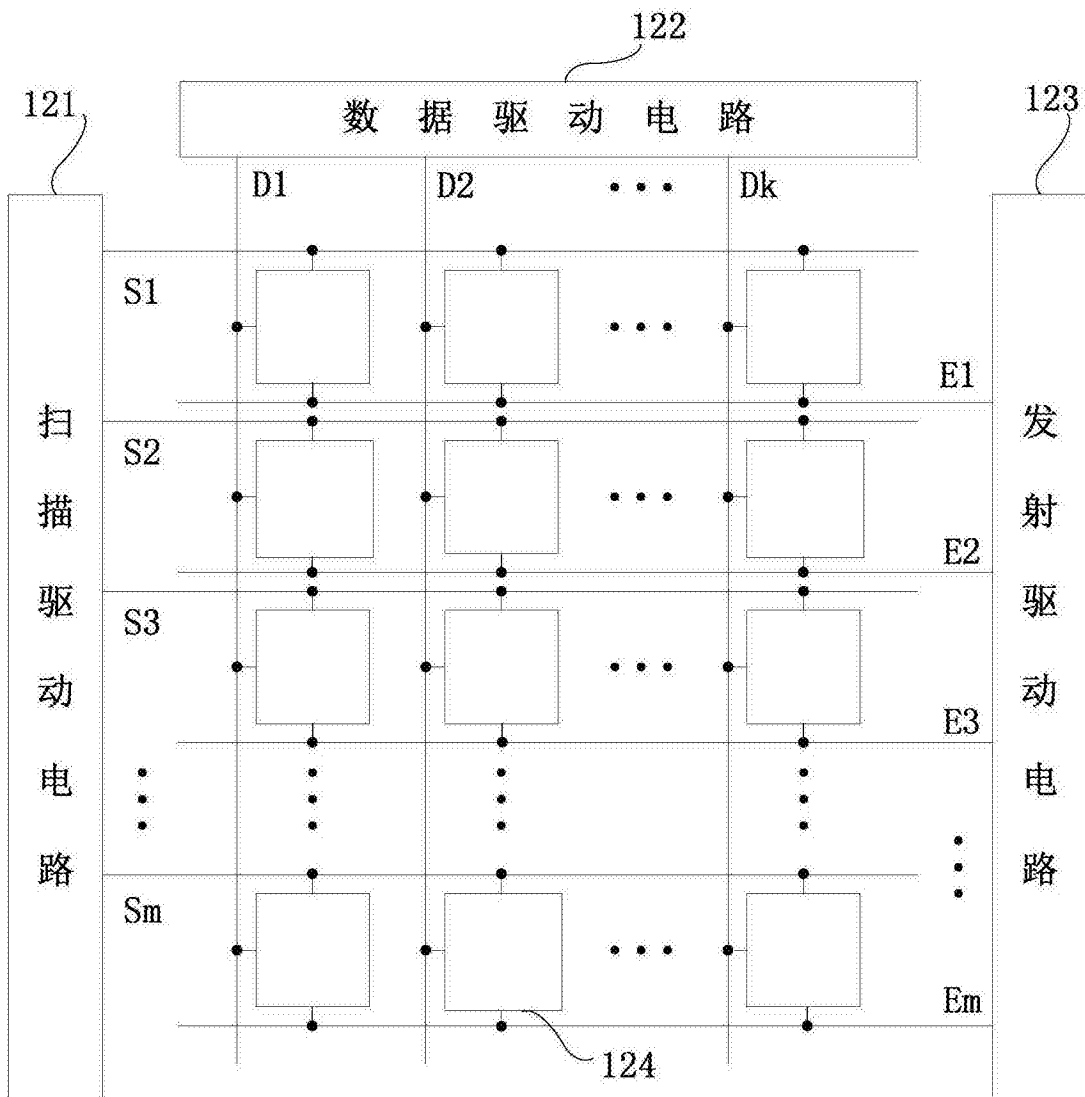


图10

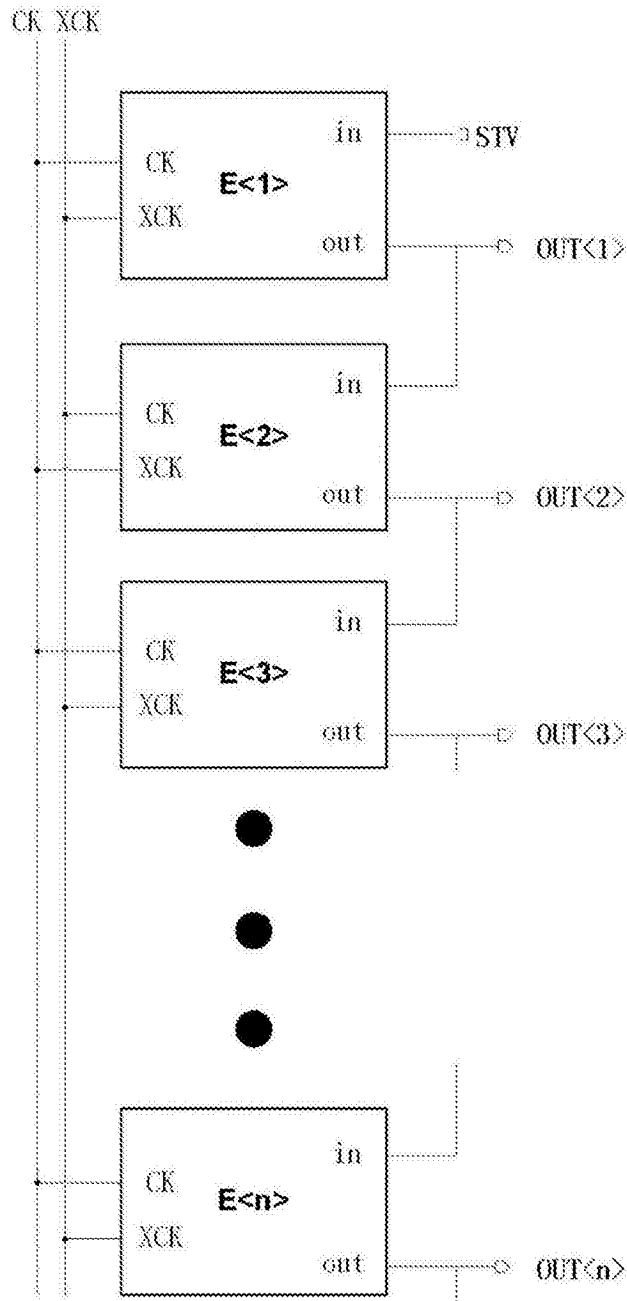


图11

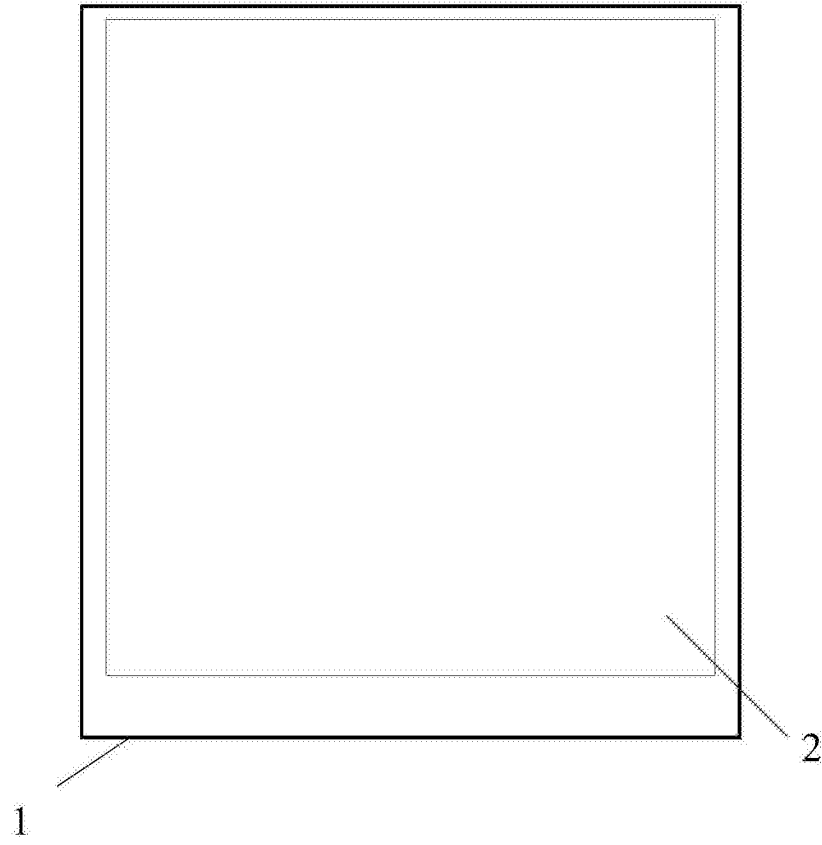


图12