



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월21일

(11) 등록번호 10-1522458

(24) 등록일자 2015년05월15일

(51) 국제특허분류(Int. Cl.)  
*H01L 21/336* (2006.01) *H01L 29/78* (2006.01)  
 (21) 출원번호 10-2013-0074563  
 (22) 출원일자 2013년06월27일  
 심사청구일자 2013년06월27일  
 (65) 공개번호 10-2014-0093575  
 (43) 공개일자 2014년07월28일  
 (30) 우선권주장  
 13/745,431 2013년01월18일 미국(US)  
 (56) 선행기술조사문헌  
 US20080299711 A1\*  
 KR1020110099323 A  
 US20100163952 A1  
 JP2008085205 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스  
 드 인터스트리얼 파크, 리신 로드. 6, 8호  
 (72) 발명자  
 콜린 장 피에르  
 대만 신주현 다쉐 로드 넘버 50 아파트먼트 4  
 에프-2  
 칭 귀 첵  
 대만 신주현 302 주베이지 광밍 제9 로드 넘버  
 8-3 5 에프  
 우 지치양  
 대만 신주현 주베이지 아이코우 제1 스트리트 넘  
 버 1 9에프-7  
 (74) 대리인  
 김태홍

전체 청구항 수 : 총 8 항

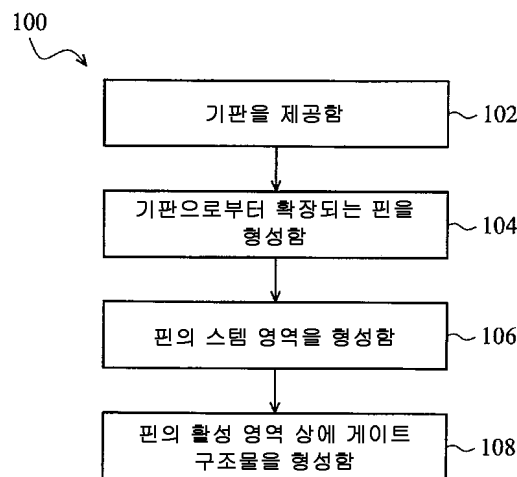
심사관 : 김정진

(54) 발명의 명칭 **핀 요소의 스템 영역을 포함하는 FINFET 디바이스를 제조하는 방법**

**(57) 요약**

방법은 기판의 제 1 (예컨대, 상단) 표면으로부터 확장된 핀을 갖는 기판을 제공하는 단계를 포함한다. 핀은 서로 상이한 조성을 갖는 제 1 영역(스템 영역) 및 제 2 영역(활성 영역)을 갖는다. 핀의 제 1 영역은 예를 들어, 핀의 제 1 영역을 에칭 및/또는 산화시킴으로써 반도체 물질의 폭을 감소하도록 수정된다. 그리고 나서, 방법은 계속해서 핀의 제 2 영역 상에 게이트 구조물을 제공한다. 반도체 물질의 감소된 폭을 갖는 스템 영역을 구비한 finFET 디바이스가 또한 제공된다.

**대표도** - 도1



## 명세서

### 청구범위

#### 청구항 1

반도체 디바이스를 제조하는 방법에 있어서,

제 1 표면으로부터 연장된 핀을 갖는 기판을 제공하는 단계로서, 상기 핀은 제 1 조성의 반도체 물질을 갖는 제 1 영역과 상기 제 1 영역 위에 놓여 있는 제 2 영역을 갖고, 상기 제 2 영역은 상기 제 1 조성과 상이한 제 2 조성의 반도체 물질을 갖는 것인, 상기 기판을 제공하는 단계;

상기 제 1 조성의 반도체 물질의 양을 감소시키기 위해 상기 핀의 제 1 영역을 수정하는 단계로서, 상기 수정하는 단계는 상기 제 1 영역의 적어도 일부를 산화시키는 단계를 포함하는 것인, 상기 수정하는 단계; 및

상기 핀의 제 2 영역 상에 게이트 구조물을 형성하는 단계를 포함하는 반도체 디바이스를 제조하는 방법.

#### 청구항 2

제 1 항에 있어서,

상기 게이트 구조물을 형성하는 단계는 상기 핀의 제 2 영역 내에 채널 영역을 제공하는 단계를 포함하는 것인 반도체 디바이스를 제조하는 방법.

#### 청구항 3

제 1 항에 있어서,

상기 제 1 영역을 수정하는 단계는 상기 제 1 영역의 폭을 감소시키기 위해 상기 제 1 영역 내에 있는 상기 제 1 조성의 반도체 물질을 에칭하는 단계를 포함하는 것인 반도체 디바이스를 제조하는 방법.

#### 청구항 4

삭제

#### 청구항 5

반도체 디바이스를 제조하는 방법에 있어서,

제 1 표면으로부터 연장된 핀을 갖는 기판을 제공하는 단계로서, 상기 핀은 제 1 조성의 반도체 물질을 갖는 제 1 영역과 상기 제 1 영역 위에 놓여 있는 제 2 영역을 갖고, 상기 제 2 영역은 상기 제 1 조성과 상이한 제 2 조성의 반도체 물질을 갖는 것인, 상기 기판을 제공하는 단계;

상기 제 1 조성의 반도체 물질의 양을 감소시키기 위해 상기 핀의 제 1 영역을 수정하는 단계; 및

상기 핀의 제 2 영역 상에 게이트 구조물을 형성하는 단계를 포함하고,

상기 게이트 구조물을 형성하는 단계는 상기 제 2 영역의 상단 표면, 제 1 측면 표면, 제 2 측면 표면, 및 하단 표면과 상기 게이트 구조물 사이에 계면(interface)을 형성하는 단계를 포함하는 것인 반도체 디바이스를 제조하는 방법.

#### 청구항 6

제 1 항에 있어서,

상기 게이트 구조물과 연관된 채널 영역을 형성하는 단계를 더 포함하고, 상기 채널 영역은 상기 핀의 제 2 영역 내에만 있는 것인 반도체 디바이스를 제조하는 방법.

#### 청구항 7

반도체 디바이스를 제조하는 방법에 있어서,

벌크 반도체 기판을 제공하는 단계;  
 상기 벌크 반도체 기판 상에 제 1 에피택셜층을 성장시키는 단계;  
 상기 제 1 에피택셜층 상에 제 2 에피택셜층을 성장시키는 단계;  
 상기 제 1 에피택셜층과 상기 제 2 에피택셜층을 포함하는 핀 요소를 형성하는 단계;  
 상기 핀 요소의 제 2 에피택셜층의 폭보다 작은 폭을 갖는 스템 영역(stem region)을 형성하기 위해 상기 핀 요소의 제 1 에피택셜층을 에칭하는 단계;  
 상기 제 1 에피택셜층을 에칭하는 단계 후에, 상기 스템 영역을 산화시키는 단계; 및  
 상기 핀 요소의 제 2 에피택셜 층 내에 트랜지스터의 채널을 형성하는 단계를 포함하는 것인 반도체 디바이스를 제조하는 방법.

**청구항 8**

반도체 디바이스를 제조하는 방법에 있어서,  
 벌크 반도체 기판을 제공하는 단계;  
 상기 벌크 반도체 기판 상에 제 1 에피택셜층을 성장시키는 단계;  
 상기 제 1 에피택셜층 상에 제 2 에피택셜층을 성장시키는 단계;  
 상기 제 1 에피택셜층과 상기 제 2 에피택셜층을 포함하는 핀 요소를 형성하는 단계;  
 상기 핀 요소의 제 2 에피택셜층의 폭보다 작은 폭을 갖는 스템 영역(stem region)을 형성하기 위해 상기 핀 요소의 제 1 에피택셜층을 에칭하는 단계;  
 상기 핀 요소의 제 2 에피택셜 층 내에 트랜지스터의 채널을 형성하는 단계; 및  
 상기 핀 요소의 제 2 에피택셜층 상에 게이트 구조물을 형성하는 단계를 더 포함하고, 상기 게이트 구조물은 상기 핀 요소의 제 2 에피택셜층의 적어도 4개의 표면들과 인터페이스하는 것인 반도체 디바이스를 제조하는 방법.

**청구항 9**

삭제

**청구항 10**

핀형 전계 효과 트랜지스터(fin-type field effect transistor; finFET)에 있어서,  
 기판;  
 상기 기판 상에 배치된 핀 - 상기 핀은 부동 영역(passive region), 상기 부동 영역 위에 놓여 있는 스템 영역, 및 상기 스템 영역 위에 놓여 있는 활성 영역을 포함하고, 상기 스템 영역은 제 1 폭을 갖고 상기 활성 영역은 제 2 폭을 갖고, 상기 제 1 폭은 상기 제 2 폭보다 작으며, 상기 스템 영역은 제 1 조성을 갖고 상기 활성 영역은 제 2 조성을 갖고, 상기 제 2 조성은 상기 제 1 조성과 상이하며, 상기 스템 영역의 적어도 일부는 산화된 것임 - ; 및  
 상기 활성 영역 상에 배치된 게이트 구조물을 포함하는 핀형 전계 효과 트랜지스터(finFET).

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 디바이스에 관한 것이다. 보다 구체적으로, 핀 요소의 스템 영역(stem region)을 포함하는 finFET 디바이스를 제조하는 방법에 관한 것이다.

**배경 기술**

[0002] 반도체 산업은 높은 디바이스 밀도, 높은 성능, 및 비용 절감을 추구하여 나노미터 기술 공정 노드로 진행하였다. 이러한 진행이 발생함에 따라, 제조 및 설계 문제 모두의 도전과제는 핀 전계 효과 트랜지스터(fin-like field effect transistor; finFET) 디바이스와 같은 3차원 설계의 개발을 야기하였다. 통상적인 finFET 디바이스는 기판으로부터 확장된 얇은 "핀" (또는 핀과 같은 구조물)을 갖고 제조된다. 핀은 일반적으로 실리콘을 포함하고 트랜지스터 디바이스의 몸통을 형성한다. 트랜지스터의 채널이 이 수직으로 확장된 핀에 형성된다. 게이트는 핀 위에 (예컨대, 핀을 랩핑) 제공된다. 이러한 유형의 게이트는 채널의 더욱 큰 제어를 허용한다. 그러나, 게이트에 대한 더욱 큰 제어를 갖고자 하는 요구가 존재한다. 이와 같은 제어를 수행하는 방법은 게이트 올 어라운드(gate-all-around; GAA) 아키텍처 및/또는 오메가 아키텍처 또는 퀴지 서라운드(quasi surround) 아키텍처를 이용하는 것을 포함한다. 그러나, GAA 구조물의 제조는 실질적인 도전과제에 직면한다. 유사하게, 퀴지 서라운드 아키텍처는 실리콘 온 인슐레이터(silicon-on-insulator; SOI) 기판 상에 이들의 형성으로 도입된 도전과제를 포함하는 공정 도전과제들을 갖는다.

[0003] 그러므로, 개선된 제어를 갖는 게이트 구조물을 제조하는 기존의 방법이 일부 목적에는 적합하지만, 추가적인 개선이 요구될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 목적은 핀 요소의 스템 영역을 포함하는 finFET 디바이스를 제조하는 방법을 제공하는 것이다.

**과제의 해결 수단**

[0005] 요약하면, 본 명세서에 논의된 방법 및 디바이스는 finFET 트랜지스터에 이용되는 핀 요소의 스템 영역의 다양한 실시예들을 제공한다. 본 명세서에 개시된 상이한 실시예들은 상이한 발명개시를 제공하고, 이들은 본 발명개시의 사상 및 범위로부터 벗어나지 않고 본 명세서에 다양한 변경, 대체, 및 변화를 행할 수 있다는 것이 이해된다.

[0006] 따라서, 본 명세서에 논의된 광범위한 실시예들 중 하나의 실시예에서, 반도체 디바이스를 제조하는 방법이 제공된다는 것을 이해한다. 방법은 기판의 제 1 (예컨대, 상단) 표면으로부터 확장된 핀을 갖는 기판을 제공하는 단계를 포함한다. 핀은 제 1 조성의 반도체 물질을 갖는 제 1 영역 및 제 2 조성의 반도체 물질을 갖는 제 2 영역을 갖는다. 제 2 조성은 제 1 조성과 상이하다. 예를 들어, 실시예에서, 제 1 조성은 SiGe 이고, 제 2 조성은 Si 이다. 그리고 나서, 방법은 제 1 조성의 반도체 물질의 폭을 감소시키기 위해서 핀의 제 1 영역을 수정하는 단계로 진행한다. 제 1 영역을 수정하는 단계의 예시적인 방식은 제 1 영역의 폭을 감소시키기 위해서 제 1 영역을 에칭하는 단계, 제 1 영역의 전도성 물질 부분의 폭을 감소시키기 위해서 제 1 영역 또는 제 1 영역의 일부를 산화시키는 단계, 및/또는 다른 방법들을 포함한다. 추가의 실시예에서, 방법은 제 1 영역을 에칭하는 단계 및 제 1 영역을 산화시키는 단계를 모두 포함한다. 그리고 나서, 방법은 핀의 제 2 영역 상에 게이트 구조물을 제공하는 단계로 진행한다.

[0007] 추가의 실시예에서, 방법은 핀 상에 더미 게이트 구조물을 형성하는 단계 및 트렌치를 제공하기 위해 더미 게이트 구조물을 제거하는 단계로 진행한다. 그리고 나서, 제 1 영역을 에칭하는 단계는 트렌치에서 제 1 영역을 에칭하는 단계에 의해 수행될 수 있다. 이것은 스템 영역의 자기 정렬된 형성 및 핀의 일부의 감소된 폭을 허용한다.

[0008] 추가의 실시예에서, 게이트 구조물을 형성하는 단계는 제 2 영역의 상단 표면, 제 1 측면 표면, 제 2 측면 표면, 및 하단 표면과 게이트 구조물 사이에 인터페이스를 형성하는 단계를 포함한다. 이와 같은 게이트 구조물은 오메가 게이트 구조물 또는 퀴지 서라운드 게이트 구조물로 언급될 수 있다. 실시예에서, 게이트 구조물을 형성하는 단계는 핀의 제 1 영역의 측면 상에 게이트 유전체를 증착하는 단계를 포함한다. 게이트 구조물과 연관된 채널 영역이 핀에 형성될 수 있다. 일 실시예에서, 채널 영역은 핀의 제 2 영역에만 있다.

[0009] 광범위한 실시예들 중 다른 실시예에서, 벌크 반도체 기판을 제공하는 단계를 포함하는 방법이 기술된다. 벌크 반도체 기판은 SOI 기판이 아닌 기판을 포함할 수 있다. 제 1 에피택셜층(예컨대, SiGe)이 벌크 반도체 기판 상에 성장되고, 제 2 에피택셜층(예컨대, Si)이 제 1 에피택셜층 상에 성장된다. 그 후에, 제 1 에피택셜층과 제 2 에피택셜층을 포함하는 핀 요소가 형성된다. 그리고 나서, 핀의 제 1 에피택셜층은 에칭되어 핀의 제 2 에피택셜층의 폭보다 작은 폭을 갖는 스템 영역을 형성한다. 그리고 나서, 트랜지스터의 채널이 핀의 제 2 에

피택셀 층에 형성된다.

[0010] 실시예에서, 제 1 에피택셜층을 에칭하는 단계는 선택적 에칭이어서 제 2 에피택셜층이 실질적으로 에칭되지 않도록 한다. 실시예에서, 방법은 핀의 제 2 에피택셜층 상에 게이트 구조물을 형성하는 단계를 더 포함하고, 여기서 게이트 구조물은 핀의 제 2 에피택셜층의 적어도 4개의 표면과 인터페이스한다(예컨대, 퀴지 서라운드 게이트 구조물 또는 오메가 게이트 구조물을 제공하는 하단 표면을 포함함). 방법은 제 1 에피택셜층의 에칭 단계 후에 스템 영역을 산화시키는 단계를 더 포함할 수 있다.

[0011] 기관 및 기관 상에 배치된 핀을 갖는 finFET 디바이스를 포함하는, 다수의 디바이스들이 또한 본 명세서에 기술된다. 핀은 부동 영역, 부동 영역 위에 놓여 있는 스템 영역, 및 스템 영역 위에 놓여 있는 활성 영역을 포함한다. 스템 영역은 제 1 폭을 갖고 활성 영역은 제 2 폭을 갖는다. 제 1 폭은 제 2 폭보다 작다. 스템 영역 및 활성 영역은 또한 상이한 조성을 갖는다. 게이트 구조물이 활성 영역 상에 배치된다.

[0012] 실시예에서, 기관은 벌크 반도체 기관(예컨대, SOI 기관이 아님)이다. 실시예에서, 게이트 구조물은 예를 들어 교체 게이트 방법에 의해 형성된 금속 게이트 전극을 포함한다. 실시예에서, 게이트 구조물은 핀의 활성 영역의 상단 표면, 제 1 측면 표면, 제 2 측면 표면, 및 하단 표면과 인터페이스한다. 따라서, 실시예에서, 게이트 구조물은 퀴지 서라운드 게이트 구조물 또는 오메가 게이트 구조물일 수 있다.

### 발명의 효과

[0013] 본 발명에 따르면, 핀 요소의 스템 영역을 포함하는 finFET 디바이스를 제조하는 방법을 제공하는 것이 가능하다.

### 도면의 간단한 설명

[0014] 본 개시의 양태들은 첨부 도면들과 함께 아래의 상세한 설명을 읽음으로써 가장 잘 이해된다. 본 산업계에서의 표준적인 실시예에 따라, 다양한 피쳐(feature)들은 실적으로 도시되지 않았음을 강조한다. 사실, 다양한 피쳐들의 치수는 설명의 명료함을 위해 임의적으로 증가되거나 또는 감소될 수 있다.

도 1은 본 개시의 하나 이상의 양태들에 따라 finFET 디바이스를 제조하는 방법의 실시예의 흐름도이다.

도 2는 본 개시의 하나 이상의 양태들에 따라 finFET 디바이스의 실시예의 배경도이다. 이하에 논의되는 바와 같이 finFET 요소의 일부(예컨대, 게이트 구조물의 4분의 1)가 나타난다는 것을 유념한다.

도 3은 본 개시의 하나 이상의 양태들에 따라 finFET 디바이스의 실시예의 횡단면도이다.

도 4는 본 개시의 하나 이상의 양태들에 따라 에칭된 스템 영역(stem region)을 갖는 finFET 디바이스를 제조하는 방법의 실시예의 흐름도이다.

도 5 내지 도 9는 도 4의 방법의 하나 이상의 단계들에 따라 제조된 finFET 디바이스의 실시예의 횡단면도를 나타낸다.

도 10은 본 개시의 하나 이상의 양태들에 따라 산화된 스템 영역을 갖는 finFET 디바이스를 제조하는 방법의 실시예의 흐름도이다.

도 11 내지 도 17은 도 4의 방법의 하나 이상의 단계들에 따라 제조된 finFET 디바이스의 다양한 실시예들의 횡단면도를 나타낸다.

도 18a, 도 18b, 도 19a, 도 19b, 도 20a, 도 20b, 도 21a, 도 21b, 도 22a, 도 22b, 도 23a, 및 도 23b는 본 개시의 하나 이상의 단계들에 따라 제조된 finFET 디바이스의 실시예들의 횡단면도를 나타낸다.

도 24a, 도 24b, 도 25a, 및 도 25b는 본 개시의 하나 이상의 단계들에 따라 제조된 p-채널 finFET 디바이스의 실시예들의 횡단면도를 나타낸다.

### 발명을 실시하기 위한 구체적인 내용

[0015] 다음의 개시는 본 발명의 상이한 피쳐(feature)들을 구현하는 다수의 상이한 실시예들, 또는 예들을 제공한다는 것을 이해할 것이다. 컴포넌트 및 장치의 특정한 예들은 본 개시를 단순화하기 위해 이하에 설명된다. 물론, 이러한 설명은 단지 예일 뿐 제한하기 위한 것이 아니다. 더욱이, 이어지는 설명에서 제 2 피쳐 위에 제 1 피쳐의 형성은, 제 1 피쳐 및 제 2 피쳐가 직접 접촉하여 형성되는 실시예들을 포함할 수 있고, 제 1 피쳐 및 제

2 피처가 직접 접촉하여 형성되지 않도록 제 1 피처와 제 2 피처를 인터포즈(interpose)하는 추가적인 피처들이 형성되는 실시예들을 또한 포함할 수 있다. 다양한 피처들은 단순함과 명료함을 위해 상이한 크기로 임의적으로 그려질 수 있다.

[0016] 도 1은 본 개시의 다양한 양태들에 따라 finFET 디바이스를 제조하는 방법(100)을 나타내는 흐름도이다. 추가적인 단계들이 상기 방법(100) 이전에, 방법(100) 동안에, 그리고 방법(100) 이후에 제공될 수 있고, 이하에 기술된 단계들의 일부는 상기 방법의 추가적인 실시예들을 위해 교체되거나 제거될 수 있다는 것이 이해된다. 본 발명개시에서 이용됨에 따라, 용어 finFET 디바이스는 나노와이어 트랜지스터를 포함하는, 임의의 핀 기반, 멀티 게이트 트랜지스터를 나타낸다. 본 명세서에서 기술되는 finFET 디바이스는 마이크로프로세서, 메모리 셀, 및/또는 다른 집적 회로 디바이스에 포함될 수 있다.

[0017] 방법(100)은 반도체 기판이 제공되는 블록(102)에서 시작한다. 기판은 결정의 실리콘 및/또는 게르마늄을 포함하는 기본 반도체; 실리콘 카바이드, 갈륨 비소, 그리고 갈륨 인, 인듐 인, 인듐 비소와 같은 III-V족 반도체, 및/또는 안티몬화 인듐을 포함한 화합물 반도체; SiGe, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, 및/또는 GaInAsP 를 포함한 혼정 반도체; 또는 이들의 조합을 포함하는 반도체 기판일 수 있다. 기판은 적합하게 도핑된 다양한 영역(예컨대, p형 전도성 또는 n형 전도성)을 포함할 수 있다. 반도체 기판은 SOI 기판이 아닐 수 있고, 다시 말해서 벌크 반도체 기판일 수 있다. 다른 실시예들에서, 반도체 기판은 SOI 기판이다. 기판은 복수의 에피택셜층을 포함할 수 있고, 예를 들어 다층 기판으로 언급될 수 있다.

[0018] 그리고 나서, 방법(100)은 블록(104)으로 진행하고, 여기에서 기판으로부터 확장되는 핀 요소(또는 핀)가 형성된다. 복수의 핀들이 형성되어, 예를 들어 셸로우 트렌치 분리(shallow trench isolation; STI) 피처와 같은 분리 영역이 핀들을 인터포즈하도록 한다. 핀은 임의의 적합한 물질, 예를 들어 실리콘(Si-핀)을 포함할 수 있다. 실시예에서, 핀은 벌크 반도체 기판 상에 성장된 하나 이상의 에피택셜층과 같은 다수의 층들 및/또는 벌크 반도체 기판 그 자체를 포함할 수 있다. 핀은 다양한 증착 공정, 포토리소그래피 공정, 에칭 공정, 에피택시 공정 및/또는 다른 적합한 공정을 포함하는 임의의 적합한 공정에 의해 형성될 수 있다. 예시적인 포토리소그래피 공정은 기판 위에 놓이는 (예컨대, 실리콘층 또는 다른 에피택셜층 상에) 포토레지스트층(레지스트)을 형성하는 단계, 패턴에 레지스트를 노출하는 단계, 포스트 노출 베이킹 공정을 수행하는 단계, 및 레지스트를 포함하는 마스크 요소를 형성하기 위해서 레지스트를 현상하는 단계를 포함할 수 있다. 그러면, 마스크 요소는 반도체 물질층(들) 내에 핀 구조물을 에칭하는데 이용될 수 있다. 핀은 반응성 이온 에칭(reactive ion etch; RIE) 공정 및/또는 다른 적합한 공정을 이용하여 에칭될 수 있다. 대안적으로, 핀은 더블 패턴링 리소그래피(double-patterning lithography; DPL) 공정에 의해 형성된다. DPL은 패턴을 두 개의 인터리브 패턴으로 분할함으로써 기판 상에 패턴을 구성하는 방법이다. DPL은 향상된 피처 (예컨대, 핀) 밀도를 허용한다. 더블 노출 (예컨대, 두 개의 마스크 세트를 이용함), 피처에 인접하게 스페이서 형성, 및 스페이서의 패턴을 제공하기 위해 피처를 제거, 레지스트 프리징, 및/또는 다른 적합한 공정들을 비롯한 다양한 DPL 방법들이 이용될 수 있다. 다시 한번, 각각의 핀은 다수의 층(예컨대, 벌크 반도체 기판 및 위에 놓여 있는 에피택셜 층(들))을 포함할 수 있다. 대안적으로, 핀은 STI 피처의 개구부 안에 에피택셜 성장될 수 있다. 예로서, 이러한 개구부 또는 홈은 기판에 실리콘 핀을 에칭하고, STI로 핀들 사이의 공간을 충전하고, 그리고 나서 개구부를 제공하기 위해 핀을 에칭하여 제거함으로써 생성될 수 있다.

[0019] 방법(100)은 블록(106)으로 진행하고, 여기에서 스템 영역(stem region)이 기판으로부터 확장된 핀 구조물(또한 핀으로도 언급됨)에 형성된다. 스템 영역은 핀의 활성 영역(active region) 밑에 놓여 있는 핀의 영역을 포함한다. 핀의 활성 영역은 핀과 연관된 트랜지스터 디바이스(즉, finFET)의 채널 영역을 제공할 수 있다. 부분 산화, 완전 산화 및/또는 핀의 활성 영역 밑에 놓여 있는 전도성 영역을 줄이기 위한 다른 적합한 수단에 의해 스템 영역은 활성 영역에 비해 폭이 감소될 수 있다. (디바이스의 게이트 길이에 대응하는 핀의 치수는 이하에 논의되는 횡단면도로 볼 때 그 폭으로서 본 명세서에서 나타남을 유의한다.) 스템 영역의 형성의 실시예들이 이하에 더욱 상세하게 논의된다.

[0020] 스템 영역은 예를 들어 핀의 활성 영역의 조성(composition)과는 상이한, 정해진 조성을 갖는 핀의 부분에 형성될 수 있다. 실시예에서, 스템 영역은 핀의 활성 영역의 조성과 비교해 볼 때, 선택적으로 에칭 및/또는 선택적으로 산화되는 조성을 포함한다. 스템 영역은 제 1 에피택셜층을 포함하고, 활성 영역은 제 2 에피택셜층을 포함한다. 핀의 부동 영역(passive region)이 스템 영역 밑에 놓여 있을 수 있다. 실시예에서, 부동 영역은 벌크 반도체 기판의 조성을 가질 수 있다.

[0021] 실시예에서, 스템 영역은 교체 게이트 방법 또는 게이트 라스트 방법 동안에 형성된다(예컨대, 원래 형성된 핀

의 수정). 실시예에서, 핀의 형성 이후에, 더미 게이트 구조물이 그 위에 형성된다. 스페이서 요소 및 둘러싸는 층간 유전체(interlayer dielectric; ILD) 층이 더미 게이트 구조물 주변에 형성된다. 더미 게이트 구조물은 그 후에 제거되고 트렌치가 형성된다. 스템 영역의 형성(예컨대, 에칭 및/또는 산화)은 트렌치에 의해 제공된 개구부에서 수행될 수 있다.

[0022] 그리고 나서, 방법(100)은 블록(108)으로 진행하고, 여기에서 게이트 구조물이 핀의 활성 영역 상에 형성된다. 게이트 구조물은 게이트 라스트 방법 또는 교체 게이트 방법에 의해 형성될 수 있다(예컨대, 앞서 기술된 트렌치에 형성됨). 게이트 구조물은 게이트 유전층, 게이트 전극층, 및/또는 캡핑층, 계면층, 일 함수층, 확산/장벽층 등과 같은 다른 적합한 층들을 포함할 수 있다. 게이트 구조물 및/또는 핀은 게이트 구조물이 핀 구조물의 일부 주변을 랩핑하도록 패턴화될 수 있다. 예를 들어, 게이트 구조물은 핀 구조물의 활성 영역의 적어도 3개의 표면(예컨대, 상단 표면과 대향하는 측면 표면들)에 접촉할 수 있다. 추가의 실시예에서, 게이트는 핀 구조물의 주변 또는 퀴지 주변을 랩핑하여 게이트 구조물이 핀 구조물의 활성 영역의 제 4 표면(예컨대, 하단 표면)에 접촉하도록 한다. 이와 같은 게이트는 본 명세서에서 오메가 게이트 구조물 또는 퀴지-서라운드 게이트 구조물로 언급될 수 있다.

[0023] 게이트 유전층은 실리콘 질화물, 실리콘 산화물, 고유전율(high-k) 유전체, 다른 적합한 유전체, 및/또는 이들의 조합과 같은 유전체를 포함한다. 고유전율 유전체의 예는,  $HfO_2$ ,  $HfSiO$ ,  $HfSiON$ ,  $HfTaO$ ,  $HfTiO$ ,  $HfZrO$ , 산화지르코늄, 산화알루미늄, 하프늄 다이옥사이드 알루미늄(hafnium dioxide-alumina;  $HfO_2-Al_2O_3$ ) 합금, 다른 적합한 고유전율 유전체, 및/또는 이들의 조합을 포함한다. 게이트 전극은 폴리실리콘, 알루미늄, 구리, 티타늄, 탄탈륨, 텅스텐, 몰리브덴, 탄탈륨 질화물, 니켈 실리사이드, 코발트 실리사이드,  $TiN$ ,  $WN$ ,  $TiAl$ ,  $TiAlN$ ,  $TaCN$ ,  $TaC$ ,  $TaSiN$ , 금속 합금, 다른 적합한 물질, 및/또는 이들의 조합과 같은 임의의 적합한 물질을 포함한다. 게이트 구조물은 게이트 라스트 방법 또는 교체 게이트 방법을 이용하여 형성될 수 있다. 소스/드레인 피치는 핀 구조물의 활성 부분의 양 측 상에 놓여 있는 핀의 확장부에 형성될 수 있다. 소스/드레인 피치는 이온 주입 공정, 확산 공정, 레이저 어닐링 공정, 에피택셜 성장 공정 및/또는 다른 적합한 공정을 이용하여 형성될 수 있다.

[0024] 방법(100)은 각각 도 4의 방법(400) 및 도 10의 방법(1000)과 같은 이하에 기술된 방법들 중 임의의 방법을 이용하여 구현될 수 있다. 방법(100) 또는 방법의 일부의 일부 실시예들의 이점은 예를 들어, 서브스레슬드 슬로프(subthreshold slope) (스윙)을 개선시키는 것을 포함할 수 있다. 서브스레슬드 슬로프를 개선시키는 것은 연관된 트랜지스터의  $I_{on}/I_{off}$  비율을 증가시킬 수 있다. 이것은 공급 전압 및/또는 전력 소비의 감소를 허용할 수 있다. 방법(100) 또는 방법의 일부는 또한 디바이스의 성능을 또한 개선시킬 수 있는 연관된 트랜지스터의 드레인 유기 장벽 감소(drain-induced-barrier-lowering; DIBL)를 개선시키는 것을 제공할 수 있다.

[0025] 도 2 및 도 3은 핀(202)을 구비하는 반도체 디바이스(200)의 일부의 실시예를 나타낸다. 반도체 디바이스(200)는 finFET 디바이스(예컨대, 트랜지스터) 또는 이의 임의의 부분(예컨대, 핀)을 나타낸다. 도 2에 디바이스(200)의 일부가 나타났음을 유념한다. 예를 들어, 디바이스(200)의 4분의 1 또는 사분면이 나타났지만, 예컨대, 핀(202) 센터 라인 아래의 한 측면의 부분 및 핀을 교차하는 센터 라인의 한 측면의 부분이 도시되었지만, 미리 이미지는 도시되지 않는다. 도 4는 finFET 디바이스(200)의 a-a 상의 측면을 나타낸다. 추가적인 피쳐들이 반도체 디바이스(200)에 추가될 수 있고, 이하에 기술된 피쳐들 중 일부는 반도체 디바이스(200)의 추가적인 실시예들을 위해 교체되거나 제거될 수 있다는 것이 또한 이해된다.

[0026] 핀(202)은 활성 영역(204), 스템 영역(206) 및 부동 영역(208)을 포함한다. 반도체 디바이스(200)의 채널은 활성 영역(204)에 제공될 수 있다. 예시된 바와 같이, 스템 영역(206)은 활성 영역(204)의 폭( $W_a$ ) 및/또는 부동 영역(208)의 폭( $W_p$ )보다 작은 폭( $W_s$ )을 포함할 수 있다. 폭( $W_p$ )은 폭( $W_a$ )과 실질적으로 동일할 수 있다. 폭( $W_s$ )은 폭( $W_a$ ) 및/또는 폭( $W_p$ )의 대략 1%와 대략 99% 사이에 있을 수 있다. 실시예에서, 폭( $W_s$ )은 폭( $W_a$ ) 및/또는 폭( $W_p$ )의 대략 40%와 대략 60% 사이에 있을 수 있다. 추가의 예로서, 실시예에서, 핀의 폭( $W_a$  및/또는  $W_p$ )은 대략 10 나노미터일 수 있고, 스템 영역의 폭( $W_s$ )은 대략 5 나노미터일 수 있다. 추가의 예로서, 실시예에서, 핀의 폭( $W_a$  및/또는  $W_p$ )은 대략 6 나노미터일 수 있고, 스템 영역의 폭( $W_s$ )은 대략 3 나노미터일 수 있다. 실시예에서, 대략 50% 만큼의  $W_s$ 의 감소는 인자 10 만큼의  $I_{off}$ 의 감소를 제공한다.

[0027] 게이트 구조물(210)(또는 이의 일부)이 핀(202) 상에 및 주변에 나타난다. 게이트 구조물(210)은 게이트 유전층(210a) 및 게이트 전극층(210b)을 포함할 수 있지만, 다수의 다른 층들이 존재할 수 있다. 소스/드레인 영역(212)이 게이트 구조물(210)에 인접하게 제공된다. 실시예에서, 소스/드레인 영역(212)은 에피택셜 성장된 반

도체 물질이다. 웰로우 트렌치 분리(STI) 피처와 같은 분리 피처(214)가 핀에 인접하게 형성된다.

- [0028] 실시예에서, 디바이스(200)는 실리콘 온 인슐레이터(SOI) 기판 상에 형성되지 않음을 유념한다. 예를 들어, 디바이스(200)는 벌크 (예컨대, 반도체) 기판 상에 제공될 수 있다. 다른 실시예들에서, 디바이스(200)는 SOI 기판 상에 형성된다.
- [0029] 도 2 및 도 3의 스템 영역(204)은 오직 예시적인 것으로, 제한하고자 의도된 것이 아님을 유념한다. 예를 들어, 본 개시의 양태들에 따른 다른 실시예들이 이하에 논의되고, 감소된 폭 또는 디바이스의 활성 부분 및/또는 부동 부분의 폭과 실질적으로 유사한 폭을 갖는 핀 물질의 산화된 형태를 포함하는 스템 영역을 포함한다.
- [0030] 앞서 논의된 바와 같이, 디바이스(200)는 일정한 폭의 핀 및/또는 스템 영역이 없는 종래의 finFET 디바이스와 비교할 때 성능의 개선이 나타날 수 있다. 예를 들어, 실시예에서, 스템 영역을 제공하는 것은 앞서 논의된 바와 같이 Ioff를 줄인다. 다른 예로서, 실시예에서, 스템 영역을 제공하는 것은 포화 서브스레숄드 슬로프(SSat)를 개선시킨다. 또 다른 예로서, 실시예에서, 스템 영역을 제공하는 것은 DIBL를 개선시킨다.
- [0031] 이제 도 4를 참조하면, finFET 디바이스를 제조하는 방법(400)이 나타난다. 방법(400)은 방법(100)의 실시예일 수 있고, 도 1, 도 2 및 도 3에 대하여 나타난, 방법(100) 및/또는 디바이스(200)를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다. 도 5, 도 6, 도 7, 도 8, 및 도 9는 방법(400)의 하나 이상의 단계들에 대응하는 finFET 디바이스(유사하게, 면 a-a를 따라 취해짐)의 예시적인 실시예의 횡단면도이다.
- [0032] 방법(400)은 에피택셜층(들)을 갖는 기판이 제공되는 블록(402)에서 시작한다. 기판은 도 1, 도 2 및/또는 도 3을 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다. 기판은 예를 들어 그 위에 형성된 하나 이상의 에피택셜층을 갖는 벌크층과 같은 복수의 층들을 포함할 수 있다. 예를 들어, 벌크층 및 에피택셜층은 상이한 조성을 갖는다. 예를 들어, 실시예에서, 기판은 그 위에 배치된 SiGe 층(예컨대, 에피택셜 성장되거나 다른 식으로 증착됨)을 갖는 실리콘 벌크 기판을 포함한다. 실리콘층(예컨대, 에피택셜 성장되거나 다른 식으로 증착됨)과 같은 다른 반도체층이 SiGe 층 상에 제공될 수 있다. 그러나, 본 개시는 실리콘/실리콘 게르마늄 조합으로 제한되지 않는다. 예를 들어, 반도체 물질의 임의의 조합이 다층 기판에 제공될 수 있다. 실시예에서, 반도체 물질은 III-V족 물질을 포함한다. 예시적인 반도체 물질은 Ge, SiGe, SiGeC, SiC, Si, 및/또는 다른 적합한 물질을 포함한다. 이하에 나타나는 바와 같이, 반도체 물질의 선택을 위한 기준은 이용되는 물질의 에칭률 및/또는 산화율의 차이(예컨대, 핀의 스템 영역의 에칭률/산화율과 함께 핀의 활성 영역 및/또는 핀의 부동 영역의 에칭률/산화율의 차이)를 포함할 수 있다.
- [0033] 도 5의 예를 참조하면, 기판(502)이 제공된다. 기판(502)은 다층 기판이다. 기판(502)은 벌크층(504), 제 1 층(506), 및 제 2 층(508)을 포함한다. 제 1 층(506) 및/또는 제 2 층(508) 중 하나 이상이 에피택셜 성장 공정에 의해 형성될 수 있다. 제 1 층(506)은 스템 영역 형성층으로 언급될 수 있다. 제 1 층(506)은 벌크층(504) 및/또는 제 2 층(508)과 상이한 조성을 가질 수 있다. 제 1 층(504)의 에칭률 및/또는 산화율은 제 2 층(508) 및/또는 벌크층(504)의 에칭률 및/또는 산화율과 상이할 수 있다. 실시예에서, 제 1 층(506)은 제 2 층(508) 및/또는 벌크층(504)의 조성보다 증가된 에칭률 및/또는 산화율을 갖는 조성을 포함한다. 실시예에서, 벌크층(504) 및 제 2 층(508)은 실질적으로 유사한 조성을 포함한다. 일 실시예에서, 벌크층(504)은 실리콘이고, 제 2 층(508)은 실리콘이며, 제 1 층(506)은 SiGe 이다. 추가의 실시예에서, 벌크층(504) 및/또는 제 2 층(508)은 적합하게 도핑된다(예컨대, P-Si).
- [0034] 그리고 나서, 방법(400)은 블록(404)으로 진행하고, 여기에서 하나 이상의 핀들이 기판 상에 형성된다. 핀은 도 1, 도 2 및/또는 도 3을 참조하여 앞서 논의된 것과 실질적으로 유사하게 형성될 수 있다. 핀은 각각 다층 핀(예컨대, 복수의 층 및/또는 조성을 포함함)일 수 있다. 도 6의 예를 참조하면, 핀(602)은 기판(502)에 형성된다. 핀(602)은 벌크층(504), 제 1 층(506), 및 제 2 층(508)을 포함한다. 핀(602)은 또한 정의된 활성 영역(604), 스템 형성 영역(606) 및 부동 영역(608)을 포함한다. 이러한 영역들은 다음 단계들에서 더욱 상세히 논의된다.
- [0035] 그리고 나서, 방법(400)은 블록(406)으로 진행하고, 여기에서 분리 영역이 핀 구조물에 인접하게 및/또는 핀 구조물을 인터포즈하도록 형성된다. 분리 영역은 도 1, 도 2 및/또는 도 3을 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다. 분리 영역은 STI 피처를 포함할 수 있다. 실시예에서, 분리 영역은 실리콘 이산화물과 같은 유전체를 포함한다. 실시예에서, 블록(406)은 블록(404)에 앞설 수 있다. 도 7의 예를 참조하면, STI 구조물(214)이 핀(602)에 인접하게 기판(502) 상에 배치된다. 실시예에서, STI 구조물(214)은 스템 영역(606)의 표면과 실질적으로 동일 평면인 상단 표면을 갖는다. 실시예에서, STI 구조물(214)은 스템 영역(606)의 표면과



동일 평면이 아닌(예컨대, 위에 또는 밑에 놓여 있음) 상단 표면을 갖는다.

- [0036] 그리고 나서, 방법(400)은 블록(408)으로 진행하고, 여기에서 스템 영역이 핀에 형성된다. 실시예에서, 스템 영역은 핀의 스템 형성 영역을 에칭함으로써 형성된다. 실시예에서, 스템 형성 영역은 반응성 이온 에칭(RIE) 공정, 습식 에칭 공정, 건식 에칭 공정, 및/또는 다른 적합한 에칭 공정을 이용하여 에칭될 수 있다. 에칭은 스템 영역에 있는 핀의 폭의 감소를 제공할 수 있다. (핀의 폭은 게이트 길이를 정의하는 핀의 활성 영역의 치수에 대응할 수 있다.) 에칭은 활성 영역의 폭 및/또는 밑에 놓여 있는 부동 영역의 폭보다 작은 폭을 갖는 핀의 스템 영역을 제공할 수 있다. 도 8의 예를 참조하면, 핀의 스템 영역(606)은 에칭되어(즉, 에칭된 제 1 층(506)) 그 폭( $W_s$ )이 감소되도록 한다. 실시예에서, 폭( $W_s$ )는 폭( $W_a$ ) 및/또는 폭( $W_p$ )의 대략 1%와 대략 99% 사이에 있을 수 있다. 실시예에서, 폭( $W_s$ )는 폭( $W_a$ ) 및/또는 폭( $W_p$ )의 대략 40%와 대략 60% 사이에 있을 수 있다.
- [0037] 그리고 나서, 방법(400)은 블록(410)으로 진행하고, 여기에서 게이트 구조물이 핀의 활성 영역 상에 형성된다. 핀의 활성 영역은 블록(408)에서 제공된 핀의 스템 영역 위에 놓여 있다. 게이트 구조물은 도 1, 도 2 및 도 3을 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다. 실시예에서, 게이트 구조물은 게이트 유전층 및 게이트 전극층을 포함한다. 도 9의 예를 참조하면, 게이트 구조물(210)이 핀(604)의 활성 영역 상에 배치된다. 게이트 구조물(210)은 게이트 유전층(210b) 및 게이트 전극층(210a)을 포함한다.
- [0038] 실시예에서, 블록(410)은 게이트 라스트 방법 또는 교체 게이트 방법의 일부로 금속 게이트 구조물을 형성하는 단계를 포함한다. 실시예에서, 더미 게이트(예컨대, 폴리실리кон)이 핀의 스템 영역의 형성(예컨대, 블록(408)의 에칭) 전에 핀 상에 형성된다. 그리고 나서, 이러한 더미 게이트 구조물의 부분은 제거되지만 둘러싼 물질 - 스페이서 및 유전체(예컨대, ILD) - 은 남아서 교체 게이트가 형성될 수 있는 트렌치를 정의한다. 더미 게이트(예컨대, 폴리실리кон)의 제거는 밑에 있는 핀 구조물을 노출시킨다. 그리고 나서, 노출된 핀은 에칭되어 블록(408)을 참조하여 앞서 기술된 바와 같은 스템 영역을 형성할 수 있다. 이것은 핀의 스템 영역에 자기 정렬된 에칭을 제공한다.
- [0039] 이제 도 10을 참조하면, finFET 디바이스를 제조하는 방법(1000)이 나타난다. 방법(1000)은 방법(100)의 실시예일 수 있고, 도 1, 도 2 및 도 3에 대하여 나타난, 방법(100) 및/또는 디바이스(200)를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다. 도 5, 도 6, 도 7, 도 8, 도 11 및 도 12는 방법(1000)의 하나 이상의 단계들에 대응하는 finFET 디바이스(유사하게, 도 2에 나타난 바와 같이 면 a-a를 따라 취해짐)의 예시적인 실시예의 횡단면도이다.
- [0040] 방법(1000)은 에피택셜층(들)을 갖는 기판이 제공되는 블록(1002)에서 시작한다. 실시예에서, 복수의 (예컨대, 2개의) 에피택셜층이 벌크 반도체 기판 상에 제공된다. 블록(1002)은 도 4를 참조하여 앞서 기술된, 블록(402)과 실질적으로 유사할 수 있다. 도 5는 예시적인 실시예를 나타내고, 또한 앞서 기술된 것을 나타낸다. 그리고 나서, 방법(1000)은 블록(1004)으로 진행하고, 여기에서 기판으로부터 확장되는 핀 또는 복수의 핀들이 형성된다. 핀은 에피택셜층(들) 및 벌크 반도체 물질을 포함할 수 있다. 블록(1004)은 도 4를 참조하여 앞서 기술된, 블록(404)과 실질적으로 유사할 수 있다. 도 6은 예시적인 실시예를 나타내고, 또한 앞서 기술된 것을 나타낸다. 그리고 나서, 방법(1000)은 블록(1006)으로 진행하고, 여기에서 분리 영역이 핀 구조물에 인접하게 및/또는 핀 구조물을 인터포즈하도록 형성된다. 블록(1006)은 도 4를 참조하여 앞서 기술된, 블록(406)과 실질적으로 유사할 수 있다. 도 7은 예시적인 실시예를 나타내고 또한 앞서 기술된 것을 나타낸다.
- [0041] 그리고 나서, 방법(1000)은 블록(1008)으로 진행하고, 여기에서 스템 영역이 핀에 형성된다. 블록(1008)은 도 4를 참조하여 앞서 기술된, 블록(408)과 실질적으로 유사할 수 있다. 도 8은 예시적인 실시예를 나타내고 또한 앞서 기술된 것을 나타낸다. 실시예에서, 스템 영역은 도 8에 예시되고 앞서 기술된 바와 같이, 핀의 스템 형성 영역의 폭을 감소시킴으로써 형성된다.
- [0042] 그리고 나서, 방법(1000)은 블록(1010)으로 진행하고, 여기에서 스템 영역이 산화된다. 실시예에서, 스템 영역은 블록(1008)을 참조하여 앞서 기술된 스템 영역 에칭 공정 이후에 산화된다. 다른 실시예에서, 스템 영역은 에칭 전에 산화되거나 또는 에칭과 동시에 산화될 수 있다. 실시예에서, 스템 영역은 실리콘 게르마늄을 포함하여, 이는 산화되어 SiGeO를 형성한다. 그러나, 예를 들어 실리콘 이산화물, SiGeO, SiCO, GeO, 및/또는 다른 적합한 산화물을 포함하는 다른 조성도 가능하다.
- [0043] 실시예에서, 스템 영역은 부분적으로 산화된다. 도 11은 산화된 영역(1104)을 형성하도록 부분적으로 산화된 스템 영역(606)을 갖는 핀(1102)의 실시예를 나타낸다. 산화된 영역(1104)은 스템 영역(606)을 통해 확장되지

않는다. 스템 영역(606)은 앞서 논의된 것과 실질적으로 유사한, 폭(Ws)을 가질 수 있다. 실시예에서, 산화된 영역(1104)은 SiGeO 이다. 그러나, 예를 들어 실리콘 이산화물, SiGeCO, SiCO, GeO<sub>2</sub>, 및/또는 다른 적합한 산화물을 포함하는 다른 조성도 가능하다.

[0044] 다른 실시예에서, 스템 영역은 완전히 산화된다. 도 12는 실질적으로 완전히 산화된 스템 영역(606)을 갖는 핀(1202)의 실시예를 나타낸다. 산화된 영역(1204)은 스템 영역(606)을 통해 확장된다. 스템 영역(606)은 앞서 논의된 것과 실질적으로 유사한, 폭(Ws)을 가질 수 있다. 실시예에서, 산화된 영역(1204)은 SiGeO 이다. 그러나, 예를 들어 실리콘 이산화물, SiGeCO, SiCO, GeO<sub>2</sub>, 및/또는 다른 적합한 산화물을 포함하는 다른 조성도 가능하다.

[0045] 그리고 나서, 방법(1000)은 블록(1012)으로 진행하고, 여기에서 게이트 구조물이 핀의 활성 영역 상에 형성된다. 블록(1012)은 도 4를 참조하여 앞서 기술된, 블록(410)과 실질적으로 유사할 수 있다. 핀의 활성 영역은 블록(1008) 및 블록(1010)에 의해 제공된 핀의 스템 영역 위에 놓여 있다. 도 13의 예를 참조하면, 게이트 구조물(210)이 핀(1102)의 활성 영역 상에 배치된다. 게이트 구조물(210)은 게이트 유전층(210b) 및 게이트 전극층(210a)을 포함한다. 도 13은 핀(1102) 상에 형성된 게이트 구조물을 나타낸다는 것을 언급한다. 실시예에서, 실질적으로 유사한 게이트 구조물이 완전히 산화된 스템 영역(606)을 포함하는 핀(1202) 상에 형성된다.

[0046] 실시예에서, 블록(1012)은 게이트 라스트 방법 또는 교체 게이트 방법의 일부로 금속 게이트 구조물을 형성하는 단계를 포함한다. 실시예에서, 더미 게이트(예컨대, 폴리실리콘)이 핀의 스템 영역의 형성 또는 처리(예컨대, 블록(1008) 및/또는 블록(1010)의 에칭 및/또는 산화) 전에 핀 상에 형성된다. 그리고 나서, 이러한 더미 게이트 구조물의 부분은 제거되지만, 예를 들어 스페이서 및 유전체(예컨대, ILD)는 기판 상에 남아서 교체 게이트가 형성될 수 있는 트렌치를 정의한다. 더미 게이트(예컨대, 폴리실리콘)의 제거는 핀 구조물을 노출시킨다. 그리고 나서, 노출된 핀은 에칭 및/또는 산화되어 블록(1008) 및/또는 블록(1010)을 참조하여 앞서 기술된 바와 같은 스템 영역을 형성할 수 있다. 이것은 핀의 스템 영역에, 에칭과 같은, 자기 정렬된 공정을 제공한다.

[0047] 앞서 논의된 방법(1000) 및 도 7, 도 8, 도 9, 도 11 및 도 12에 나타난 바와 같은 실시예에서, 핀을 인터포즈 하도록 형성된 분리 영역의 상단 표면은 실질적으로 스템 영역의 하단 표면과 동일 평면에 있다. 그러나, 이하에 논의되는 구성을 포함하는 다른 구성들도 가능하다.

[0048] 예를 들어, 방법(1000)의 다른 실시예에서, 분리 영역이 형성되는 블록(1006)에서, 분리 영역은 핀에 인접하게 형성될 수 있어, 분리 구조물은 핀의 스템 영역의 하단 표면의 위에 놓여 있는 상단 표면을 갖도록 한다. 도 14는 제 1 에피택셜층(506) 및 대응하는 스템 영역(606)의 하단 표면 위에 놓여 있는 상단 표면을 갖는 분리 구조물(1402)을 예시하고 나타낸다. 분리 구조물(1402)은 도 1, 도 2 및/또는 도 3을 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다. 분리 영역은 STI 피치를 포함할 수 있다. 실시예에서, 분리 영역은 실리콘 이산화물과 같은 유전체를 포함한다.

[0049] 그리고 나서, 방법(1000)은 블록(1008)으로 진행하고, 여기에서 스템 영역이 핀에 형성된다. 블록(1008)은 도 4를 참조하여 앞서 기술된, 블록(408)과 실질적으로 유사할 수 있다. 그러나, 분리 영역이 핀의 스템 영역의 측면의 일부를 커버하기 때문에, 스템 영역의 일부는 에칭되지 않는다. 도 15는 스템 영역(1502)을 형성하기 위해 에칭되고 있는 제 1 에피택셜층(506)을 나타낸다. 스템 영역(1502)은 폭(Ws)을 갖는 제 1 부분 및 실질적으로 Wp와 유사할 수 있는 폭(Ws2)을 갖는 제 2 부분을 포함한다. 실시예에서, 스템 영역(1502)은 실질적으로 제 2 층(508) 아래에 중심이 있을 수 있다.

[0050] 실시예에서, 그리고 나서, 방법(1000)은 블록(1010)으로 진행하고, 여기에서 스템 영역(노출되어 에칭되고 있는 제 1 부분 및 분리 구조물의 상단 표면 밑에 놓여 있는 제 2 부분을 구비함)은 산화된다. 실시예에서, 블록(1010)을 참조하여 앞서 논의된 것과 실질적으로 유사하게, 스템 영역은 실리콘 게르마늄을 포함하여, 이는 산화되어 SiGeO 를 형성한다. 그러나, 예를 들어 실리콘 이산화물, SiGeCO, SiCO, GeO<sub>2</sub>, 및/또는 다른 적합한 산화물을 포함하는 다른 조성도 가능하다.

[0051] 실시예에서, 스템 영역은 완전히 산화된다. 도 16은 완전히 산화된 스템 영역(1602)을 갖는 핀의 실시예를 나타낸다. 산화된 영역은 스템 영역의 폭을 통해 확장된다. 실시예에서, 산화된 영역(1602)은 실질적으로 제 2 층(508) 아래에 중심이 있을 수 있다.

[0052] 실시예에서, 스템 영역은 부분적으로 산화된다. 도 17은 부분적으로 산화된 스템 영역(1702)을 갖는 핀의 실시

예를 나타낸다. 부분적으로 산화된 영역(1702)은 산화된 물질(1704)을 포함하고, 이는 스템 영역(606)을 통해 확장되지 않는다(예컨대, 반도체 물질(506)의 일부가 남아 있다). 실시예에서, 산화된 물질(1704)은 SiGeO 이고, 스템 영역(1702)의 반도체 물질(506)은 실리콘 게르마늄이다. 그러나, 예를 들어 실리콘 및 실리콘 산화물, 실리콘 게르마늄 카바이드 및 SiGeCO, 실리콘 카바이드 및 SiCO, 게르마늄 및 GeO, 및/또는 다른 적합한 반도체 및 반도체의 산화물을 포함하는 다른 조성도 가능하다. 부분적으로 산화된 스템 영역(1702)은 실질적으로 제 2 층(508) 아래에 중심이 있을 수 있다는 것을 유념한다.

[0053] 그리고 나서, 방법(1000)은 블록(1012)으로 진행하고, 여기에서 게이트 구조물이 핀의 활성 영역 상에 형성된다. 블록(1012)은 앞서 기술된 것과 실질적으로 유사할 수 있다. 도 13은 핀(1102) 상에 형성된 게이트 구조물을 나타낸다는 것을 유념한다. 실시예들에서, 실질적으로 유사한 게이트 구조물이 요소(1602 및/또는 1702)와 같은 스템 영역을 갖는 핀 상에 형성된다.

[0054] 도 16 및/또는 도 17에 나타난 바와 같은 예시적인 실시예들은 게이트 구조물과 기판 사이의 커패시턴스의 감소와 같은 이점을 제공할 수 있다.

[0055] 도 11 내지 도 17은 도 10을 참조하여 앞서 기술된, 방법(1000)을 이용하여 형성될 수 있는 finFET 디바이스 또는 finFET 디바이스의 일부의 실시예들을 나타낸다. 그러나, 이러한 실시예들은 완전하지 않고 finFET 디바이스의 다수의 다른 구성들이 형성될 수 있다. 예를 들어, 일반적으로 산화되는 스템 영역 및 핀의 일부를 포함하는 스템 영역의 다양한 구성들, 산화량 등이 형성될 수 있다. 도 18 내지 도 25는 예시적인 것이지만, 또한 제한하고자 의도된 것이 아니다. 도 18 내지 도 25의 디바이스들은 방법(1000)의 하나 이상의 단계들을 이용하여 형성될 수 있다. 도 18a, 도 19a, 도 20a, 도 21a, 도 22a, 도 23a, 도 24a, 및 도 25a는 횡단면도(도 2에 나타난 바와 같은 차원 a-a)로서 제공된다. 도 18b, 도 19b, 도 20b, 도 21b, 도 22b, 도 23b, 도 24b, 및 도 25b는 횡단면도(도 2에 나타난 바와 같은 차원 b-b)로서 제공된다. 다시 말해서, 횡단면도는 소스에서부터 드레인으로의 핀의 길이 아래의 횡단면도.

[0056] 이제 도 18a 및 도 18b를 참조하면, finFET 디바이스(1800)가 나타난다. finFET 디바이스(1800)는 부동 영역(608) 및 활성 영역(604)을 갖는 핀을 구비한 기판(502)을 포함한다. 핀의 스템 영역(1802)은 부동 영역(608)과 활성 영역(604)을 인터포즈한다. 분리 피처(1402)는 핀에 인접하게 배치된다. 분리 피처(1402)는 스템 영역(1802)의 상단 표면 밑에 놓여 있는 상단 표면을 포함한다. 게이트 구조물(210)은 핀의 활성 영역(604) 상에 배치된다. 게이트 구조물(210)은 계면층(210c), 게이트 유전층(210a) 및 게이트 전극층(210b)을 포함한다. 실시예에서, 게이트 전극층(210b)은 금속 게이트 전극이다. 실시예에서, 게이트 유전층(210a)은 고유전율 유전체(들)이다. 계면층(210c)은 실리콘 산화물과 같은 유전체 및/또는 다른 적합한 물질을 포함할 수 있다. 스페이서 요소(1808)는 게이트 구조물(210)의 측벽 상에 배치된다. 실시예에서, 스페이서(1808)는 예를 들어, 실리콘 질화물, 실리콘 이산화물, 실리콘 산화질화물, 및/또는 이들의 조합과 같은 유전체이다. 스페이서(1808)는 습식 에칭 공정 및/또는 건식 에칭 공정을 포함하는 에칭 공정, 헤테로에피택시 공정 및 에피택시 공정을 포함하는 증착 공정과 같은 발명기술 분야에 공지된 종래의 공정에 의해 형성될 수 있다. 스페이서 물질은 물리적 기상 증착(physical vapor deposition; PVD)(스퍼터링), 화학적 기상 증착(chemical vapor deposition; CVD), 플라즈마 향상 CVD(plasma-enhanced chemical vapor deposition; PECVD), 대기압 화학적 기상 증착(atmospheric pressure chemical vapor deposition; APCVD), 저압 CVD(low-pressure CVD; LPCVD), 고밀도 플라즈마 CVD(high density plasma CVD; HDPCVD), 또는 원자층 CVD(atomic layer deposition; ALCVD), 및/또는 발명기술 분야에 공지된 다른 공정에 의해 증착될 수 있다.

[0057] 층간 유전체(ILD)로도 언급되는 유전층(1810)이 기판 상에 배치된다. ILD(1810)은 테트라에틸오르쏘실리케이트(tetraethylorthosilicate; TEOS) 산화물, 비도핑된 실리콘 글래스, 또는 브로포스포실리케이트 유리(borophosphosilicate glass; BPSG), 합성 석영 유리(fused silica glass; FSG), 포스포실리케이트 유리(phosphosilicate glass; PSG), 붕소 도핑된 실리콘 유리(boron doped silicon glass; BSG)와 같은 도핑된 실리콘 산화물과 같은 유전체 및/또는 발명기술 분야에 공지된 다른 물질을 포함할 수 있다. ILD 층은 PECVD 공정 또는 발명기술 분야에 공지된 다른 증착 기술에 의해 증착될 수 있다.

[0058] 소스/드레인 영역(212)이 게이트 구조물에 인접하게 배치된다. 소스/드레인 영역(212)은 도 1, 도 2 및/또는 도 3을 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0059] 핀의 스템 영역(1802)은 산화된 부분(1804) 및 반도체 물질 부분(1806)을 포함한다. 실시예에서, 산화된 부분(1804)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다. (스템 영역(1802)은 부동 영역(608) 및/또는 활성 영역(604)의 폭과 실질적으로 유사한 폭을 갖는다는 것을 유념한다.) 산화된 부분(1804)은 대략 5

nm에서 대략 30 nm 사이의 두께(t1)를 갖는다. 산화된 부분(1804)은 확장되어 산화된 부분(1804)이 소스/드레인 영역(212) 밑에 놓이도록 한다. 반도체 물질 부분(1806)은 산화되지 않은 핀 구조물의 부분일 수 있다(예컨대, 부분(1804)은 부분(1806)의 조성의 산화물일 수 있다). 실시예에서, 산화된 부분(1804)은 SiGeOx 이고, 반도체 물질 부분(1806)은 SiGe 이다. 그러나, 반도체 물질 및 그 반도체 물질 산화물의 다른 조합도 가능하다.

[0060]

이제 도 19a 및 도 19b를 참조하면, 본 명세서에 기술된 방법들 중 하나 이상을 이용하여 형성될 수 있는 다른 실시예가 나타난다. finFET 디바이스(1990)가 나타난다. finFET 디바이스(1990)는 기판(502) 및 핀의 활성 영역(604)과 부동 영역(608)을 포함한다. 스템 영역(1902)은 활성 영역(604)과 부동 영역(608)을 인터포즈한다. 분리 피치(1402), 게이트 구조물(210), 스페이서 요소(1808), ILD(1810), 및 소스/드레인 영역(212)은 도 18a 및 도 18b를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0061]

스템 영역(1902)은 산화된 부분(1904) 및 반도체 물질 부분(1906)을 포함한다. 실시예에서, 산화된 부분(1904)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다. 산화된 부분(1904)은 폭(Ws)을 갖는 제 1 부분(1904a) 및 더욱 큰 폭(Ws2)을 갖는 제 2 부분(1904b)을 포함한다. Ws는 앞서 기술된 것과 실질적으로 유사할 수 있다. Ws2는 도 2 및 도 3을 참조하여 앞서 논의된, Wa 및/또는 Wp와 실질적으로 유사할 수 있다. 산화된 부분(1904)은 대략 5 nm에서 대략 30 nm 사이의 두께(t1)를 가질 수 있다. 산화된 부분(1904)은 확장되어 산화된 부분(1904)이 소스/드레인 영역(212) 밑에 놓이도록 한다. 반도체 물질 부분(1906)은 산화되지 않은 핀 구조물의 부분일 수 있다(예컨대, 부분(1904)은 부분(1906)의 조성의 산화물일 수 있다). 실시예에서, 산화된 부분(1904)은 SiGeO 이고, 반도체 물질 부분(1906)은 SiGe 이다. 반도체 물질의 층(예컨대, 활성 영역(604)의 반도체 물질)은 소스/드레인 영역(212) 밑에 놓여 있다는 것을 또한 유념한다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질의 두께(t2)는 대략 5 nm 내지 대략 10 nm 사이이다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질은 실리콘이다.

[0062]

이제 도 20a 및 도 20b를 참조하면, 본 명세서에 기술된 방법들 중 하나 이상을 이용하여 형성될 수 있는 다른 실시예가 나타난다. finFET 디바이스(2000)가 나타난다. finFET 디바이스(2000)는 핀의 활성 영역(604)과 부동 영역(608)을 갖는 기판(502)을 포함한다. 스템 영역(2002)은 활성 영역(604)과 부동 영역(608)을 인터포즈한다. 분리 피치(1402), 게이트 구조물(210), 스페이서 요소(1808), ILD(1810), 및 소스/드레인 영역(212)은 도 18a 및 도 18b를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0063]

스템 영역(2002)은 산화된 부분(2004) 및 반도체 물질 부분(2006)을 포함한다. 실시예에서, 산화된 부분(2004)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다. 산화된 부분(2004)은 핀의 활성 영역(604) 및/또는 부동 영역(608)의 폭과 실질적으로 유사한 폭을 갖는다. 반도체 물질 부분(2006)은 산화되지 않은 핀 구조물의 부분일 수 있다(예컨대, 부분(2004)은 부분(2006)의 조성의 산화물일 수 있다). 실시예에서, 산화된 부분(2004)은 SiGeO 이고, 반도체 물질 부분(2006)은 SiGe 이다. 산화된 부분(2004)은 대략 5 nm 내지 대략 30 nm 사이의 두께(t1)를 갖는다. 산화된 부분(2004)은 확장되어 산화된 부분(2004)이 전체 소스/드레인 영역(212) 밑에 놓여 있지 않도록 한다. 실시예에서, 산화된 부분(2004)은 소스/드레인 영역(212)의 일부의 밑에만 놓여 있다. 이것은 채널 영역 밑에 산화물(예컨대, SiGeO)을 제공할 수 있다. 반도체 물질의 층(예컨대, 활성 영역(604)의 반도체 물질)은 소스/드레인 영역(212) 밑에 놓여 있다는 것을 또한 유념한다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질의 두께(t2)는 대략 5 nm 내지 대략 10 nm 사이이다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질은 실리콘이다.

[0064]

이제 도 21a 및 도 21b를 참조하면, 본 명세서에 기술된 방법들 중 하나 이상을 이용하여 형성될 수 있는 다른 실시예가 나타난다. finFET 디바이스(2100)가 나타난다. finFET 디바이스(2100)는 활성 영역(604)과 부동 영역(608)이 있는 핀을 갖는 기판(502)을 포함한다. 스템 영역(2102)은 활성 영역(604)과 부동 영역(608)을 인터포즈한다. 분리 피치(1402), 게이트 구조물(210), 스페이서 요소(1808), ILD(1810), 및 소스/드레인 영역(212)은 도 18a 및 도 18b를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0065]

스템 영역(2102)은 산화된 부분(2104) 및 반도체 물질 부분(2106)을 포함한다. 실시예에서, 산화된 부분(2104)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다. 산화된 부분(2104)은 폭(Ws)을 갖는 제 1 부분(2104a) 및 더욱 큰 폭(Ws2)을 갖는 제 2 부분(2104b)을 포함한다. Ws는 앞서 기술된 것과 실질적으로 유사할 수 있다. Ws2는 도 2 및 도 3을 참조하여 앞서 논의된, Wa 및/또는 Wp와 실질적으로 유사할 수 있다. 스템 영역(2102)의 폭의 차이는 앞서 방법(100), 방법(400), 방법(1000)에 기술된 것을 포함하는 방법들에 의해 제공될 수 있다. 산화된 부분(2104)은 대략 5 nm 내지 대략 30 nm 사이의 두께(t1)를 갖는다. 반도체 물질 부분(2106)은 산화되지 않은 핀 구조물의 부분일 수 있다(예컨대, 부분(2104)은 부분(2106)의 조성의 산화물일 수

있다). 실시예에서, 산화된 부분(2104)은 SiGeO 이고, 반도체 물질 부분(2106)은 SiGe 이다. 산화된 부분(2104)은 확장되어 산화된 부분(2104)이 전체 소스/드레인 영역(212) 밑에 놓여 있지 않도록 한다. 실시예에서, 산화된 부분(2104)은 소스/드레인 영역(212)의 일부의 밑에만 놓여 있다. 이것은 채널 영역 밑에 산화물(예컨대, SiGeO)을 제공할 수 있다. 반도체 물질의 층(예컨대, 활성 영역(604)의 반도체 물질)은 소스/드레인 영역(212) 밑에 놓여 있다는 것을 또한 유념한다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질의 두께(t2)는 대략 5 nm 내지 대략 10 nm 사이이다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질은 실리콘이다.

[0066] 이제 도 22a 및 도 22b를 참조하면, 본 명세서에 기술된 방법들 중 하나 이상을 이용하여 형성될 수 있는 다른 실시예가 나타난다. finFET 디바이스(2200)가 나타난다. finFET 디바이스(2200)는 핀의 활성 영역(604)과 부동 영역(608)을 갖는 기판(502)을 포함한다. 스템 영역(2202)은 활성 영역(604)과 부동 영역(608)을 인터포즈한다. 분리 피처(1402), 게이트 구조물(210), 스페이서 요소(1808), ILD(1810), 및 소스/드레인 영역(212)은 도 18a 및 도 18b를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0067] 스템 영역(2202)은 산화된 부분(2204) 및 반도체 물질 부분(2206)을 포함한다. 실시예에서, 산화된 부분(2204)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다. 핀의 스템 영역(2202)의 폭은 실질적으로 핀의 활성 영역 및/또는 부동 영역의 폭과 유사할 수 있다. 실시예에서, 산화된 부분(2204)은 SiGeO 이고, 반도체 물질 부분(2206)은 SiGe 이다. 반도체 물질의 층(예컨대, 활성 영역(604)의 반도체 물질)은 소스/드레인 영역(212) 밑에 놓여 있다는 것을 또한 유념한다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질의 두께(t2)는 대략 5 nm 내지 대략 10 nm 사이이다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질은 실리콘이다.

[0068] 이제 도 23a 및 도 23b를 참조하면, 본 명세서에 기술된 방법들 중 하나 이상을 이용하여 형성될 수 있는 다른 실시예가 나타난다. finFET 디바이스(2300)가 나타난다. finFET 디바이스(2300)는 핀의 활성 영역(604)과 부동 영역(608)을 갖는 기판(502)을 포함한다. 스템 영역(2302)은 활성 영역(604)과 부동 영역(608)을 인터포즈한다. 분리 피처(1402), 게이트 구조물(210), 스페이서 요소(1808), ILD(1810), 및 소스/드레인 영역(212)은 도 18a 및 도 18b를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0069] 스템 영역(2302)은 산화된 부분(2304) 및 반도체 물질 부분(2306)을 포함한다. 실시예에서, 산화된 부분(2304)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다.

[0070] 스템 영역(2302)은 폭(Ws)을 갖는 제 1 부분(2302a) 및 더욱 큰 폭(Ws3)을 갖는 제 2 부분(2302b)을 포함한다. Ws3은 도 2 및 도 3을 참조하여 앞서 논의된, Wa 및/또는 Wp와 실질적으로 유사할 수 있다. 이러한 폭들은 도 1, 도 4 및/또는 도 10을 참조하여 앞서 기술된 바와 같은 스템 영역 에칭 공정을 이용하여 제공될 수 있다. 반도체 물질 부분(2306)은 산화되지 않은 핀 구조물의 부분일 수 있다(예컨대, 부분(2304)은 부분(2306)의 조성의 산화물일 수 있다). 실시예에서, 산화된 부분(2304)은 SiGeOx 이고, 반도체 물질 부분(2306)은 SiGe 이다. 반도체 물질의 층(예컨대, 활성 영역(604)의 반도체 물질)은 소스/드레인 영역(212)의 부분 밑에 놓여 있다는 것을 또한 유념한다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질의 두께(t2)는 대략 5 nm 내지 대략 10 nm 사이이다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질은 실리콘이다.

[0071] 이제 도 24a 및 도 24b를 참조하면, 본 명세서에 기술된 방법들 중 하나 이상을 이용하여 형성될 수 있는 다른 실시예가 나타난다. finFET 디바이스(2400)가 나타난다. finFET 디바이스(2400)는 p-채널 디바이스일 수 있다. finFET 디바이스(2400)는 핀의 활성 영역(604)과 부동 영역(608)을 갖는 기판(502)을 포함한다. 스템 영역(2402)은 활성 영역(604)과 부동 영역(608)을 인터포즈한다. 분리 피처(1402), 게이트 구조물(210), 스페이서 요소(1808), ILD(1810), 및 소스/드레인 영역(212)은 도 18a 및 도 18b를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0072] 스템 영역(2402)은 산화된 부분(2404) 및 반도체 물질 부분(2406)을 포함한다. 실시예에서, 산화된 부분(2404)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다. 산화된 부분(2404)은 핀의 활성 영역(604) 및/또는 부동 영역(608)의 폭과 실질적으로 유사할 수 있는 폭을 포함한다. 산화된 부분(2404)은 대략 5 nm 내지 대략 30 nm 사이의 두께(t1)를 갖는다. 산화된 부분(2404)은 확장되어 산화된 부분(2404)이 소스/드레인 영역(212) 밑에 놓이도록 한다. 반도체 물질 부분(2406)은 산화되지 않은 핀 구조물의 부분일 수 있다(예컨대, 부분(2404)은 부분(2406)의 조성의 산화물일 수 있다). 실시예에서, 산화된 부분(2404)은 SiGeO 이고, 반도체 물질 부분(2406)은 SiGe 이다. 반도체 물질의 층(예컨대, 활성 영역(604)의 반도체 물질)은 소스/드레인 영역(212) 밑에 놓여 있다는 것을 또한 유념한다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질의 두

께(t2)는 대략 5 nm 내지 대략 10 nm 사이이다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질은 실리콘이다.

[0073] 이제 도 25a 및 도 25b를 참조하면, 본 명세서에 기술된 방법들 중 하나 이상을 이용하여 형성될 수 있는 다른 실시예가 나타난다. finFET 디바이스(2500)가 나타난다. finFET 디바이스(2500)는 p-채널 디바이스일 수 있다. finFET 디바이스(2500)는 핀의 활성 영역(604)과 부동 영역(608)을 갖는 기판(502)을 포함한다. 스템 영역(2502)은 활성 영역(604)과 부동 영역(608)을 인터포즈한다. 분리 피치(1402), 게이트 구조물(210), 스페이서 요소(1808), ILD(1810), 및 소스/드레인 영역(212)은 도 18a 및 도 18b를 참조하여 앞서 논의된 것과 실질적으로 유사할 수 있다.

[0074] 스템 영역(2502)은 산화된 부분(2504) 및 반도체 물질 부분(2506)을 포함한다. 실시예에서, 산화된 부분(2504)은 실질적으로 방법(1000)의 블록(1010)과 유사하게 형성된다. 스템 영역(2502)은 핀의 활성 영역(604) 및/또는 부동 영역(608)의 폭과 실질적으로 유사할 수 있는 폭을 포함할 수 있다. 스템 영역(2502)은 예를 들어 도 23을 참조하여 앞서 기술된 것과 실질적으로 유사한 협소한 폭을 갖는 영역을 또한 포함할 수 있다. 산화된 부분(2504)은 확장되어 산화된 부분(2504)이 소스/드레인 영역(212) 밑에 놓이도록 한다. 반도체 물질 부분(2506)은 산화되지 않은 핀 구조물의 부분일 수 있다(예컨대, 부분(2504)은 부분(2506)의 조성의 산화물일 수 있다). 실시예에서, 산화된 부분(2504)은 SiGeO 이고, 반도체 물질 부분(2506)은 SiGe 이다. 예시된 실시예에서, 디바이스의 채널 영역 아래보다 소스/드레인 영역의 부분 아래에 더욱 많은 산화물(예컨대, 산화된 부분(2504))이 제공된다. 반도체 물질의 층(예컨대, 활성 영역(604)의 반도체 물질)은 소스/드레인 영역(212) 밑에 놓여 있다는 것을 또한 유념한다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질의 두께(t2)는 대략 5 nm 내지 대략 10 nm 사이이다. 실시예에서, 소스/드레인 영역 밑에 놓여 있는 반도체 물질은 실리콘이다.

[0075] 요약하면, 본 명세서에 논의된 방법 및 디바이스는 finFET 트랜지스터에 이용되는 핀 요소의 스템 영역의 다양한 실시예들을 제공한다. 본 명세서에 개시된 상이한 실시예들은 상이한 발명개시를 제공하고, 이들은 본 발명개시의 사상 및 범위로부터 벗어나지 않고 본 명세서에 다양한 변경, 대체, 및 변화를 행할 수 있다는 것이 이해된다.

[0076] 따라서, 본 명세서에 논의된 광범위한 실시예들 중 하나의 실시예에서, 반도체 디바이스를 제조하는 방법이 제공된다는 것을 이해한다. 방법은 기판의 제 1 (예컨대, 상단) 표면으로부터 확장된 핀을 갖는 기판을 제공하는 단계를 포함한다. 핀은 제 1 조성의 반도체 물질을 갖는 제 1 영역 및 제 2 조성의 반도체 물질을 갖는 제 2 영역을 갖는다. 제 2 조성은 제 1 조성과 상이하다. 예를 들어, 실시예에서, 제 1 조성은 SiGe 이고, 제 2 조성은 Si 이다. 그리고 나서, 방법은 제 1 조성의 반도체 물질의 폭을 감소시키기 위해서 핀의 제 1 영역을 수정하는 단계로 진행한다. 제 1 영역을 수정하는 단계의 예시적인 방식은 제 1 영역의 폭을 감소시키기 위해서 제 1 영역을 에칭하는 단계, 제 1 영역의 전도성 물질 부분의 폭을 감소시키기 위해서 제 1 영역 또는 제 1 영역의 일부를 산화시키는 단계, 및/또는 다른 방법들을 포함한다. 추가의 실시예에서, 방법은 제 1 영역을 에칭하는 단계 및 제 1 영역을 산화시키는 단계를 모두 포함한다. 그리고 나서, 방법은 핀의 제 2 영역 상에 게이트 구조물을 제공하는 단계로 진행한다.

[0077] 추가의 실시예에서, 방법은 핀 상에 더미 게이트 구조물을 형성하는 단계 및 트렌치를 제공하기 위해 더미 게이트 구조물을 제거하는 단계로 진행한다. 그리고 나서, 제 1 영역을 에칭하는 단계는 트렌치에서 제 1 영역을 에칭하는 단계에 의해 수행될 수 있다. 이것은 스템 영역의 자기 정렬된 형성 및 핀의 일부의 감소된 폭을 허용한다.

[0078] 추가의 실시예에서, 게이트 구조물을 형성하는 단계는 제 2 영역의 상단 표면, 제 1 측면 표면, 제 2 측면 표면, 및 하단 표면과 게이트 구조물 사이에 인터페이스를 형성하는 단계를 포함한다. 이와 같은 게이트 구조물은 오메가 게이트 구조물 또는 쿼지 서라운드 게이트 구조물로 언급될 수 있다. 실시예에서, 게이트 구조물을 형성하는 단계는 핀의 제 1 영역의 측면 상에 게이트 유전체를 증착하는 단계를 포함한다. 게이트 구조물과 연관된 채널 영역이 핀에 형성될 수 있다. 일 실시예에서, 채널 영역은 핀의 제 2 영역에만 있다.

[0079] 광범위한 실시예들 중 다른 실시예에서, 벌크 반도체 기판을 제공하는 단계를 포함하는 방법이 기술된다. 벌크 반도체 기판은 SOI 기판이 아닌 기판을 포함할 수 있다. 제 1 에피택셜층(예컨대, SiGe)이 벌크 반도체 기판 상에 성장되고, 제 2 에피택셜층(예컨대, Si)이 제 1 에피택셜층 상에 성장된다. 그 후에, 제 1 에피택셜층과 제 2 에피택셜층을 포함하는 핀 요소가 형성된다. 그리고 나서, 핀의 제 1 에피택셜층은 에칭되어 핀의 제 2 에피택셜층의 폭보다 작은 폭을 갖는 스템 영역을 형성한다. 그리고 나서, 트랜지스터의 채널이 핀의 제 2 에피택셜 층에 형성된다.

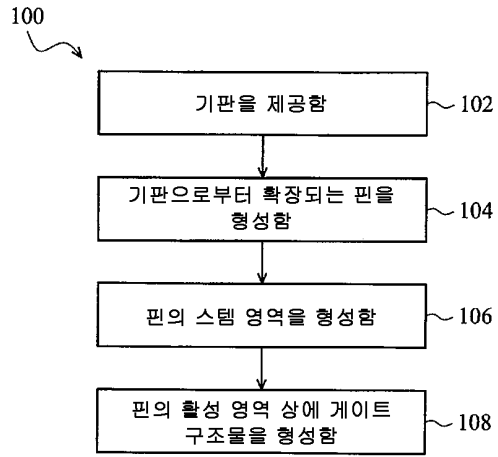
- [0080] 실시예에서, 제 1 에피택셜층을 에칭하는 단계는 선택적 에칭이어서 제 2 에피택셜층이 실질적으로 에칭되지 않도록 한다. 실시예에서, 방법은 핀의 제 2 에피택셜층 상에 게이트 구조물을 형성하는 단계를 더 포함하고, 여기서 게이트 구조물은 핀의 제 2 에피택셜층의 적어도 4개의 표면과 인터페이스한다(예컨대, 퀴지 서라운드 게이트 구조물 또는 오메가 게이트 구조물을 제공하는 하단 표면을 포함함). 방법은 제 1 에피택셜층의 에칭 단계 후에 스템 영역을 산화시키는 단계를 더 포함할 수 있다.
- [0081] 기판 및 기판 상에 배치된 핀을 갖는 finFET 디바이스를 포함하는, 다수의 디바이스들이 또한 본 명세서에 기술된다. 핀은 부동 영역, 부동 영역 위에 놓여 있는 스템 영역, 및 스템 영역 위에 놓여 있는 활성 영역을 포함한다. 스템 영역은 제 1 폭을 갖고 활성 영역은 제 2 폭을 갖는다. 제 1 폭은 제 2 폭보다 작다. 스템 영역 및 활성 영역은 또한 상이한 조성을 갖는다. 게이트 구조물이 활성 영역 상에 배치된다.
- [0082] 실시예에서, 기판은 벌크 반도체 기판(예컨대, SOI 기판이 아님)이다. 실시예에서, 게이트 구조물은 예를 들어 교체 게이트 방법에 의해 형성된 금속 게이트 전극을 포함한다. 실시예에서, 게이트 구조물은 핀의 활성 영역의 상단 표면, 제 1 측면 표면, 제 2 측면 표면, 및 하단 표면과 인터페이스한다. 따라서, 실시예에서, 게이트 구조물은 퀴지 서라운드 게이트 구조물 또는 오메가 게이트 구조물일 수 있다.

**부호의 설명**

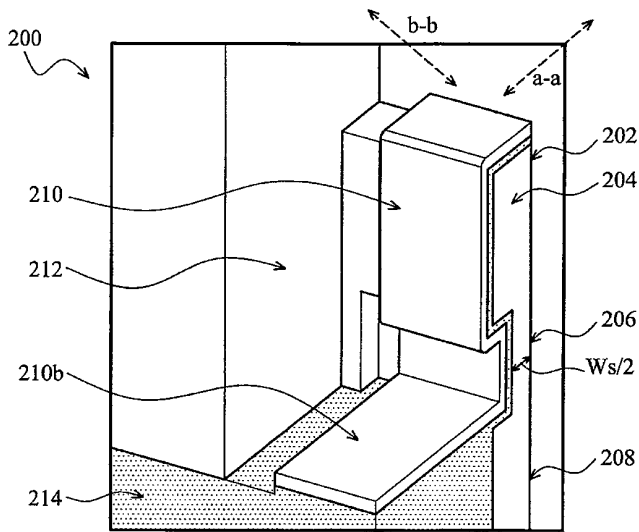
- [0083] 202, 602, 1102, 1202: 핀
- 204, 604: 활성 영역
- 206, 606, 1502, 1602, 1702, 1802, 1902, 2002, 2102, 2202, 2302, 2402, 2502: 스템 영역
- 208, 608: 부동 영역
- 210: 게이트 구조물
- 212: 소스/드레인 영역
- 214, 1402: 분리 피처
- Wa: 활성 영역의 폭
- Ws: 스템 영역의 폭
- Wp: 부동 영역의 폭
- 502: 기판
- 504: 벌크층
- 506: 제 1 층
- 508: 제 2 층
- 1104, 1204: 산화된 영역
- 1808: 스페이서

도면

도면1

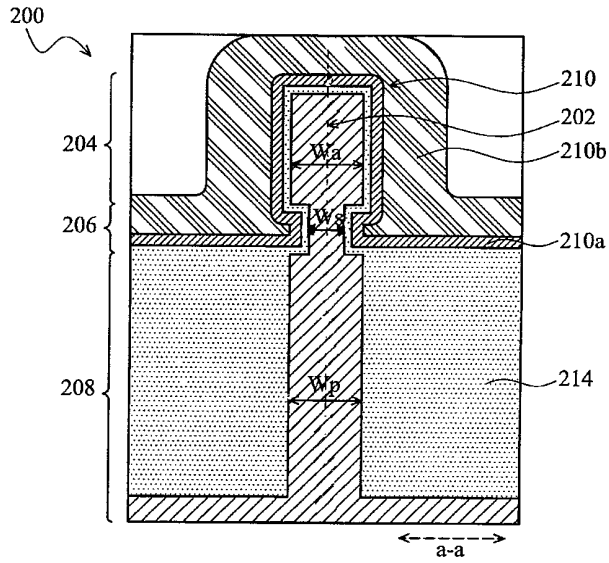


도면2

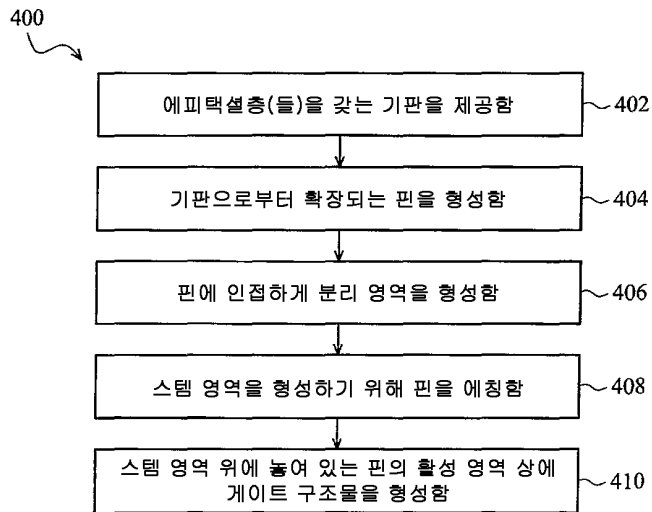




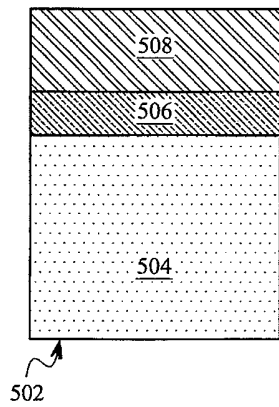
도면3



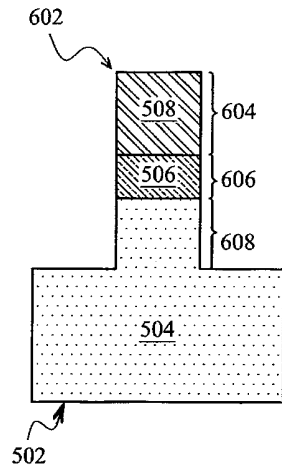
도면4



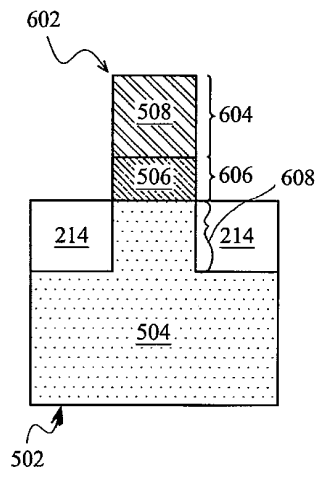
도면5



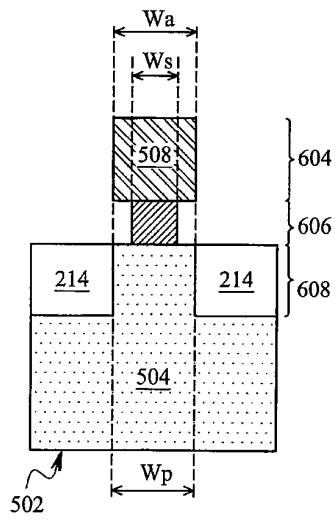
도면6



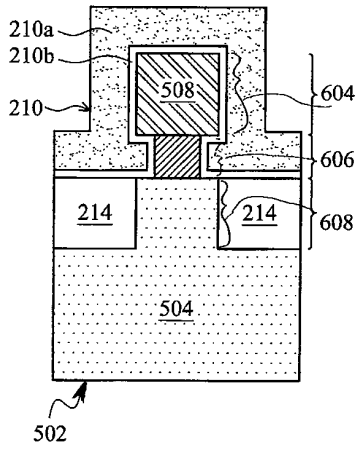
도면7



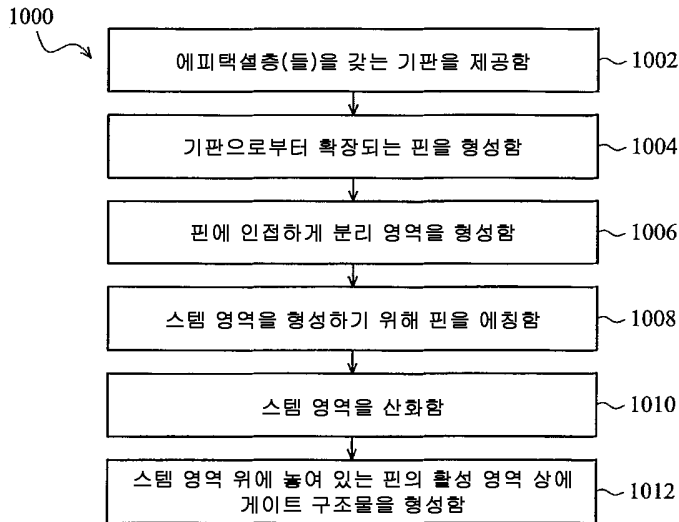
도면8



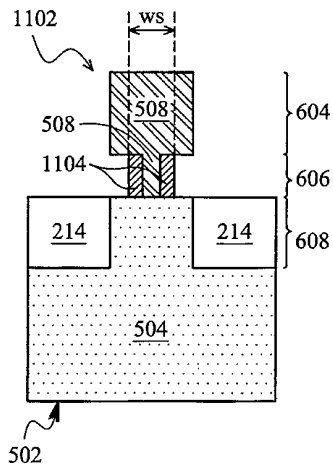
도면9



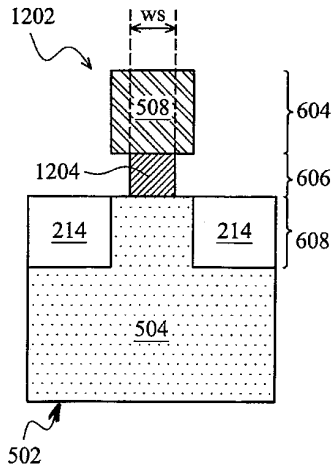
도면10



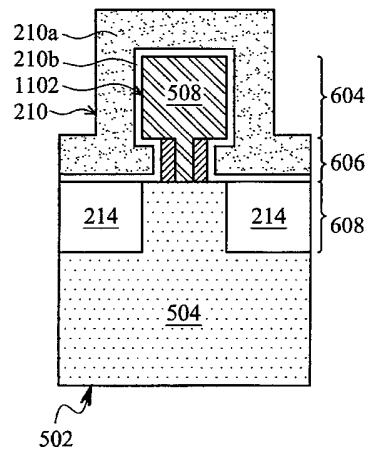
도면11



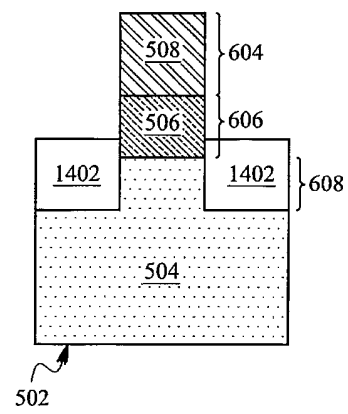
도면12



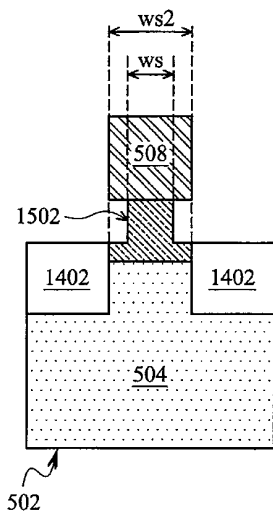
도면13



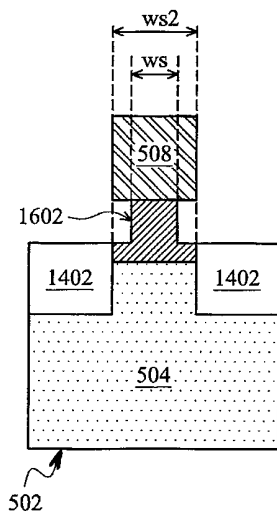
도면14



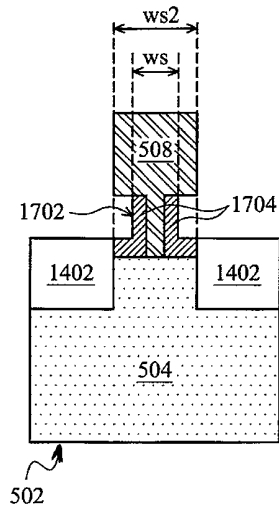
도면15



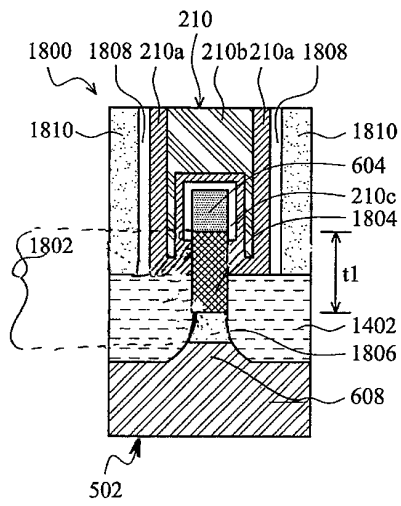
도면16



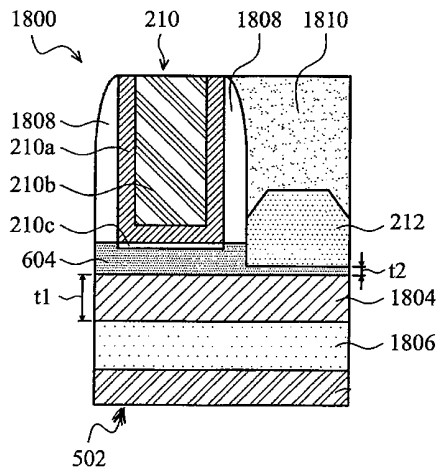
도면17



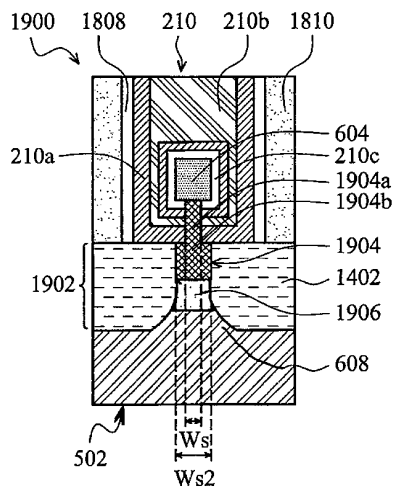
도면18a



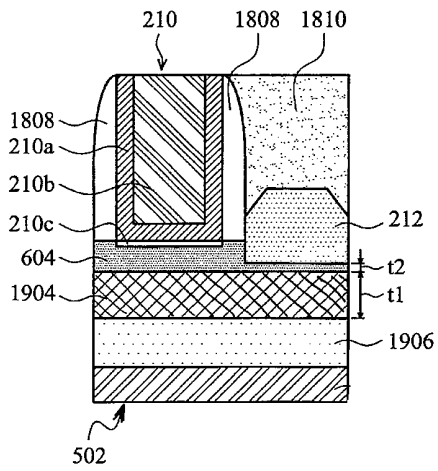
도면18b



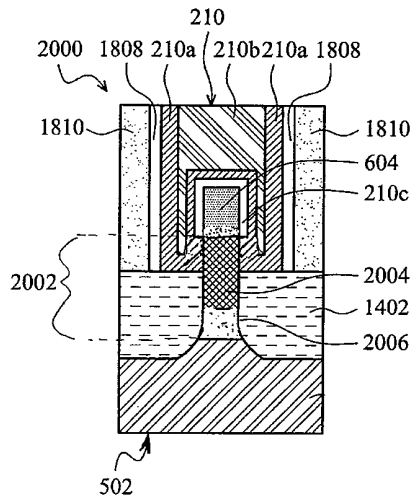
도면19a



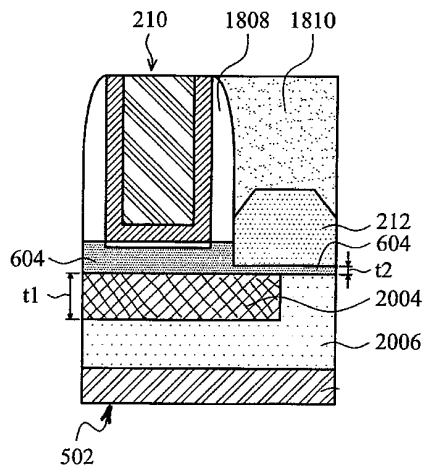
도면19b



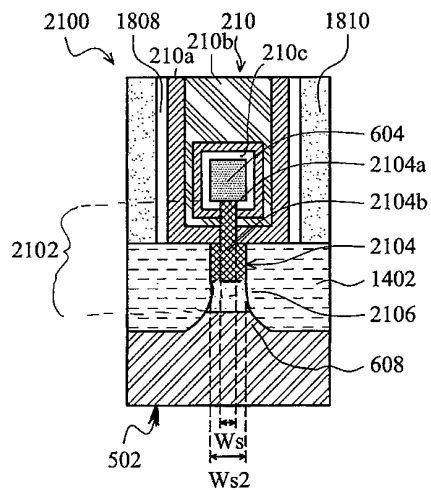
도면20a



도면20b

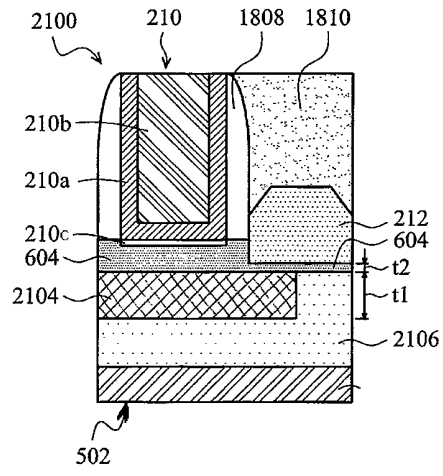


도면21a

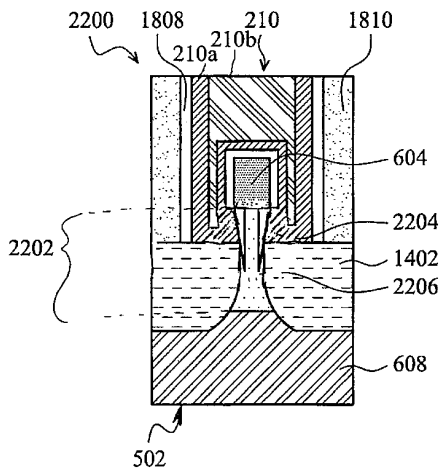




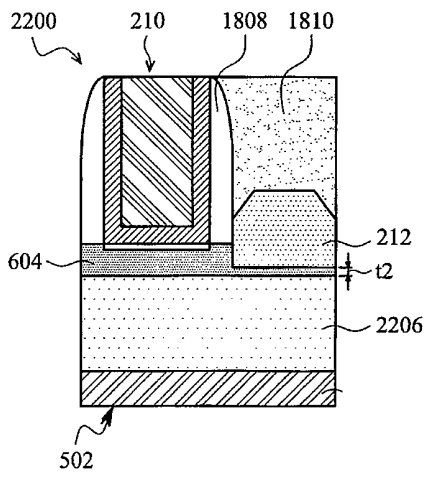
도면21b



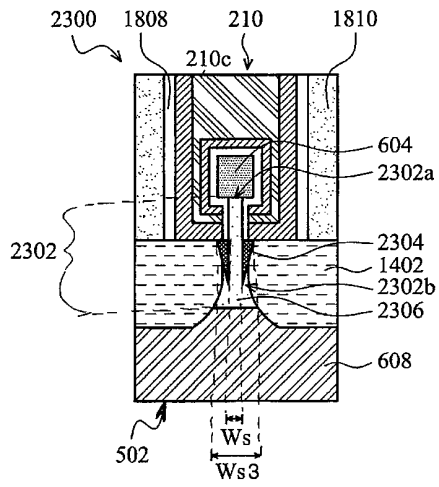
도면22a



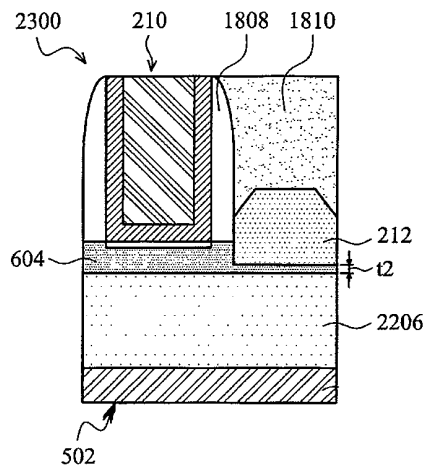
도면22b



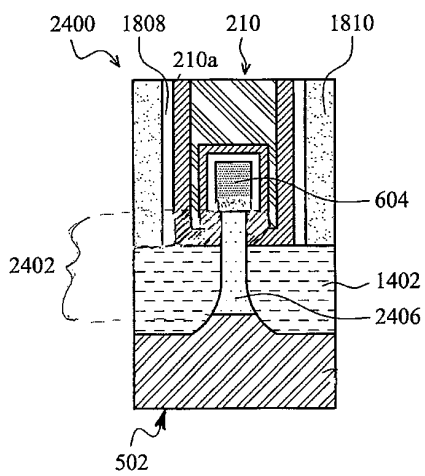
도면23a



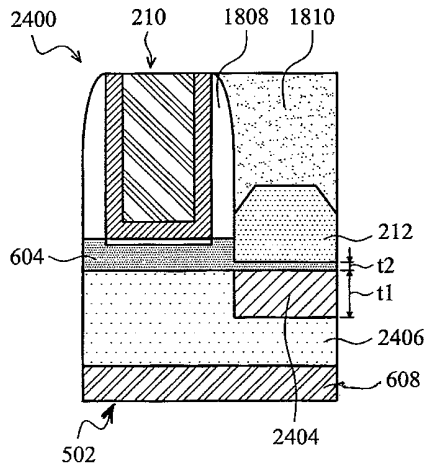
도면23b



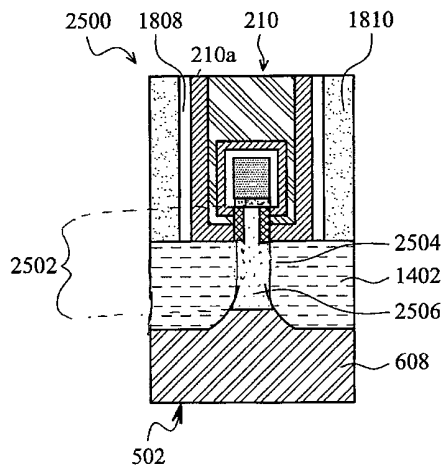
도면24a



도면24b



도면25a



도면25b

