



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0105762
(43) 공개일자 2008년12월04일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2007-0053772

(22) 출원일자 2007년06월01일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

송근규

경기 용인시 죽전동 죽전택지지구 31BL 우미1차아파트 301동1603호

신중환

경기 용인시 기흥구 보라동 민속마을쌍용아파트 114동 801호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

전체 청구항 수 : 총 17 항

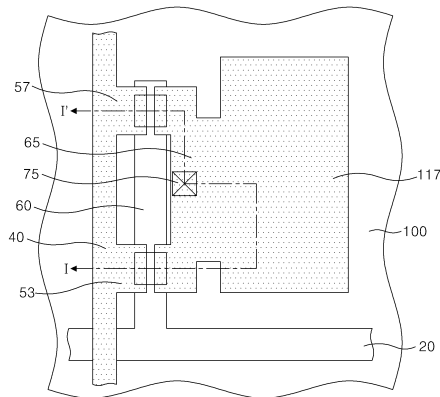
(54) 표시 장치용 유기 박막 트랜지스터 기판 및 이의 제조 방법

(57) 요약

본 발명은 적어도 2개의 유기 박막 트랜지스터를 형성하여 온-전류를 향상시킬 수 있는 표시 장치용 유기 박막 트랜지스터 기판 및 이의 제조 방법에 관한 것이다.

본 발명에 따른 표시 장치용 유기 박막 트랜지스터 기판은 게이트 라인; 상기 게이트 라인과 절연되어 형성되는 데이터 라인; 상기 게이트 라인 및 데이터 라인과 접속하며 하나의 메인 드레인 전극에 공통으로 접속하는 적어도 2개의 유기 박막 트랜지스터; 및 상기 메인 드레인 전극과 접속하는 화소 전극을 포함한다.

대표도 - 도1



(72) 발명자

김보성

서울 서초구 방배2동 474-20번지 3층

장선필

서울 도봉구 창2동 608-76호

조승환

경기 화성시 동탄면 중리 674-1 선남마을 성원상떼
빌아파트105동1001호

윤민호

경기 수원시 팔달구 고등동 82-18번지

노정훈

경기 용인시 처인구 마평동 라이프아파트 101동
601호

특허청구의 범위

청구항 1

게이트 라인;

상기 게이트 라인과 절연되어 형성되는 데이터 라인;

상기 게이트 라인 및 데이터 라인과 접속하며 하나의 메인 드레인 전극에 공통으로 접속하는 적어도 2개의 유기 박막 트랜지스터; 및

상기 메인 드레인 전극과 접속하는 화소 전극을 포함하는 표시 장치용 유기 박막 트랜지스터 기관.

청구항 2

제 1항에 있어서,

상기 적어도 2개의 유기 박막 트랜지스터 각각은 병렬로 연결되어 있는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관.

청구항 3

제 2항에 있어서,

상기 게이트 라인과 동일한 평면 상에 형성되는 스토리지 하부 전극; 및

상기 데이터 라인과 동일한 평면 상에 형성되는 스토리지 상부 전극을 포함하는 스토리지 패턴을 더 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관.

청구항 4

제 3항에 있어서,

상기 스토리지 상부 전극은 상기 메인 드레인 전극과 접속되는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관.

청구항 5

제 1항에 있어서,

상기 데이터 라인과 동일한 평면 상에 형성되며 상기 적어도 2개의 유기 박막 트랜지스터 중 하나와 연결되어 있는 보조 데이터 라인을 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관.

청구항 6

제 5항에 있어서,

상기 데이터 라인 및 보조 데이터 라인과 접속하는 데이터 패드를 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관.

청구항 7

제 6항에 있어서,

상기 데이터 라인 및 보조 데이터 라인 사이에 형성되는 연결 라인을 더 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관.

청구항 8

제 5항에 있어서,

상기 적어도 2개의 유기 박막 트랜지스터 중 어느 하나의 유기 박막 트랜지스터는

상기 게이트 라인과 접속하는 제 1 게이트 전극;

상기 데이터 라인과 접속하는 제 1 소스 전극; 및

상기 제 1 소스 전극 및 상기 메인 드레인 전극과 접속하는 제 1 유기 반도체층을 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기판.

청구항 9

제 8항에 있어서,

상기 적어도 2개의 유기 박막 트랜지스터 중 어느 하나의 유기 박막 트랜지스터는

상기 게이트 라인과 접속하는 제 2 게이트 전극;

상기 보조 데이터 라인과 접속하는 제 2 소스 전극; 및

상기 제 2 소스 전극 및 상기 메인 드레인 전극과 접속하는 제 2 유기 반도체층을 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기판.

청구항 10

제 9항에 있어서,

상기 제 1 및 제 2 소스 전극과 상기 메인 드레인 전극을 노출시키는 बैं크 절연막을 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기판.

청구항 11

제 10항에 있어서,

상기 제 1 게이트 전극과 제 2 게이트 전극은 병렬로 연결되는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기판.

청구항 12

제 7항에 있어서,

상기 게이트 라인과 동일한 평면 상에 형성되며 상기 게이트 라인과 평행하게 형성되는 스토리지 패턴을 더 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기판.

청구항 13

제 7항에 있어서,

상기 게이트 라인과 동일한 평면 상에 형성되며 상기 게이트 라인과 평행하게 형성되는 스토리지 하부 전극; 및
상기 데이터 라인과 동일한 평면 상에 형성되며 상기 게이트 라인과 평행하게 형성되는 스토리지 상부 전극을 포함하는 스토리지 패턴을 더 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기판.

청구항 14

기판 상에 게이트 라인 및 게이트 전극을 포함하는 게이트 금속 패턴을 형성하는 단계;

상기 기판 및 게이트 금속 패턴 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 데이터 라인, 적어도 2개의 소스 전극 및 메인 드레인 전극을 포함하는 데이터 금속 패턴을 형성하는 단계; 및

상기 적어도 2개의 소스 전극 및 메인 드레인 전극 사이에 각기 다른 잉크젯 노즐을 사용하여 적어도 2개의 유기 반도체층을 형성하는 단계를 포함하는 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법.

청구항 15

제 14항에 있어서,

상기 데이터 금속 패턴을 형성하는 단계는

상기 게이트 절연막 상에 데이터 라인과 접속하는 연결 라인 및 보조 데이터 라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관의 제조 방법.

청구항 16

제 14항에 있어서,

상기 게이트 금속 패턴을 형성하는 단계는

상기 기관 상에 게이트 라인과 평행하게 형성되는 스토리지 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관의 제조 방법.

청구항 17

제 14항에 있어서,

상기 게이트 금속 패턴을 형성하는 단계는 상기 기관 상에 형성되는 스토리지 하부 전극을 더 포함하며,

상기 데이터 금속 패턴을 형성하는 단계는 상기 게이트 절연막 상에 형성되는 스토리지 상부 전극을 더 포함하는 것을 특징으로 하는 표시 장치용 유기 박막 트랜지스터 기관의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <22> 본 발명은 표시 장치용 유기 박막 트랜지스터 기관에 관한 것이다.
- <23> 화상을 표시하는 표시 장치(Display)는 음극선관, 액정 디스플레이, 플라즈마 디스플레이 패널, 일렉트로 루미네센스(Electro Luminescence) 디스플레이 등과 같이 종류가 다양하다. 그리고, 표시 장치는 사용하는 광원에 따라 투과형(Transmission Type)과 반사형(Reflection Type)으로 나눌 수 있다.
- <24> 투과형 표시 장치는 표시 패널의 뒷면에 부착된 배면 광원인 백라이트(Backlight)로부터 나오는 광을 액정에 입사시켜 액정의 배열에 따라 광량을 조절하여 색을 표시하는 형태이다. 그리고, 투과형 표시 장치는 휘도가 높은 이점이 있으나 전력의 소모가 크기 때문에 휴대용 장치에 적용하기 어렵다.
- <25> 반면, 반사형 표시 장치는 외부에서 입사된 자연광을 액정의 스위칭 작용에 의해 선택적으로 투과시키고 반사판에서 재반사하여 전면으로 출사되게 함으로써 화상을 표시한다. 반사형 표시 장치는 백라이트 유닛을 필요로 하지 않아 저소비 전력이 요구되는 휴대용 표시 소자에 적용될 뿐만 아니라 휴대 전화와 휴대 기기의 시장이 넓어짐에 따라 반사형 표시 장치의 필요성은 점점 높아지고 있다.
- <26> 현재 반사형 표시 장치에 많이 이용되고 있는 박막 트랜지스터는 대부분 비정질 실리콘 반도체 또는 다결정 실리콘 반도체, 산화 실리콘 절연막 및 금속 전극으로 이루어져 있다. 그러나, 최근 다양한 전도성 유기 재료의 개발에 따라 유기 반도체를 이용한 유기 박막 트랜지스터를 개발하고자 하는 연구가 전 세계적으로 활발히 진행되고 있다.
- <27> 그런데, 유기 박막 트랜지스터를 형성하기 위해서는 잉크젯 프린팅을 사용하는데 노즐의 불량과 불안정한 젯팅(jetting) 때문에 유기 박막 트랜지스터의 불량이 발생하여 화소가 정상 구현되지 않는 문제가 발생한다. 그리고, 유기 박막 트랜지스터는 박막 트랜지스터에 비해서 낮은 온-전류를 가지는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

- <28> 따라서, 본 발명이 이루고자 하는 기술적 과제는 적어도 두 개의 유기 박막 트랜지스터를 형성하여 유기 박막 트랜지스터 형성시 잉크젯 프린팅의 오류를 방지하며 온-전류를 향상시킬 수 있는 표시 장치용 유기 박막 트랜지스터 기관 및 이의 제조 방법에 관한 것이다.

발명의 구성 및 작용

- <29> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 표시 장치용 유기 박막 트랜지스터 기판은 게이트 라인; 상기 게이트 라인과 절연되어 형성되는 데이터 라인; 상기 게이트 라인 및 데이터 라인과 접속하며 하나의 메인 드레인 전극에 공통으로 접속하는 적어도 2개의 유기 박막 트랜지스터; 및 상기 메인 드레인 전극과 접속하는 화소 전극을 포함한다.
- <30> 그리고, 상기 적어도 2개의 유기 박막 트랜지스터 각각은 병렬로 연결되어 있는 것을 특징으로 한다.
- <31> 이러한, 상기 게이트 라인과 동일한 평면 상에 형성되는 스토리지 하부 전극; 및 상기 데이터 라인과 동일한 평면 상에 형성되는 스토리지 상부 전극을 포함하는 스토리지 패턴을 더 포함하는 것을 특징으로 한다.
- <32> 여기서, 상기 스토리지 상부 전극은 상기 메인 드레인 전극과 접속되는 것을 특징으로 한다.
- <33> 한편, 상기 데이터 라인과 동일한 평면 상에 형성되며 상기 적어도 2개의 유기 박막 트랜지스터 중 하나와 연결되어 있는 보조 데이터 라인을 포함하는 것을 특징으로 한다.
- <34> 그리고, 상기 데이터 라인 및 보조 데이터 라인과 접속하는 데이터 패드를 포함하는 것을 특징으로 한다.
- <35> 또한, 상기 데이터 라인 및 보조 데이터 라인 사이에 형성되는 연결 라인을 더 포함하는 것을 특징으로 한다.
- <36> 여기서, 상기 적어도 2개의 유기 박막 트랜지스터 중 어느 하나의 유기 박막 트랜지스터는 상기 게이트 라인과 접속하는 제 1 게이트 전극; 상기 데이터 라인과 접속하는 제 1 소스 전극; 및 상기 제 1 소스 전극 및 상기 메인 드레인 전극과 접속하는 제 1 유기 반도체층을 포함하는 것을 특징으로 한다.
- <37> 반면에, 상기 적어도 2개의 유기 박막 트랜지스터 중 어느 하나의 유기 박막 트랜지스터는 상기 게이트 라인과 접속하는 제 2 게이트 전극; 상기 보조 데이터 라인과 접속하는 제 2 소스 전극; 및 상기 제 2 소스 전극 및 상기 메인 드레인 전극과 접속하는 제 2 유기 반도체층을 포함하는 것을 특징으로 한다.
- <38> 그리고, 상기 제 1 및 제 2 소스 전극과 상기 메인 드레인 전극을 노출시키는 बैं크 절연막을 포함하는 것을 특징으로 한다.
- <39> 여기서, 상기 제 1 게이트 전극과 제 2 게이트 전극은 병렬로 연결되는 것을 특징으로 한다.
- <40> 그리고, 상기 게이트 라인과 동일한 평면 상에 형성되며 상기 게이트 라인과 평행하게 형성되는 스토리지 패턴을 더 포함하는 것을 특징으로 한다.
- <41> 한편, 상기 게이트 라인과 동일한 평면 상에 형성되며 상기 게이트 라인과 평행하게 형성되는 스토리지 하부 전극; 및 상기 데이터 라인과 동일한 평면 상에 형성되며 상기 게이트 라인과 평행하게 형성되는 스토리지 상부 전극을 포함하는 스토리지 패턴을 더 포함하는 것을 특징으로 한다.
- <42> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법은 기판 상에 게이트 라인 및 게이트 전극을 포함하는 게이트 금속 패턴을 형성하는 단계; 상기 기판 및 게이트 금속 패턴 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 데이터 라인, 적어도 2개의 소스 전극 및 메인 드레인 전극을 포함하는 데이터 금속 패턴을 형성하는 단계; 및 상기 적어도 2개의 소스 전극 및 메인 드레인 전극 사이에 적어도 2개의 유기 반도체층을 형성하는 단계를 포함한다.
- <43> 그리고, 상기 데이터 금속 패턴을 형성하는 단계는 상기 게이트 절연막 상에 데이터 라인과 접속하는 연결 라인 및 보조 데이터 라인을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <44> 또한, 상기 게이트 금속 패턴을 형성하는 단계는 상기 기판 상에 게이트 라인과 평행하게 형성되는 스토리지 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- <45> 한편, 상기 게이트 금속 패턴을 형성하는 단계는 상기 기판 상에 형성되는 스토리지 하부 전극을 더 포함하며, 상기 데이터 금속 패턴을 형성하는 단계는 상기 게이트 절연막 상에 형성되는 스토리지 상부 전극을 더 포함하는 것을 특징으로 한다.
- <46> 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <47> 이하, 본 발명의 바람직한 실시예들을 도 1 내지 도 13b를 참조하여 상세하게 설명하기로 한다.
- <48> 도 1 및 도 2는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판을 도시한 평면도 및 단

면도이다.

- <49> 도 1 및 도 2를 참조하면, 표시 장치용 유기 박막 트랜지스터 기판은 게이트 라인(20), 데이터 라인(40), 게이트 절연막(30), 제 1 및 제 2 유기 박막 트랜지스터(50, 51), 스토리지 패턴(117), बैं크 절연막(80), 유기 보호막(90) 및 화소 전극(100)을 포함한다.
- <50> 상기 게이트 라인(20)은 게이트 드라이버(도시하지 않음)로부터의 스캔 신호를 공급받는다. 게이트 라인(20)은 유리, 플라스틱 등의 기판(10) 상에 형성되며 금속 물질이 단일층으로 형성되거나 이 금속 물질 등을 이용하여 복수층으로 적층된 구조로 형성된다. 여기서, 금속 물질은 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텅스텐(W) 또는 이들의 합금 중 어느 하나로 형성된다.
- <51> 상기 데이터 라인(40)은 데이터 드라이버(도시하지 않음)로부터의 화소 전압 신호를 공급받는다. 데이터 라인(40)은 게이트 라인(20)과 게이트 절연막(30)을 사이에 두고 교차하며 형성된다. 그리고, 데이터 라인(40)은 금속 물질이 단일층으로 형성되거나 이 금속 물질 등을 이용하여 복수층으로 적층된 구조로 형성된다.
- <52> 상기 게이트 절연막(30)은 게이트 라인(20) 및 데이터 라인(40) 사이에 형성되며 게이트 라인(20)을 포함하는 게이트 금속 패턴과 데이터 라인(40)을 포함하는 데이터 금속 패턴을 절연시킨다.
- <53> 상기 제 1 및 제 2 유기 박막 트랜지스터(50, 51)는 게이트 라인(20)의 스캔 신호를 응답하여 데이터 라인(40)의 화소 전압 신호가 화소 전극(100)에 충전되도록 한다. 그리고, 제 1 및 제 2 유기 박막 트랜지스터(50, 51)는 병렬로 연결하여 채널의 폭을 증가시킴으로써 온-전류를 향상시킬 수 있다. 제 1 및 제 2 유기 박막 트랜지스터(50, 51)는 메인 게이트 전극(60), 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65), 제 1 및 제 2 유기 반도체층(70, 77)을 포함한다.
- <54> 메인 게이트 전극(60)은 게이트 라인(20)으로부터 돌출되어 형성되며 데이터 라인(40)과 평행하게 형성될 수 있다. 또한, 메인 게이트 전극(60)은 도 3에 도시된 바와 같이 게이트 라인(20)을 중심으로 하부에는 하나의 유기 박막 트랜지스터와 접촉하며 상부에는 다른 하나의 유기 박막 트랜지스터와 접촉할 수도 있다. 메인 게이트 전극(60)은 제 1 및 제 2 유기 박막 트랜지스터(50, 51)와 동시에 접촉된다. 구체적으로, 메인 게이트 전극(60)은 병렬로 연결된 제 1 및 제 2 유기 박막 트랜지스터(50, 51)에 공통으로 접촉되어 게이트 라인(20)으로부터 공급받은 스캔 신호를 제 1 및 제 2 유기 박막 트랜지스터(50, 51)에 공급한다. 메인 게이트 전극(60)은 게이트 라인(20)과 동시에 형성되며 게이트 라인(20)과 동일한 물질로 형성된다.
- <55> 제 1 및 제 2 소스 전극(53, 57) 각각은 데이터 라인(40)으로부터 돌출되어 형성되며 제 1 및 제 2 유기 박막 트랜지스터(50, 51) 각각에 화소 전압 신호를 공급한다. 제 1 및 제 2 소스 전극(53, 57)은 데이터 라인(40)과 동시에 형성되며 데이터 라인(40)과 동일한 물질로 형성된다.
- <56> 메인 드레인 전극(65)은 제 1 및 제 2 유기 박막 트랜지스터(50, 51)와 동시에 접촉하며 제 1 및 제 2 소스 전극(53, 57) 각각과 제 1 및 제 2 유기 반도체층(70, 77)을 사이에 두고 형성된다. 메인 드레인 전극(65)은 화소 전극(100)과 콘택홀(75)을 통해 접촉한다. 메인 드레인 전극(65)은 제 1 및 제 2 소스 전극(53, 57)에서 공급받은 화소 전압 신호를 화소 전극(100)에 공급한다. 따라서, 제 1 및 제 2 유기 박막 트랜지스터(50, 51)는 예를 들어 제 1 유기 박막 트랜지스터(50)가 불량이 발생하더라도 제 2 유기 박막 트랜지스터(51)가 화소 전압 신호를 화소 전극(100)에 공급하므로 화소는 정상 구현될 수 있다. 그리고, 메인 드레인 전극(65)은 데이터 라인(40)과 동시에 형성되며 데이터 라인(40)과 동일한 물질로 형성된다.
- <57> 제 1 및 제 2 유기 반도체층(70, 77)은 बैं크 절연막(80)에 의해 마련된 홀 내에 메인 게이트 전극(60), 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65)이 중첩되는 영역에 형성된다. 이와 같이, 제 1 및 제 2 유기 반도체층(70, 77)이 형성됨에 따라 제 1 및 제 2 박막 트랜지스터(50, 51) 중 어느 하나에서 불량이 발생하더라도 다른 유기 박막 트랜지스터가 정상으로 턴-온되므로 화소는 정상 구현될 수 있다.
- <58> 그리고, 제 1 및 제 2 유기 반도체층(70, 77)은 자가 분자 조립체(Self Assembled Monolayer : 이하 SAM)처리 공정을 통해 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 각각과 오믹 접촉된다. 구체적으로, SAM 처리 공정을 통해 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 각각과 제 1 및 제 2 유기 반도체층(70, 77) 간의 일함수 차이가 줄어든다. 이에 따라, 제 1 및 제 2 유기 반도체층(70, 77)은 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 간의 접촉 저항이 줄어든다.
- <59> 상기 스토리지 패턴(117)은 스토리지 하부 전극(110) 및 스토리지 상부 전극(113)을 포함한다. 스토리지 하부 전극(110)은 기판(10) 상에 형성되며 게이트 라인(20)과 동일한 물질로 형성된다. 스토리지 상부 전극(113)은

게이트 절연막(30) 상에 형성되며 데이터 라인(40)과 동일한 물질로 형성되며 메인 드레인 전극(65)과 접속되어 형성될 수 있다. 스토리지 하부 전극(110)과 스토리지 상부 전극(113)은 중첩되어 스토리지 커패시터를 형성한다. 구체적으로, 스토리지 커패시터는 게이트 절연막(30)을 사이에 두고 스토리지 하부 전극(110)과 스토리지 상부 전극(113)이 중첩되어 형성된다.

- <60> 상기 बैं크 절연막(80)은 홀을 마련하도록 형성된다. बैं크 절연막(80)에 의해 마련된 홀은 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65)을 노출시킨다. बैं크 절연막(80)에 의해 노출된 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65)의 일부는 제 1 및 제 2 유기 반도체층(70, 77)과 중첩된다.
- <61> 상기 유기 보호막(90)은 제 1 및 제 2 유기 박막 트랜지스터(50, 51)를 보호한다. 그리고, 유기 보호막(90)은 बैं크 절연막(80)에 의해 마련된 홀 내에 제 1 및 제 2 유기 반도체층(70, 77) 상에 형성된다.
- <62> 상기 화소 전극(100)은 बैं크 절연막(80) 및 유기 보호막(90) 상에 형성된다. 그리고, 화소 전극(100)은 메인 드레인 전극(65)과 콘택홀(75)을 통해 접속한다. 이에 따라, 화소 전극(100)은 메인 드레인 전극(65)으로부터 화소 전압 신호를 공급받아 화소를 정상 구현할 수 있다. 화소 전극(100)은 투명 도전 물질 또는 반사를 가지는 도전 물질로 이루어진다. 여기서, 투명 도전 물질은 인듐 틴 옥사이드(Indium Tin Oxide : 이하 ITO), 틴 옥사이드(Tin Oxide : 이하 TO), 인듐 징크 옥사이드(Indium Zinc Oxide : 이하 IZO), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide : 이하 ITZO) 등으로 형성된다.
- <63> 도 4 및 도 5는 본 발명의 제 3 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판을 도시한 평면도 및 단면도이다.
- <64> 도 4 및 도 5를 참조하면, 표시 장치용 유기 박막 트랜지스터 기판은 데이터 패드(49), 게이트 라인(20), 데이터 라인(40), 보조 데이터 라인(45), 연결 라인(47), 게이트 절연막(30), 제 1 및 제 2 유기 박막 트랜지스터(50, 51), 스토리지 패턴(117), बैं크 절연막(80), 유기 보호막(90) 및 화소 전극(100)을 포함한다.
- <65> 상기 데이터 패드(49)는 데이터 드라이버(도시하지 않음)로부터의 화소 전압 신호를 데이터 라인(40)에 공급한다. 데이터 패드(49)는 비표시 영역에 형성된다.
- <66> 상기 게이트 라인(20)은 기판(10) 상에 형성되며 게이트 드라이버(도시하지 않음)로부터의 스캔 신호를 공급받는다. 게이트 라인(20)은 제 1 실시예의 게이트 라인과 동일한 구조로 형성되므로 상세한 설명은 생략하기로 한다.
- <67> 상기 데이터 라인(40)은 데이터 패드(49)에 접속되며 데이터 패드(49)로부터 화소 전압 신호를 공급받는다. 데이터 라인(40)은 게이트 라인(20)과 교차하며 형성된다. 그리고, 데이터 라인(40)은 제 1 실시예의 데이터 라인과 동일한 구조로 형성되므로 상세한 설명은 생략하기로 한다.
- <68> 상기 보조 데이터 라인(45)은 데이터 패드(49)에 접속하며 데이터 라인(40)과 나란히 형성된다. 보조 데이터 라인(45)은 게이트 절연막(30) 상에 형성되며 데이터 라인(40) 형성할 때 동일한 물질로 형성된다.
- <69> 상기 연결 라인(47)은 데이터 라인(40)과 보조 데이터 라인(45) 사이에 형성된다. 연결 라인(47)은 데이터 라인(40) 및 보조 데이터 라인(45)과 전기적으로 연결된다. 연결 라인(47)은 데이터 패드(49)에서 데이터 라인(40)으로 화소 전압 신호를 공급하면 데이터 라인(40)과 동일한 화소 전압 신호를 보조 데이터 라인(45)에 공급한다. 이에 따라, 연결 라인(47)은 데이터 라인(40)이 불량 발생하면 보조 데이터 라인(45)으로 화소 전압 신호를 유기 박막 트랜지스터에 공급하므로 라인 디펙트(line defect)가 발생하지 않는다.
- <70> 상기 게이트 절연막(30)은 게이트 라인(20)을 포함하는 게이트 금속 패턴과 데이터 라인(40), 보조 데이터 라인(45) 및 연결 라인(47)을 포함하는 데이터 금속 패턴을 절연시킨다.
- <71> 상기 제 1 유기 박막 트랜지스터(50)는 제 1 게이트 전극(63), 제 1 소스 전극(53), 메인 드레인 전극(65) 및 제 1 유기 반도체층(70)을 포함한다. 제 1 게이트 전극(63)은 게이트 라인(20)으로부터 돌출되어 형성되며 제 1 소스 전극(53)은 데이터 라인(40)으로부터 돌출되어 형성된다. 제 1 소스 전극(53)은 데이터 패드(49)로부터 공급받은 화소 전압 신호를 메인 드레인 전극(65)에 공급한다. 메인 드레인 전극(65)은 제 1 소스 전극(53)과 마주보며 형성되며 화소 전극(100)과 콘택홀(75)을 통해 접속한다. 제 1 유기 반도체층(70)은 제 1 소스 전극(53) 및 메인 드레인 전극(65)과 접속한다.
- <72> 상기 제 2 유기 박막 트랜지스터(51)는 제 2 게이트 전극(67), 제 2 소스 전극(57), 메인 드레인 전극(65) 및 제 2 유기 반도체층(77)을 포함한다. 제 2 게이트 전극(67)은 게이트 라인(20)과 접속하며 제 2 소스 전극(57)

7)은 보조 데이터 라인(45)으로부터 돌출되어 형성한다. 제 2 소스 전극(57)은 제 1 소스 전극(53)과 동일한 화소 전압 신호를 데이터 패드(49)로부터 공급받는다. 메인 드레인 전극(65)은 제 1 유기 박막 트랜지스터(50)와 공통으로 접속되며 화소 전극(100)과 콘택홀(75)을 통해 접속한다. 메인 드레인 전극(65)은 제 2 소스 전극(57)을 통해 공급받은 화소 전압 신호를 화소 전극(100)에 전달한다. 그리고, 제 2 유기 반도체층(77)은 제 2 소스 전극(57) 및 메인 드레인 전극(65)과 접속한다.

- <73> 상기 스토리지 패턴(117)은 스토리지 하부 전극(110) 및 스토리지 상부 전극(113)을 포함한다. 스토리지 하부 전극(110)은 게이트 라인(20)과 동일한 물질로 형성되며 스토리지 상부 전극(113)은 데이터 라인(40)과 동일한 물질로 형성된다. 이에 따라, 스토리지 하부 전극(110)과 스토리지 상부 전극(113)은 게이트 절연막(30)을 사이에 두고 중첩되어 스토리지 커패시터를 형성한다.
- <74> 상기 बैं크 절연막(80)은 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65)을 노출시키는 홀을 형성한다.
- <75> 상기 유기 보호막(90)은 बैं크 절연막(80)에 의해 형성된 홀 내에 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 상에 형성되며 제 1 및 제 2 유기 박막 트랜지스터(50, 51)를 보호한다.
- <76> 상기 화소 전극(100)은 유기 보호막(90) 및 बैं크 절연막(80) 상에 투명 도전 물질 또는 반사를 가지는 도전 물질로 형성한다. 화소 전극(100)은 메인 제 1 및 제 2 유기 박막 트랜지스터(50, 51)의 메인 드레인 전극(65)과 콘택홀(75)을 통해 접속된다. 화소 전극(100)은 메인 드레인 전극(65)을 통해 공급받은 화소 전압 신호를 이용하여 화소를 구현한다.
- <77> 제 1 내지 제 3 실시예에서는 2개의 유기 박막 트랜지스터를 예를 들어 설명하였지만 2개의 유기 박막 트랜지스터에 한정되지 않으며 2개 이상의 유기 박막 트랜지스터가 형성될 수 있다.
- <78> 도 6, 도 7a 및 도 7b는 본 발명의 제 4 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판을 도시한 평면도 및 단면도이다.
- <79> 도 6 내지 도 7b를 참조하면, 표시 장치용 유기 박막 트랜지스터 기판은 병렬로 연결된 6개의 유기 박막 트랜지스터를 포함한다. 여기서는 데이터 라인(40)과 접속하는 제 1 유기 박막 트랜지스터(50)와 보조 데이터 라인(45)과 접속하는 제 2 유기 박막 트랜지스터(51)를 예를 들어 설명하기로 한다.
- <80> 표시 장치용 유기 박막 트랜지스터 기판은 데이터 패드(49), 게이트 라인(20), 데이터 라인(40), 보조 데이터 라인(45), 연결 라인(47), 게이트 절연막(30), 스토리지 패턴(117), 제 1 및 제 2 유기 박막 트랜지스터(50, 51), बैं크 절연막(80), 유기 보호막(90) 및 화소 전극(100)을 포함한다.
- <81> 상기 데이터 패드(49)는 데이터 드라이버로부터의 화소 전압 신호를 데이터 라인(40)에 공급한다.
- <82> 상기 게이트 라인(20) 및 데이터 라인(40)은 교차하며 형성된다. 게이트 라인(20) 및 데이터 라인(40)은 제 3 실시예의 게이트 라인 및 데이터 라인과 동일한 구조로 형성되므로 상세한 설명은 생략하기로 한다.
- <83> 상기 보조 데이터 라인(45)은 데이터 패드(49)로 연결되어 형성되며 데이터 라인(40)과 평행하게 형성된다.
- <84> 상기 연결 라인(47)은 보조 데이터 라인(45) 및 데이터 라인(40)과 전기적으로 접속한다. 연결 라인(47)은 제 3 실시예의 연결 라인과 동일하므로 상세한 설명은 생략하기로 한다.
- <85> 상기 게이트 절연막(30)은 게이트 라인(20) 상에 형성되며 게이트 라인(20)과 데이터 라인(40)을 절연시킨다.
- <86> 상기 스토리지 패턴(115)은 게이트 라인(20)과 평행하게 형성되며 게이트 라인(20)과 동일한 물질로 형성된다. 스토리지 패턴(115)은 게이트 절연막(30) 및 बैं크 절연막(80)을 사이에 두고 화소 전극(100)과 중첩되어 스토리지 커패시터를 형성한다.
- <87> 상기 제 1 및 제 2 유기 박막 트랜지스터(50, 51)는 병렬로 연결하여 채널의 폭을 증가시킴으로써 온-전류를 향상시킬 수 있다. 또한, 제 1 및 제 2 유기 박막 트랜지스터(50, 51)는 각각 3개의 서브 박막 트랜지스터를 형성함으로써 췌팅 불량 등에 의한 일부의 서브 박막 트랜지스터가 동작하지 않더라도 화소 전극(100)이 턴-온될 수 있다. 이를 위하여, 제 1 및 제 2 유기 박막 트랜지스터(50, 51)는 메인 게이트 전극(60), 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65), 제 1 및 제 2 유기 반도체층(70, 77)을 포함한다. 메인 게이트 전극(60)은 제 1 및 제 2 유기 박막 트랜지스터(50, 51)와 공통으로 접속된다. 구체적으로, 메인 게이트 전극(60)은 게이트 라인(20)과 스토리지 패턴(115) 사이에 형성되며 예를 들어 'U' 형태로 형성되어 제 1 및 제 2 유기 박막 트랜지스터(50, 51)를 공통으로 접속한다. 여기서 메인 게이트 전극(60)은 'U' 형태를 예를 들어 설명하

였지만 메인 게이트 전극(60)은 ‘n’, ‘H’ 형태로도 형성될 수 있다.

- <88> 제 1 소스 전극(53)은 데이터 라인(40)과 접속하며 제 2 소스 전극(57)은 보조 데이터 라인(40)과 접속한다. 제 1 및 제 2 소스 전극(53, 57)은 데이터 패드(49)에 공통으로 접속된 데이터 라인(40)과 보조 데이터 라인(45)을 통해 화소 전압 신호를 공급받는다.
- <89> 메인 드레인 전극(65)은 제 1 및 제 2 유기 박막 트랜지스터(50, 51)와 공통으로 접속되며 콘택홀(75)을 통해 화소 전극(100)과 접속한다. 그리고, 메인 드레인 전극(65)은 예를 들어 ‘H’ 형태로 형성되어 제 1 및 제 2 유기 박막 트랜지스터(50, 51)와 공통으로 접속된다. 메인 드레인 전극(65)은 제 1 및 제 2 소스 전극(53, 57)으로부터 공급받은 화소 전압 신호를 화소 전극(100)에 공급한다. 여기서 메인 데이터 전극(65)은 ‘H’ 형태를 예를 들어 설명하였지만 메인 데이터 전극(65)은 ‘n’, ‘U’ 형태로도 형성될 수 있다.
- <90> 상기 बैं크 절연막(80)은 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65)을 노출시키는 홀을 형성한다.
- <91> 상기 유기 보호막(90)은 बैं크 절연막(80)에 의해 형성된 홀 내에 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 상에 형성되며 제 1 및 제 2 유기 박막 트랜지스터(50, 51)를 보호한다.
- <92> 상기 화소 전극(100)은 메인 제 1 및 제 2 유기 박막 트랜지스터(50, 51)의 메인 드레인 전극(65)과 콘택홀(75)을 통해 접속한다. 화소 전극(100)은 메인 드레인 전극(65)을 통해 공급받은 화소 전압 신호를 이용하여 화소를 구현한다.
- <93> 제 4 실시예에서는 6개의 유기 박막 트랜지스터를 예를 들어 설명하였지만 화소의 크기나 잉크젯 공정에 따라 적어도 2개의 유기 박막 트랜지스터가 형성되면 무관하다.
- <94> 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법을 도 8a 내지 도 13b를 구체적으로 살펴보면 다음과 같다.
- <95> 도 8a 및 도 8b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법 중 게이트 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- <96> 도 8a 및 도 8b를 참조하면, 유리, 플라스틱 등의 절연 기판(10) 상에 게이트 라인(20), 메인 게이트 전극(60) 및 스토리지 하부 전극(110)이 형성된다. 구체적으로, 기판(10) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 몰리브덴(Mo), 니오브(Nb), 구리(Cu), 알루미늄(Al), 크롬(Cr), 은(Ag), 텅스텐(W) 등 이들의 합금이 단일층 또는 복층 구조로 적층되어 형성된다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 라인(20), 메인 게이트 전극(60) 및 스토리지 하부 전극(110)을 포함하는 게이트 금속 패턴이 형성된다.
- <97> 도 9는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법 중 게이트 절연막의 제조 방법을 설명하기 위한 단면도이다.
- <98> 도 9를 참조하면, 게이트 금속 패턴이 형성된 기판(10) 상에 게이트 절연막(30)이 형성된다. 구체적으로, 게이트 금속 패턴이 기판(10) 상에 유기 또는 무기 절연 물질이 전면 증착됨으로써 게이트 절연막(30)이 형성된다. 게이트 절연막(30)은 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition : 이하 PECVD) 등의 증착 방법을 통해 형성된다.
- <99> 도 10a 및 도 10b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법 중 데이터 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- <100> 도 10a 및 도 10b를 참조하면, 게이트 절연막(30) 상에 데이터 라인(40), 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 및 스토리지 상부 전극(113)을 형성한다. 구체적으로, 게이트 절연막(30) 상에 스퍼터링 방법 등의 증착 방법을 통해 데이터 금속층이 형성된다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 데이터 금속층이 패터닝됨으로써 데이터 라인(40), 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 및 스토리지 상부 전극(113)을 포함하는 데이터 금속 패턴이 형성된다.
- <101> 도 11a 및 도 11b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터의 बैं크 절연막, 제 1 및 제 2 유기 반도체층 및 유기 보호막의 제조 단계를 거친 평면도 및 단면도이다.
- <102> 도 11a 및 도 11b를 참조하면, 데이터 금속 패턴 상에 콘택홀(75), बैं크 절연막(80), बैं크 절연막(80)에 의해 형성된 홀 내에 제 1 및 제 2 유기 반도체층(70, 77) 및 유기 보호막(90)이 형성된다.

- <103> 이하, 도 12a 내지 도 12d를 참조하여 बैं크 절연막, 제 1 및 제 2 유기 반도체 및 유기 보호막의 제조 방법을 보다 상세하게 설명한다. 도 12a 내지 도 12d는 도 11a 및 도 11b에 도시된 표시 장치용 유기 박막 트랜지스터 기관의 बैं크 절연막, 제 1 및 제 2 유기 반도체 및 유기 보호막의 제조 방법을 설명하기 위한 단면도이다.
- <104> 도 12a를 참조하면, 데이터 금속 패턴이 형성된 기관(10) 상에 बैं크 절연막(80) 및 콘택홀(75)이 형성된다. 구체적으로, 데이터 금속 패턴 상에 스펀리스 또는 스펀 코팅 등의 코팅 방법을 통해 감광성 유기 절연 물질이 형성된다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 유기 절연 물질이 패터닝됨으로써 홀을 포함한 बैं크 절연막(80) 및 콘택홀(75)이 형성된다.
- <105> 도 12b를 참조하면, 홀에 의해 노출된 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65) 상에 제 1 및 제 2 유기 반도체층(70, 77)이 형성된다. 구체적으로, 잉크젯 노즐(150, 155)을 이용하여 बैं크 절연막(80)에 의해 마련된 홀 내에 액체 상태의 유기 반도체를 분사한다. 각기 다른 잉크젯 노즐(150, 155)을 이용하여 제 1 및 제 2 유기 반도체층(70, 77)을 형성할 경우에는, 하나의 잉크젯 노즐이 불량이 발생하거나 불안정하게 젯팅으로 인해 유기 박막 트랜지스터가 턴-온(turn-on)되지 않아도 다른 유기 박막 트랜지스터가 턴-온되므로 화소 불량이 발생하지 않는다. 여기서는 두 개의 잉크젯 노즐(150, 155)로 각각 제 1 및 제 2 유기 반도체층(70, 77)을 분사하여 형성하는 것을 예를 들어 설명하였지만 한 개의 잉크젯 노즐로 제 1 및 제 2 유기 반도체층을 분사할 수도 있다.
- <106> 이후, 액체 상태의 유기 반도체가 경화됨으로써 도 12c에 도시된 바와 같이 고체 상태의 제 1 및 제 2 유기 반도체층(70, 77)이 형성된다. 제 1 및 제 2 유기 반도체층(70, 77)이 형성된 후 제 1 및 제 2 유기 반도체층(70, 77)은 SAM 처리 공정한다. 이에 따라, 제 1 및 제 2 유기 반도체층(70, 77)은 제 1 및 제 2 소스 전극(53, 57), 메인 드레인 전극(65)과 오믹 접촉된다.
- <107> 도 12d를 참조하면, 제 1 및 제 2 유기 반도체층(70, 77)이 형성된 홀 내에 유기 보호막(90)이 형성된다. 구체적으로, 제 1 및 제 2 유기 반도체층(70, 77)이 형성된 홀 내에 폴리비닐아세테이트(PolyVinylAcetate : PVA) 등과 같은 유기 절연액이 잉크젯 노즐을 통해 분사된 후 경화되어 유기 보호막(90)이 형성된다.
- <108> 도 13a 및 도 13b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기관의 제조 방법 중 화소 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- <109> 도 13a 및 도 13b를 참조하면, 콘택홀(75), बैं크 절연막(80) 및 유기 보호막(90) 상에 화소 전극(100)이 형성된다. 구체적으로, 콘택홀(75), बैं크 절연막(80) 및 유기 보호막(90) 상에 스퍼터링 방법 등의 증착 방법을 통해 투명 또는 반사 도전 물질이 형성된다. 투명 반사 도전 물질로는 ITO, TO, IZO, ITZO 등이 형성된다. 이어서, 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 화소 전극(100)이 형성된다.

발명의 효과

- <110> 상술한 바와 같이, 본 발명에 따른 표시 장치용 박막 트랜지스터 기관 및 이의 제조 방법은 적어도 두 개의 유기 박막 트랜지스터를 형성하여 두 개의 유기 박막 트랜지스터 중 어느 하나에서 불량이 발생하더라도 다른 유기 박막 트랜지스터가 정상으로 턴-온되므로 화소 불량을 방지할 수 있다.
- <111> 그리고, 표시 장치용 박막 트랜지스터 기관은 적어도 두 개의 유기 박막 트랜지스터가 병렬로 연결됨으로 유기 박막 트랜지스터의 온-전류를 향상시킬 수 있다. 또한, 표시 장치용 유기 박막 트랜지스터 기관은 보조 데이터 라인을 추가하여 데이터 라인에서 불량이 발생하면 보조 데이터 라인으로 화소 전압 신호를 공급하여 라인 디펙트 현상이 발생하지 않아 표시 불량을 해결할 수 있다.
- <112> 이상에서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술 될 특허청구범위에 기재된 본 발명의 사상 및 기술영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 자명하다.

도면의 간단한 설명

- <1> 도 1 및 도 2는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기관을 도시한 평면도 및 단

면도이다.

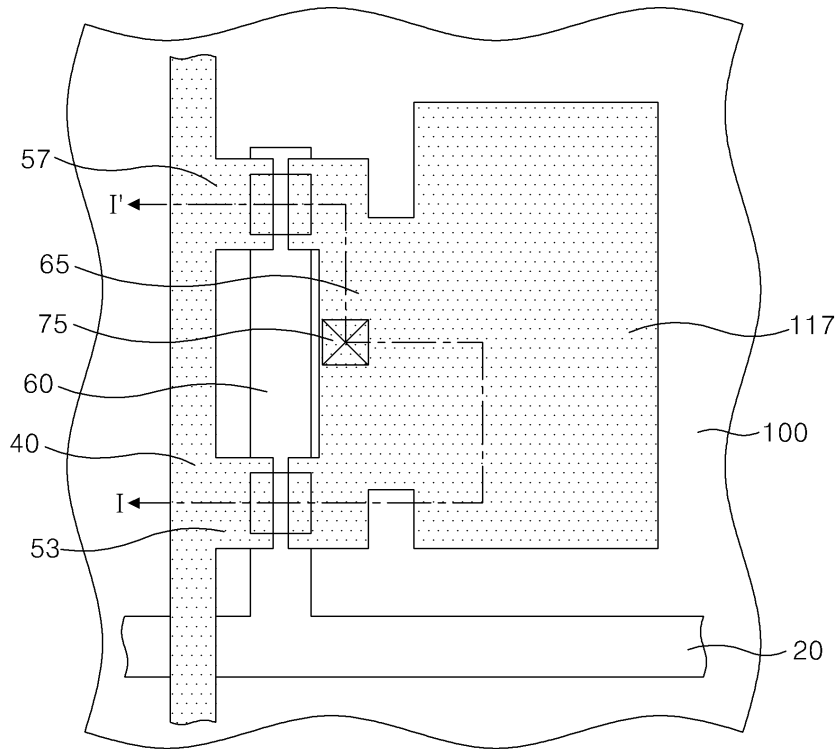
- <2> 도 3은 본 발명의 제 2 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판을 도시한 평면도이다.
- <3> 도 4 및 도 5는 본 발명의 제 3 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판을 도시한 평면도 및 단면도이다.
- <4> 도 6, 도 7a 및 도 7b는 본 발명의 제 4 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판을 도시한 평면도 및 단면도이다.
- <5> 도 8a 및 도 8b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법 중 게이트 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- <6> 도 9는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법 중 게이트 절연막의 제조 방법을 설명하기 위한 단면도이다.
- <7> 도 10a 및 도 10b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법 중 데이터 금속 패턴의 제조 방법을 설명하기 위한 평면도 및 단면도이다.
- <8> 도 11a 및 도 11b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터의 बैं크 절연막, 제 1 및 제 2 유기 반도체층 및 보호층의 제조 단계를 거친 평면도 및 단면도이다.
- <9> 도 12a 내지 도 12d는 도 11a 및 도 11b에 도시된 표시 장치용 유기 박막 트랜지스터 기판의 बैं크 절연막, 제 1 및 제 2 유기 반도체 및 유기 보호막의 제조 방법을 설명하기 위한 단면도이다.
- <10> 도 13a 및 도 13b는 본 발명의 제 1 실시예에 따른 표시 장치용 유기 박막 트랜지스터 기판의 제조 방법 중 화소 전극의 제조 방법을 설명하기 위한 평면도 및 단면도이다.

<11> <도면 부호의 간단한 설명>

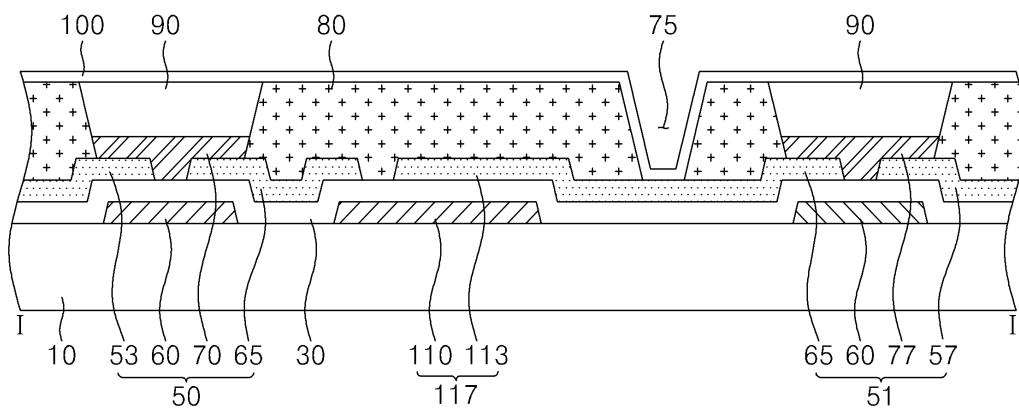
- | | |
|-----------------------|----------------------|
| <12> 10 : 기판 | 20 : 게이트 라인 |
| <13> 30 : 게이트 절연막 | 40 : 데이터 라인 |
| <14> 45 : 보조 데이터 라인 | 47 : 연결 라인 |
| <15> 49 : 데이터 패드 | 50, 51 : 유기 박막 트랜지스터 |
| <16> 53, 57 : 소스 전극 | 60 : 메인 게이트 전극 |
| <17> 63, 67 : 게이트 전극 | 65 : 메인 드레인 전극 |
| <18> 75 : 콘택홀 | 80 : बैं크 절연막 |
| <19> 90 : 유기 보호막 | 100 : 화소 전극 |
| <20> 110 : 스토리지 하부 전극 | 113 : 스토리지 상부 전극 |
| <21> 117 : 스토리지 패턴 | |

도면

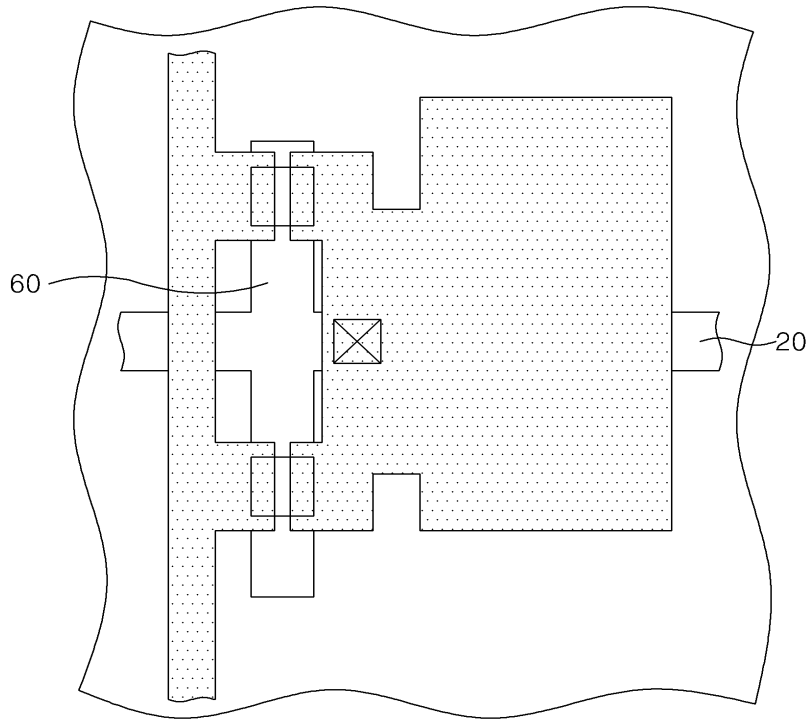
도면1



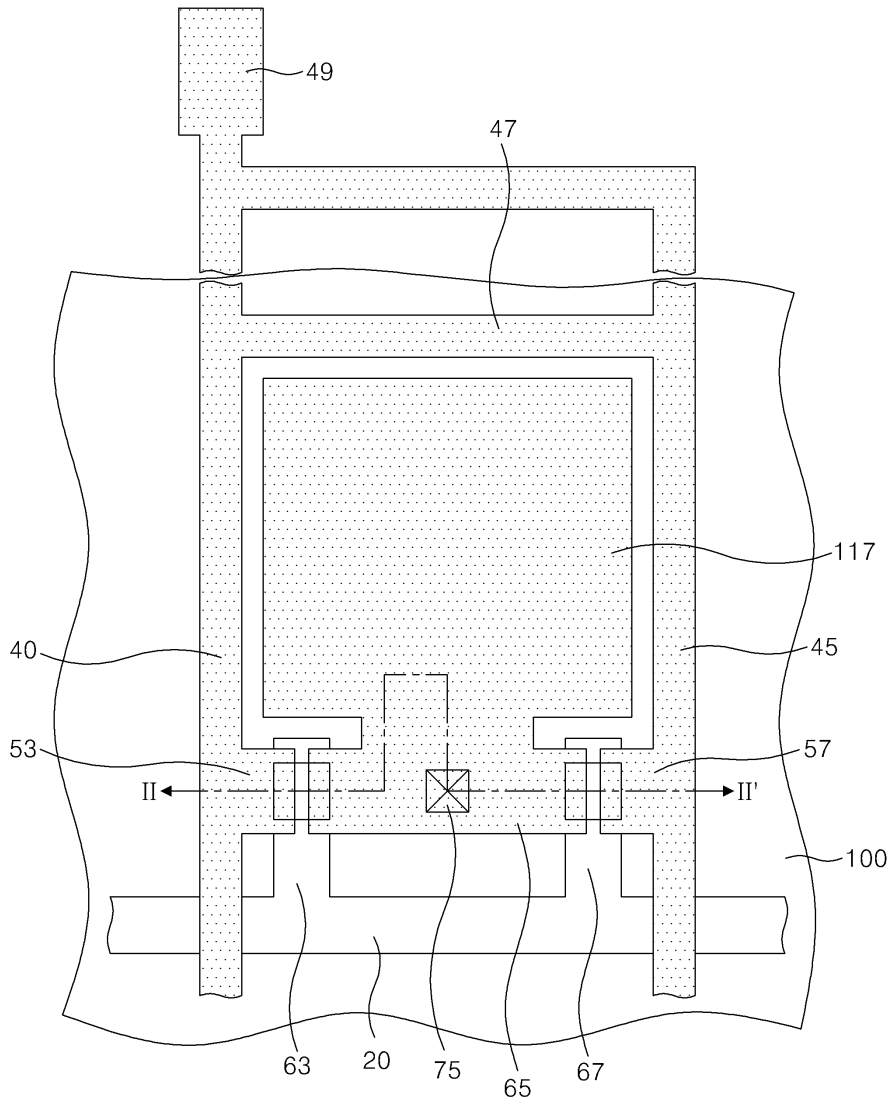
도면2



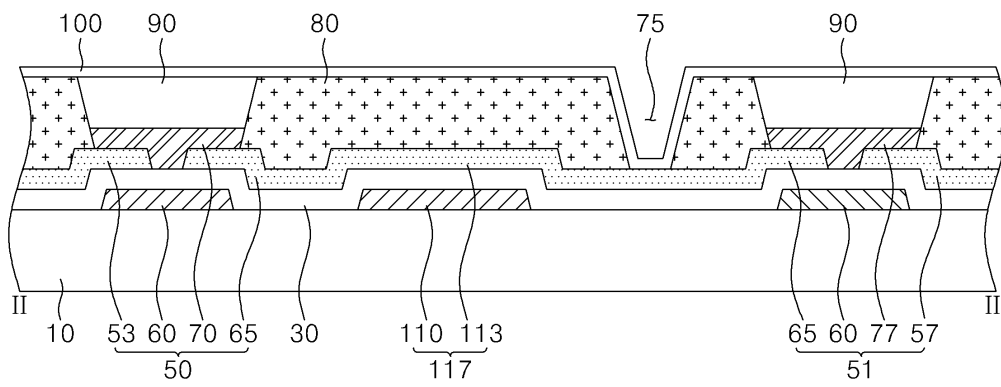
도면3



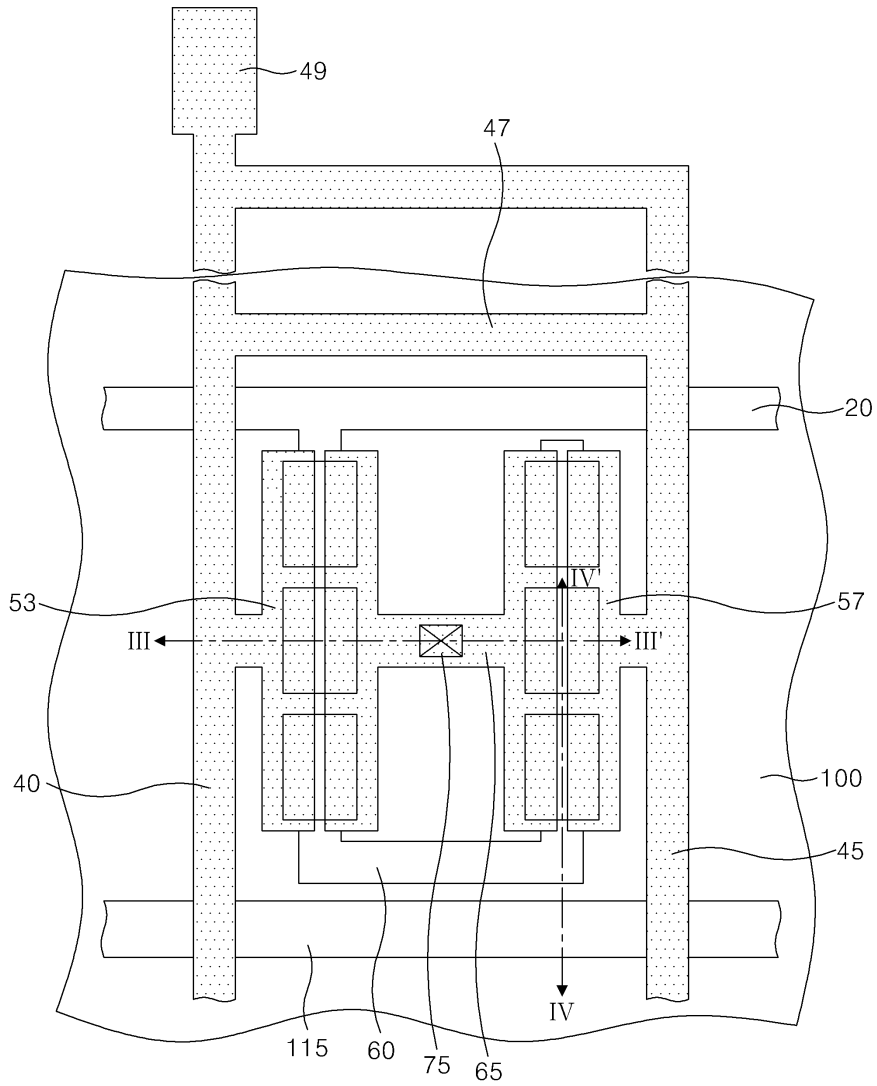
도면4



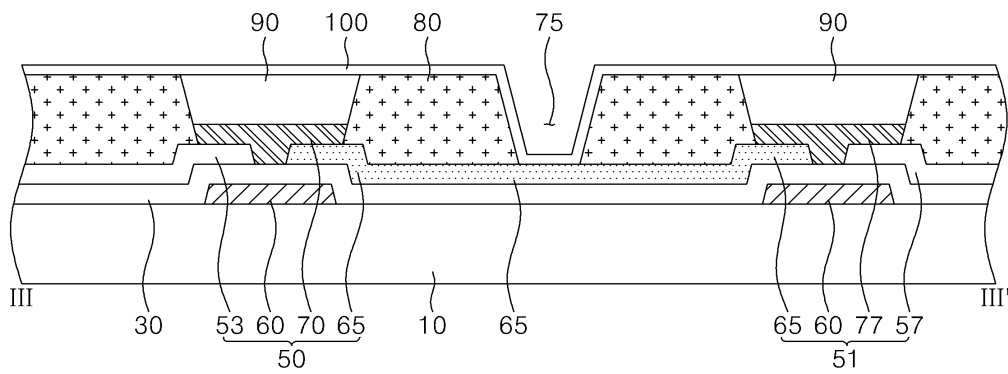
도면5



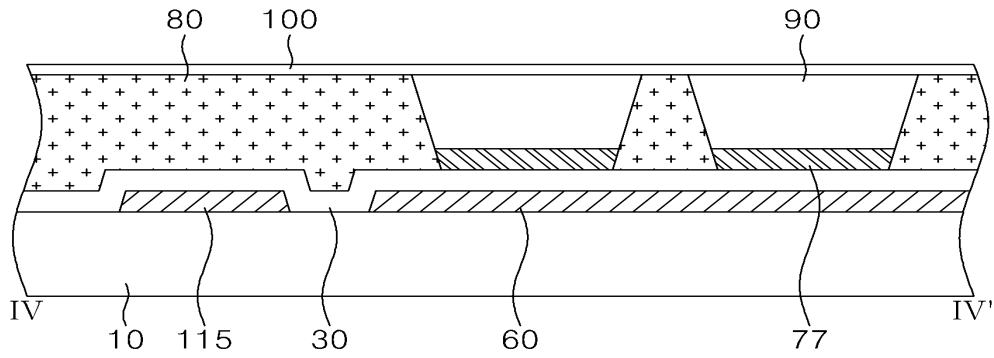
도면6



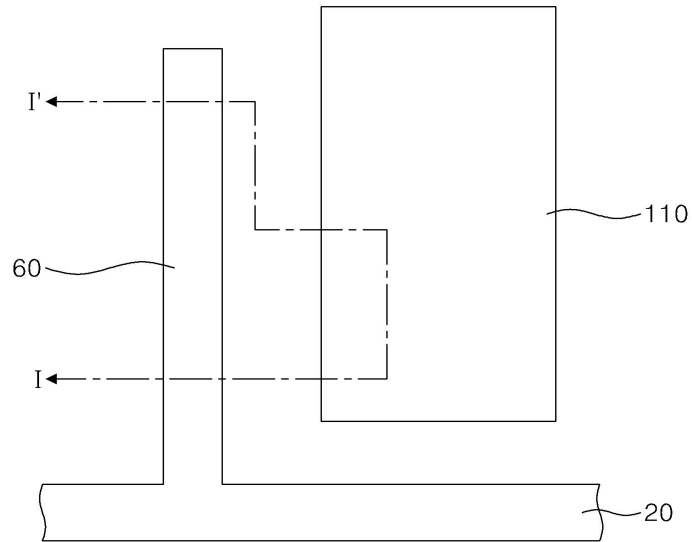
도면7a



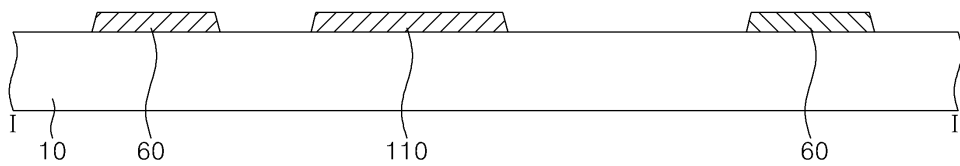
도면7b



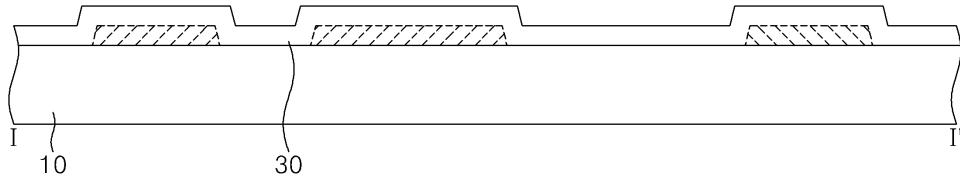
도면8a



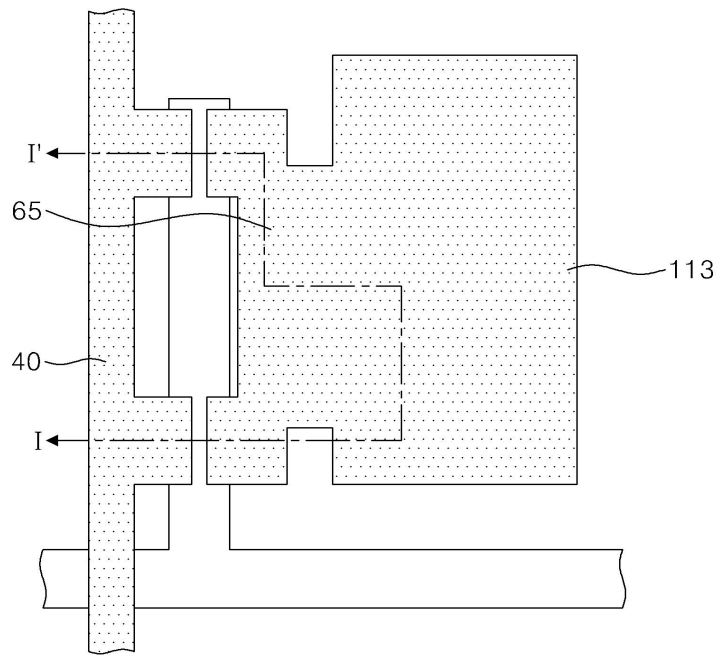
도면8b



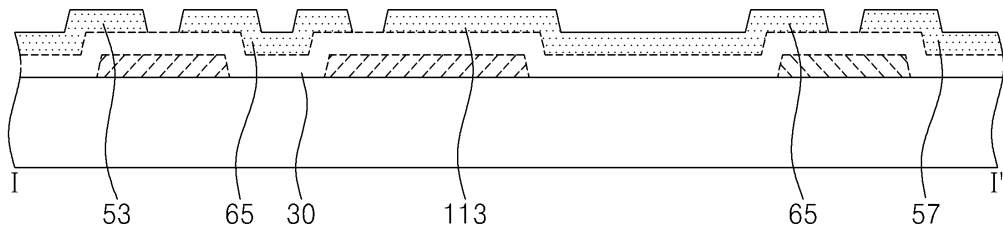
도면9



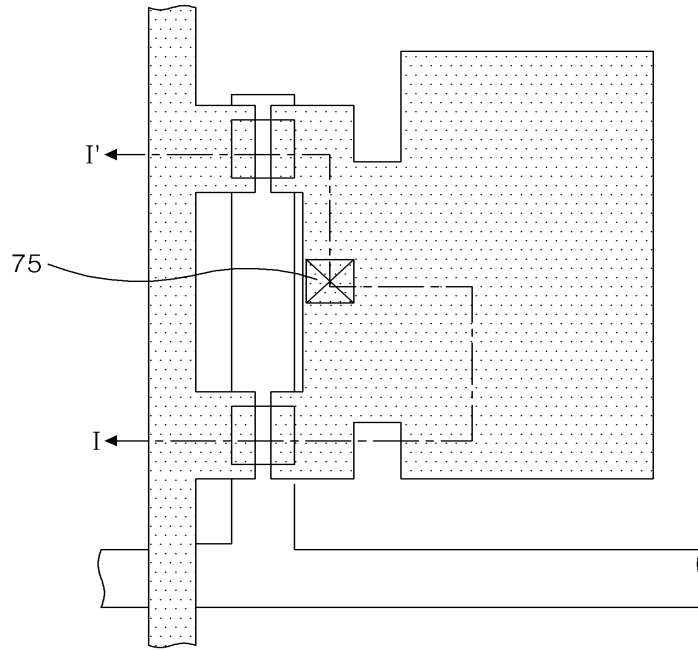
도면10a



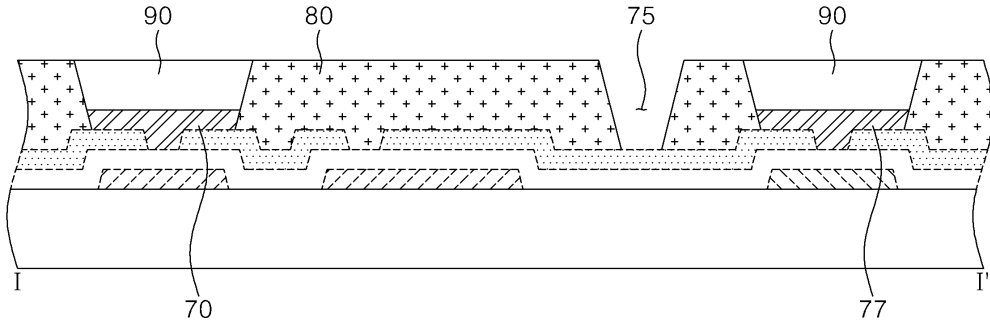
도면10b



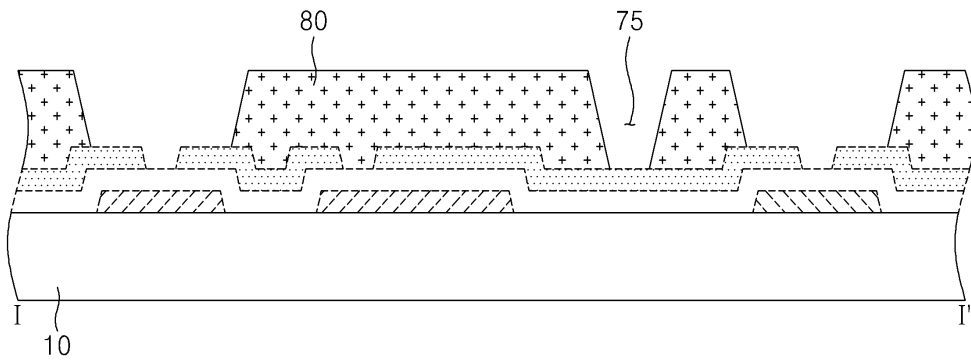
도면11a



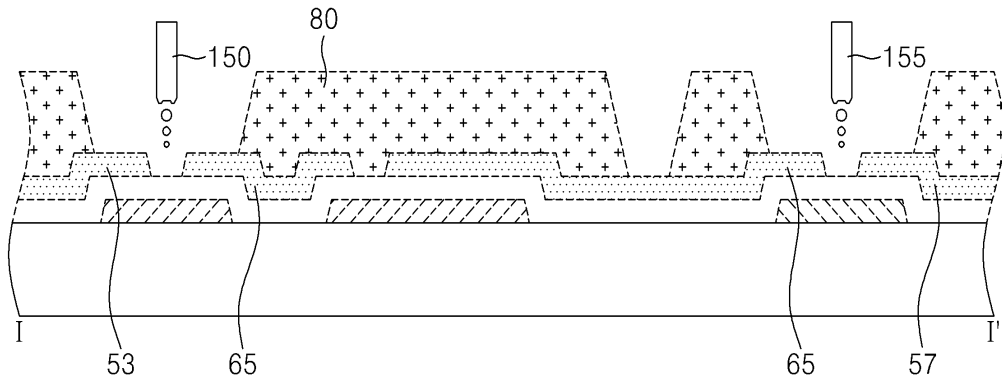
도면11b



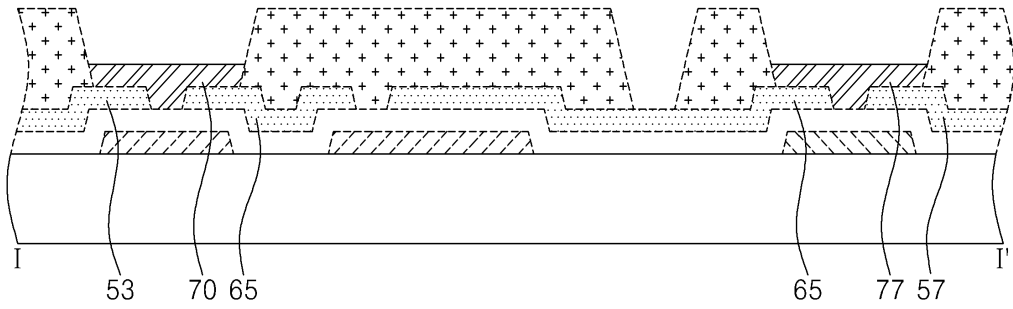
도면12a



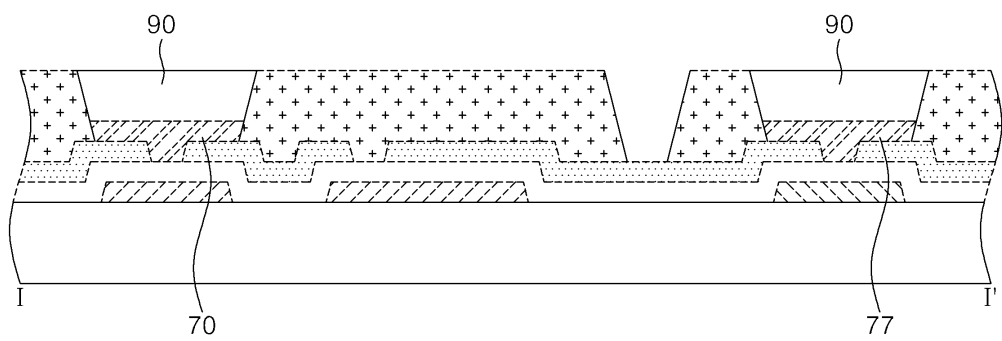
도면12b



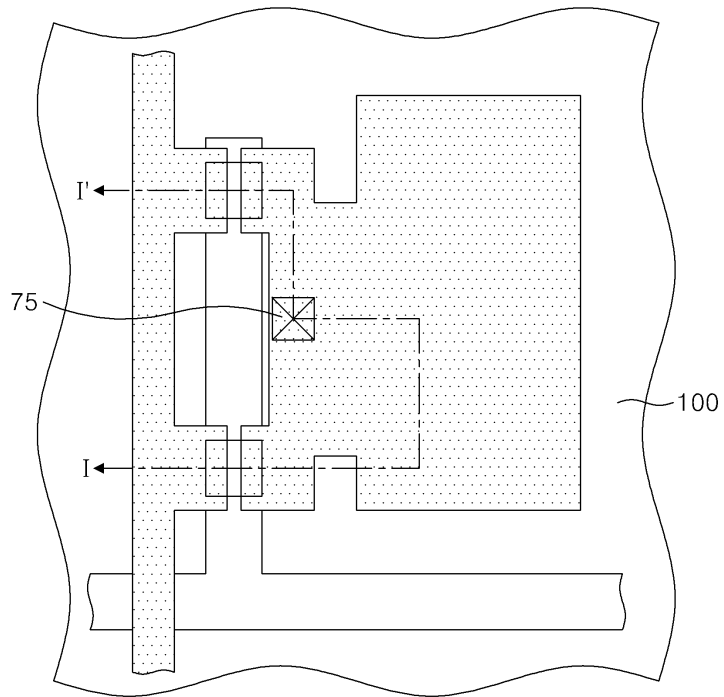
도면12c



도면12d



도면13a



도면13b

