

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006年7月27日 (27.07.2006)

PCT

(10) 国際公開番号
WO 2006/077650 A1

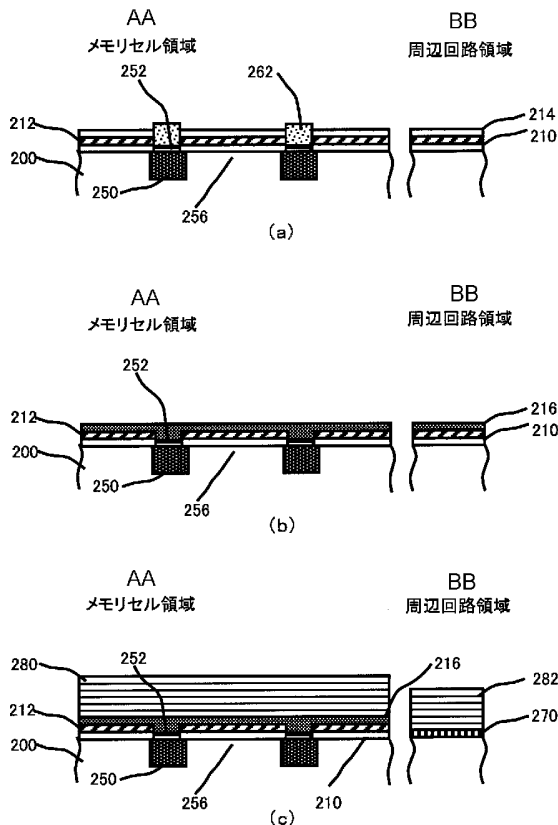
- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 29/792 (2006.01)
H01L 27/115 (2006.01)
- (21) 国際出願番号: PCT/JP2005/000875
- (22) 国際出願日: 2005年1月24日 (24.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サニーベイルワンエイ
ムディプレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (SPANSION JAPAN LIMITED) [JP/JP]; 〒9650845
福島県会津若松市門田町工業団地6番 Fukushima (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 瀬瀬 洋章

- (74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テプコビル
Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体装置及びその製造方法



AA... MEMORY CELL REGION
BB... PERIPHERAL CIRCUIT REGION

(57) Abstract: A semiconductor device is provided with a semiconductor substrate (200); ONO films (210, 212, 216) formed on the semiconductor substrate; a control gate (280) on the ONO films; first low resistance layers (250); and second low resistance layers (252) which are brought into contact with the first low resistance layers and are consecutively formed in a current flowing direction. The second low resistance layers have a smaller sheet resistance than that of the first low resistance layers. Thus, the semiconductor device wherein resistance of a bit line is prevented from becoming high, a memory cell can be microminiaturized, and the peripheral circuit manufacturing process is easy, and a method for manufacturing such semiconductor device are provided.

(57) 要約: 半導体基板(200)と、半導体基板上に形成されたONO膜(210、212、216)と、ONO膜上のコントロールゲート(280)と、第1の低抵抗層(250)と、第1の低抵抗層に接しかつ電流の流れる方向に連続して形成された第2の低抵抗層(252)を有し、第2の低抵抗層は第1の低抵抗層より小さなシート抵抗を有する。これにより、ビット線の高抵抗化を防ぎ、メモリセルを微細化可能であり、かつ周辺回路の製造工程の容易な半導体装置とその製造方法を提供することができる。

WO 2006/077650 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が⁸可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置及びその製造方法

技術分野

[0001] 本発明は不揮発性メモリ及びその製造方法に関し、特にONO (Oxide Nitride Oxide) 膜を有する不揮発性メモリ及びその製造方法に関する。

背景技術

[0002] 近年、データの書換えが可能な半導体装置である不揮発性メモリが広く利用されている。このような不揮発性メモリの技術分野においては、高記憶容量化のため、メモリセルの微細化を目的とした技術開発が進められている。

[0003] 不揮発性メモリとしては、フローティングゲートに電荷を蓄積するフローティングゲート型フラッシュメモリが広く用いられてきた。しかし、高記憶密度化実現のためメモリセルの微細化が進行すると、フローティングゲート型フラッシュメモリを設計することが困難となってくる。フローティング型フラッシュメモリのメモリセルの微細化に伴い、トンネル酸化膜の薄膜化が必要である。しかし、トンネル酸化膜の薄膜化により、トンネル酸化膜を流れるリーク電流が増大し、またトンネル酸化膜への欠陥の導入により、フローティングゲートに蓄積された電荷が消失するといった信頼性の障害が発生するためである。

[0004] これを解決するために、MONOS (Metal Oxide Nitride Oxide Silicon) 型やSONOS (Silicon Oxide Nitride Oxide Silicon) 型といったONO (Oxide/Nitride/Oxide) 膜を有するフラッシュメモリがある。これは、酸化シリコン膜層に挟まれたトラップ層と呼ばれる窒化シリコン膜層に電荷を蓄積するフラッシュメモリである。このフラッシュメモリは絶縁膜である窒化シリコン膜層に電荷を蓄積するため、トンネル酸化膜に欠陥があっても、フローティングゲート型のように電荷は消失しない。また、同じメモリセルのトラップ層に多値のビットを記憶させることが可能であり、不揮発性メモリの高記憶容量化に有利である。

[0005] 以下、図1 (a)ないし図1 (d)を用い、従来のONO膜を有するフラッシュメモリとその製造方法(以下、従来技術)について説明する。

- [0006] 図1(a)ないし図1(d)は従来技術のフラッシュメモリおよびその製造方法を断面図として表したものである。フラッシュメモリはメモリセルと周辺回路を具備しており、図の左側はメモリセル領域、右側は周辺回路領域を示している。
- [0007] 図1(a)において、P型シリコン半導体基板100上にトンネル酸化膜である第1の酸化シリコン膜層110、トラップ層である窒化シリコン膜層112、注入のための保護膜である第3の酸化シリコン膜層114を形成する。次に、フォトレジスト120を塗布し、一般的な露光技術を用い、メモリセル領域のビット線およびソース・ドレイン領域形成領域開口部140を形成する。ここで、前記開口部140の寸法をL11とする。
- [0008] 次に、図1(b)において、ビット線およびソース・ドレイン領域に、例えば砒素(As)をイオン注入し、熱処理することにより、ビット線およびソース・ドレイン領域となるN型の低抵抗層150を形成する。このとき、前記低抵抗層150の寸法はL12となる。また、一組のソース・ドレイン領域150に挟まれた部分がチャネル領域156となる。
- [0009] 次に、図1(c)において、保護膜である第3の酸化シリコン膜層114を除去し、第2の酸化シリコン膜層116を形成する。
- [0010] 次に、図1(d)において、周辺回路領域の第2の酸化シリコン膜116、窒化シリコン膜層112、および第1の酸化シリコン膜層110を除去する。その後、周辺回路形成領域にゲート酸化膜となる第4の酸化シリコン膜層170を形成する。更に、周辺回路のゲート金属182、メモリセルのコントロールゲート、およびワード線180となる多結晶シリコン膜層を形成する。以降は一般的な製造方法でメモリセルおよび周辺回路を形成し、ONO膜を有するフラッシュメモリが完成する。
- [0011] また、ビット線の抵抗値を低くすることを目的に、ビット線の一部に珪化金属層を具備する、OMO膜を有するフラッシュメモリが特許文献1に開示されている。
- [0012] 特許文献1:特開2002-170891号公報
発明の開示
発明が解決しようとする課題
- [0013] しかしながら、従来技術においては、寸法L12を有するビット線およびソース・ドレイン領域の低抵抗層150の微細化が困難であった。寸法L12は、フォトレジスト120の開口部140の寸法L11よりイオン注入の横の拡がり分大きくなる。開口部140の寸法

L11は露光装置の波長の約半分程度までが限界であり、例えば通常よく使われるKrF露光装置を使用した場合、L11を100nm以下とすることは難しい。よって、L12も100nm以下とすることは難しい。

[0014] また、ビット線およびソース・ドレイン領域の低抵抗層150の寸法L12を微細化した場合、ビット線の抵抗が高くなり、書き込み消去特性が悪化するといった課題がある。

[0015] この解決方法として、特許文献1のようにビット線をイオン注入で形成した第1の低抵抗層と、第1の低抵抗層に接し、第1の低抵抗層の一部上部に低抵抗の珪化金属膜である第2の低抵抗層を形成する方法がある。しかし、特許文献1においては、第2の低抵抗層が電流の流れる方向に連続的に形成できない。これでは、ビット線の低抵抗化は不完全である。また、サイドウォール制御ゲート間に珪化金属膜を形成するため、ビット線の幅を広くしなければ、珪化金属膜が第1の低抵抗層上に形成できない。これでは、微細化の要請に相反する。さらに、多結晶シリコン膜層を2層形成しなければメモリセルが完成しない。一般に、周辺回路領域のゲートは多結晶シリコン膜1層で形成されるため、メモリセルに多結晶シリコン膜層を2層必要とする構造は周辺回路の製造工程が煩雑となるといった問題がある。

[0016] 一方、従来技術において、ビット線領域150上にさらに低抵抗層を積層することは、フォトリジストをマスクとしているゆえに困難である。低抵抗層の形成のためには一般的に200℃以上の高温が必要であり、このような温度ではフォトリジストのガラス転移温度を超えてしまうためである。

[0017] そこで、本発明の目的は、上記課題を解決し、ビット線の高抵抗化を防ぎ、メモリセルを微細化可能とし、かつ、周辺回路の製造工程の容易な半導体装置とその製造方法を提供することである。

課題を解決するための手段

[0018] 本発明は、半導体基板と、該半導体基板上に形成されたONO(酸化膜/窒化膜/酸化膜)膜と、該ONO膜上に配置されたコントロールゲートと、前記半導体基板内に形成された第1の低抵抗層と、該第1の低抵抗層に接しかつ電流の流れる方向に連続して形成された第2の低抵抗層とを有するビット線とを有し、前記第2の低抵抗層は前記第1の低抵抗層よりも小さなシート抵抗を有する半導体装置である。

- [0019] 本発明によれば、ビット線にシート抵抗の小さな第2の低抵抗層を電流の流れる方向に連続的に具備することによりビット線の抵抗を小さくすることができ、ビット線の寸法を小さくし、微細化可能な半導体装置を提供することができる。
- [0020] 本発明は、前記第1の低抵抗層は不純物拡散層である。
- [0021] 本発明によれば、第1の低抵抗層に不純物拡散層を用いることにより製造工程を簡略化できる半導体装置を提供することができる。
- [0022] 本発明は、前記第2の低抵抗層は珪化金属膜層を有する構成とすることができる。
- [0023] 本発明によれば、低抵抗な珪化金属膜層をビット線に用いることにより、ビット線の抵抗の小さな半導体装置を提供することができる。
- [0024] 本発明は、前記第2の低抵抗層は、エピタキシャル成長されたシリコン層を有する構成とすることができる。
- [0025] 本発明によれば、低抵抗なエピタキシャル成長されたシリコン層をビット線に用いることにより、ビット線の抵抗の小さな半導体装置を提供することができる。
- [0026] 本発明は、前記コントロールゲートに接続するワード線を有し、前記コントロールゲートと前記ワード線とは1つの多結晶シリコン層で一体的に形成されている構成とすることができる。
- [0027] 本発明によれば、多結晶シリコン膜を一層でメモリセルが形成できるため、この多結晶シリコン膜を周辺回路のゲート金属として用いることにより、周辺回路の製造工程を簡略化した半導体装置を提供することができる。
- [0028] 本発明は、前記ビット線と前記コントロールゲートとは、前記ONO膜のうちの上側酸化膜のみで絶縁されている構成とすることができる。
- [0029] 本発明によれば、コントロールゲートとビット線が良質の酸化シリコン膜層により絶縁するため、簡単な構成で良好な絶縁特性を有する半導体装置を提供することができる。
- [0030] 本発明は更に、半導体基板上にONO(酸化膜/窒化膜/酸化膜)膜を形成する工程と、前記ONO膜上に、ビット線形成領域を選択的に除去した開口部を有する絶縁膜マスク層を形成する工程と、前記絶縁膜マスク層をマスクに前記ビット線形成領域のシリコン基板に選択的に不純物をイオン注入することにより第1の低抵抗層を形

成する工程と、前記ビット線形成領域の前記ONO膜をエッチングする工程と、前記ビット線形成領域の第1の低抵抗層に接しかつ電流の流れる方向に連続して形成され、前記第1の低抵抗層よりシート抵抗の小さい第2の低抵抗層を形成する工程とを具備する半導体装置の製造方法である。

- [0031] 本発明によれば、ビット線にシート抵抗の小さな第2の低抵抗層を具備することによりビット線の抵抗を小さくすることができ、ビット線の寸法を小さくし、微細化可能な半導体装置の製造方法を提供することができる。
- [0032] 本発明は、前記絶縁膜マスク層を形成する工程が、開口部の側面にスペーサを形成することにより、前記開口部の開口寸法を縮小させる工程を具備する。
- [0033] 本発明によれば、さらにビット線の寸法をさらに微細化可能な半導体装置の製造方法を提供することができる。
- [0034] 本発明は、前記絶縁膜マスク層が窒化シリコン膜である。
- [0035] 本発明によれば、ONO膜のうちの上側酸化膜とエッチング選択性が確保できるため、製造工程を簡略化可能な半導体装置の製造方法を提供することができる。
- [0036] 本発明は、前記第2の低抵抗層を形成する工程の後に、前記ONO膜のうちの上側酸化膜を除去する工程と、ONO膜のうち窒化膜および前記開口部下の第2の低抵抗層を覆うように酸化シリコン膜層を形成する工程とを具備する。
- [0037] 本発明によれば、コントロールゲートとビット線が良質の酸化シリコン膜層により絶縁するため、簡単な構成で良好な絶縁特性を有する半導体装置の製造方法を提供することができる。
- [0038] 本発明は、前記第1の低抵抗層を形成する工程が、前記ビット線形成領域にある前記ONO膜のうちの上側酸化膜とその下にある窒化膜を選択的に除去後、前記半導体基板に不純物をイオン注入する工程を含む。
- [0039] 本発明によれば、第1の低抵抗層を形成する工程が第1の酸化シリコン膜を通したイオン注入となるため、イオン注入による横の広がりを小さくでき、より微細化可能な半導体装置の製造方法を提供することができる。
- [0040] 本発明は、前記第2の低抵抗層を形成する工程が珪化金属膜層を形成する工程を含む。

- [0041] 本発明によれば、低抵抗な珪化金属膜層をビット線に用いることにより、ビット線の抵抗の小さな半導体装置の製造方法を提供することができる。
- [0042] 本発明は、前記珪化金属膜層の形成工程の後、前記珪化金属膜層上に選択的に樹脂を形成する工程と、前記絶縁膜マスク層を除去する工程とを具備する。
- [0043] 本発明によれば、絶縁膜マスク層を除去する際に、ONO膜のうちの窒化膜が除去されてしまうこと防止する半導体装置の製造方法を提供することができる。
- [0044] 本発明は、前記第2の低抵抗層を形成する工程が、低抵抗シリコン層をエピタキシャル成長する工程を含む。
- [0045] 本発明によれば、低抵抗なエピタキシャル成長されたシリコン層をビット線に用いることにより、ビット線の抵抗の小さな半導体装置の製造方法を提供することができる。

発明の効果

- [0046] 本発明によれば、ビット線の高抵抗化を防ぎ、メモリセルを微細化可能であり、かつ周辺回路の製造工程の容易な半導体装置とその製造方法を提供することができる。

図面の簡単な説明

- [0047] [図1]図1(a)から図1(d)は従来技術のONO膜を有するフラッシュメモリとその製造方法を示す断面図である。
- [図2]図2(a)から図2(d)は本発明に係る第1の実施形態のONO膜を有するフラッシュメモリとその製造方法を示す断面図(その1)である。
- [図3]図3(e)から図3(d)は本発明に係る第1の実施形態のONO膜を有するフラッシュメモリとその製造方法を示す断面図(その2)である。
- [図4]図4(a)から図4(c)は本発明に係る第1の実施形態のONO膜を有するフラッシュメモリとその製造方法を示す断面図(その3)である。
- [図5]図5(a)から図5(d)は本発明に係る第2の実施形態のONO膜を有するフラッシュメモリとその製造方法を示す断面図である。

発明を実施するための最良の形態

- [0048] 以下、図面を参照し本発明の実施形態を説明する。
(第1の実施形態)
- [0049] まず、図2(a)ないし図2(d)、図3(a)ないし図3(d)、および図4(a)ないし図(c)を

参照に第1の実施形態を説明する。第1の実施形態は、第2の低抵抗層として珪化金属膜層を使用した実施形態である。これらの図は第1の実施形態の断面図であり、図の左側がメモリセル領域を右側が周辺回路領域を示している。

- [0050] 図2(a)において、P型シリコン半導体基板200上に、通常の形成方法で、トンネル酸化膜である第1の酸化シリコン膜層210、およびトラップ層である窒化シリコン膜層212を順次形成する。ここで、第1の酸化シリコン膜層210は例えば熱酸化法、窒化シリコン膜層212は例えばCVD法により堆積させる。さらに、製造工程中トラップ層を保護するための保護層である第3の酸化シリコン膜層214を形成する。ここで、第3の酸化シリコン膜層は、例えば、HTO(High Temperature Oxide)法またはTEOS(tetraethylorthosilicate)を用いたCVD法で少なくとも10nm以上堆積させる。
- [0051] 次に、図2(b)において、ビット線およびソース・ドレイン領域を形成するためのマスクとなる絶縁膜マスク層230を形成する。ここで、絶縁膜マスク層230は、例えばCVD法により形成した窒化シリコン膜であり、その厚さは後述するイオン注入のイオンを阻止するため十分な厚さとする。窒化シリコン膜を使用することにより、その後絶縁膜マスク層230の除去が容易であり、また、除去の際、第3の酸化シリコン膜層214との選択性を確保することができる。
- [0052] その後、絶縁膜マスク層230上にフォトレジスト220を塗布し、通常露光方法を用いビット線およびソース・ドレイン領域に開口部240を形成する。このとき、開口部240は開口寸法L21を有する。ここで、フォトレジスト220の下部に反射防止膜(図示していない)を形成することにより、より微細な開口を可能とすることもできる。
- [0053] 次に、図2(c)において、フォトレジスト220をマスクに絶縁膜マスク層230を選択的にドライエッチングし、絶縁膜マスク層230に開口部242を形成する。このとき、開口部242は開口寸法L21とほぼ同じ開口寸法L22を有する。その後、フォトレジスト220を例えばアッシング法で除去する。
- [0054] 次に、図2(d)において、絶縁膜マスク層230の表面上部、絶縁膜マスク層の開口部242の側面、および開口部242下の第3の酸化シリコン膜層表面を覆うように、スペーサ絶縁膜(図示していない)を形成する。ここで、スペーサ絶縁膜は絶縁膜マスク層230と同じ膜質の絶縁膜が好ましく、例えばCVD法で形成した窒化シリコン膜で

ある。その厚さは絶縁膜マスク層の開口部242を縮小させる寸法で決まる。窒化シリコン膜を使用することにより、その後のスペーサ234の除去が容易であり、また、除去の際、第3の酸化シリコン膜層214との選択性を確保することができる。

[0055] その後、スペーサ絶縁膜をエッチバックし、絶縁膜マスク層の開口部242の側面にスペーサ234を残存させ、開口寸法L23を有する開口部244を形成する。スペーサ234を用いる方法は本発明に必須ではないが、フォトレジストの開口部240の開口寸法L21より微細化した開口部244を形成させることができ、ビット線の更なる微細化が可能となる。

[0056] 次に、図3(a)において、開口部244をマスクに第3の酸化シリコン膜層214および窒化シリコン膜層212を選択的にエッチングする。例えば砒素(As)をイオン注入し熱処理することにより、N型のビット線領域およびソース・ドレイン領域に第1の低抵抗層250を形成する。このとき、前記第1の低抵抗層250は寸法L24を有する。ソース・ドレイン領域である第1の低抵抗層250に挟まれた部分がチャンネル領域256となる。

[0057] 第3の酸化シリコン膜層214および窒化シリコン膜層212をエッチングすることにより、イオン注入のスルー膜を第1の酸化シリコン膜層210のみとすることができる。これにより、イオン注入エネルギーを小さくすることができ、イオンの横の拡がりを小さくすることができる。この結果、さらに微細なビット線を提供することができる。また、前記イオン注入は通常知られているポケット注入法が用いられることもある。

[0058] 次に、図3(b)において、開口部244の第1の酸化シリコン膜層210をエッチングする。その後、開口部244のビット線領域およびソース・ドレイン領域上に第2の低抵抗膜層として珪化金属膜層252を形成する。珪化金属として例えばコバルト(Co)を開口部244のシリコン基板上に例えばスパッタ法で形成し、例えばRTA(Rapid Thermal Anneal)法で熱処理することで珪化コバルトを形成させることができる。このとき、開口部244が絶縁膜である絶縁膜マスク層230とスペーサ234をマスクとし形成しているため、高温にて珪化金属膜の形成工程を行うことができる。

[0059] 次に、図3(c)において、絶縁膜マスク層230の表面上部、開口部244の側面、および開口部244下の珪化金属膜層252の表面を覆うように、樹脂260を塗布する。ここで、樹脂は例えば、HSQ(hydrogen-silsesquioxane)を用いる。

- [0060] 次に、図3(d)において、樹脂260を例えばアッシング法で除去し、開口部244内に樹脂の埋没部262を残存させる。ここで、埋没部262は第3の酸化シリコン膜層214より上部に残存させること好ましい。
- [0061] 次に、図4(a)において、絶縁膜マスク層230およびスペーサ234を例えば熱リン酸により除去する。窒化シリコン膜層212の開口部244に面した側面が樹脂残存部262により保護されているため、窒化シリコン膜層212が除去されることはなく、容易に絶縁膜マスク層230およびスペーサ234を除去することが可能となる。
- [0062] 次に、図4(b)において、樹脂の埋没部262を例えばアッシング法により除去し、第3の酸化シリコン膜層214を例えば緩衝フッ酸溶液で除去する。次に、窒化シリコン膜層212表面および開口部244下の珪化金属膜層252の表面に、トップ酸化膜層として第2の酸化シリコン膜層216を、例えばCVD法で形成する。このとき、形成温度は珪化金属膜層の酸化を防止する温度、例えば800°C以下とすることが好ましく、プラズマCVD法で形成するのが好ましい。これによりイオン注入の際、イオンに曝されていない良好な膜質である第2の酸化シリコン膜層を用いビット線である珪化金属膜層252およびコントロールゲート280を絶縁することができ、良好な絶縁特性が得られる。
- [0063] 最後に、図4(c)において、周辺回路領域の第2の酸化シリコン膜層216、窒化シリコン膜層212、および第1の酸化シリコン膜層210を選択的に除去する。周辺回路領域にゲート酸化膜として第4の酸化シリコン膜層270を形成する。周辺回路領域の第4の酸化シリコン層270表面およびメモリセル領域の第2の酸化シリコン膜層表面に多結晶シリコン膜層を形成する。メモリセル領域では多結晶シリコン層をコントロールゲートおよびワード線280として使用し、周辺回路領域ではゲート電極282として使用する。その後、通常の製造工程を経てメモリセルおよび周辺回路が形成され、第1の実施形態にかかるフラッシュメモリが完成する。
- [0064] 第1の実施形態によれば、ビット線領域の第1の低抵抗層250の寸法L24はスペーサの開口部244の寸法L23よりイオン注入の横の拡がり分大きくなる。しかし、スペーサの開口部244の寸法L23はフォトリソの開口部の寸法L21よりおよそスペーサの幅分小さくできる。このことから、通常用いられるKrF露光装置を使用した場合であ

っても、100nm以下に微細化が可能である。また、開口部244が絶縁膜をマスクに形成されているため、フォトリソがガラス転移温度を超えるような高温プロセスを用い珪化金属膜層252を形成することが可能となる。これにより、ビット線の高抵抗化を防ぎ、ビット線を容易に微細化することが可能となる。

また、メモリセルを多結晶シリコン膜層1層で形成しているため、周辺回路のゲート電極と共通化でき、周辺回路の製造工程が容易に行うことができる。

(第2の実施形態)

[0065] 次に、図5(a)ないし図5(d)を参照に第2の実施形態を説明する。第2の本実施形態は、第2の低抵抗層としてエピタキシャル成長させた低抵抗シリコン層を使用した形態である。図5(a)ないし図5(d)は第2の実施形態の断面図である。図の左側がメモリセル領域を右側が周辺回路領域を示している。

[0066] 図5(a)は、第1の実施形態の図3(a)と同じ図であり、第1の実施形態の図2(a)ないし図2(d)並びに図3(a)と同じ製造工程により製造される。ここで、300はシリコン半導体基板、310はトンネル酸化膜である第1の酸化シリコン膜層、312はトラップ層である窒化シリコン膜層、314は保護膜である第3の酸化シリコン膜層、330は絶縁膜マスク層、334はスペーサ、344はビット線領域およびソース・ドレイン領域を形成するための開口部、350はイオン注入により形成したN型のビット線およびソース・ドレイン領域を構成する第1の低抵抗層、356はチャネル領域である。

[0067] 次に、図5(b)において、開口部344下の第1の低抵抗層上に、エピタキシャル法により、例えば砒素(As)または磷(P)をドーピングした第2の低抵抗層352を成長させる。通常の実験エピタキシャル法を用いることにより、第2の低抵抗層は絶縁膜である絶縁膜マスク330およびスペーサ334上には形成されない。このとき、第2の低抵抗層352は第3の酸化シリコン膜層314より上部まで埋め込むようにする。その後、絶縁膜マスク層330およびスペーサ334を例えば熱リン酸で除去する。窒化シリコン膜層312の開口部344の側面が第2の低抵抗層352により覆われているため、絶縁膜マスク層330およびスペーサ334を除去する際、窒化シリコン膜層312が除去されることはない。よって、第1の実施形態のように樹脂の埋没部262を形成しなくとも、容易に絶縁膜マスク層330およびスペーサ334の除去が可能となる。

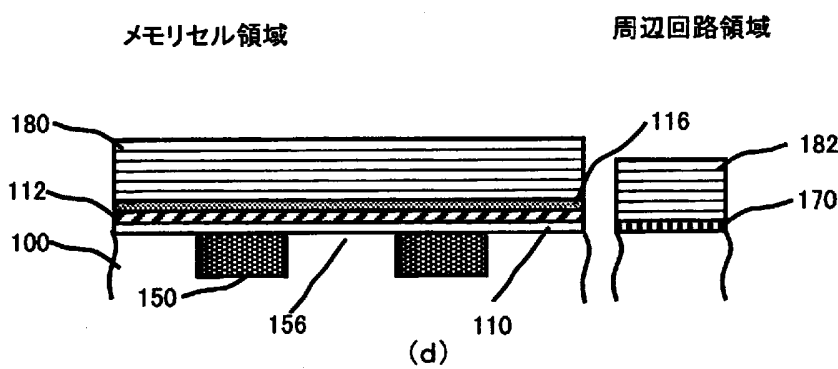
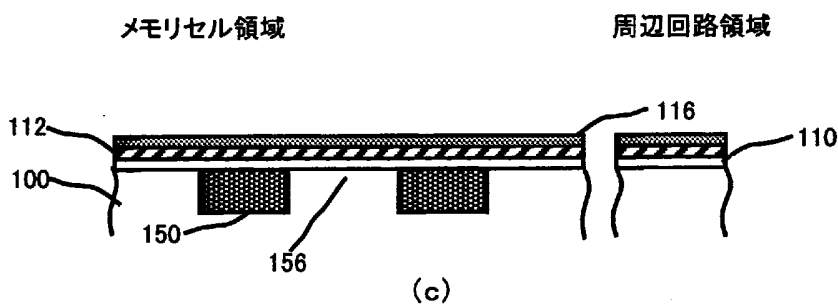
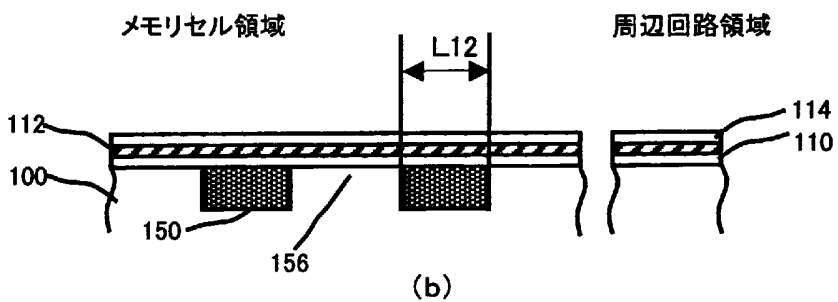
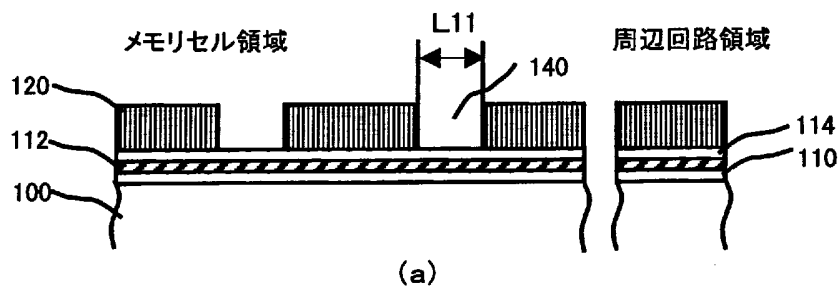
- [0068] 次に、図5(c)において、保護膜である第3の酸化シリコン膜層314を例えば、緩衝フッ酸溶液で除去し、第2の低抵抗層352の上部を第1の酸化絶縁膜層310の厚さ程度までエッチングする。その後、トップ酸化膜として第2の酸化シリコン膜層316を形成する。
- [0069] 最後に、図5(d)において、第1の実施形態の図4(c)と同様の製造工程を行うことにより第2の実施形態にかかるフラッシュメモリが完成する。ここで、370は周辺回路領域のゲート酸化膜である第4の酸化シリコン膜層、380はメモリセル領域のコントロールゲートおよびワード線、382は周辺回路領域でのゲート電極である。
- [0070] 第2の実施形態は第1の実施形態同様、第2の低抵抗層352により、ビット線の抵抗を低くすることができ、ビット線を微細化することができ、かつ周辺回路を容易に製造することができる。さらに、第2の実施形態は第1の実施形態に比べ、樹脂260を用いることなく、容易に絶縁膜マスク層330およびスペーサ334を除去できるという利点がある。
- [0071] 以上、本発明の好ましい実施形態について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

請求の範囲

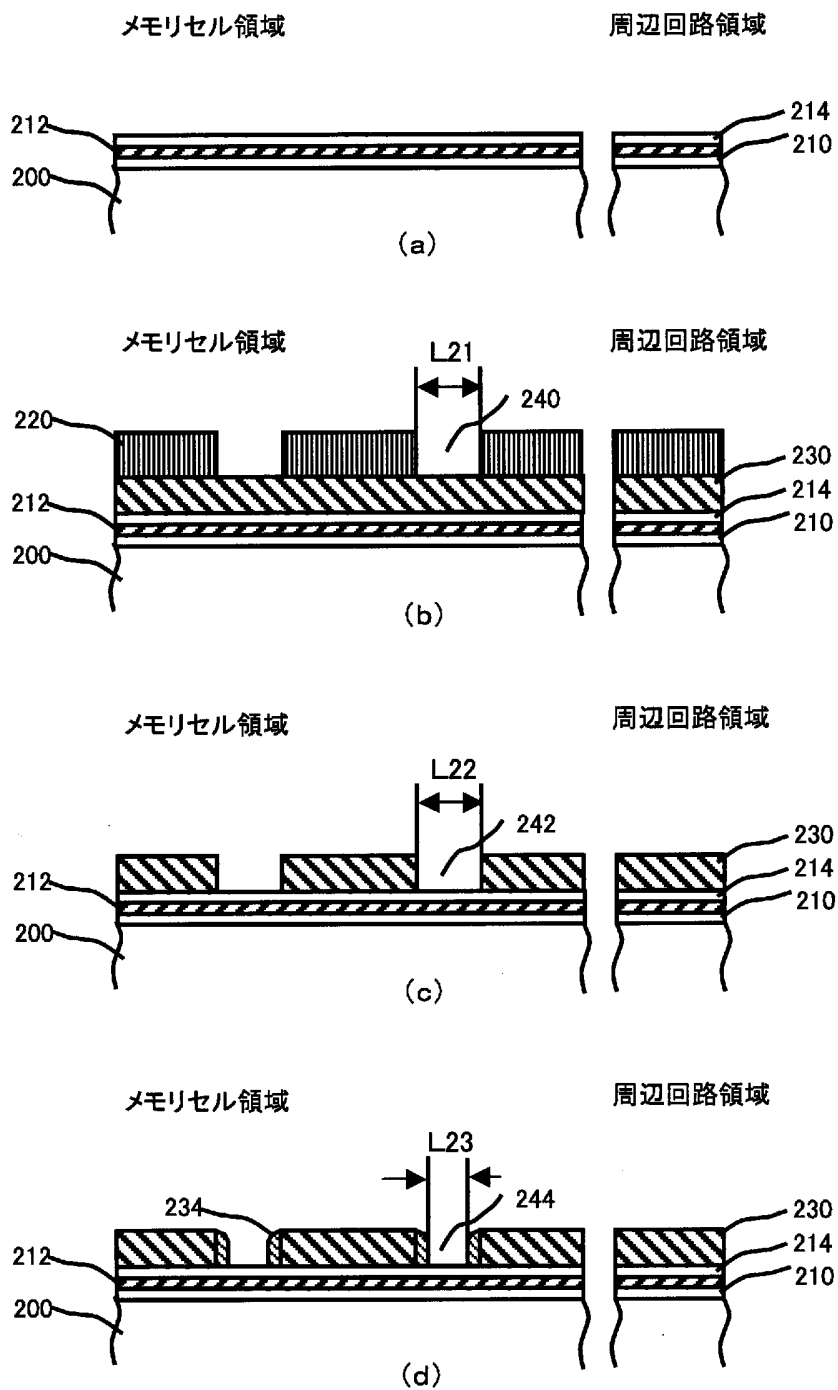
- [1] 半導体基板と、
該半導体基板上に形成されたONO(酸化膜/窒化膜/酸化膜)膜と、
該ONO膜上に配置されたコントロールゲートと、
前記半導体基板内に形成された第1の低抵抗層と、該第1の低抵抗層に接しかつ電流の流れる方向に連続して形成された第2の低抵抗層とを有するビット線とを有し、
前記第2の低抵抗層は前記第1の低抵抗層よりも小さなシート抵抗を有する半導体装置。
- [2] 前記第1の低抵抗層は不純物拡散層である請求項1記載の半導体装置。
- [3] 前記第2の低抵抗層は、珪化金属膜層を有する請求項1又は2記載の半導体装置。
- [4] 前記第2の低抵抗層は、エピタキシャル成長されたシリコン層を有する請求項1から3のいずれか一項記載の半導体装置。
- [5] 前記半導体装置は前記コントロールゲートに接続するワード線を有し、前記コントロールゲートと前記ワード線とは1つの多結晶シリコン層で一体的に形成されている請求項1から4のいずれか一項記載の半導体装置。
- [6] 前記ビット線と前記コントロールゲートとは、前記ONO膜のうちの上側酸化膜層のみで絶縁されている請求項1から5のいずれか一項記載の半導体装置。
- [7] 前記第2の低抵抗層は、前記第1の低抵抗層よりも幅が狭い請求項1から6のいずれか一項記載の半導体装置。
- [8] 半導体基板上にONO(酸化膜/窒化膜/酸化膜)膜を形成する工程と、
前記ONO膜上に、ビット線形成領域を選択的に除去した開口部を有する絶縁膜マスク層を形成する工程と、
前記絶縁膜マスク層をマスクに前記ビット線形成領域のシリコン基板に選択的に不純物をイオン注入することにより第1の低抵抗層を形成する工程と、
前記ビット線形成領域の前記ONO膜をエッチングする工程と、
前記ビット線形成領域の第1の低抵抗層に接しかつ電流の流れる方向に連続して形成され、前記第1の低抵抗層よりシート抵抗の小さい第2の低抵抗層を形成する工

- 程とを具備する半導体装置の製造方法。
- [9] 前記絶縁膜マスク層を形成する工程が、開口部の側面にスペーサを形成することにより、前記開口部の開口寸法を縮小させる工程を具備する請求項8の半導体装置の製造方法。
- [10] 前記絶縁膜マスク層が窒化シリコン膜層である請求項8又は9記載の半導体装置の製造方法。
- [11] 前記第2の低抵抗層を形成する工程の後に、
前記ONO膜のうちの上側酸化膜を除去する工程と、
ONO膜のうち窒化膜および前記開口部下の第2の低抵抗層を覆うように酸化シリコン膜層を形成する工程とを具備する請求項8から10のいずれか一項記載の半導体装置の製造方法
- [12] 前記第1の低抵抗層を形成する工程が、
前記ビット線形成領域にある前記ONO膜のうちの上側酸化膜とその下にある窒化膜を選択的に除去後、前記半導体基板に不純物をイオン注入する工程を含む請求項8から11のいずれか一項記載の半導体装置の製造方法。
- [13] 前記第2の低抵抗層を形成する工程が珪化金属膜層を形成する工程を含む請求項8から12のいずれか一項記載の半導体装置の製造方法。
- [14] 前記珪化金属膜層の形成工程の後、
前記珪化金属膜層上に選択的に樹脂を形成する工程と、
前記絶縁膜マスク層を除去する工程とを具備する請求項13記載の半導体装置の製造方法。
- [15] 前記第2の低抵抗層を形成する工程が、低抵抗シリコン層をエピタキシャル成長する工程を含む請求項8から14のいずれか一項記載の半導体装置の製造方法。

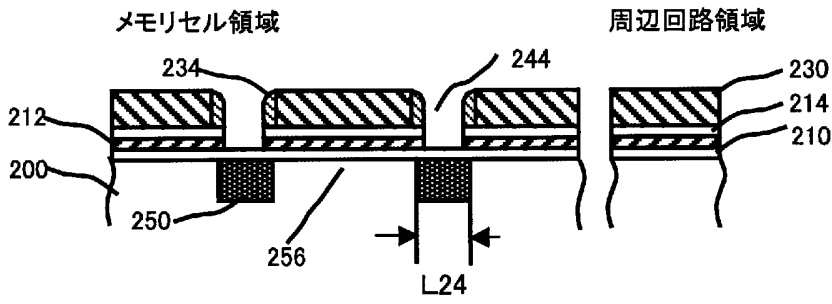
[図1]



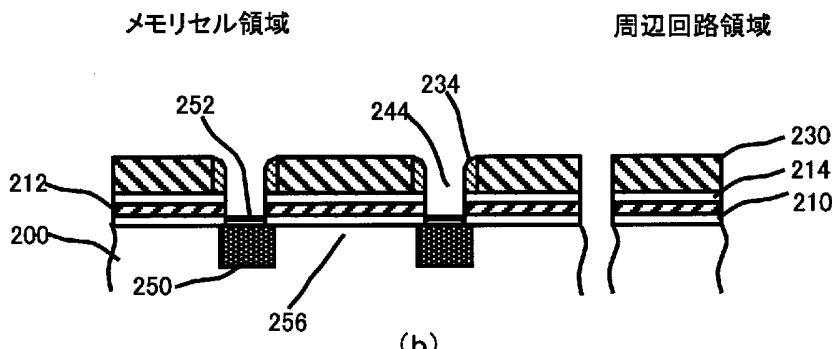
[図2]



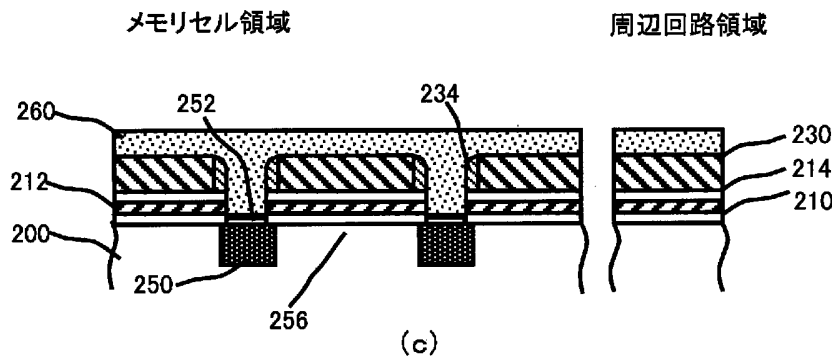
[図3]



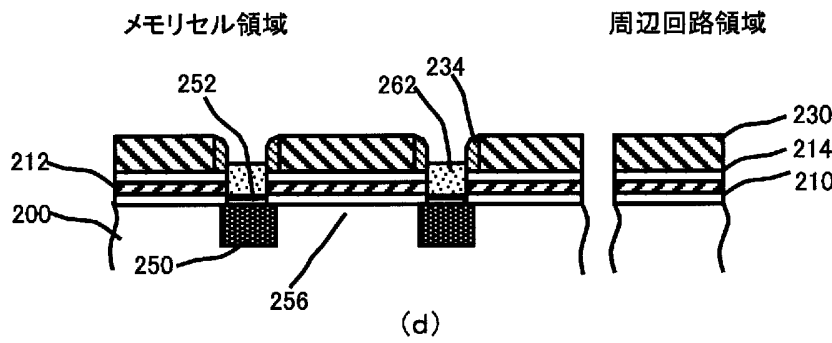
(a)



(b)

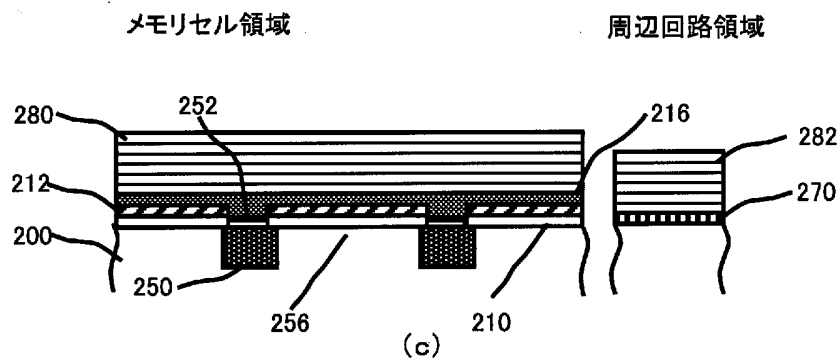
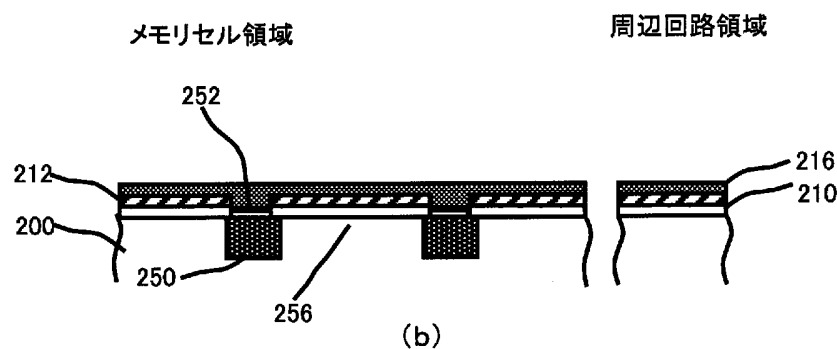
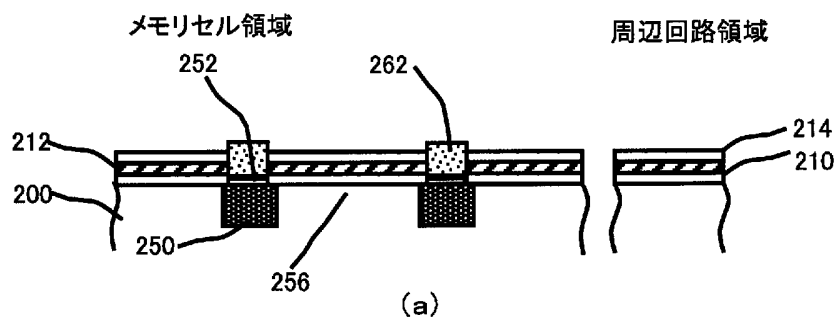


(c)

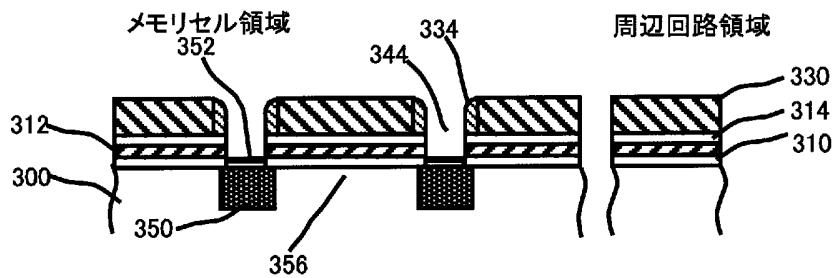


(d)

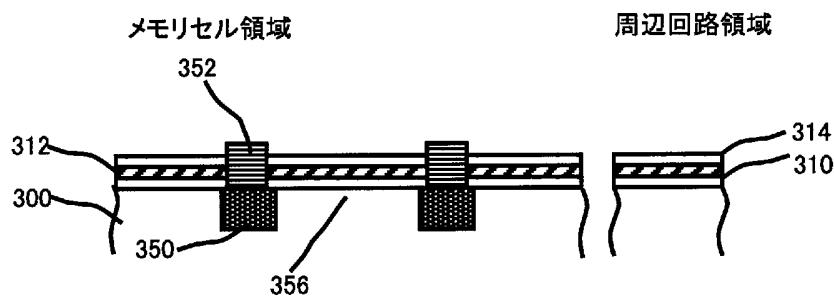
[図4]



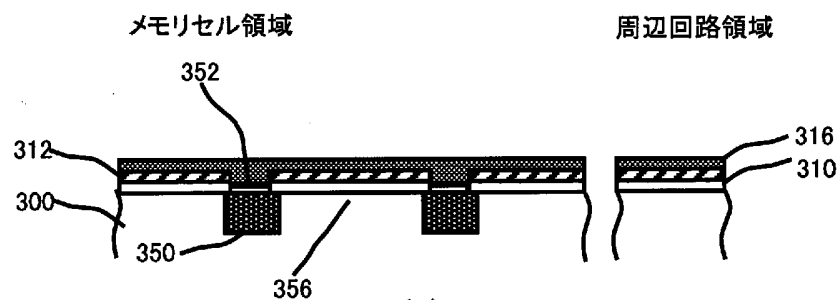
[図5]



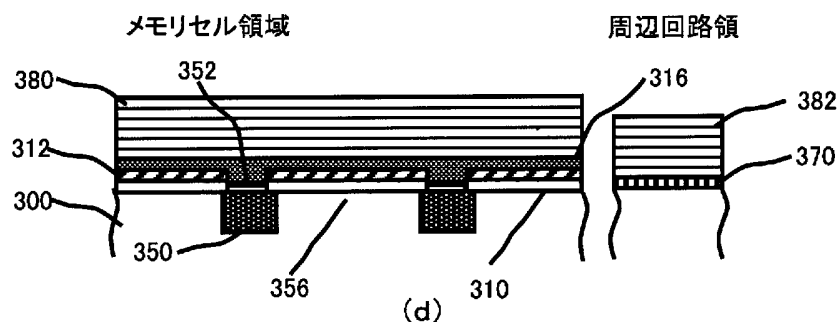
(a)



(b)



(c)



(d)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000875

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/8247, H01L27/115, H01L29/792

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/8247, H01L27/115, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-258134 A (Seiko Epson Corp.), 12 September, 2003 (12.09.03), Full text; all drawings & US 2003/194841 A1	1, 2, 3, 7 4-5, 8-10, 12, 13, 15 6, 11, 14
Y	JP 10-189966 A (Toshiba Corp.), 21 July, 1998 (21.07.98), Full text; all drawings & KR 98064586 A & TW 368746 A & US 6278164 B1	4, 15
Y A	JP 2000-31436 A (Toshiba Corp.), 28 January, 2000 (28.01.00), Full text; all drawings (Family: none)	5, 8-10, 12, 13, 15 4, 11, 14

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
23 February, 2005 (23.02.05)

Date of mailing of the international search report
08 March, 2005 (08.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/000875

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-118944 A (Samsung Electronics Co., Ltd.), 27 April, 2001 (27.04.01), Full text; all drawings & KR 1036044 A	9-10
Y	JP 2003-338566 A (Fujitsu Ltd.), 28 November, 2003 (28.11.03), Full text; all drawings & EP 1365452 A2 & CN 1461056 A & KR 3091689 A	12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/8247, H01L27/115, H01L29/792

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/8247, H01L27/115, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国実用新案登録公報 1996-2005年
 日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-258134 A (セイコーエプソン株式会社) 2003.09.12, 全文, 全図 &US 2003/194841 A1	1, 2, 3, 7
Y		4-5, 8-10, 12, 13, 15
A		6, 11, 14

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 23.02.2005

国際調査報告の発送日 08.3.2005

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員) 4L 3035
 柴山 将隆
 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 10-189966 A (株式会社東芝) 1998. 07. 21, 全文, 全図 &KR 98064586 A&TW 368746 A &US 6278164 B1	4, 15
Y	JP 2000-31436 A (株式会社東芝) 2000. 01. 28, 全文, 全図 (ファミリーなし)	5, 8-10, 12, 13, 15
A		4, 11, 14
Y	JP 2001-118944 A (三星電子株式会社) 2001. 04. 27, 全文, 全図 &KR 1036044 A	9-10
Y	JP 2003-338566 A (富士通株式会社) 2003. 11. 28, 全文, 全図 &EP 1365452 A2 &CN 1461056 A &KR 3091689 A	12