



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202145363 A

(43) 公開日：中華民國 110 (2021) 年 12 月 01 日

(21) 申請案號：110108472

(22) 申請日：中華民國 110 (2021) 年 03 月 10 日

(51) Int. Cl. :

*H01L21/336 (2006.01)**H01L21/302 (2006.01)*

(30) 優先權：2020/05/28

美國

63/031,083

2020/12/18

美國

17/126,509

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY, LTD. (TW)

新竹市新竹科學工業園區力行六路八號

(72) 發明人：張尚文 CHANG, SHANG-WEN (TW)；邱奕勛 CHIU, YI-HSUN (TW)；莊正吉
CHUANG, CHENG-CHI (TW)；蔡慶威 TSAI, CHING-WEI (TW)；林威呈 LIN,
WEI-CHENG (TW)；彭士瑋 PENG, SHIH-WEI (TW)；曾健庭 TZENG, JIANN-
TYNG (TW)

(74) 代理人：李世章；秦建譜

申請實體審查：無 申請專利範圍項數：20 項 圖式數：34 共 138 頁

(54) 名稱

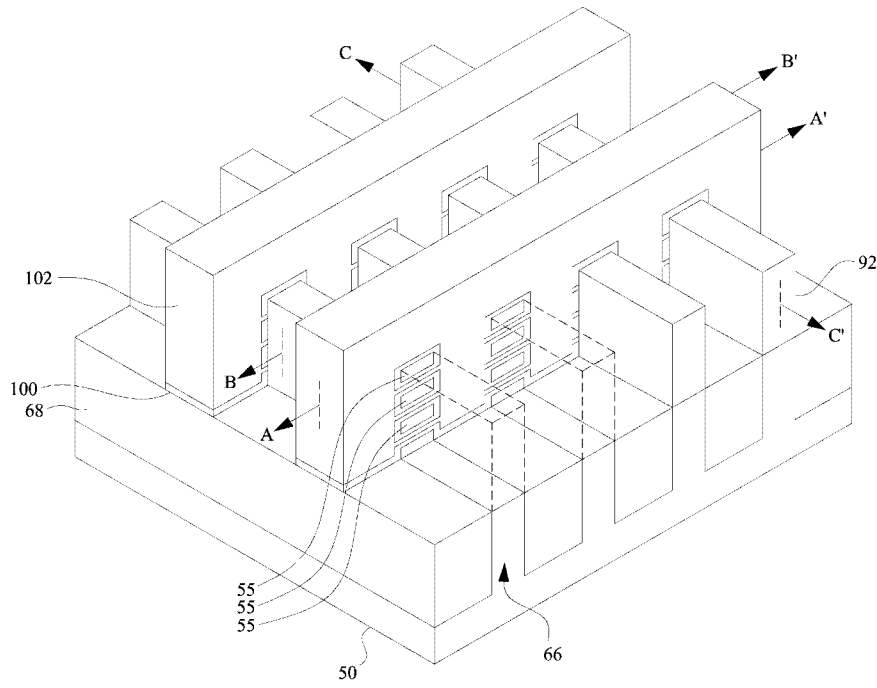
半導體裝置的形成方法

(57) 摘要

在一實施例中，一種形成一結構的方法包括：在第一基板上方形成第一電晶體及第二電晶體；在第一電晶體及第二電晶體上方形成前側互連結構；蝕刻第一基板之至少一背側以暴露第一電晶體及第二電晶體；形成電連接至第一電晶體的第一背側通孔；形成電連接至第二電晶體的第二背側通孔；在第一背側通孔及第二背側通孔上方沈積介電層；在介電層中形成第一導電接線，第一導電接線為經由第一背側通孔電連接至第一電晶體的電源軌；及於介電層中形成第二導電接線，第二導電接線為經由第二背側通孔電連接至第二電晶體的信號接線。

In an embodiment, a method of forming a structure includes forming a first transistor and a second transistor over a first substrate; forming a front-side interconnect structure over the first transistor and the second transistor; etching at least a backside of the first substrate to expose the first transistor and the second transistor; forming a first backside via electrically connected to the first transistor; forming a second backside via electrically connected to the second transistor; depositing a dielectric layer over the first backside via and the second backside via; forming a first conductive line in the dielectric layer, the first conductive line being a power rail electrically connected to the first transistor through the first backside via; and forming a second conductive line in the dielectric layer, the second conductive line being a signal line electrically connected to the second transistor through the second backside via.

指定代表圖：



第 1 圖

符號簡單說明：

- 50:基板
- 55:奈米結構
- 66:鰭片
- 68:淺溝槽隔離區
- 92:磊晶源極/汲極區
- 100:閘極介電層
- 102:閘極電極
- A-A':橫截面
- B-B':橫截面
- C-C':橫截面



202145363

【發明摘要】**【中文發明名稱】**

具有背側佈線的半導體裝置及其形成方法

【英文發明名稱】

SEMICONDUCTOR DEVICES WITH BACKSIDE
ROUTING AND METHOD OF FORMING SAME

【中文】

在一實施例中，一種形成一結構的方法包括：在第一基板上方形成第一電晶體及第二電晶體；在第一電晶體及第二電晶體上方形成前側互連結構；蝕刻第一基板之至少一背側以暴露第一電晶體及第二電晶體；形成電連接至第一電晶體的第一背側通孔；形成電連接至第二電晶體的第二背側通孔；在第一背側通孔及第二背側通孔上方沈積介電層；在介電層中形成第一導電接線，第一導電接線為經由第一背側通孔電連接至第一電晶體的電源軌；及於介電層中形成第二導電接線，第二導電接線為經由第二背側通孔電連接至第二電晶體的信號接線。

【英文】

In an embodiment, a method of forming a structure includes forming a first transistor and a second transistor over a first substrate; forming a front-side interconnect structure over the first transistor and the second transistor; etching at least a backside of the first substrate to expose the first transistor and the second transistor; forming a first backside via electrically connected to the first transistor; forming a second backside via electrically connected to the second transistor; depositing a dielectric layer over the

first backside via and the second backside via; forming a first conductive line in the dielectric layer, the first conductive line being a power rail electrically connected to the first transistor through the first backside via; and forming a second conductive line in the dielectric layer, the second conductive line being a signal line electrically connected to the second transistor through the second backside via.

【指定代表圖】第(1)圖

【代表圖之符號簡單說明】

5 0	:	基板
5 5	:	奈米結構
6 6	:	鰭片
6 8	:	淺溝槽隔離區
9 2	:	磊晶源極 / 汲極區
1 0 0	:	閘極介電層
1 0 2	:	閘極電極
A - A '	:	橫截面
B - B '	:	橫截面
C - C '	:	橫截面

【發明說明書】

【中文發明名稱】

具有背側佈線的半導體裝置及其形成方法

【英文發明名稱】

SEMICONDUCTOR DEVICES WITH BACKSIDE
ROUTING AND METHOD OF FORMING SAME

【技術領域】

【0001】 無。

【先前技術】

【0002】 諸如個人電腦、行動電話、數位攝影機及其他電子設備的各種電子應用中使用半導體裝置。半導體裝置通常由以下方式製造：在半導體基板上方順序沈積絕緣或介電材料層、導電材料層及半導體材料層，並使用微影術圖案化各材料層來在半導體基板上形成電路組件及元件。

【0003】 半導體行業藉由持續減小最小特徵大小而持續改良多種電子組件(例如，電晶體、二極體、電阻器、電容器等等)之積體密度，此情形允許將更多組件整合至給定區域中。然而，隨著最小特徵大小減小，產生了應被解決的額外問題。

【發明內容】

【0004】 無。

【圖式簡單說明】

【0005】

本揭露的態樣在與隨附圖式一起研讀時自以下詳細描

述內容來最佳地理解。應注意，根據行業中之標準慣例，各種特徵未按比例繪製。實際上，各種特徵的尺寸可為了論述清楚經任意地增大或減小。

第 1 圖以立體圖例示根據一些實施例的奈米場效電晶體的實例。

第 2 圖、第 3 圖、第 4 圖、第 5 圖、第 6 A 圖、第 6 B 圖、第 6 C 圖、第 7 A 圖、第 7 B 圖、第 7 C 圖、第 8 A 圖、第 8 B 圖、第 8 C 圖、第 9 A 圖、第 9 B 圖、第 9 C 圖、第 10 A 圖、第 10 B 圖、第 10 C 圖、第 11 A 圖、第 11 B 圖、第 11 C 圖、第 11 D 圖、第 12 A 圖、第 12 B 圖、第 12 C 圖、第 12 D 圖、第 12 E 圖、第 13 A 圖、第 13 B 圖、第 13 C 圖、第 14 A 圖、第 14 B 圖、第 14 C 圖、第 15 A 圖、第 15 B 圖、第 15 C 圖、第 16 A 圖、第 16 B 圖、第 16 C 圖、第 17 A 圖、第 17 B 圖、第 17 C 圖、第 18 A 圖、第 18 B 圖、第 18 C 圖、第 19 A 圖、第 19 B 圖、第 19 C 圖、第 20 A 圖、第 20 B 圖、第 20 C 圖、第 21 A 圖、第 21 B 圖、第 21 C 圖、第 22 A 圖、第 22 B 圖、第 22 C 圖、第 23 A 圖、第 23 B 圖、第 23 C 圖、第 24 A 圖、第 24 B 圖、第 24 C 圖、第 25 A 圖、第 25 B 圖、第 25 C 圖、第 26 A 圖、第 26 B 圖、第 26 C 圖、第 27 A 圖、第 27 B 圖、第 27 C 圖、第 28 A 圖、第 28 B 圖、第 28 C 圖、第 29 A 圖、第 29 B 圖、第 30 A 圖、第 30 B 圖、第 31 A 圖、第 31 B 圖、第 31 C 圖、第 31 D 圖、第 32 A 圖及第 32 B 圖係根據一

些實施例的製造奈米場效電晶體之中間階段的剖面圖。

第 30C 圖、第 30D 圖、第 30E 圖、第 32C 圖、第 32D 圖、第 32E 圖、第 32F 圖、第 32G 圖、第 32H 圖、第 33A 圖、第 33B 圖、第 34A 圖及第 34B 圖例示根據一些實施例的製造奈米場效電晶體之中間階段的平面圖。

第 33C 圖及第 34C 圖為根據一些實施例的奈米場效電晶體的電路佈局。

【實施方式】

【0006】 以下揭露提供用於實施本揭示內容之不同特徵的許多不同實施例或實例。下文描述組件及配置的特定實例以簡化本揭露。當然，此等組件及配置僅為實例且並非意欲為限制性的。舉例而言，在以下描述中第一特徵於第二特徵上方或上的形成可包括第一及第二特徵直接接觸地形成的實施例，且亦可包括額外特徵可形成於第一特徵與第二特徵之間使得第一特徵及第二特徵可不直接接觸的實施例。此外，本揭露在各種實例中可重複參考數字及/或字母。此重複係出於簡單及清楚的目的，且本身並不指明所論述之各種實施例及/或組態之間的關係。

【0007】 進一步地，為方便描述可在本文中使用的空間相對術語，諸如「在...之下」、「在...下方」、「下面的」、「在...上方」、「上面的」及其類似者來描述如在諸圖

中所例示之一個元件或特徵與另外(諸等)元件或(諸等)特徵的關係。該等空間相對術語意欲除諸圖中所描繪之定向外，亦涵蓋裝置在使用或操作中之不同定向。裝置可另外定向(旋轉 90 度或處於其他定向)且據此可同樣解譯本文所用之空間相對描述詞。

【0008】 各種實施例提供用於在半導體裝置中形成信號及電源佈線的方法以及包括該信號及電源佈線的半導體裝置。在一些實施例中，佈線可形成於包括半導體裝置的半導體晶片之背側上的互連結構中。背側互連結構可經佈線用於電源接線、電接地接線及發信以提供至諸如電晶體或類似者之某些前側設備的連接性。此外，經由背側互連結構對電源接線、電接地接線及發信進行佈線可減小用於前側互連結構中的總佈線，此情形藉由減低佈線密度來改良佈線效能。

【0009】 本文中論述之一些實施例在包括奈米場效電晶體(NANOSTRUCTURE FIELD-EFFECT TRANSISTOR; NANO-FET)的晶粒的情形下進行描述。然而，各種實施例可應用至包括取代奈米場效電晶體或與奈米場效電晶體相結合的其他類型電晶體(例如，鱗片式場效應電晶體(fin field effect transistor; FinFET)、平面電晶體或類似者)之晶粒。

【0010】 第 1 圖以立體圖例示根據一些實施例的奈米場效電晶體(例如，奈米線場效電晶體、奈米片場效電晶體或類似者)的實例。奈米場效電晶體包含在基板 50 (例如，半

導體基板)上之鰭片 66 上方的奈米結構 55 (例如,奈米片,奈米線或類似者),其中奈米結構 55 充當奈米場效電晶體的通道區。奈米結構 55 可包括 p 型奈米結構、n 型奈米結構或者其組合。淺溝槽隔離 (shallow trench isolation ; STI) 區 68 設置於相鄰的鰭片 66 之間,該些鰭片 66 可自淺溝槽隔離區 68 上方及鄰近的淺溝槽隔離區 68 之間突出。儘管將淺溝槽隔離區 68 描述/例示為與基板 50 分離,但如本文所使用,術語「基板」可指單獨的半導體基板或半導體基板與淺溝槽隔離區之組合。另外,儘管例示鰭片 66 的底部部分與基板 50 一起例示為單種連續的材料,但鰭片 66 的底部部分及/或基板 50 可包含單種材料或複數種材料。在此情形下,鰭片 66 指在鄰近的淺溝槽隔離區 68 之間延伸的部分。

【0011】 閘極介電層 100 係在鰭片 66 的頂表面上方並沿著奈米結構 55 的頂表面、側壁及底表面。閘極電極 102 係在閘極介電層 100 上方。磊晶源極/汲極區 92 設置在閘極介電層 100 與閘極電極 102 的相對側上的鰭片 66 上。

【0012】 第 1 圖進一步例示後續圖式中所使用的參考橫截面。橫截面 A - A' 係沿著閘極電極 102 的縱軸且位於例如與奈米場效電晶體的磊晶源極/汲極區 92 之間的電流方向垂直的方向上。橫截面 B - B' 與橫截面 A - A' 平行且延伸穿過多個奈米場效電晶體的磊晶源極/汲極區 92。橫截面 C - C' 垂直於橫截面 A - A', 與奈米場效電晶體的鰭片 66 的縱軸平行,且位於例如奈米場效電晶體的磊晶源極/汲極

區 92 之間的電流的方向上。為了清楚，後續圖式參考此等參考橫截面。

【0013】 本文中論述的一些實施例係在使用後閘極製程形成的奈米場效電晶體的情形下予以論述。在其他實施例中，可使用前閘極製程。此外，一些實施例預期到用於諸如平面場效電晶體或鰭片式場效電晶體之平面設備中的態樣。

【0014】 第 2 圖至第 34C 圖係根據一些實施例的製造奈米場效電晶體之中間階段的剖面圖。第 2 圖至第 5 圖、第 6A 圖、第 7A 圖、第 8A 圖、第 9A 圖、第 10A 圖、第 11A 圖、第 12A 圖、第 13A 圖、第 14A 圖、第 15A 圖、第 16A 圖、第 17A 圖、第 18A 圖、第 19A 圖、第 20A 圖、第 21A 圖、第 22A 圖、第 23A 圖、第 24A 圖、第 25A 圖、第 26A 圖、第 27A 圖、第 28A 圖及第 31A 圖至第 31D 圖例示第 1 圖所示的參考橫截面 A-A'。第 6B 圖、第 7B 圖、第 8B 圖、第 9B 圖、第 10B 圖、第 11B 圖、第 12B 圖、第 12D 圖、第 13B 圖、第 14B 圖、第 15B 圖、第 16B 圖、第 17B 圖、第 18B 圖、第 19B 圖、第 20B 圖、第 21B 圖、第 22B 圖、第 23B 圖、第 24B 圖、第 25B 圖、第 26B 圖、第 27B 圖、第 28B 圖、第 29A 圖、第 29B 圖、第 30A 圖、第 30B 圖，及第 31A 至第 31D 圖例示第 1 圖中所示的參考橫截面 B-B'。第 7C 圖、第 8C 圖、第 9C 圖、第 10C 圖、第 11C 圖、第 11D 圖、第 12C 圖、第 12E 圖、第 13C 圖、第 14C 圖、第 15C 圖、第 16C 圖、第 17C 圖、第 18C 圖、第 19C 圖、第

20C 圖、第 21C 圖、第 22C 圖、第 23C 圖、第 24C 圖、第 25C 圖、第 26C 圖、第 27C 圖及第 28C 圖例示第 1 圖中所示的參考橫截面 C-C'。第 32A 圖例示參考橫截面 X-X' (亦參見第 32A 圖及第 32C 圖至第 32H 圖)，該參考橫截面為參考橫截面 B-B' 的一版本。第 32B 圖例示參考橫截面 Y-Y' (亦參見第 32B 圖及第 32C 圖至第 32H 圖)，該參考橫截面為參考橫截面 B-B' 的另一版本。第 30C 圖至第 30E 圖、第 32C 圖至第 32H 圖、第 33A 圖、第 33B 圖、第 34A 圖及第 34B 圖例示平面圖。第 33C 圖及第 34C 圖例示電路佈局。

【0015】 在第 2 圖中，提供基板 50。基板 50 可係半導體基板，諸如塊半導體、絕緣體上半導體 (semiconductor-on-insulator; SOI) 基板或類似者，該基板可係摻雜的 (例如，摻雜有 p 型或 n 型摻雜劑) 或無摻雜的。基板 50 可係晶圓，諸如矽晶圓。一般而言，絕緣體上半導體基板係形成於絕緣體層上的一層半導體材料。絕緣體層可係例如埋入式氧化物 (buried oxide; BOX) 層、氧化矽層或類似者。絕緣體層提供於基板上，通常矽或玻璃基板上。亦可使用諸如多層或梯度基板之其他基板。在一些實施例中，基板 50 的半導體材料可包括矽；鍺；化合物半導體，包括碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及 / 或銻化銮；合金半導體，包括矽鍺、砷磷化鎵、砷化銮鋁、砷化鎵鋁、砷化銮鎵、磷化銮鎵及 / 或砷磷化銮鎵；或其組合。

【0016】 基板 50 具有 n 型區 50N 及 p 型區 50P。n 型區 50N 可用於形成 n 型設備，諸如 n 型金氧半導體 (n-type metal oxide semiconductor; NMOS) 電晶體 (例如，n 型奈米場效電晶體)，且 p 型區 50P 可用於形成 p 型設備，諸如 p 型金氧半導體 (p-type metal oxide semiconductor; PMOS) 電晶體 (例如，p 型奈米場效電晶體)。n 型區 50N 可與 p 型區 50P 實體分離 (如藉由分隔器 20 所例示)，且在 n 型區 50N 與 p 型區 50P 之間可設置任意數目個設備特徵 (例如，其他主動設備、經摻雜的區、隔離結構等)。儘管例示了一個 n 型區 50N 及一個 p 型區 50P，但可提供任意數目個 n 型區 50N 及 p 型區 50P。

【0017】 進一步地，在第 2 圖中，在基板 50 上方形成多層堆疊 64。多層堆疊 64 包括第一半導體層 51A 至 51C (統稱為第一半導體層 51) 及第二半導體層 53A 至 53C (統稱為第二半導體層 53) 的交替層。為了例示且如下文更詳細地論述，將移除第一半導體層 51，並圖案化第二半導體層 53 以在 n 型區 50N 及 p 型區 50P 中形成奈米場效電晶體的通道區。然而，在一些實施例中，可移除第一半導體層 51 並可圖案化第二半導體層 53 以在 n 型區 50N 中形成奈米場效電晶體的通道區；且可移除第二半導體層 53 並可圖案化第一半導體層 51 以在 p 型區 50P 中形成奈米場效電晶體的通道區。在一些實施例中，可移除第二半導體層 53 並可圖案化第一半導體層 51 以在 n 型區 50N 中形成奈米

場效電晶體的通道區；且可移除第一半導體層 51 並可圖案化第二半導體層 53 以在 p 型區 50P 中形成奈米場效電晶體的通道區。在一些實施例中，可移除第二半導體層 53，並可圖案化第一半導體層 51 以在 n 型區 50N 及 p 型區 50P 兩者中均形成奈米場效電晶體的通道區。

【0018】 出於例示目的，例示多層堆疊 64 為包括三層第一半導體層 51 及三層第二半導體層 53。在一些實施例中，多層堆疊 64 可包括任意數目個第一半導體層 51 及第二半導體層 53。可使用諸如化學氣相沈積 (chemical vapor deposition; CVD)、原子層沈積 (atomic layer deposition; ALD)、氣相磊晶 (vapor phase epitaxy; VPE)、分子束磊晶 (molecular beam epitaxy; MBE) 或類似者的製程來磊晶生長多層堆疊 64 的每一層。在各種實施例中，第一半導體層 51 可由適於諸如矽鍺或類似者的 p 型奈米場效電晶體的第一半導體材料來形成，且第二半導體層 53 可由適於諸如矽、矽碳或類似者的 n 型奈米場效電晶體的第二半導體材料來形成。出於例示目的，例示多層堆疊 64 為具有適於 p 型奈米場效電晶體之最底部半導體層。在一些實施例中，可形成多層堆疊 64，使得最底部層係適於 n 型奈米場效電晶體的第二半導體層。

【0019】 第一半導體材料及第二半導體材料可係相互具有高蝕刻選擇性之材料。因此，可在不顯著移除第二半導體材料的第二半導體層 53 的情況下移除第一半導體材料的第一半導體層 51，從而允許對第二半導體層 53 進行圖案

化來形成奈米場效電晶體的通道區。類似地，在移除第二半導體層 53 並圖案化第一半導體層 51 以形成通道區的實施例中，可在不顯著移除第一半導體材料的第一半導體層 51 的情況下移除第二半導體材料的第二半導體層 53，從而允許對第一半導體層 51 進行圖案化來形成奈米場效電晶體的通道區。

【0020】 現參看第 3 圖，根據一些實施例，鰭片 66 形成於基板 50 中，且奈米結構 55 形成於多層堆疊 64 中。在一些實施例中，可分別藉由在多層堆疊 64 及基板 50 中蝕刻溝槽而在多層堆疊 64 及基板 50 中形成奈米結構 55 及鰭片 66。蝕刻可係任何可接受的蝕刻製程，諸如反應離子蝕刻 (reactive ion etch; RIE)、中性束蝕刻 (neutral beam etch; NBE)、類似者，或者其組合。蝕刻可係各向異性的。藉由蝕刻多層堆疊 64 來形成奈米結構 55 可進一步自第一半導體層 51 界定出第一奈米結構 52A 至 52C (統稱為第一奈米結構 52) 並自第二半導體層 53 界定出第二奈米結構 54A 至 54C (統稱為第二奈米結構 54)。第一奈米結構 52 及第二奈米結構 54 可統稱為奈米結構 55。

【0021】 可藉由任何合適的方法來圖案化鰭片 66 及奈米結構 55。舉例而言，鰭片 66 及奈米結構 55 可使用一或多個光微影製程，包括雙重圖案化或多重圖案化製程來圖案化。一般而言，雙重圖案化或多重圖案化製程結合光微影製程與自對準製程，從而允許產生例如與使用單個直接光微影製程可獲得之圖案相比具有更小節距之圖案。舉例而

言，在一個實施例中，犧牲層形成於基板上方並使用光微影製程進行圖案化。使用自對準製程沿經圖案化之犧牲層形成間隔物。接著移除犧牲層，且接著剩餘的間隔物可用來圖案化鰭片 66。

【0022】 出於例示目的，第 3 圖例示 n 型區 50N 及 p 型區 50P 中的鰭片 66 具有實質上相等的寬度。在一些實施例中，n 型區 50N 中鰭片 66 的寬度可大於或小於 p 型區 50P 中鰭片 66 的寬度。進一步地，雖然例示鰭片 66 及奈米結構 55 中之每一者始終具有一致的寬度，但在其他實施例中，鰭片 66 及 / 或奈米結構 55 可具有錐形側壁，使得鰭片 66 及 / 或奈米結構 55 中之每一者的寬度在朝向基板 50 之方向上連續增大。在此種實施例中，奈米結構 55 中之每一者可具有不同的寬度且形狀可為梯形。

【0023】 在第 4 圖中，淺溝槽隔離區 68 相鄰於鰭片 66 形成。可藉由在基板 50、鰭片 66 及奈米結構 55 上方且在相鄰的鰭片 66 之間沈積絕緣材料來形成淺溝槽隔離區 68。絕緣材料可係諸如氧化矽之氧化物、氮化物、類似者或者其組合，且可藉由高密度電漿化學氣相沈積 (high-density plasma chemical vapor deposition; HDP-CVD)、流動化學氣相沈積 (flowable chemical vapor deposition; FCVD)、類似者或者其組合形成。可使用藉由任何可接受的製程形成的其他絕緣材料。在例示的實施例中，絕緣材料係藉由流動化學氣相沈積製程形成的氧化矽。一旦形成了絕緣材料，即可執行退火製程。

在一實施例中，形成絕緣材料，使得過多的絕緣材料覆蓋奈米結構 55。儘管將絕緣材料例示為單層，但一些實施例可利用多層絕緣材料。舉例而言，在一些實施例中，可首先沿基板 50、鰭片 66 及奈米結構 55 的表面形成襯裡(未單獨例示)。其後，可在襯裡上方形成諸如上方所論述之彼等的填充材料。

【0024】 接著對絕緣材料應用移除製程來移除奈米結構 55 上方的過多絕緣材料。在一些實施例中，可利用諸如化學機械研磨(chemical mechanical polish; CMP)之平坦化製程、回蝕製程、其組合，或類似者。平坦化製程暴露奈米結構 55，使得在完成平坦化製程之後，使奈米結構 55 的頂表面與絕緣材料平齊。

【0025】 接著，使絕緣材料凹入來形成淺溝槽隔離區 68。絕緣材料經凹入，使得 n 型區 50N 及 p 型區 50P 中鰭片 66 之上部自鄰近的淺溝槽隔離區 68 之間突出。進一步地，淺溝槽隔離區 68 的頂表面可如圖所示具有平坦表面、凸起表面、凹陷表面(諸如碟形)或者其組合。可藉由適當的蝕刻使淺溝槽隔離區 68 的頂表面形成為平坦、凸起及/或凹陷的。可使用可接受的蝕刻製程，諸如對絕緣材料的材料具有選擇性(例如，與鰭片 66 及奈米結構 55 的材料相比，以更快速率蝕刻絕緣材料)的蝕刻製程使淺溝槽隔離區 68 凹入。舉例而言，可使用利用例如稀鹽酸(dilute hydrofluoric; DHF)的氧化物移除。

【0026】 上文關於第 2 圖至第 4 圖描述的製程僅為可如何

形成鰭片 66 及奈米結構 55 的一個實例。在一些實施例中，鰭片 66 及 / 或奈米結構 55 可使用罩幕及磊晶生長製程來形成。舉例而言，可在基板 50 之頂表面上方形成介電層，並且溝槽可蝕刻穿過介電層來暴露下伏基板 50。可在溝槽中磊晶生長磊晶結構，且介電層可經凹入使得磊晶結構自介電層突出來形成鰭片 66 及 / 或奈米結構 55。磊晶結構可包含上文論述的交替的半導體材料，諸如第一半導體材料及第二半導體材料。在磊晶生長磊晶結構的一些實施例中，磊晶生長的材料可在生長過程中進行原位摻雜，此情形可避免之前及 / 或後續佈植，儘管可一起使用原位及佈植摻雜。

【0027】 另外，僅出於例示目的，第一半導體層 51（及得到的第一奈米結構 52）及第二半導體層 53（及得到的第二奈米結構 54）本文中例示並論述為在 p 型區 50P 及 n 型區 50N 中包含相同材料。因此，在一些實施例中，第一半導體層 51 及第二半導體層 53 之一者或兩者在 p 型區 50P 及 n 型區 50N 中可係不同的材料或以不同的順序形成。

【0028】 進一步地，在第 4 圖中，可在鰭片 66、奈米結構 55 及 / 或淺溝槽隔離區 68 中形成適當的阱（未單獨例示）。在具有不同阱類型的實施例中，可使用光阻劑或其他罩幕（未單獨例示）來達成用於 n 型區 50N 及 p 型區 50P 的不同的佈植步驟。舉例而言，可在 n 型區 50N 及 p 型區 50P 中的鰭片 66 及淺溝槽隔離區 68 上方形成光阻劑。對光阻劑進行圖案化來暴露 p 型區 50P。可藉由使用旋塗技術來

形成光阻劑，並且可使用可接受的光微影技術來圖案化光阻劑。光阻劑一旦經圖案化，便在 p 型區 50P 中執行 n 型雜質佈植，且光阻劑可充當罩幕來實質上防止 n 型雜質被佈植到 n 型區 50N 中。n 型雜質可係在區中佈植達範圍為大約 10^{13} 原子 / cm^3 至大約 10^{14} 原子 / cm^3 之濃度的磷、砷、銻或類似者。在佈植之後，藉由諸如可接受的灰化製程來移除光阻劑。

【0029】 在 p 型區 50P 的佈植之後或之前，在 p 型區 50P 及 n 型區 50N 中的鰭片 66、奈米結構 55 及淺溝槽隔離區 68 上方形成光阻劑或其他罩幕(未單獨例示)。對光阻劑進行圖案化來暴露 n 型區 50N。可藉由使用旋塗技術來形成光阻劑，並且可使用可接受的光微影技術來圖案化光阻劑。光阻劑一旦經圖案化，便可在 n 型區 50N 中執行 p 型雜質佈植，且光阻劑可充當罩幕來實質上防止 p 型雜質被佈植到 p 型區 50P 中。p 型雜質可係在區中佈植達範圍為大約 10^{13} 原子 / cm^3 至大約 10^{14} 原子 / cm^3 之濃度的硼、氟化硼、銻或類似者。在佈植之後，可藉由諸如可接受的灰化製程來移除光阻劑。

【0030】 在 n 型區 50N 及 p 型區 50P 的佈植之後，可執行退火來修復佈植損傷並活化經佈植的 p 型及 / 或 n 型雜質。在一些實施例中，磊晶鰭片的生長材料可在生長過程中進行原位摻雜，此情形可避免佈植，儘管可一起使用原位及佈植摻雜。

【0031】 在第 5 圖中，虛設介電層 70 形成於鰭片 66 及 /

或奈米結構 55 上。虛設介電層 70 可係例如氧化矽、氮化矽、其組合或類似者，且可根據可接受的技術進行沈積或熱生長。虛設閘極層 72 形成於虛設介電層 70 上方，且罩幕層 74 形成於虛設閘極層 72 上方。虛設閘極層 72 可沈積於虛設介電層 70 上方且接著藉由諸如化學機械研磨進行平坦化。罩幕層 74 可沈積於虛設閘極層 72 上方。虛設閘極層 72 可係導電或不導電材料，且可選自包括以下各者之群組：非晶矽 (amorphous silicon)、多晶矽 (polycrystalline-silicon, polysilicon)、多晶矽鍺 (poly-crystalline silicon-germanium ; poly-SiGe)、金屬氮化物、金屬矽化物、金屬氧化物及金屬。虛設閘極層 72 可藉由物理氣相沈積 (physical vapor deposition ; PVD)、化學氣相沈積、濺射沈積 (sputter deposition) 或其他用於沈積所選材料之技術進行沈積。虛設閘極層 72 可由針對隔離區蝕刻具有高蝕刻選擇性之其他材料製成。罩幕層 74 可包括例如氮化矽、氧氮化矽或類似者。在此實例中，橫跨 n 型區 50N 及 p 型區 50P 形成單個虛設閘極層 72 及單個罩幕層 74。應理解，僅出於例示目的，繪示虛設介電層 70 僅覆蓋鰭片 66 及奈米結構 55。在一些實施例中，可沈積虛設介電層 70，使得虛設介電層 70 覆蓋淺溝槽隔離區 68，使得虛設介電層 70 在虛設閘極層 72 與淺溝槽隔離區 68 之間延伸。

【0032】 第 6A 圖至第 28C 圖例示實施例設備製造中之各種額外步驟。第 6A 圖至第 18C 圖例示 n 型區 50N 或 p

型區 50P 中之特徵。在第 6A 圖至第 6C 圖中，罩幕層 74 (參見第 5 圖) 可使用可接受的光微影及蝕刻技術進行圖案化來形成罩幕 78。罩幕 78 的圖案接著可被轉印至虛設閘極層 72 及虛設介電層 70 來分別形成虛設閘極 76 及虛設閘極介電質 71。虛設閘極 76 覆蓋鱗片 66 的各別通道區。罩幕 78 的圖案可用來實體分離每個虛設閘極 76 與相鄰的虛設閘極 76。虛設閘極 76 亦可具有實質上與各別鱗片 66 的長度方向垂直的長度方向。

【0033】 在第 7A 圖至第 7C 圖中，第一間隔物層 80 及第二間隔物層 82 形成於第 6A 圖至第 6C 圖中所示的結構上方。第一間隔物層 80 及第二間隔物層 82 後續將被圖案化來充當用於形成自對準源極/汲極區的間隔物。在第 7A 圖至第 7C 圖中，第一間隔物層 80 形成於淺溝槽隔離區 68 的頂表面上；鱗片 66、奈米結構 55 及罩幕 78 的頂表面及側壁上；及虛設閘極 76 及虛設閘極介電質 71 的側壁上。第二間隔物層 82 沈積於第一間隔物層 80 上方。第一間隔物層 80 可使用諸如熱氧化之技術由氧化矽、氮化矽、氮氧化矽或類似者形成或藉由化學氣相沈積、原子層沈積或類似者進行沈積。第二間隔物層 82 可由蝕刻速率與第一間隔物層 80 的材料不同的材料，諸如氧化矽、氮化矽、氮氧化矽或類似者形成，並且可藉由化學氣相沈積、原子層沈積或類似者進行沈積。

【0034】 在形成第一間隔物層 80 之後且在形成第二間隔物層 82 之前，可執行用於輕度摻雜源極/汲極 (lightly

doped drain ; LDD) 區(未單獨例示)之佈植。在具有不同設備類型的實施例中，與上文在第 4 圖中論述的佈植類似，諸如光阻劑的罩幕可形成於 n 型區 50N 上方，同時暴露 p 型區 50P，並且可將合適類型(例如，p 型)的雜質佈植於 p 型區 50P 中所暴露的鰭片 66 及奈米結構 55。接著可移除罩幕。隨後，諸如光阻劑的罩幕可形成於 p 型區 50P 上方，同時暴露 n 型區 50N，並且可將合適類型的雜質(例如，n 型雜質)佈植於 n 型區 50N 中所暴露的鰭片 66 及奈米結構 55。接著可移除罩幕。n 型雜質可係前文論述的 n 型雜質的任一者，且 p 型雜質可係前文論述的 p 型雜質的任一者。輕度摻雜的源極/汲極區可具有範圍為大約 1×10^{15} 原子/cm³ 至大約 1×10^{19} 原子/cm³ 的雜質濃度。退火可用來修復佈植損傷且活化佈植的雜質。

【0035】 在第 8A 圖至第 8C 圖中，蝕刻第一間隔物層 80 及第二間隔物層 82 來形成第一間隔物 81 及第二間隔物 83。如下文將更詳細地進行論述，第一間隔物 81 及第二間隔物 83 用來使後續形成的源極/汲極區自對準以及在後續處理過程中保護鰭片 66 及/或奈米結構 55 的側壁。可使用諸如各向同性蝕刻製程(例如，濕式蝕刻製程)、各向異性蝕刻製程(例如，乾式蝕刻製程)或類似者的合適的蝕刻製程來蝕刻第一間隔物層 80 及第二間隔物層 82。在一些實施例中，與第一間隔物層 80 的材料相比，第二間隔物層 82 的材料具有不同的蝕刻速率，使得第一間隔物層 80 可在圖案化第二間隔物層 82 時充當蝕刻終止層，且使得第

二間隔物層 82 可在圖案化第一間隔物層 80 時充當罩幕。舉例而言，可使用各向異性蝕刻製程來蝕刻第二間隔物層 82，其中第一間隔物層 80 充當蝕刻終止層，其中第二間隔物層 82 的剩餘部分形成第 8B 圖中所示的第二間隔物 83。其後，在蝕刻第一間隔物層 80 的所暴露的部分時，第二間隔物 83 充當罩幕，從而形成第 8B 圖及第 8C 圖中所示的第一間隔物 81。

【0036】 如第 8B 圖中所示，第一間隔物 81 及第二間隔物 83 設置於鰭片 66 及/或奈米結構 55 的側壁上。如第 8C 圖中所示，在一些實施例中，第二間隔物層 82 可自相鄰於罩幕 78、虛設閘極 76 及虛設閘極介電質 71 之第一間隔物層 80 上方移除，且第一間隔物 81 設置於罩幕 78、虛設閘極 76 及虛設閘極介電質 60 的側壁上。在其他實施例中，第二間隔物層 82 的一部分可剩餘在相鄰於罩幕 78、虛設閘極 76 及虛設閘極介電質 71 之第一間隔物層 80 上方。

【0037】 應注意，上述揭露大體描述形成間隔物及輕度摻雜汲極區之製程。可使用其他製程及序列。舉例而言，可利用更少或額外間隔物，可利用不同的步驟序列(例如，可在沈積第二間隔物層 82 之前圖案化第一間隔物 81)，可形成並移除額外間隔物及/或類似者。此外，可使用不同結構及步驟形成 n 型及 p 型設備。

【0038】 在第 9A 圖至第 9C 圖中，根據一些實施例，在鰭片 66、奈米結構 55 及基板 50 中形成第一凹部 86 及第二

凹部 87。磊晶源極 / 汲極區後續將在第一凹部 86 中形成，且第一磊晶材料及磊晶源極 / 汲極區後續將在第二凹部 87 中形成。第一凹部 86 及第二凹部 87 可延伸穿過第一奈米結構 52 及第二奈米結構 54 並延伸至基板 50 中。如第 9B 圖中所示，淺溝槽隔離區 68 的頂表面可與第一凹部 86 的底表面平齊。在各種實施例中，可蝕刻鰭片 66，使得第一凹部 86 的底表面設置成低於淺溝槽隔離區 68 的頂表面。第二凹部 87 的底表面可設置在第一凹部的底表面及淺溝槽隔離區 68 的頂表面下方。可藉由使用諸如反應離子蝕刻、中性束蝕刻或類似者的各向異性蝕刻製程蝕刻鰭片 66、奈米結構 55 及基板 50 來形成第一凹部 86 及第二凹部 87。在用於形成第一凹部 86 及第二凹部 87 的蝕刻製程期間，第一間隔物 81、第二間隔物 83 及罩幕 78 遮蔽鰭片 66、奈米結構 55 及基板 50 的數個部分。可使用單個蝕刻製程或多個蝕刻製程來蝕刻奈米結構 55 及 / 或鰭片 66 的每一層。可使用定時蝕刻製程以在第一凹部 86 及第二凹部 87 達到所要深度之後終止蝕刻。可藉由用於蝕刻第一凹部 86 的相同製程及在蝕刻第一凹部 86 之前或之後藉由額外蝕刻製程來蝕刻第二凹部 87。舉例而言，在執行針對第二凹部 87 的額外蝕刻製程同時，可遮蔽對應於第一凹部 86 的區。

【0039】 在第 10A 圖至第 10C 圖中，蝕刻由第一凹部 86 及第二凹部 87 暴露的由第一半導體材料(例如，第一奈米結構 52)形成的多層堆疊 64 之各層的側壁的一部分，以形

成側壁凹部 88。儘管在第 10C 圖中與側壁凹部 88 相鄰的第一奈米結構 52 的側壁例示為係直線，但側壁亦可係凹陷或凸起的。可使用諸如濕式蝕刻或類似者的各向同性蝕刻製程來蝕刻側壁。在第一奈米結構 52 包括例如矽鍺 (SiGe) 且第二奈米結構 54 包括例如矽或碳化矽 (SiC) 之實施例中，可使用利用四甲基氫氧化銨 (tetramethylammonium hydroxide; TMAH)、氫氧化銨 (NH₄OH) 或類似者之乾式蝕刻製程來蝕刻第一奈米結構 52 的側壁。

【0040】 在第 11A 圖至第 11D 圖中，第一內部間隔物 90 形成於側壁凹部 88 中。可藉由在第 10A 圖至第 10C 圖中所示的結構上方沈積內部間隔物層 (未單獨例示) 來形成第一內部間隔物 90。第一內部間隔物 90 充當後續形成的源極/汲極區與閘極結構之間的隔離特徵。如下文將更詳細地進行論述，源極/汲極區及磊晶材料將在第一凹部 86 及第二凹部 87 中形成，而第一奈米結構 52 將用對應的閘極結構替代。

【0041】 可藉由保形沈積製程，諸如化學氣相沈積、原子層沈積或類似者來沈積內部間隔物層。內部間隔物層可包含諸如氮化矽或氮氧化矽的材料，但是可利用任何合適的材料，諸如 k 值小於約 3.5 的低介電常數 (低 k) 材料。接著可各向異性地蝕刻內部間隔物層以形成第一內部間隔物 90。儘管第一內部間隔物 90 的外部側壁被例示為與第二奈米結構 54 的側壁相平，但是第一內部間隔物 90 的外部

側壁可延伸超過第二奈米結構 54 的側壁或自該側壁凹入。

【0042】 此外，儘管第一內部間隔物 90 的外部側壁在第 11 C 圖中被例示為直線，但是第一內部間隔物 90 的外部側壁亦可係凹陷或凸起的。作為實例，第 11 D 圖例示第一奈米結構 52 的側壁為凹陷的實施例，第一內部間隔物 90 的外部側壁為凹陷的，且第一內部間隔物 90 自第二奈米結構 54 的側壁凹入。可藉由各向異性蝕刻製程，諸如反應離子蝕刻、中性束蝕刻或類似者來蝕刻內部間隔物層。第一內部間隔物 90 可用來防止藉由後續蝕刻製程（諸如用於形成閘極結構的蝕刻製程）對後續形成之源極/汲極區（諸如下文關於第 12 A 圖至第 12 E 圖所論述的磊晶源極/汲極區 92）的損傷。

【0043】 在第 12 A 圖至第 12 E 圖中，第一磊晶材料 91 形成於第二凹部 87 中，且磊晶源極/汲極區 92 形成於第一凹部 86 及第二凹部 87 中。在一些實施例中，第一磊晶材料 91 可係犧牲材料，該犧牲材料後續被移除以形成背側通孔（諸如下文關於第 26 A 圖至第 26 D 圖所論述的背側通孔 130）。如第 12 B 圖至第 12 E 圖中所示，第一磊晶材料 91 的頂表面可與第一凹部 86 的底表面平齊。然而，在一些實施例中，第一磊晶材料 91 的頂表面可設置成在第一凹部 86 的底表面上方或下方。可使用諸如化學氣相沈積、原子層沈積、氣相磊晶、分子束磊晶或類似者的製程來在第二凹部 87 中磊晶生長第一磊晶材料 91。第一磊晶材料 91

可包括任何可接受的材料，諸如矽鍺或類似者。第一磊晶材料 91 可由對磊晶源極/汲極區 92 及介電層(諸如下文關於第 24 A 圖至第 24 C 圖所論述的淺溝槽隔離區 68 及第二介電層 125)的材料具有高蝕刻選擇性的材料形成。因此，第一磊晶材料 91 可在不顯著移除磊晶源極/汲極區 92 及介電層的情況下移除且用背側通孔替代。類似地，如先前所描述，在第一磊晶材料 91 形成於第二凹部 87 中同時，對應於第一凹部 86 之區可被遮蔽。

【0044】 磊晶源極/汲極區 92 接著形成於第一凹部 86 中且第二凹部 87 中的第一磊晶材料 91 上方。在一些實施例中，磊晶源極/汲極區 92 可在第二奈米結構 54 上施加應力，從而改良效能。如第 12 C 圖中所示，磊晶源極/汲極區 92 形成於第一凹部 86 及第二凹部 87 中，使得每個虛設閘極 76 設置於各別鄰近的成對磊晶源極/汲極區 92 之間。在一些實施例中，第一間隔物 81 用來將磊晶源極/汲極區 92 與虛設閘極 76 分離，且第一內部間隔物 90 用來將磊晶源極/汲極區 92 與奈米結構 55 分離開適當的橫向距離，使得磊晶源極/汲極區 92 不會與所得奈米場效電晶體的後續形成的閘極發生短路連接。

【0045】 可藉由遮蔽 p 型區 50 P (例如，p 型金氧半導體區)來形成 n 型區 50 N (例如，n 型金氧半導體區)中的磊晶源極/汲極區 92。接著，磊晶源極/汲極區 92 在 n 型區 50 N 中的第一凹部 86 及第二凹部 87 中磊晶生長。磊晶源極/汲極區 92 可包括適於 n 型奈米場效電晶體的任何可接

受的材料。舉例而言，若第二奈米結構 54 為矽，則磊晶源極/汲極區 92 可包括在第二奈米結構 54 上施加拉伸應變之材料，諸如矽、碳化矽、摻雜磷的碳化矽、磷化矽或類似者。磊晶源極/汲極區 92 可具有自奈米結構 55 之各別上表面隆起之表面且可具有小面。

【0046】 可藉由遮蔽 n 型區 50N (例如，n 型金氧半導體區)來形成 p 型區 50P (例如，p 型金氧半導體區)中的磊晶源極/汲極區 92。接著，磊晶源極/汲極區 92 在 p 型區 50P 中的第一凹部 86 及第二凹部 87 中磊晶生長。磊晶源極/汲極區 92 可包括適於 p 型奈米場效電晶體的任何可接受的材料。舉例而言，若第一奈米結構 52 為矽鍺，則磊晶源極/汲極區 92 可包含在第一奈米結構 52 上施加壓縮應變之材料，諸如矽鍺、摻雜硼的矽鍺、鍺、錫鍺或類似者。磊晶源極/汲極區 92 亦可具有自多層堆疊 56 的各別表面隆起的表面且可具有小面。

【0047】 與前文論述的用於形成輕度摻雜的源極/汲極區繼之以進行退火的製程類似，可運用摻雜劑對磊晶源極/汲極區 92、第一奈米結構 52、第二奈米結構 54 及/或基板 50 進行佈植以形成源極/汲極區。源極/汲極區可具有在大約 1×10^{19} 原子/cm³ 與大約 1×10^{21} 原子/cm³ 之間的雜質濃度。源極/汲極區的 n 型及/或 p 型雜質可為前文論述的任何雜質。在一些實施例中，磊晶源極/汲極區 92 可在生長過程中進行原位摻雜。

【0048】 作為用來在 n 型區 50N 及 p 型區 50P 中形成磊

磊晶源極/汲極區 92 的磊晶製程的結果，磊晶源極/汲極區 92 的上表面具有橫向向外擴展超出奈米結構 55 之側壁的小面。在一些實施例中，此等小面使得同一奈米場效電晶體之相鄰磊晶源極/汲極區 92 合併，如藉由第 12 B 圖所示。在其他實施例中，如第 12 D 圖所示，完成磊晶製程之後，相鄰的磊晶源極/汲極區 92 保持分離。在第 12 B 圖及第 12 D 圖中所示的實施例中，第一間隔物 81 可形成至淺溝槽隔離區 68 的頂表面，藉此阻擋磊晶生長。在一些其他實施例中，第一間隔物 81 可覆蓋奈米結構 55 之側壁的數個部分以進一步阻擋磊晶生長。在一些其他實施例中，可調整用於形成第一間隔物 81 的間隔物蝕刻來移除間隔物材料以允許磊晶生長的區延伸至淺溝槽隔離區 68 的表面。

【0049】 磊晶源極/汲極區 92 可包含一或多個半導體材料層。舉例而言，磊晶源極/汲極區 92 可包含第一半導體材料層 92 A，第二半導體材料層 92 B 及第三半導體材料層 92 C。可將任意數目個半導體材料層用於磊晶源極/汲極區 92。第一半導體材料層 92 A、第二半導體材料層 92 B 及第三半導體材料層 92 C 之每一者可由不同的半導體材料形成且可摻雜達不同的摻雜劑濃度。在一些實施例中，第一半導體材料層 92 A 的摻雜劑濃度可小於第二半導體材料層 92 B 的摻雜劑濃度且大於第三半導體材料層 92 C 的摻雜劑濃度。在磊晶源極/汲極區 92 包含三個半導體材料層的實施例中，可沈積第一半導體材料層 92 A，第二半導體材料層 92 B 可沈積在第一半導體材料層 92 A 上方，且第三

半導體材料層 92C 可沈積在第二半導體材料層 92B 上方。

【0050】 第 12E 圖例示實施例，在該實施例中，第一奈米結構 52 之側壁為凹陷的，第一內部間隔物 90 之外部側壁為凹陷的，且第一內部間隔物 90 自第二奈米結構 54 的側壁凹入。如第 12E 圖中所示，磊晶源極/汲極區 92 可與第一內部間隔物 90 接觸地形成，且可延伸越過第二奈米結構 54 的側壁。

【0051】 在第 13A 圖至第 13C 圖中，第一層間介電質 (interlayer dielectric ; ILD) 96 沈積於第 12A 圖至第 12C 圖中所示的結構上方。第一層間介電質 96 可由介電材料形成，且可藉由諸如化學氣相沈積、電漿增強化學氣相沈積 (plasma-enhanced chemical vapor deposition ; PECVD) 或流動化學氣相沈積之任何合適的方法進行沈積。介電材料可包括磷矽玻璃 (phospho-silicate glass ; PSG)、硼矽玻璃 (boro-silicate glass ; BSG)、硼磷矽玻璃 (boron-doped phospho-silicate glass ; BPSG)、無摻雜矽玻璃 (undoped silicate glass ; USG) 或類似者。可使用藉由任何可接受的製程形成的其他絕緣材料。在一些實施例中，接觸蝕刻終止層 (contact etch stop layer ; CESL) 94 設置於第一層間介電質 96 與磊晶源極/汲極區 92、罩幕 78 及第一間隔物 81 之間。接觸蝕刻終止層 94 可包含諸如氮化矽、氧化矽、氮氧化矽或類似者之

介電材料，該介電材料具有不同於上覆第一層間介電質 96 之材料的蝕刻速率。

【0052】 在第 14 A 圖至第 14 C 圖中，可執行諸如化學機械研磨之平坦化製程以使第一層間介電質 96 的頂表面與虛設閘極 76 或罩幕 78 的頂表面平齊。平坦化製程亦可移除虛設閘極 76 上之罩幕 78 及第一間隔物 81 的沿罩幕 78 之側壁的數個部分。在平坦化製程之後，虛設閘極 76、第一間隔物 81 及第一層間介電質 96 的頂表面在製程變化內互相平齊。因此，虛設閘極 76 的頂表面通過第一層間介電質 96 暴露。在一些實施例中，可保留罩幕 78，此情形下，平坦化製程使第一層間介電質 96 的頂表面與罩幕 78 及第一間隔物 81 的頂表面平齊。

【0053】 在第 15 A 圖至第 15 C 圖中，虛設閘極 76 及罩幕 78 (若存在)在一或多個蝕刻步驟中被移除，使得形成第三凹部 98。亦移除第三凹部 98 中虛設閘極介電質 60 的數個部分。在一些實施例中，藉由各向異性乾式蝕刻製程移除虛設閘極 76 及虛設閘極介電質 60。舉例而言，蝕刻製程可包括使用與第一層間介電質 96 或第一間隔物 81 相比以更快速率選擇性地蝕刻虛設閘極 76 之反應氣體的乾式蝕刻製程。第三凹部 98 中之每一者暴露且/或上覆奈米結構 55 的數個部分，該些部分在後續完成之奈米場效電晶體中充當通道區。充當通道區的奈米結構 55 之數個部分設置於鄰近的成對磊晶源極/汲極區 92 之間。在移除期間，虛設閘極介電質 60 可在蝕刻虛設閘極 76 時用作蝕刻終止層。

接著可在移除虛設閘極 76 之後移除虛設閘極介電質 60。

【0054】 在第 16A 圖至第 16C 圖中，移除第一奈米結構 52 從而使第三凹部 98 延伸。可藉由執行使用對第一奈米結構 52 之材料具有選擇性之蝕刻劑的諸如濕蝕刻或類似者的各向同性蝕刻製程來移除第一奈米結構 52，而與第一奈米結構 52 相比，第二奈米結構 54、基板 50、淺溝槽隔離區 68 保持相對未受蝕刻。在第一奈米結構 52 包括例如矽鍺且第二奈米結構 54A 至 54C 包括例如矽或碳化矽之實施例中，可使用四甲基氫氧化銨、氫氧化銨或類似者來移除第一奈米結構 52。

【0055】 在第 17A 圖至第 17C 圖中，形成閘極介電層 100 及閘極電極 102 用於替代閘極。閘極介電層 100 保形地沈積於第三凹部 98 中。閘極介電層 100 可形成於基板 50 的頂表面及側壁上且第二奈米結構 54 的頂表面、側壁及底表面上。閘極介電層 100 亦可沈積於第一層間介電質 96、接觸蝕刻終止層 94、第一間隔物 81 及淺溝槽隔離區 68 的頂表面上以及第一間隔物 81 及第一內部間隔物 90 的側壁上。

【0056】 根據一些實施例，閘極介電層 100 包含諸如氧化物、金屬氧化物、類似者或其組合的一或多個電介質層。舉例而言，在一些實施例中，閘極介電層 100 可包含氧化矽層及氧化矽層上方的金屬氧化物層。在一些實施例中，閘極介電層 100 包括高 k 介電材料，且在此等實施例中，閘極介電層 100 可具有大於大約 7.0 的 k 值且可包括金屬

氧化物或鈣、鋁、銦、鏷、錳、銀、鈦、鉛之矽酸鹽及其組合。閘極介電層 100 的結構在 n 型區 50N 及 p 型區 50P 中可相同或不同。閘極介電層 100 的形成方法可包括分子束沈積 (molecular-beam deposition; MBD)、原子層沈積、電漿增強化學氣相沈積或類似者。

【0057】 閘極電極 102 分別沈積於閘極介電層 100 上方，且填充第三凹部 98 的剩餘部分。閘極電極 102 可包括諸如氮化鈦、氧化鈦、氮化鈮、碳化鈮、鈷、鈦、鋁、鎢的含有金屬的材料、其組合，或其多層。舉例而言，儘管第 17A 圖及第 17C 圖中例示單層閘極電極 102，但閘極電極 102 可包含任意數目個襯裡層、任意數目個功函數調諧層及填充材料。構成閘極電極 102 之任何層組合可沈積於 n 型區 50N 中相鄰的第二奈米結構 54 之間及第二奈米結構 54A 與基板 50 之間，且可沈積於 p 型區 50P 中相鄰的第一奈米結構 52 之間。

【0058】 可同時在 n 型區 50N 及 p 型區 50P 中形成閘極介電層 100，使得每個區中之閘極介電層 100 由相同材料形成，且閘極電極 102 可同時形成，使得每個區中之閘極電極 102 由相同材料形成。在一些實施例中，每個區中之閘極介電層 100 可藉由不同製程形成，使得閘極介電層 100 可係不同材料且/或具有不同數目個層，且/或每個區中之閘極電極 102 可藉由不同製程形成，使得閘極電極 102 可係不同材料且/或具有不同數目個層。可使用多種遮蔽步驟以在使用不同製程時遮蔽並暴露適當的區。

【0059】 在填充第三凹部 98 之後，可執行諸如化學機械研磨之平坦化製程以移除閘極介電層 100 及閘極電極 102 之材料的過多部分，過多的部分係在第一層間介電質 96 的頂表面上方。閘極電極 102 材料及閘極介電層 100 的剩餘部分因此形成所得奈米場效電晶體的替代閘極結構。閘極電極 102 及閘極介電層 100 可統稱為閘極結構 103。

【0060】 在第 18A 圖至第 18C 圖中，閘極結構 103（包括閘極介電層 100 及對應的上覆閘極電極 102）經凹入，使得在閘極結構 103 上方及第一間隔物 81 的相對部分之間直接形成凹部。包含諸如氮化矽、氮氧化矽或類似者之一或多個介電材料層的閘極罩幕 104 填充在凹部中，繼之以平坦化製程以移除在第一層間介電質 96 上方延伸的介電材料的過多部分。後續形成的閘極觸點（諸如下文關於第 20A 圖至第 20C 圖所論述的閘極觸點 114）穿透閘極罩幕 104 而與凹入的閘極電極 102 的頂表面接觸。

【0061】 如第 18A 圖至第 18C 圖進一步所例示，第二層間介電質 106 沈積於第一層間介電質 96 上方及閘極罩幕 104 上方。在一些實施例中，第二層間介電質 106 為藉由流動化學氣相沈積形成的流動薄膜。在一些實施例中，第二層間介電質 106 由諸如磷矽玻璃、硼矽玻璃、硼磷矽玻璃、無摻雜矽玻璃或類似者的介電材料形成，且可藉由諸如化學氣相沉積、電漿增強化學氣相沈積或類似者的任何合適方法進行沈積。

【0062】 在第 19A 圖至第 19C 圖中，蝕刻第二層間介電質

106、第一層間介電質 96、接觸蝕刻終止層 94 及閘極罩幕 104 來形成第四凹部 108，從而暴露磊晶源極/汲極區 92 及/或閘極結構 103 之表面。第四凹部 108 可藉由進行使用諸如反應離子蝕刻、中性束蝕刻或類似者的各向異性蝕刻製程的蝕刻形成。在一些實施例中，第四凹部 108 可使用第一蝕刻製程蝕刻穿過第二層間介電質 106 及第一層間介電質 96；可使用第二蝕刻製程蝕刻穿過閘極罩幕 104；且接著可使用第三蝕刻製程蝕刻穿過接觸蝕刻終止層 94。可在第二層間介電質 106 上方形成並圖案化諸如光阻劑之罩幕以遮蔽第二層間介電質 106 之數個部分免受第一蝕刻製程及第二蝕刻製程影響。在一些實施例中，蝕刻製程可為過蝕刻(over-etch)，且因此，第四凹部 108 延伸進磊晶源極/汲極區 92 及/或閘極結構 103 中，且第四凹部 108 的底部可與磊晶源極/汲極區 92 及/或閘極結構 103 的頂表面平齊(例如，處於相同位準或與基板 50 的距離相等)或低於該頂表面(例如，離基板 50 更近)。儘管第 19C 圖例示第四凹部 108 為在相同橫截面中暴露磊晶源極/汲極區 92 及閘極結構 103，但在各種實施例中，磊晶源極/汲極區 92 及閘極結構 103 可在不同的橫截面中暴露，從而減小後續形成的觸點的短路連接風險。

【0063】 在形成第四凹部 108 之後，在磊晶源極/汲極區 92 上方形成第一矽化物區 110。在一些實施例中，第一矽化物區 110 藉由以下方式形成：首先在磊晶源極/汲極區 92 的暴露部分上方沈積能夠與下伏磊晶源極/汲極區 92 的

半導體材料(例如,矽、矽鍺、鍺)發生反應的金屬(未單獨例示)來形成矽化物或鍺化物區,該金屬係諸如鎳、鈷、鈦、鉭、鉍、其他貴金屬、其他耐火金屬、稀土金屬或其合金;接著執行熱退火製程來形成第一矽化物區 110。接著藉由例如蝕刻製程移除所沈積金屬的未反應部分。儘管將第一矽化物區 110 稱為矽化物區,但第一矽化物區 110 亦可係鍺化物區或矽鍺化物區(例如,包含矽化物及鍺化物的區)。在一實施例中,第一矽化物區 110 包含矽化鈦(TiSi),且具有大約 2 nm 至大約 10 nm 範圍內的厚度。

【0064】 在第 20A 圖至第 20C 圖中,源極/汲極觸點 112 及閘極觸點 114 (亦稱為觸點插座)形成於第四凹部 108 中。源極/汲極觸點 112 及閘極觸點 114 可各自包含諸如阻障層、擴散層及填充材料層之一或多個層。舉例而言,在一些實施例中,源極/汲極觸點 112 及閘極觸點 114 各自包括阻障層及導電材料,且各自電連接至下伏導電特徵(例如,閘極電極 102 及/或第一矽化物區 110)。閘極觸點 114 電連接至閘極電極 102,且源極/汲極觸點 112 電連接至第一矽化物區 110。阻障層可包括鈦、氮化鈦、鉭、鉭氮化物或類似者。導電材料可係銅、銅合金、銀、金、鎢、鈷、鋁、鎳或類似者。可執行諸如化學機械研磨之平坦化製程以自第二層間介電質 106 的表面移除過多材料。磊晶源極/汲極區 92、第二奈米結構 54 及閘極結構 103 (包括閘極介電層 100 及閘極電極 102)可統稱為電晶體結構 109。電晶體結構 109 可形成於設備層中,其中第一互

連結構(諸如下文關於第 21A 圖至第 21C 圖所論述的前側互連結構 120)形成於其前側上方，且第二互連結構(諸如下文關於第 27A 圖至第 27C 圖所論述的背側互連結構 140)可形成於其背側上方。儘管設備層被描述為具有奈米場效電晶體，但是其他實施例可包括具有不同類型之電晶體(例如，平面場效電晶體、鰭片式場效電晶體、薄膜電晶體(thin film transistor; TFT)或類似者)的設備層。

【0065】 儘管第 20A 圖至第 20C 圖例示延伸至磊晶源極/汲極區 92 中之每一者的源極/汲極觸點 112，但是可自磊晶源極/汲極區 92 中之某些磊晶源極/汲極區省略源極/汲極觸點 112。類似地，儘管第 20A 圖至第 20C 圖例示閘極觸點 114 延伸至閘極結構 103 中的每一者，但閘極觸點 114 可自閘極結構 103 中的某些結構省略。舉例而言，如下文更詳細地解釋，可後續穿過磊晶源極/汲極區 92 及/或閘極結構 103 中之一或多者的背側附接導電特徵(例如，背側通孔或電源軌)。對於此等特定磊晶源極/汲極區 92 及/或閘極結構 103，源極/汲極觸點 112 及/或閘極觸點 114 分別可被省略或者可為未電連接至任何上覆導電接線(諸如下文關於第 21A 圖至第 21C 圖所論述的第一導電特徵 122)的虛設觸點。

【0066】 第 21A 圖至第 28C 圖例示電晶體結構 109 上方形成前側互連結構及背側互連結構的中間步驟。前側互連結構及背側互連結構可各自包含電連接至形成於基板 50 及/或電晶體結構 109 上方的奈米場效電晶體的導電特徵。

第 21A 圖、第 22A 圖、第 23A 圖、第 24A 圖、第 25A 圖、第 26A 圖、第 27A 圖及第 28A 圖例示第 1 圖中所示的參考橫截面 A-A'。第 21B 圖、第 22B 圖、第 23B 圖、第 24B 圖、第 25B 圖、第 26B 圖、第 27B 圖及第 28B 圖例示第 1 圖中所示的參考橫截面 B-B'。第 21C 圖、第 22C 圖、第 23C 圖、第 24C 圖、第 25C 圖、第 26C 圖、第 27C 圖及第 28C 圖圖例示第 1 圖中所示的參考橫截面 C-C'。第 21A 圖至第 28C 圖中描述的製程步驟可應用於 n 型區 50N 及 p 型區 50P 兩者。如上所提及，背側導電特徵(例如，背側通孔或如下文更詳細地描述的電源軌)可連接至磊晶源極/汲極區 92 及/或閘極結構 103 中的一或多者。因此，源極/汲極觸點 112 可視情況自磊晶源極/汲極區 92 省略。

【0067】 在第 21A 圖至第 21C 圖中，前側互連結構 120 形成於第二層間介電質 106 上。前側互連結構 120 可被稱為前側互連結構，此係因為該前側互連結構形成於電晶體結構 109 的前側(例如，電晶體結構 109 的形成有主動設備的一側)上。

【0068】 前側互連結構 120 可包含形成於一或多個堆疊的第一介電層 124 中的一或多層第一導電特徵 122。堆疊的第一介電層 124 中之每一者可包含諸如低 k 介電材料、超低 k (extra low-k; ELK) 介電材料或類似者的介電材料。可使用諸如化學氣相沈積、原子層沈積、物理氣相沈積、電漿增強化學氣相沈積或類似者之適當製程來沈積第一介

電層 124。

【0069】 第一導電特徵 122 可包含導電接線及使導電接線層互連的導電通孔。導電通孔可延伸穿過第一介電層 124 中的各別第一介電層以在導電接線層之間提供垂直連接。可通過諸如鑲嵌製程、雙重鑲嵌製程或類似者之任何可接受製程來形成第一導電特徵 122。

【0070】 在一些實施例中，可使用鑲嵌製程來形成第一導電特徵 122，在鑲嵌製程中利用光微影及蝕刻技術的組合來對各別第一介電層 124 進行圖案化以形成對應於第一導電特徵 122 的所要圖案的溝槽。可沈積可選擴散阻障層及/或可選黏合層且接著可用導電材料填充溝槽。用於阻障層的合適材料包括鈦、氮化鈦、氧化鈦、鉭、氮化鉭、其組合或類似者，且用於導電材料的合適材料包括銅、銀、金、鎢、鋁、其組合或類似者。在一實施例中，可藉由沈積銅或銅合金的晶種層且藉由電鍍填充溝槽來形成第一導電特徵 122。化學機械平坦化 (chemical mechanical planarization; CMP) 製程或類似者可用於自各別第一介電層 124 的表面移除過多導電材料且平坦化第一介電層 124 及第一導電特徵 122 的表面以供後續處理。

【0071】 第 21A 圖至第 21C 圖例示前側互連結構 120 中五個第一導電特徵 122 層及五個第一介電層 124。然而，應瞭解，前側互連結構 120 可包含設置在任意數目個第一介電層 124 中的任意數目個第一導電特徵 122。前側互連結構 120 可電連接至閘極觸點 114 及源極/汲極觸點 112

以形成功能電路。在一些實施例中，由前側互連結構 120 形成的功能電路可包含邏輯電路、記憶電路、影像感測電路或類似者。

【0072】 在第 22A 圖至第 22C 圖中，藉由第一接合層 152A 及第二接合層 152B（統稱為接合層 152）將載體基板 150 接合至前側互連結構 120 的頂表面。載體基板 150 可係玻璃載體基板、陶瓷載體基板、晶圓（例如，矽晶圓）或類似者。載體基板 150 可在後續處理步驟期間以及在完成的設備中提供結構支撐。

【0073】 在各種實施例中，可使用諸如介電質對介電質接合或類似者之合適技術將載體基板 150 接合到前側互連結構 120。介電質對介電質接合可包含使第一接合層 152A 沈積在前側互連結構 120 上。在一些實施例中，第一接合層 152A 包含藉由化學氣相沈積、原子層沈積、物理氣相沈積或類似者沈積的氧化矽（例如，高密度電漿（high density plasma；HDP）氧化物或類似者）。第二接合層 152B 同樣可係在使用例如化學氣相沈積、原子層沈積、物理氣相沈積、熱氧化或類似者進行接合之前形成於載體基板 150 之表面上的氧化物層。其他合適的材料可用於第一接合層 152A 及第二接合層 152B。

【0074】 介電質對介電質接合製程可進一步包括對第一接合層 152A 及第二接合層 152B 中之一或多者應用表面處理。表面處理可包括電漿處理。電漿處理可在真空環境中執行。在電漿處理之後，表面處理可進一步包括可應用至

接合層 152 中之一或多者的清洗製程(例如，用去離子水或類似者沖洗)。接著，將載體基板 150 與前側互連結構 120 對準，且將兩者彼此壓靠以起始載體基板 150 至前側互連結構 120 的預接合。可在室溫(例如，在大約 21°C 與大約 25°C 之間)下執行預接合。在預接合之後，可藉由例如將前側互連結構 120 及載體基板 150 加熱至例如大約 170°C 至大約 400°C 的溫度來應用退火製程。

【0075】 進一步地，在第 22A 圖至第 22C 圖中，在將載體基板 150 接合到前側互連結構 120 之後，可翻轉設備，使得電晶體結構 109 的背側面向上。電晶體結構 109 的背側可指與電晶體結構 109 的在其上形成主動設備的前側相對的一側。

【0076】 在第 23A 圖至第 23C 圖中，可將薄化製程應用於基板 50 的背側。薄化製程可包含平坦化製程(例如，機械磨削、化學機械平坦化或類似者)、回蝕製程、其組合，或類似者。薄化製程可暴露第一磊晶材料 91 的與前側互連結構 120 相背對的表面。另外，基板 50 的一部分在薄化製程之後可保持於閘極結構 103 (例如，閘極電極 102 及閘極介電層 100)以及奈米結構 55 上方。如第 23A 圖至第 23C 圖中所示，基板 50 之背側表面、第一磊晶材料 91、淺溝槽隔離區 68 及鰭片 66 在薄化製程之後彼此平齊。

【0077】 在第 24A 圖至第 24C 圖中，鰭片 66 及基板 50 之剩餘部分經移除且用第二介電層 125 替代。鰭片 66 及基板 50 可使用合適蝕刻製程，諸如各向同性蝕刻製程(例

如，濕式蝕刻製程)、各向異性蝕刻製程(例如，乾式蝕刻製程)或類似者來蝕刻。蝕刻製程可為對於鰭片 66 及基板 50 之材料係選擇性(例如，相較於淺溝槽隔離區 68、閘極介電層 100、磊晶源極/汲極區 92 及第一磊晶材料 91 以較快速率蝕刻鰭片 66 及基板 50 的材料)的蝕刻製程。在蝕刻鰭片 66 及基板 50 之後，淺溝槽隔離區 68、閘極介電層 100、磊晶源極/汲極區 92 及第一磊晶材料 91 的表面可被暴露。

【0078】 第二介電層 125 接著於凹部中沈積於電晶體結構 109 的背側上，該些凹部藉由移除鰭片 66 及基板 50 來形成。第二介電層 125 可沈積於淺溝槽隔離區 68、閘極介電層 100 及磊晶源極/汲極區 92 上方。第二介電層 125 可與淺溝槽隔離區 68、閘極介電層 100、磊晶源極/汲極區 92 及第一磊晶材料 91 的表面實體接觸。第二介電層 125 可大體上類似於上文關於第 18A 圖至第 18C 圖描述的第二層間介電質 106。舉例而言，第二介電層 125 可由與第二層間介電質 106 類似的材料且使用類似製程來形成。如第 24A 圖至第 24C 圖中所示，化學機械平坦化製程或類似者可用以移除第二介電層 125 的材料，使得第二介電層 125 之頂表面與淺溝槽隔離區 68 及第一磊晶材料 91 的頂表面平齊。

【0079】 在第 25A 圖至第 25C 圖中，第一磊晶材料 91 經移除以形成第五凹部 128，且第二矽化物區 129 形成於第五凹部 128 中。第一磊晶材料 91 可藉由合適蝕刻製程來

移除，該蝕刻製程可為各向同性蝕刻製程，諸如濕式蝕刻製程。蝕刻製程對於第一磊晶材料 91 之材料可具有高蝕刻選擇性。因此，第一磊晶材料 91 可經移除而不顯著地移除第二介電層 125、淺溝槽隔離區 68 或磊晶源極/汲極區 92 的材料。第五凹部 128 可暴露淺溝槽隔離區 68 之側壁、磊晶源極/汲極區 92 的背側表面，及第二介電層 125 的側壁。

【0080】 第二矽化物區 129 可接著於磊晶源極/汲極區 92 之背側上的第五凹部 128 中形成。第二矽化物區 129 可類似於上文關於第 19A 圖至第 19C 圖所描述的第一矽化物區 110。舉例而言，第二矽化物區 129 可由類似於第一矽化物區 110 的材料且使用類似製程來形成。

【0081】 在第 26A 圖至第 26C 圖中，背側通孔 130 形成於第五凹部 128 中。背側通孔 130 可延伸穿過第二介電層 125 及淺溝槽隔離區 68，且可經由第二矽化物區 129 電連接至磊晶源極/汲極區 92。背側通孔 130 可類似於上文關於第 20A 圖至第 20C 圖描述的源極/汲極觸點 112。舉例而言，背側通孔 130 可由類似於源極/汲極觸點 112 的材料且使用類似製程來形成。平坦化製程(例如，化學機械平坦化、磨削、回蝕或類似者)可經執行以移除背側通孔 130 的形成於淺溝槽隔離區 68 及/或第二介電層 125 上方的過多部分。

【0082】 在第 27A 圖至第 27C 圖中，背側互連結構 140 形成於第二介電層 125 及淺溝槽隔離區 68 上。背側互連

結構 140 可被稱為背側互連結構，此係因為該背側互連結構形成於電晶體結構 109 的背側(例如，基板 50 及/或電晶體結構 109 的主動設備形成於上面的相對側)上。

【0083】 背側互連結構 140 可包含形成於一或多個堆疊的第二介電層(例如，第二介電層 132A 至 132C，統稱為第二介電層 132)中的第二導電特徵(例如，導電接線 133、導電通孔 134、導電接線 135、導電通孔 136，及導電接線 137)之一或多個層。堆疊的第二介電層 132 中之每一者可包含介電材料，諸如低 k 介電材料、超低 k (extra low-k; ELK) 介電材料，或類似者。第二介電層 132 可使用適當製程，諸如化學氣相沈積、原子層沈積、物理氣相沈積、電漿增強化學氣相沈積或類似者來形成。

【0084】 背側互連結構 140 包含互連導電接線 133、135 及 137 之數個層的導電通孔 134 及 136。導電通孔 134/136 可延伸穿過第二介電層 132 中的各別介電層以提供導電接線 133/135/137 之數個層之間的垂直連接。舉例而言，導電通孔 134 可將導電接線 133 耦接至導電接線 135，且導電通孔 136 可將導電接線 135 耦接至導電接線 137。導電接線 133/135/137 及導電通孔 134/136 可使用如上文結合第一導電特徵 122 描述的類似製程及類似材料，包括單一或雙重鑲嵌製程、經由任何可接受的製程或類似者來形成。

【0085】 導電接線 133 形成於第二介電層 132A 中。形成導電接線 133 可包括使用例如光微影製程及蝕刻製程的組

合圖案化第二介電層 132A 中之凹部。第二介電層 132A 中凹部的圖案可對應於導電接線 133 的圖案。接著藉由在凹部中沈積導電材料來形成導電接線 133。在一些實施例中，導電接線 133 包含金屬層，該金屬層可係單層或包含由不同材料形成的複數個子層的複合層。在一些實施例中，導電接線 133 包含銅、鋁、鈷、鎢、鈦、鉭、鈹或類似者。可沈積可選擴散阻障層及/或可選黏合層，之後用導電材料填充凹部。用於阻障層/黏合層之合適的材料包括鈦、氮化鈦、氧化鈦、鉭、氮化鉭或類似者。導電接線 133 可使用例如化學氣相沈積、原子層沈積、物理氣相沈積、電鍍或類似者來形成。導電接線 133 穿過背側通孔 130 及第二矽化物區 129 電連接至磊晶源極/汲極區 92。平坦化製程(例如，化學機械平坦化、磨削、回蝕或類似者)可被執行以移除導電接線 133 的形成於第二介電層 132A 上方的過多部分。

【0086】 導電接線 135 及 137 以及導電通孔 134 及 136 可使用類似材料以類似方式形成。在一些實施例中，導電接線 133 穿過第二介電層 132A 以單一鑲嵌製程形成，而導電接線 135 及導電通孔 134 穿過第二介電層 132B 以雙重鑲嵌製程形成，且第二接線 137 及導電通孔 136 亦穿過第二介電層 132C 以雙重鑲嵌製程形成。

【0087】 第 27A 圖至第 27C 圖例示背側互連結構 140 中第二導電接線 133/135/137 的三個層及第二介電層 132A/132B/132C 的三個層。然而，應瞭解，背側互連

結構 140 可包含設置於任何數目個第二介電層 132 中的任何數目個導電接線及導電通孔。背側互連結構 140 可電連接至背側通孔 130 以形成功能電路。在一些實施例中，藉由背側互連結構 140 結合前側互連結構 120 形成的功能電路可包含邏輯電路、記憶電路、影像感測器電路或類似者。

【0088】 下文更詳細地所論述，第二介電層 132B 中之導電接線 135 可包含電源軌及信號接線(結合第 27A 圖至第 27C 圖且其後分離地識別並標記)。電源軌可用以提供電壓源至積體電路，且信號接線可用以在積體電路之元件之間傳輸信號。

【0089】 在第 28A 圖至第 28C 圖中，鈍化層 144、焊球下金屬(under bump metallurgies; UBM) 146 及外部連接器 148 形成於背側互連結構 140 上方。鈍化層 144 可包含諸如聚苯并呋唑(polybenzoxazole; PBO)、聚亞醯胺、苯並環丁烯(benzocyclobutene; BCB)或類似者的聚合物。替代地，鈍化層 144 可包括非有機介電材料，諸如氧化矽、氮化矽、碳化矽、氮氧化矽或類似者。鈍化層 144 可藉由例如化學氣相沈積、物理氣相沈積、原子層沈積或類似者沈積。

【0090】 焊球下金屬 146 在背側互連結構 140 中於導電接線 137 及第二介電層 132C 上方穿過鈍化層 144 形成，且外部連接器 148 形成於焊球下金屬 146 上。在不形成導電接線 137 之一些實施例中，鈍化層 144 直接形成於導電接線 135 及第二介電層 132B 上方。焊球下金屬 146 可包含

藉由電鍍製程或類似者形成的一或多層銅、鎳、金或類似者。外部連接器 148 (例如, 焊球) 形成於焊球下金屬 146 上。外部連接器 148 的形成可包括將焊球放置在焊球下金屬 146 的暴露部分上且使焊球回流。在一些實施例中, 外部連接器 148 的形成包括執行電鍍步驟以在最上層導電接線 137 上方形成焊料區且接著使焊料區回流。焊球下金屬 146 及外部連接器 148 可用於提供與其他電組件的輸入/輸出連接, 該其他電組件係諸如其他設備晶粒、再分配結構、印刷電路板 (printed circuit board; PCB)、母板或類似者。焊球下金屬 146 及外部連接器 148 亦可被稱為背側輸入/輸出墊, 該背側輸入/輸出墊可向上述奈米場效電晶體提供信號、電源電壓及/或電源接地連接。

【0091】 第 29A 圖至第 29B 圖例示背側佈線, 包括背側互連結構 140 的例示性佈局。背側互連結構 140 可包含用於對應佈線的電源區 140P 及信號區 140S 以係大體上彼此分離的。信號區 140S 包括電晶體結構 109 (例如, 磊晶源極/汲極區 92 及/或閘極結構 103, 諸如閘極電極 102) 及背側通孔 130 至導電接線 135 的佈線。電源區 140P 包括自電晶體結構 109 及背側通孔 130 至電源軌 135P 的佈線。

【0092】 第 29A 圖至第 29B 圖例示自電晶體結構 109 至信號接線 135S 及電源軌 135P 的包括背側互連結構 140 之背側佈線的例示性佈局。根據一些實施例, 信號接線 135S 及電源軌 135P 為導電接線 135 的數個部分。然而,

熟習此項技術者應理解，信號接線及/或電源軌替代而言可形成為其他導電接線，諸如導電接線 133 及導電接線 137 的部分。藉由在導電接線 135 之間，諸如在導電接線之同一階層內形成信號接線 135S 及電源軌 135P，導電接線 133 可更大複雜性及密度自電晶體結構 109 佈線至信號接線 135S 及電源軌 135P。

【0093】 如進一步例示，背側互連結構 140 可分離成複數個信號區 140S 及電源區 140P。信號區 140S 大體上或整個含有自一些電晶體結構 109 至信號接線 135S 的佈線。電源區 140P 大體上或整個含有自其他電晶體結構 109 至電源軌 135P 的佈線。分離信號區 140S 與電源區 140P 之間的背側佈線達成益處，諸如減小電源區 140P 之更寬佈線對信號區 140S 之更狹窄佈線可具有的寄生電容之效應。根據一些實施例，電源區 140P 之佈線大體上直接形成於對應電晶體結構 109 上方，以便使電源區 140P 的側向寬度最小化。此設計佈局經由信號區 140S 提供可用於佈線中之密度的更多側向空間及複雜性。

【0094】 參看第 29A 圖，第一磊晶源極/汲極區 92A、第二磊晶源極/汲極區 92B、第三磊晶源極/汲極區 92C 及第四磊晶源極/汲極區 92D 中的每一者可電連接至背側互連結構 140。為了簡單，磊晶源極/汲極區 92A/92B/92C/92D 例示為相鄰於彼此且係在同一 B-B' 橫截面中。然而，熟習此項技術者應理解，磊晶源極/汲極區 92A/92B/92C/92D 中之一些或全部可並非相鄰於彼

此及/或定位於不同 B - B' 橫截面圖中。

【0095】 在相鄰的磊晶源極/汲極區 92 A / 92 B / 92 C / 92 D 之狀況下，磊晶源極/汲極區 92 A / 92 B / 92 C / 92 D 可藉由一或多個混合式鰭片 161 分離。混合式鰭片 161 可藉由在多層堆疊 64 中蝕刻出凹部在形成鰭片 66 (參見第 4 圖) 之後且在形成虛設閘極 76 (參見第 5 圖) 之前來形成。混合式鰭片 161 可接著藉由使用保形沈積製程，諸如化學氣相沈積、原子層沈積、電漿增強化學氣相沈積或類似者在鰭片 66 之側壁上沈積犧牲層 (未獨立例示) 來形成。在一些實施例中，犧牲材料為具有與第一半導體材料或第二半導體材料相同之材料成份的半導體材料 (例如，矽鍺、矽或類似者)。犧牲材料可界定犧牲材料上方在鰭片 66 之間且犧牲材料之側壁之間的凹部。一或多個絕緣材料沈積於凹部中以形成混合式鰭片 161。舉例而言，襯裡及填充材料 (未獨立例示) 可藉由化學氣相沈積、原子層沈積、電漿增強化學氣相沈積或類似者沈積於凹部中。襯裡可包含低 k 材料，諸如氧化物、碳氧化矽 (SiOC)、矽氧碳氮化物 (SiOCN)、氮氧化矽 (SiON) 或類似者，且填充材料可包含氧化物，諸如可流動化學氣相沈積或類似者 (未具體說明的分離組份)。在一些實施例中，襯裡及填充材料之一部分可經部分蝕刻，且高 k 材料，諸如氧化鈦 (HfO)、氧化鋯 (ZrO) 或類似者可於襯裡及填充材料上方沈積於該凹部中。

【0096】 混合式鰭片 161 提供相鄰磊晶源極/汲極區 92 之間的絕緣邊界，該等源極/汲極區可具有不同導電類型。在

形成了混合式鰭片 161 之後，犧牲材料可與移除第一半導體材料及 / 或第二半導體材料同時被移除以界定奈米結構 55。在一些實施例中，磊晶源極 / 汲極區 92 可接觸混合式鰭片 161 之側壁，且第一層間介電質 96 之一部分可沈積於混合式鰭片 161 與淺溝槽隔離區 68 之間。

【0097】 如所例示，第一磊晶源極 / 汲極區 92 A 及第四磊晶源極 / 汲極區 92 D 可經由背側互連結構 140 的不同電源區 140 P 耦接至電源軌 135 P。第一磊晶源極 / 汲極區 92 A 及第四磊晶源極 / 汲極區 92 D 因此可不需要至前側互連結構 120 的源極 / 汲極觸點 112。此外，第二磊晶源極 / 汲極區 92 B 及第三磊晶源極 / 汲極區 92 C 可經由背側互連結構 140 的同一信號區 140 S 耦接至信號接線 135 S。如上文所論述，電源區 140 P 之大體上垂直的佈局提供更多可用側向空間用於信號區 140 S。儘管僅第二磊晶源極 / 汲極區 92 B 及第三磊晶源極 / 汲極區 92 C 例示為進一步耦接至前側互連結構 120，但磊晶源極 / 汲極區 92 A / 92 B / 92 C / 92 D 中之任一者或全部可耦接至前側互連結構 120 及背側互連結構 140 中的一或兩者。類似地，磊晶源極 / 汲極區 92 A / 92 B / 92 C / 92 D 中之任一者或全部可經由背側互連結構 140 耦接至信號接線 135 S 或電源軌 135 P。請注意，單一積體電路晶粒可包含複數個上述組態。

【0098】 參看第 29 B 圖，如上文結合第 27 A 圖至第 27 C 圖所論述，額外第二介電層 132 (例如，第二介電層 132 C)

及額外導電接線(例如, 導電接線 137)可形成於導電接線 135 上方以完成背側互連結構 140。此外, 如上文結合 28A 至第 28C 圖所論述, 鈍化層 144、焊球下金屬 146 及外部連接器 148 可形成於背側互連結構 140 上方。在一些實施例中, 信號區 140S 限於信號接線 135S, 此情形意謂, 額外介電層 132 之全部可用於導電接線 137 以將電源接線 135P 電耦接至外部連接器 148。在並未分離地例示之一些實施例中, 額外介電層 132 之數個部分可用於導電接線 137 以將信號接線 135S 中的一些電耦接至外部連接器 148 中的一些。如所例示, 導電接線 137、焊球下金屬 146 及外部連接器 148 具有空間自由度以在必要時在信號區 140S 的數個部分上方延伸。然而, 在一些實施例中, 通過電源區 140 中之一些或全部的佈線可保持在對應磊晶源極/汲極區(例如, 第一磊晶源極/汲極區 92A 及第四磊晶源極/汲極區 92B)上方大體上垂直地對準。

【0099】 在第 30A 圖至第 30E 圖中, 背側互連結構 140 可包含第一電晶體結構 109A 之第一磊晶源極/汲極區 92A (參見第 30A 圖)與第二電晶體結構 109B 之第二磊晶源極/汲極區 92B (參見第 30B 圖)之間的汲極至汲極信號連接。電晶體結構 109A 及 109B 可為電晶體之陣列的部分, 且可相鄰於彼此或自彼此移位。如所例示, 第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 可經由背側互連結構 140 之信號接線 135S 中的一者電連接至彼此。在並未分離地例示之一些實施例中, 信號接線 135S 可經

由焊球下金屬 145 中之一者及外部連接器 148 中的一者進一步電連接至外部信號源。

【0100】 第 30C 圖至第 30E 圖例示來自第 30A 圖及第 30B 圖之第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 可如何經由背側互連結構 140 電連接至彼此的示意性平面圖。舉例而言，第一磊晶源極/汲極區 92A 可耦接至第一背側通孔 130A，且第二磊晶源極/汲極區可耦接至第二背側通孔 130B。此外，第一背側通孔 130A 可耦接至第一導電接線 133A，且第二背側通孔 130B 可耦接至第二導電接線 133B。第一導電接線 133A 及第二導電接線 133B 中的每一者可分別耦接至第一導電通孔 134A 及第二導電通孔 134B，且彼等導電通孔 134A 及 134B 可耦接至信號接線 135S。信號接線 135S 可設置於與其他信號接線 135S 及電源軌 135P 相同的介電層(例如，第二介電層 132B)中，此情形有利地減小背側互連結構 140 中層的數目。此外，如上文所提及，電插入於背側通孔 130 與導電接線之間的導電接線 133 及導電通孔 134(例如，信號接線 135S 及電源軌 135P)之額外層允許背側互連結構 140 中的更大複雜性及密度。請注意，例示於第 30C 圖至第 30E 圖中之佈局中的一些或全部可形成於同一積體電路晶粒內。

【0101】 第 30C 圖、第 30D 圖及第 30E 圖例示根據一些實施例的用於連接第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區與信號接線 135S 的不同佈局。如第 30C 圖

中所例示，第一磊晶源極/汲極區 92 A 及第二磊晶源極/汲極區 92 B 可為單元，諸如記憶體單元的部分。第一磊晶源極/汲極區 92 A 及第二磊晶源極/汲極區 92 B 可係在彼此附近，但不必相鄰。如第 30 D 圖及第 30 E 圖中所例示，第一磊晶源極/汲極區 92 A 及第二磊晶源極/汲極區 92 B 可為相同或不同單元的部分，如藉由分隔器 160 所指示。另外，在第 30 C 圖及第 30 D 圖中，導電接線 133 A 及導電接線 133 B 可係在信號接線 135 S 的同一側上，而在第 30 E 圖中，導電接線 133 A 及導電接線 133 B 可係在信號接線 135 S 的相對側上。

【0102】 第 31 A 圖至第 31 D 圖例示背側互連結構 140 的形成，該背側互連結構包含自第一電晶體結構 109 A 之磊晶源極/汲極區 92 A 至第二電晶體結構 109 B 之閘極結構 103 B (例如，閘極電極 102 B) 的汲極至閘極信號連接。類似地，如上文關於第 24 A 圖至第 26 C 圖所論述，在將載體基板 150 接合至前側互連結構 120 且翻轉結構向上使得電晶體結構 109 面向上之後，基板 50 之所有或部分可經移除以形成第二介電層 125，且第一磊晶材料 91 可經移除以形成背側通孔 130。第 31 A 圖例示第一電晶體結構 109 A 之磊晶源極/汲極區 92 A 的 B-B' 橫截面，其中背側通孔 130 形成於磊晶源極/汲極區 92 A 上方且延伸穿過第二介電層 125。第 31 B 例示沿著第二電晶體結構 109 B 之閘極電極 102 B 的 A-A' 橫截面。

【0103】 參看第 31 C 圖及第 31 D 圖，類似地，如上文關於

第 27A 圖至第 27C 圖所論述，背側互連結構 140 之數個部分形成於電晶體結構 109A 及 109B 上方。舉例而言，導電接線 133 可形成於背側通孔 130（例如，背側通孔 130A）上方且電連接至該背側通孔。此外，導電通孔 134 及導電接線 135 可使用單一鑲嵌製程或雙重鑲嵌製程形成於導電接線 133 上方且電連接至該等導電接線。

【0104】 形成背側閘極通孔 164 可在形成導電通孔 134 之前、之後或同時形成。類似地，如上文所論述，導電通孔 134 可例如藉由使用光微影與蝕刻製程之組合在第二介電層 132B 中圖案化凹部而形成於第二介電層 132B 中。類似地，背側閘極通孔 164 可包括在第二介電層 132B 中圖案化凹部，該些凹部進一步延伸穿過第二介電層 132A、淺溝槽隔離區 68 及閘極介電質 100。此外，用於導電接線 135 之凹部可經圖案化至第二介電層 132B 中。導電通孔 134、背側閘極通孔 164 及導電接線 135 接著藉由將導電材料沈積於如上文所論述之凹部中來形成。因此，背側閘極通孔 164 耦接閘極電極 102 至導電接線 135。根據其他實施例，單一鑲嵌製程經執行，使得導電通孔 134 及背側閘極通孔 164 在第二介電層 132B 經圖案化以形成導電接線 135 之前形成。在導電通孔及背側閘極通孔 164 在導電接線 135 之前形成的一些實施例中，第二介電層 132C 可沈積於第二介電層 132B 上方且經圖案化以形成導電接線 135。

【0105】 如上文所論述，背側互連結構 140 之導電接線

135 包含信號接線 135S，該信號接線為導電接線 135 的可使第一電晶體結構 109A 之磊晶源極/汲極區 92A 與第二電晶體結構 109B 之閘極電極 102B 之間的汲極至閘極信號連接完整的部分。因此，磊晶源極/汲極區 92A 及閘極電極 102B 經由背側通孔 130、導電接線 133、導電通孔 134、信號接線 135S 及背側閘極通孔 164 電連接至彼此。如所例示，導電通孔 134 及背側閘極通孔 164 可各自直接耦接至信號接線 135S。儘管未具體例示，但背側互連結構 140、焊球下金屬 146 及外部連接器 148 之剩餘部分可如上文所描述而形成以使用於其他佈線及其他設備的積體電路完整。

【0106】 第 32A 圖至第 32H 圖例示經由磊晶源極/汲極區 92 電連接至前側互連結構 120 及背側互連結構 140 之電晶體結構 109 之陣列的示意性橫截面圖及平面圖。請注意，一些細節已自橫截面圖及平面圖省略以強調其他特徵且為了易於例示。此外，為了強調，第 32A 圖至第 32H 圖中例示之一些特徵的大小及形狀可不同於其他圖中彼等類似特徵的大小及形狀。然而，類似參考數字指示，類似元件使用如上文所論述之類似製程來形成。

【0107】 第 32A 圖例示第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 的係上文論述之橫截面 B-B' 之版本的橫截面 X-X'，且第 32B 圖例示第三磊晶源極/汲極區 92C 及第四磊晶源極/汲極區 92D 的係上文論述之橫截面 B-B' 之另一版本的橫截面 Y-Y'。第 32C 圖至第 32H 圖

例示磊晶源極/汲極區 92 的來自不同階層(例如,分別為階層 L_0 、階層 L_1 、階層 L_N 、階層 L_{-1} 、階層 L_{-2} 及階層 L_{-N})之平面圖。對應橫截面 X-X' 及 Y-Y' 為了參考在第 32C 圖至第 32H 圖中標記出。

【0108】 第 32C 圖至第 32E 圖例示電晶體結構 109 上方的前側互連結構 120 分別在階層 L_0 、 L_1 及 L_N 處的平面圖。參看例示階層 L_0 處之平面圖的第 32C 圖,磊晶源極/汲極區 92 (例如,磊晶源極/汲極區 92A/92B/92C/92D) 形成於閘極電極 102 之相對側處以形成電晶體結構 109 的數個部分。舉例而言,第一磊晶源極/汲極區 92A 及第三磊晶源極/汲極區 92C 可設置於第一閘極電極 102 之相對側處,且第二磊晶源極/汲極區 92B 及第四源極/汲極區 92D 亦可設置於第一閘極電極 102 的相對側處。

【0109】 第 32D 圖例示階層 L_0 及 L_1 處的平面圖,其中階層 L_1 包括將磊晶源極/汲極區 92 電連接至前側互連結構 120 的源極/汲極觸點 112 及將閘極電極 102 電連接至前側互連結構 120 的閘極觸點 114。構成階層 L_1 之其他特徵,諸如第二層間介電質 106 已被省略以提供階層 L_0 的更清楚視圖。

【0110】 第 32E 圖例示階層 L_0 、 L_1 及 L_N 處的平面圖,其中階層 L_N 表示前側互連結構 120 的一或多個層同時省略特定佈線的一些細節。第一導電特徵 122 可直接耦接至下伏源極/汲極觸點 112,或經由電插入於之間的其他特徵間接耦接至下伏源極/汲極觸點。第一導電特徵 122 可進一步

包含虛設第一導電特徵 122_D。儘管三個功能第一導電特徵 122 予以例示，但熟習此項技術者應理解，磊晶源極/汲極區 92 可經由源極/汲極觸點 112 電連接至前側互連結構 120 中多於或少於彼等三個功能第一導電特徵 122 的功能第一導電特徵。三個第一導電特徵 122 中之每一者可經電連接以遞送信號至磊晶源極/汲極區 92。

【0111】 第 32F 圖至第 32H 圖例示電晶體結構 109 上方背側互連結構 140 分別在階層 L₋₁、L₋₂ 及 L_{-N} 處的平面圖。第 32F 圖例示處於階層 L₀ 及 L₋₁ 的平面圖，其中階層 L₋₁ 包括電連接至磊晶源極/汲極區 92 中之每一者的背側通孔 130。可構成階層 L₋₁ 之其他特徵，諸如淺溝槽隔離區 68 已被省略以提供階層 L₀ 的更清楚視圖。

【0112】 第 32G 圖例示處於階層 L₀、L₋₁ 及 L₋₂ 的平面圖，其中階層 L₋₂ 包括電連接至背側通孔 130 的導電接線 133。構成階層 L₋₂ 之其他特徵，諸如第二介電層 132A 已被省略以便提供階層 L₋₁ 及 L₀ 的更清楚視圖。

【0113】 第 32H 圖例示階層 L₀、L₋₁、L₋₂ 及 L_{-N} 處之平面圖，其中階層 L_{-N} 包括導電接線(例如，導電接線 135)之一或多個額外層，諸如信號接線 135S 及電源軌 135P，該一或多個額外層經由導電通孔 134 電連接至導電接線 133 (未獨立例示)。構成階層 L_{-N} 之其他特徵，諸如第二介電層 132B 已被省略以提供階層 L₋₂、L₋₁ 及 L₀ 的更清楚視圖。如第 32A 圖及第 32H 圖中所例示，第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 可經由背側

互連結構 140 耦接至電源軌 135P，該電源軌可經由例如外部連接器 148 (未獨立例示) 耦接至 V_{DD} 或 V_{SS} 電壓。此外，第三磊晶源極/汲極區 92C 及第四磊晶源極/汲極區 92D 可經由背側互連結構 140 耦接至信號接線 135S，這些信號接線可經由背側互連結構 140 耦接至積體電路晶粒的其他設備，如上文所論述。

【0114】 第 33A 圖至第 34C 圖例示用於經由背側互連結構 140 將電晶體結構 109 之陣列電連接至信號接線及電源軌的額外實例。舉例而言，第 33A 圖至第 33C 圖例示藉由將具有同一導電類型之設備 (例如，p 型金氧半導體裝置或 n 型金氧半導體裝置) 耦接至彼此經由背側互連結構 140 的汲極至汲極至汲極信號連接，且第 34A 圖至第 34C 圖例示藉由耦接具有相對導電類型之設備 (例如，p 型金氧半導體裝置至 n 型金氧半導體裝置) 經由背側互連結構 140 的汲極至汲極信號連接。請注意，例示於第 33A 圖至第 34C 圖中之佈局中的一些或全部可形成於同一積體電路晶粒內。

【0115】 第 33A 圖例示電晶體結構 109 之陣列及前側互連結構 120 的平面圖，且第 33B 圖例示電晶體結構 109 之陣列及背側互連結構 140 的平面圖。在各種導電特徵中，前側互連結構 120 包含耦接具有相對導電類型之兩個電晶體結構 109 以形成 p-n 介面 (例如，n 型及 p 型) 的齊納二極體 (zener diode) 170。第 33C 圖例示針對描繪於第 33A 圖及第 33B 圖中之電晶體結構 109 的電路佈局圖，

包括經由前側互連結構 120 及背側互連結構 140 的電源軌 135 P/VDD 及 135 P/VSS 以及信號接線(例如,第一導電特徵 122 及信號接線 135 S)。

【0116】 如第 33 B 圖及第 33 C 圖中所例示,第一磊晶源極/汲極區 92 A、第二磊晶源極/汲極區 92 B 及第三磊晶源極/汲極區 92 C(運用箭頭指示為藉由本文中描述之其他特徵覆蓋的區)可經由背側互連結構 140 耦接至彼此。詳言之,背側通孔 130 將磊晶源極/汲極區 92 A/92 B/92 C 耦接至導電接線 133,且導電通孔 134 將彼等導電接線 133 耦接至信號接線 135 S。如進一步例示,經由背側互連結構 140,第四磊晶源極/汲極區 92 X、第五磊晶源極/汲極區 92 Y 及第六磊晶源極/汲極區 92 Z 耦接至導電接線 135 的電源軌 135 P。詳言之,第四磊晶源極/汲極區 92 X 耦接至正電壓電源軌 135 P/VDD,而第五磊晶源極/汲極區 92 Y 及第六磊晶源極/汲極區 92 Z 耦接至接地電壓電源軌 135 P/VSS。

【0117】 第 34 A 圖亦例示電晶體結構 109 之陣列及前側互連結構 120 的平面圖,且第 34 B 圖例示電晶體結構 109 之陣列及背側互連結構 140 的平面圖。在各種導電接線中,背側互連結構 140 包含耦接具有相對導電類型之兩個電晶體結構 109 以形成 p-n 接面的齊納二極體 170。第 34 C 圖例示針對描繪於第 34 A 圖及第 34 B 圖中之電晶體結構 109 的電路佈局圖,包括經由前側互連結構 120 及背側互連結構 140 的電源軌 135 P/VDD 及 135 P/VSS 以及信

號接線(例如,第一導電特徵 122 及信號接線 135S)。

【0118】 如第 34B 圖及第 34C 圖中所例示,第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B (運用箭頭指示為藉由本文中描述之其他特徵覆蓋的區)可經由背側互連結構 140 耦接至彼此。詳言之,背側通孔 130 將彼等磊晶源極/汲極區 92A/92B 耦接至導電接線 133,且導電通孔 134 將彼等導電接線 133 耦接至信號接線 135S(例如,齊納二極體 170)。如進一步所例示,經由背側互連結構 140,第三磊晶源極/汲極區 92X、第四磊晶源極/汲極區 92Y 及第五磊晶源極/汲極區 92Z 耦接至導電接線 135 的電源軌 135P。詳言之,第三磊晶源極/汲極區 92X 耦接至正電壓電源軌 135P/VDD,而第四磊晶源極/汲極區 92Y 及第五磊晶源極/汲極區 92Z 耦接至接地電壓電源軌 135P/VSS。

【0119】 在電連接至前側互連結構 120 及背側互連結構 140 的電晶體陣列中,電晶體結構 109(例如,磊晶源極/汲極區 92 及/或閘極電極 102)可在本文中並未具體描述或例示之多種路徑中進行佈線。熟習此項技術者將認識到用於耦接前側互連結構 120 及背側互連結構 140 以協調至電晶體結構 109 之電源接線及信號接線的許多變化。

【0120】 實施例可達成優勢。舉例而言,在背側互連結構中包括信號接線及電源接線允許經由前側互連結構及背側互連結構兩者的積體電路連接中的更大多功能性,此情形改良設備效能。詳言之,更寬導電接線及導電特徵可增大電

信號的可靠性及產量。此外，如上文所描述，經由信號區佈線背側互連結構至信號接線且經由電源區佈線背側互連結構至電源軌藉由使區之間的寄生電容最小化來改良設備的效能。此外，在形成信號接線及電源軌之前形成導電接線的一或多個階層增大背側互連結構之佈線的複雜性及電路密度。由於此等益處，半導體裝置可在較小區中且以增大之密度形成。

【0121】 在一實施例中，一種形成一結構的方法包括：在第一基板上方形形成一第一電晶體及一第二電晶體；在該第一電晶體及該第二電晶體上方形成一前側互連結構；蝕刻該第一基板之至少一背側以暴露該第一電晶體及該第二電晶體；形成一第一背側通孔，該第一背側通孔電連接至該第一電晶體；形成一第二背側通孔，該第二背側通孔電連接至該第二電晶體；在該第一背側通孔及該第二背側通孔上方沈積一介電層；在該介電層中形成一第一導電接線，該第一導電接線為經由該第一背側通孔電連接至該第一電晶體的一電源軌；及於該介電層中形成一第二導電接線，該第二導電接線為經由該第二背側通孔電連接至該第二電晶體的一信號接線。在另一實施例中，該方法進一步包括在該第一背側通孔上方形成一第三導電接線，該第三導電接線電連接該第一背側通孔及該第一導電接線；及在該第二背側通孔上方形成一第四導電接線，該第四導電接線電連接該第二背側通孔及該第二導電接線。在另一實施例中，該第一導電接線電連接至該第一電晶體的一源極/汲極區，

且其中該第二導電接線電連接至該第二電晶體的一源極/汲極區。在另一實施例中，該方法進一步包括在該第一基板上方形形成一第三電晶體的步驟，該第三電晶體的一閘極結構電連接至該第二導電接線。在另一實施例中，該方法進一步包括在該第一基板上方形形成一第三電晶體的步驟，該第三電晶體的一源極/汲極區電連接至該第二導電接線。在另一實施例中，該方法進一步包括在該第一背側通孔上方方形形成一第三導電接線的步驟，該第三導電接線電插入於該第一背側通孔與該第二導電接線之間。在另一實施例中，該方法進一步包括在該第一導電接線上方方形形成一第四導電接線的步驟，該第四導電接線電連接至該第一電晶體。在另一實施例中，該方法進一步包括在該第四導電接線上方方形形成一焊球下金屬的步驟；及在該焊球下金屬上方方形形成一外部連接器的步驟。

【0122】 在一實施例中，一種半導體裝置包括：嵌入於一第一介電層中的一電源軌；嵌入於該第一介電層中的一導電信號接線；一第二介電層，該第二介電層設置於該第一介電層上方；一第一背側通孔，該第一背側通孔設置於該電源軌上方且電連接至該電源軌；一第一電晶體，該第一電晶體設置於該第一背側通孔上方且電連接至該第一背側通孔；一第一閘極觸點，該第一閘極觸點設置於該第一電晶體的一第一閘極電極上方且電連接至該第一閘極電極；一第二背側通孔，該第二背側通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第二電晶體，該第二

電晶體設置於該第二背側通孔上方且電連接至該第二背側通孔。在另一實施例中，該第一背側通孔電連接至該第一電晶體的一第一源極/汲極區。在另一實施例中，該第二背側通孔電連接至該第二電晶體的一第二源極/汲極區。在另一實施例中，該半導體裝置進一步包括：一第三背側通孔，該第三背側通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第三電晶體，該第三電晶體設置於該第三背側通孔上方且電連接至該第三背側通孔。在另一實施例中，該半導體裝置進一步包括：嵌入於該第二介電層中的一第三通孔，該第三通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第三導電接線，該第三導電接線電連接該第三通孔及該第三背側通孔。在另一實施例中，該第一電晶體的一源極/汲極區電連接至該第三電晶體的一閘極電極。在另一實施例中，該第一電晶體的一源極/汲極區電連接至該第三電晶體的一源極/汲極區。在另一實施例中，該第一電晶體之該源極/汲極區及該第三電晶體的該源極/汲極區係在該導電信號接線的相對側上。

【0123】 在一實施例中，一種半導體裝置包括：一第一電晶體及一第二電晶體，該第一電晶體及該第二電晶體設置於一第一互連結構上方；一第一通孔，該第一通孔設置於該第一電晶體上方且電連接至該第一電晶體；一第二通孔，該第二通孔設置於該第二電晶體上方且電連接至該第二電晶體；及一第二互連結構，該第二互連結構設置於該第一電晶體及該第二電晶體上方，該第二互連結構包括：嵌入

於一第一介電層中的一第一導電接線，該第一導電接線電連接至該第一通孔；一第二導電接線，該第二導電接線嵌入於該第一介電層中，該第二導電接線電連接至該第二通孔；一第二介電層，該第二介電層設置於該第一介電層上方；一電源軌，該電源軌嵌入於該第二介電層中，該電源軌電連接至該第一導電接線；及一導電信號接線，該導電信號接線嵌入於該第二介電層中，該導電信號接線電連接至該第二導電接線。在另一實施例中，該半導體裝置進一步包括：一第三電晶體；一第三通孔，該第三通孔設置於該第三電晶體上方且電連接至該第三電晶體；及一第四導電接線，該第四導電接線嵌入於該第一介電層中，該第四導電接線電連接至該導電信號接線。在另一實施例中，該半導體裝置進一步包括：一第四電晶體；一第四通孔，該第四通孔設置於該第四電晶體上方且電連接至該第四電晶體；及一第五導電接線，該第五導電接線嵌入於該第一介電層中，該第五導電接線電連接至該導電信號接線。在另一實施例中，該第一電晶體之一源極/汲極區、該第三電晶體之一源極/汲極區及該第四電晶體之一源極/汲極區經電連接。

【0124】 前述內容概述若干實施例之特徵，使得熟習此項技術者可更佳地理解本揭露之態樣。熟習此項技術者應瞭解，其可易於使用本揭露作為用於設計或修改用於實施本文中引入之實施例之相同目的及/或達成相同優勢之其他製程及結構的基礎。熟習此項技術者亦應認識到，此類等效構

造並不偏離本揭露之精神及範疇，且此類等效構造可在本文中進行各種改變、取代及替代而不偏離本揭露的精神及範疇。

【符號說明】

【0125】

2 0	:	分隔器
5 0	:	基板
5 0 N	:	n 型區
5 0 P	:	p 型區
5 1 、 5 1 A - 5 1 C	:	第一半導體層
5 2 、 5 2 A - 5 2 C	:	第一奈米結構
5 3 、 5 3 A - 5 3 C	:	第二半導體層
5 4 、 5 4 A - 5 4 C	:	第二奈米結構
5 5	:	奈米結構
6 0	:	虛設閘極介電質
6 4	:	多層堆疊
6 6	:	鱗片
6 8	:	淺溝槽隔離區
7 0	:	虛設介電層
7 1	:	虛設閘極介電質
7 2	:	虛設閘極層
7 4	:	罩幕層
7 6	:	虛設閘極
7 8	:	罩幕

- 8 0 : 第一間隔物層
- 8 1 : 第一間隔物
- 8 2 : 第二間隔物層
- 8 3 : 第二間隔物
- 8 6 : 第一凹部
- 8 7 : 第二凹部
- 8 8 : 側壁凹部
- 9 0 : 第一內部間隔物
- 9 1 : 第一磊晶材料
- 9 2 : 磊晶源極 / 汲極區
- 9 2 A : 第一半導體材料層、第一
磊晶源極 / 汲極區、磊晶源極 / 汲極區
- 9 2 B : 第二半導體材料層、第二
磊晶源極 / 汲極區、磊晶源極 / 汲極區
- 9 2 C : 第三半導體材料層、第三
磊晶源極 / 汲極區、磊晶源極 / 汲極區
- 9 2 D : 第四磊晶源極 / 汲極區、磊
晶源極 / 汲極區
- 9 2 X : 第四磊晶源極 / 汲極區、第
三磊晶源極 / 汲極區
- 9 2 Y : 第五磊晶源極 / 汲極區、第
四磊晶源極 / 汲極區
- 9 2 Z : 第六磊晶源極 / 汲極區、第
五磊晶源極 / 汲極區

9 4	:	接觸蝕刻終止層
9 6	:	第一層間介電質
9 8	:	第三凹部
1 0 0	:	閘極介電層
1 0 2	:	閘極電極
1 0 2 B	:	閘極電極
1 0 3	:	閘極結構
1 0 3 B	:	閘極結構
1 0 4	:	閘極罩幕
1 0 6	:	第二層間介電質
1 0 8	:	第四凹部
1 0 9	:	電晶體結構
1 0 9 A	:	第一電晶體結構
1 0 9 B	:	第二電晶體結構
1 1 0	:	第一矽化物區
1 1 2	:	源極 / 汲極觸點
1 1 4	:	閘極觸點
1 2 0	:	前側互連結構
1 2 2	:	第一導電特徵
1 2 2 _D	:	虛設第一導電特徵
1 2 4	:	第一介電層
1 2 5	:	第二介電層
1 2 8	:	第五凹部
1 2 9	:	第二矽化物區

1 3 0	:	背側通孔
1 3 0 A	:	第一背側通孔
1 3 0 B	:	第二背側通孔
1 3 2	:	第二介電層
1 3 2 A	:	第二介電層
1 3 2 B	:	第二介電層
1 3 2 C	:	第二介電層
1 3 3	:	導電接線
1 3 3 A	:	第一導電接線
1 3 3 B	:	第二導電接線
1 3 4	:	導電通孔
1 3 4 A	:	第一導電通孔
1 3 4 B	:	第二導電通孔
1 3 5	:	導電接線
1 3 5 S	:	信號接線
1 3 5 P	:	電源軌
1 3 6	:	導電通孔
1 3 7	:	導電接線
1 4 0	:	背側互連結構
1 4 0 S	:	信號區
1 4 0 P	:	電源區
1 4 4	:	鈍化層
1 4 6	:	焊球下金屬
1 4 8	:	外部連接器

1 5 0	:	載體基板
1 5 2	:	接合層
1 5 2 A	:	第一接合層
1 5 2 B	:	第二接合層
1 6 0	:	分隔器
1 6 1	:	混合式鱗片
1 6 4	:	背側閘極通孔
1 7 0	:	齊納二極體
A - A '	:	橫截面
B - B '	:	橫截面
C - C '	:	橫截面
L ₀	:	階層
L ₁	:	階層
L _N	:	階層
L ₋₁	:	階層
L ₋₂	:	階層
L _{-N}	:	階層

【發明申請專利範圍】

【請求項 1】一種形成一結構之方法，該方法包含以下步驟：

在一第一基板上方形成一第一電晶體及一第二電晶體；

在該第一電晶體及該第二電晶體上方形成一前側互連結構；

蝕刻該第一基板之至少一背側以暴露該第一電晶體及該第二電晶體；

形成一第一背側通孔，該第一背側通孔電連接至該第一電晶體；

形成一第二背側通孔，該第二背側通孔電連接至該第二電晶體；

在該第一背側通孔及該第二背側通孔上方沈積一介電層；

在該介電層中形成一第一導電接線，該第一導電接線為經由該第一背側通孔電連接至該第一電晶體的一電源軌；

及

於該介電層中形成一第二導電接線，該第二導電接線為經由該第二背側通孔電連接至該第二電晶體的一信號接線。

【請求項 2】如請求項 1 所述之方法，進一步包含以下步驟：

在該第一背側通孔上方形成一第三導電接線，該第三導

電接線電連接該第一背側通孔及該第一導電接線；及

在該第二背側通孔上方形成一第四導電接線，該第四導電接線電連接該第二背側通孔及該第二導電接線。

【請求項 3】如請求項 1 所述之方法，其中該第一導電接線電連接至該第一電晶體的一源極/汲極區，且其中該第二導電接線電連接至該第二電晶體的一源極/汲極區。

【請求項 4】如請求項 3 所述之方法，進一步包含以下步驟：在該第一基板上方形形成一第三電晶體，該第三電晶體的一閘極結構電連接至該第二導電接線。

【請求項 5】如請求項 3 所述之方法，進一步包含以下步驟：在該第一基板上方形形成一第三電晶體，該第三電晶體的一源極/汲極區電連接至該第二導電接線。

【請求項 6】如請求項 1 所述之方法，進一步包含以下步驟：在該第一背側通孔上方形成一第三導電接線，該第三導電接線電插入於該第一背側通孔與該第二導電接線之間。

【請求項 7】如請求項 1 所述之方法，進一步包含以下步驟：在該第一導電接線上方形形成一第四導電接線，該第四導電接線電連接至該第一電晶體。

【請求項 8】如請求項 7 所述之方法，進一步包含以下步驟：

在該第四導電接線上方形成一焊球下金屬 (UBM)；及在該 UBM 上方形成一外部連接器。

【請求項 9】一種半導體裝置，包含：

嵌入於一第一介電層中的一電源軌；

嵌入於該第一介電層中的一導電信號接線；

一第二介電層，該第二介電層設置於該第一介電層上方；

一第一背側通孔，該第一背側通孔設置於該電源軌上方且電連接至該電源軌；

一第一電晶體，該第一電晶體設置於該第一背側通孔上方且電連接至該第一背側通孔；

一第一閘極觸點，該第一閘極觸點設置於該第一電晶體的一第一閘極電極上方且電連接至該第一閘極電極；

一第二背側通孔，該第二背側通孔設置於該導電信號接線上方且電連接至該導電信號接線；及

一第二電晶體，該第二電晶體設置於該第二背側通孔上方且電連接至該第二背側通孔。

【請求項 10】如請求項 9 所述之半導體裝置，其中該第一背側通孔電連接至該第一電晶體的一第一源極 / 汲極區。

【請求項 11】如請求項 9 所述之半導體裝置，其中該第二背側通孔電連接至該第二電晶體的一第二源極/汲極區。

【請求項 12】如請求項 9 所述之半導體裝置，進一步包含：
一第三背側通孔，該第三背側通孔設置於該導電信號接線上方且電連接至該導電信號接線；及
一第三電晶體，該第三電晶體設置於該第三背側通孔上方且電連接至該第三背側通孔。

【請求項 13】如請求項 12 所述之半導體裝置，進一步包含：
嵌入於該第二介電層中的一第三通孔，該第三通孔設置於該導電信號接線上方且電連接至該導電信號接線；及
一第三導電接線，該第三導電接線電連接該第三通孔及該第三背側通孔。

【請求項 14】如請求項 12 所述之半導體裝置，其中該第一電晶體的一源極/汲極區電連接至該第三電晶體的一閘極電極。

【請求項 15】如請求項 12 所述之半導體裝置，其中該第一電晶體的一源極/汲極區電連接至該第三電晶體的一源極/汲極區。

【請求項 16】如請求項 15 所述之半導體裝置，其中該第一電晶體之該源極/汲極區及該第三電晶體的該源極/汲極區係在該導電信號接線的相對側上。

【請求項 17】一種半導體裝置，包含：

一第一電晶體及一第二電晶體，該第一電晶體及該第二電晶體設置於一第一互連結構上方；

一第一通孔，該第一通孔設置於該第一電晶體上方且電連接至該第一電晶體；

一第二通孔，該第二通孔設置於該第二電晶體上方且電連接至該第二電晶體；及

一第二互連結構，該第二互連結構設置於該第一電晶體及該第二電晶體上方，該第二互連結構包含：

嵌入於一第一介電層中的一第一導電接線，該第一導電接線電連接至該第一通孔；

一第二導電接線，該第二導電接線嵌入於該第一介電層中，該第二導電接線電連接至該第二通孔；

一第二介電層，該第二介電層設置於該第一介電層上方；

一電源軌，該電源軌嵌入於該第二介電層中，該電源軌電連接至該第一導電接線；及

一導電信號接線，該導電信號接線嵌入於該第二介電層中，該導電信號接線電連接至該第二導電接線。

【請求項 18】如請求項 17 所述之半導體裝置，進一步包含：

一第三電晶體；

一第三通孔，該第三通孔設置於該第三電晶體上方且電連接至該第三電晶體；及

一第四導電接線，該第四導電接線嵌入於該第一介電層中，該第四導電接線電連接至該導電信號接線。

【請求項 19】如請求項 18 所述之半導體裝置，進一步包含：

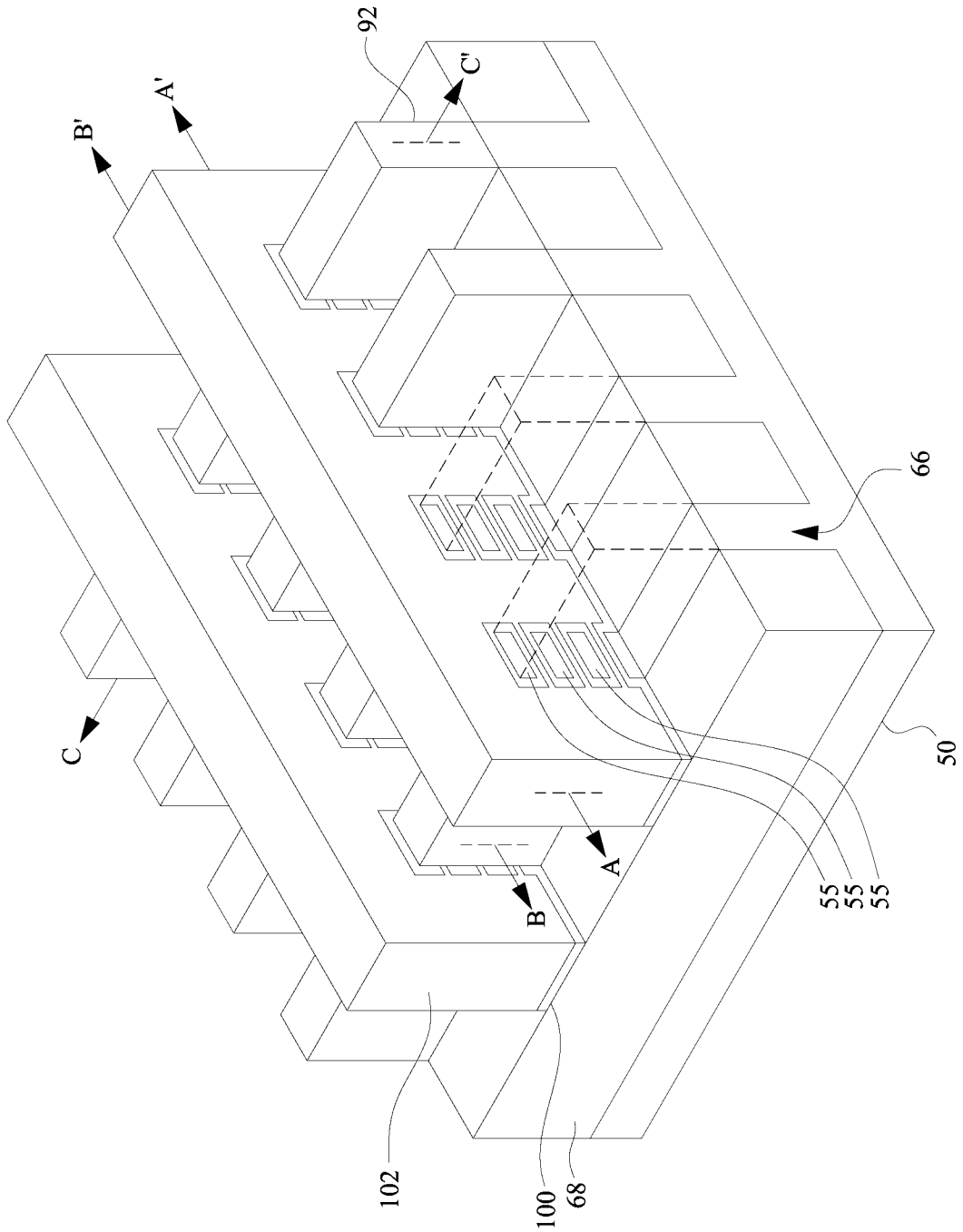
一第四電晶體；

一第四通孔，該第四通孔設置於該第四電晶體上方且電連接至該第四電晶體；及

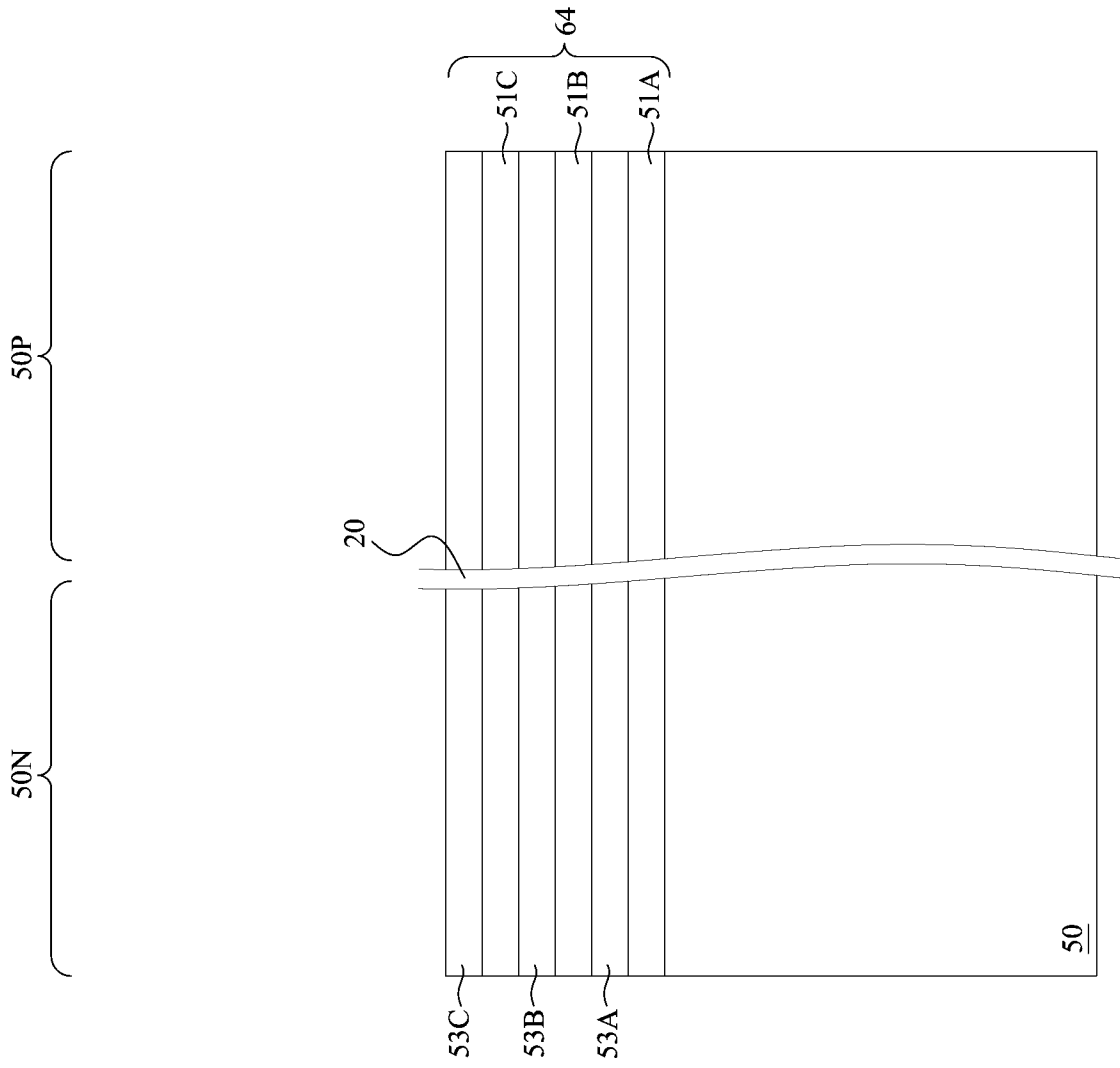
一第五導電接線，該第五導電接線嵌入於該第一介電層中，該第五導電接線電連接至該導電信號接線。

【請求項 20】如請求項 19 所述之半導體裝置，其中該第一電晶體之一源極/汲極區、該第三電晶體之一源極/汲極區及該第四電晶體之一源極/汲極區經電連接。

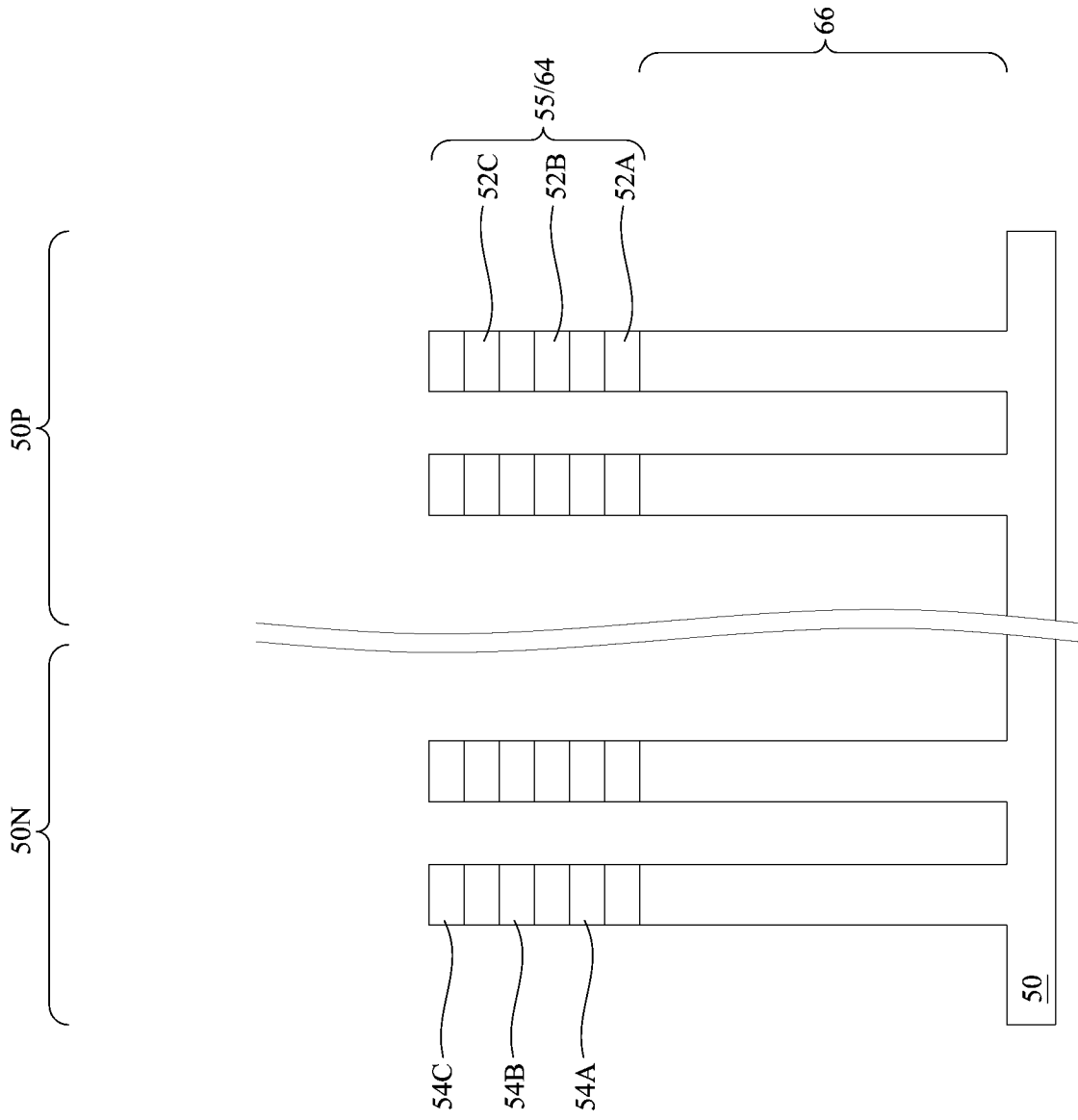
【發明圖式】



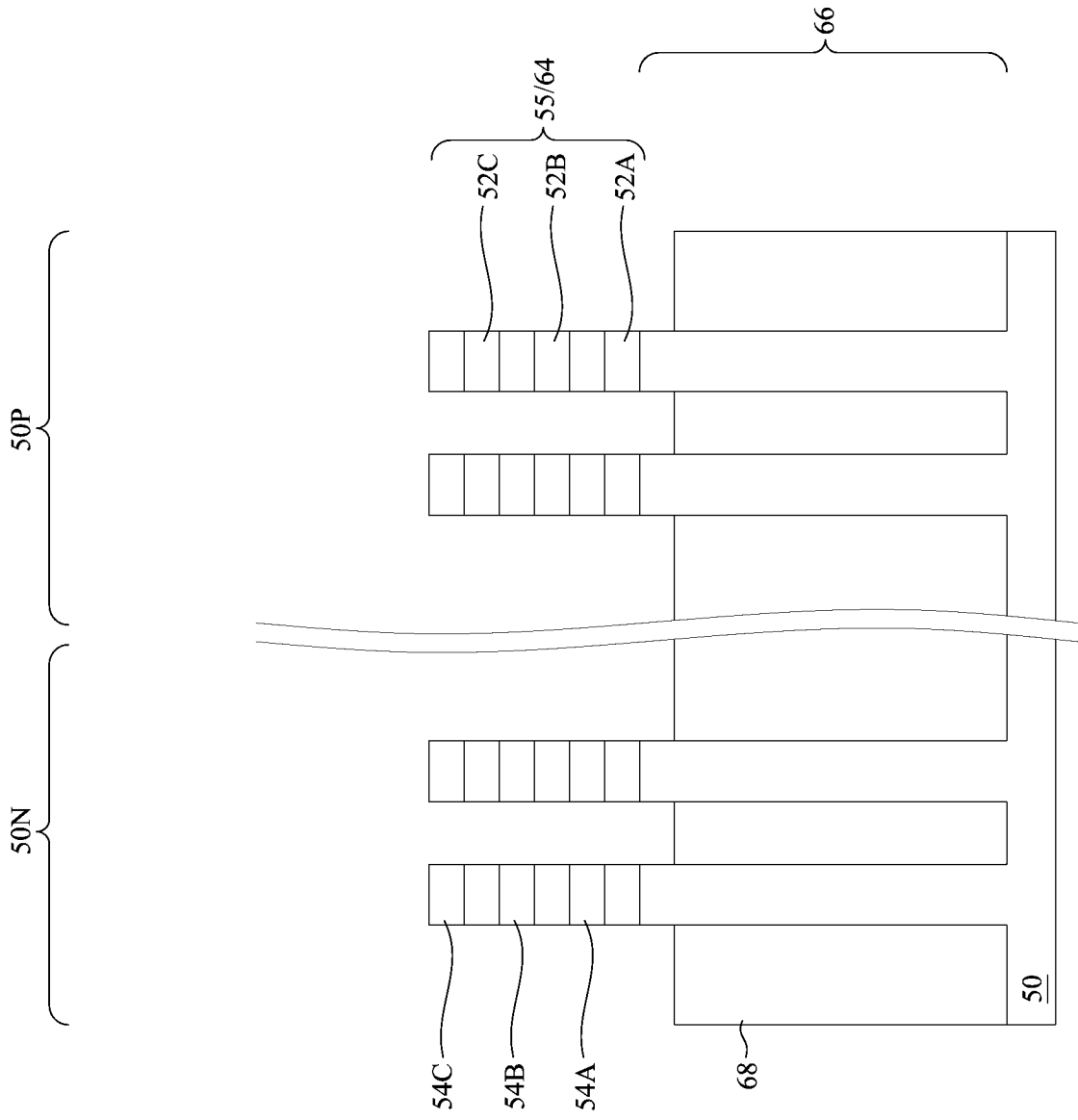
第 1 圖



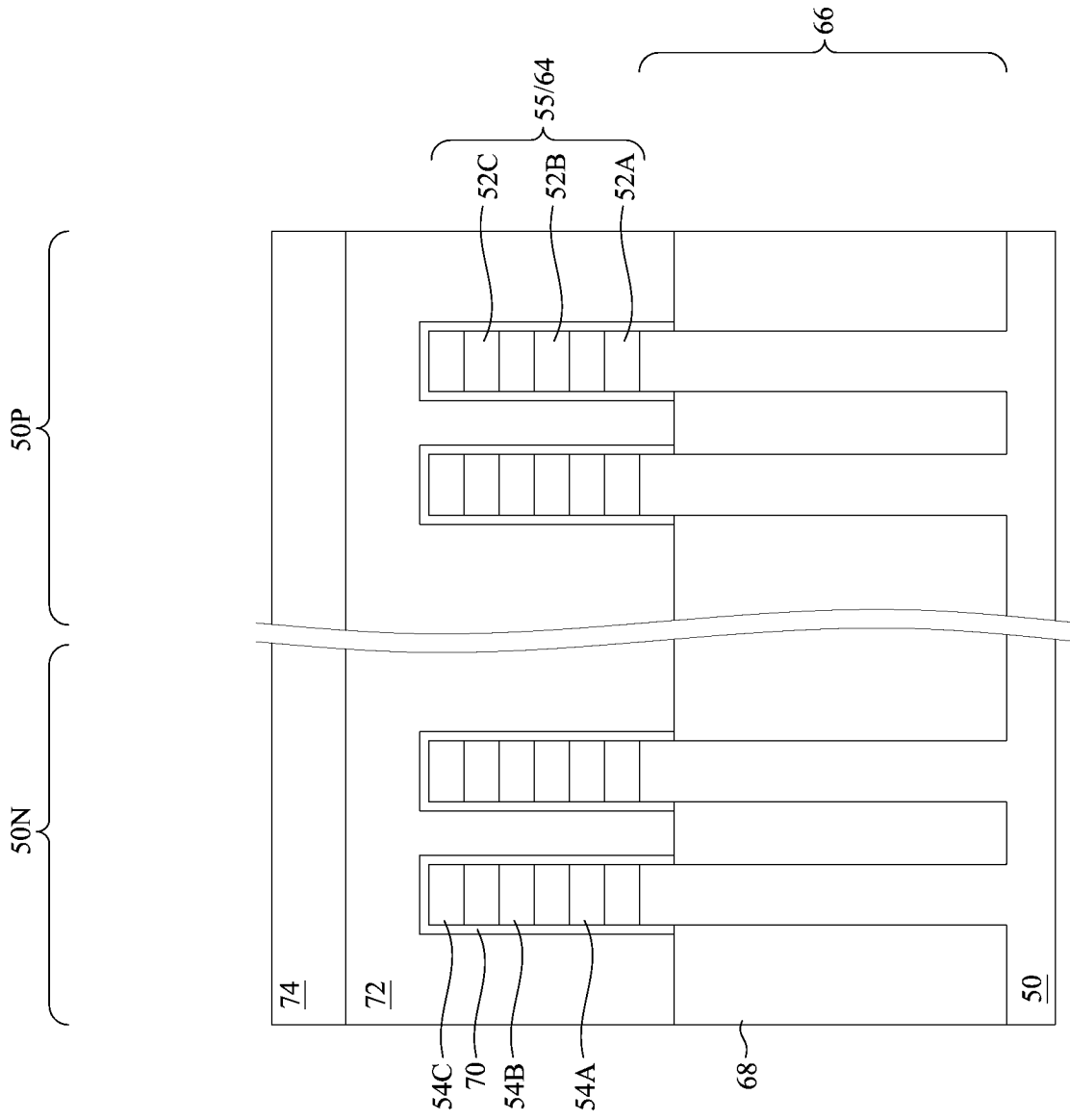
第 2 圖



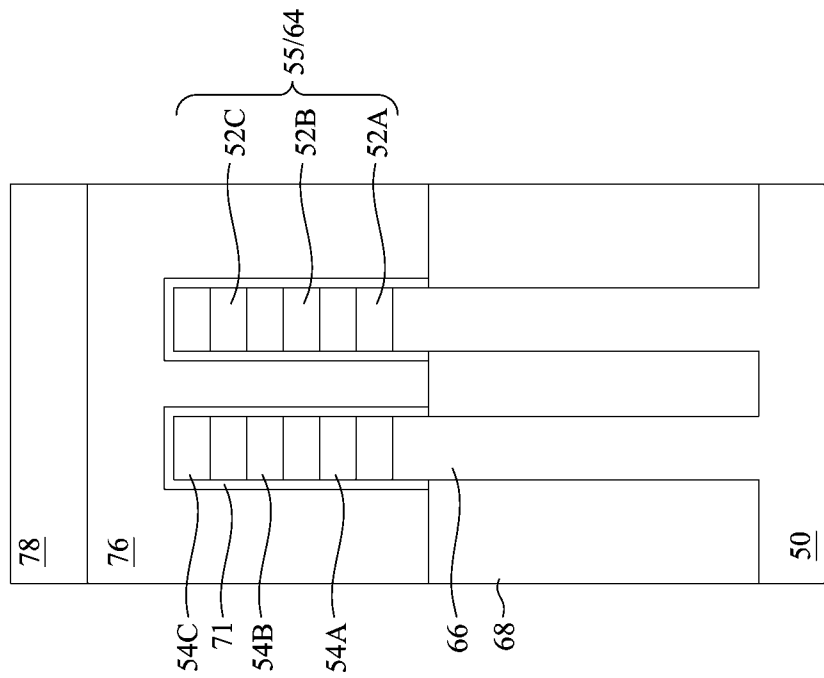
第 3 圖



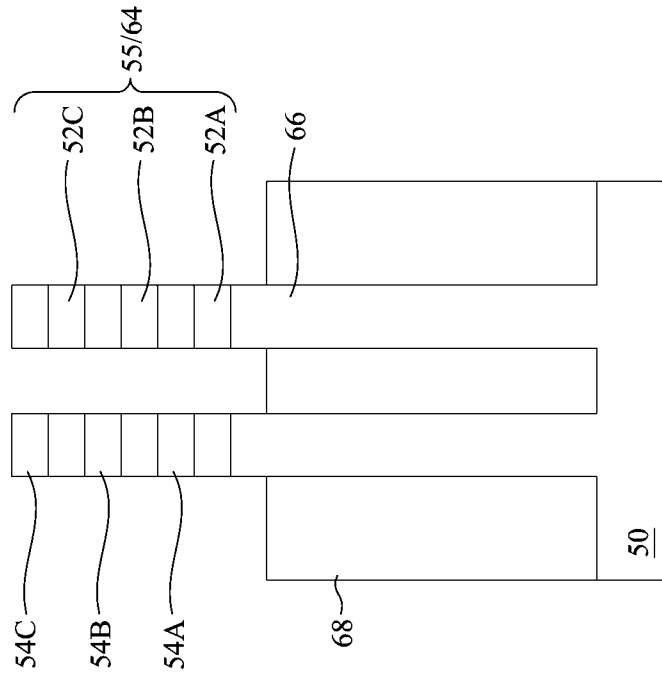
第 4 圖



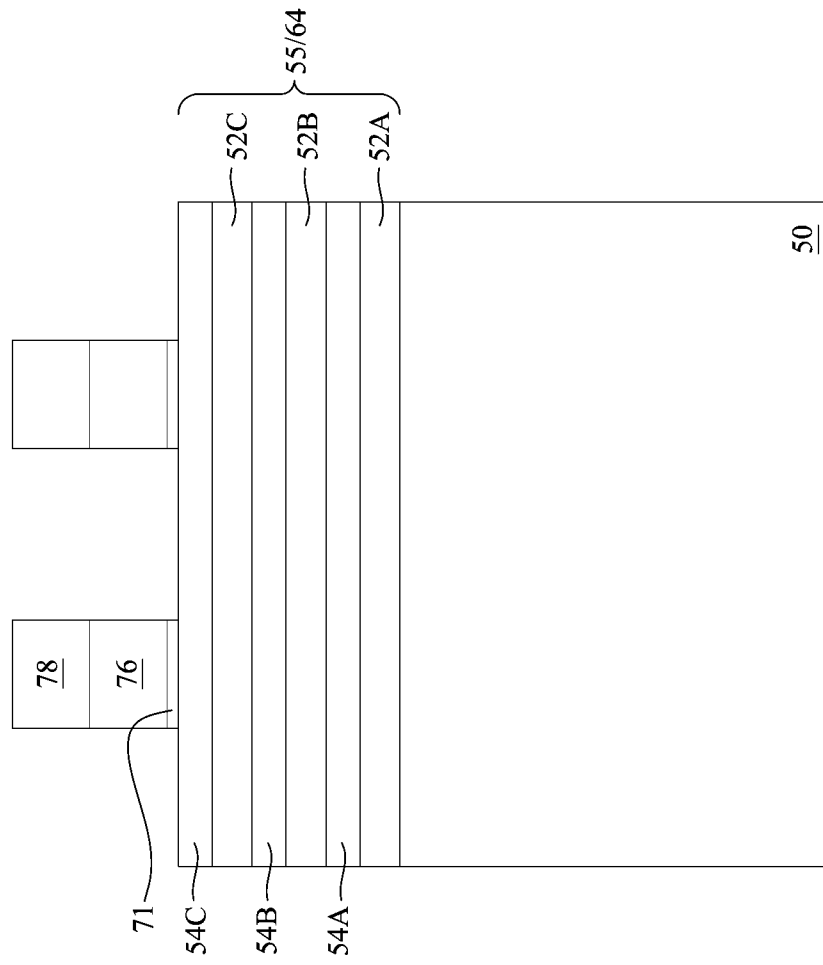
第 5 圖



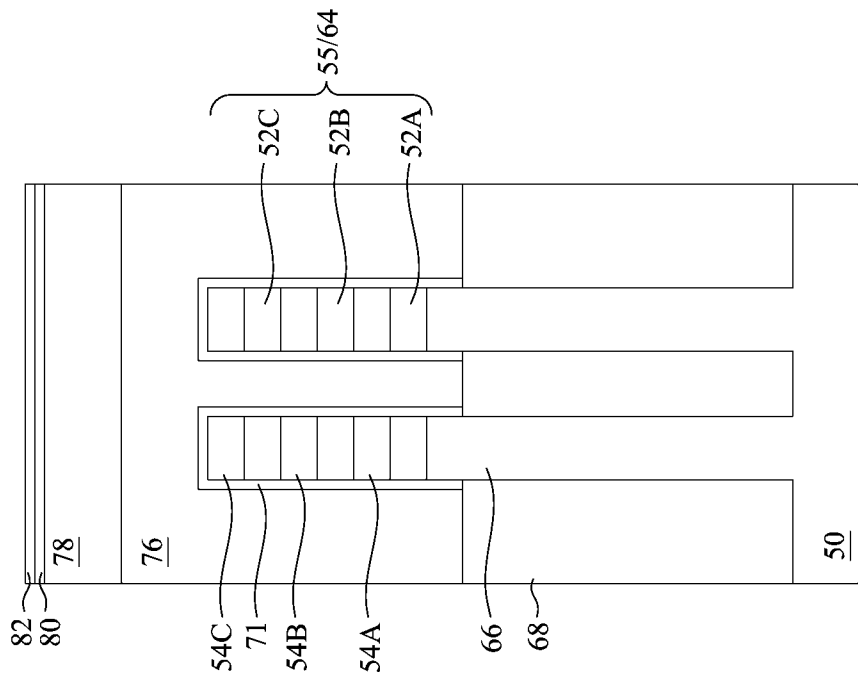
第6A圖



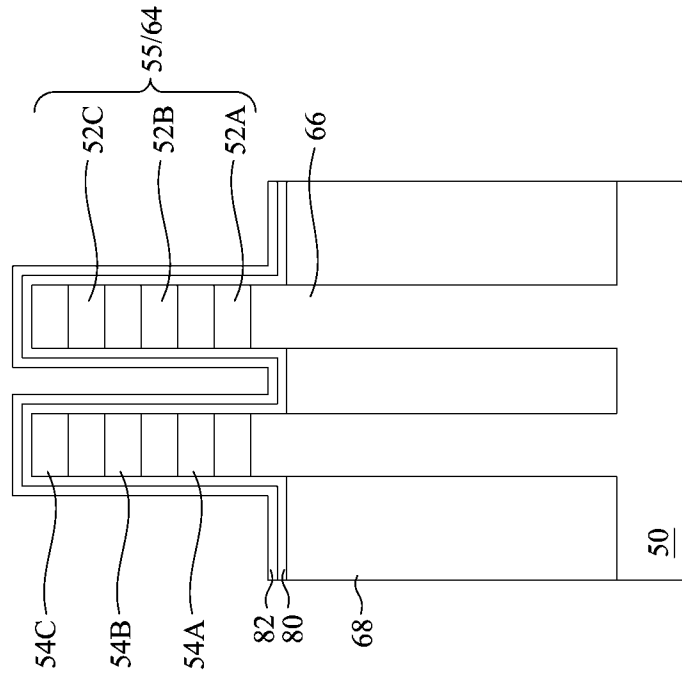
第6B圖



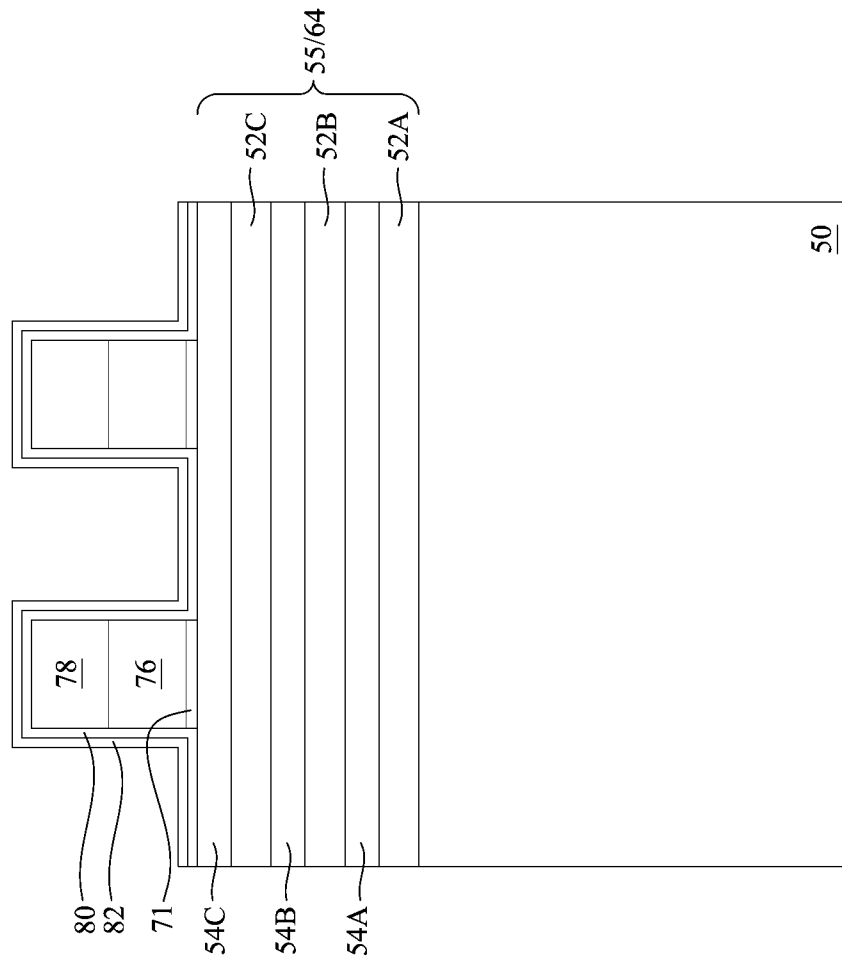
第 6C 圖



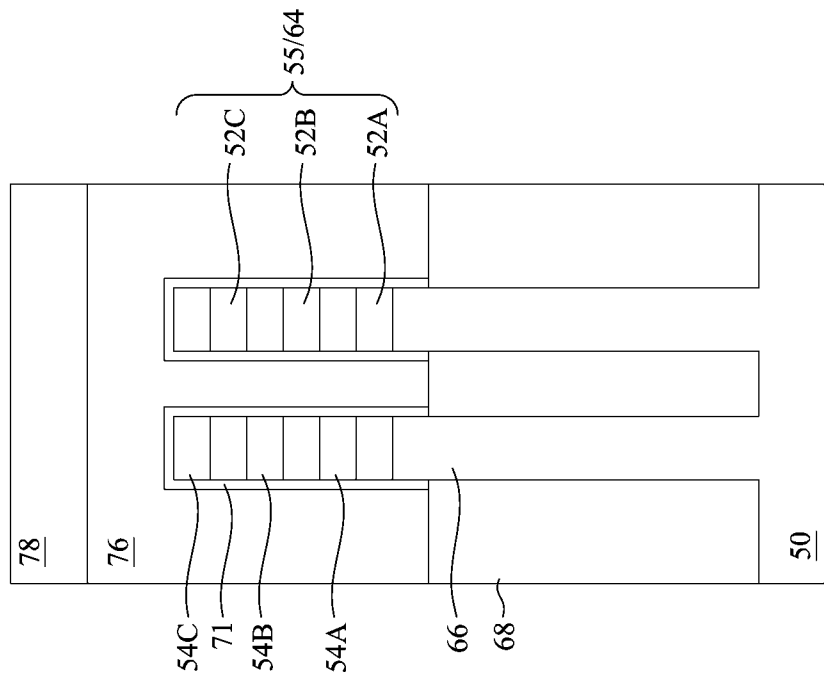
第7A圖



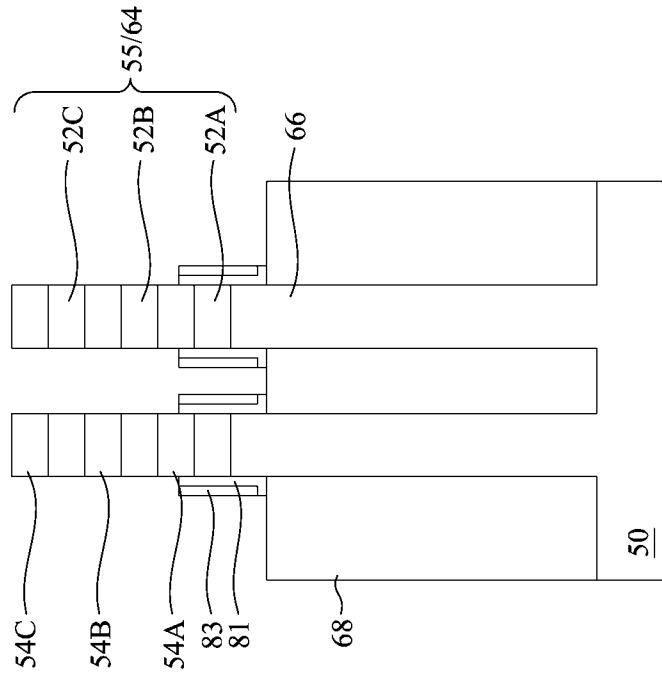
第7B圖



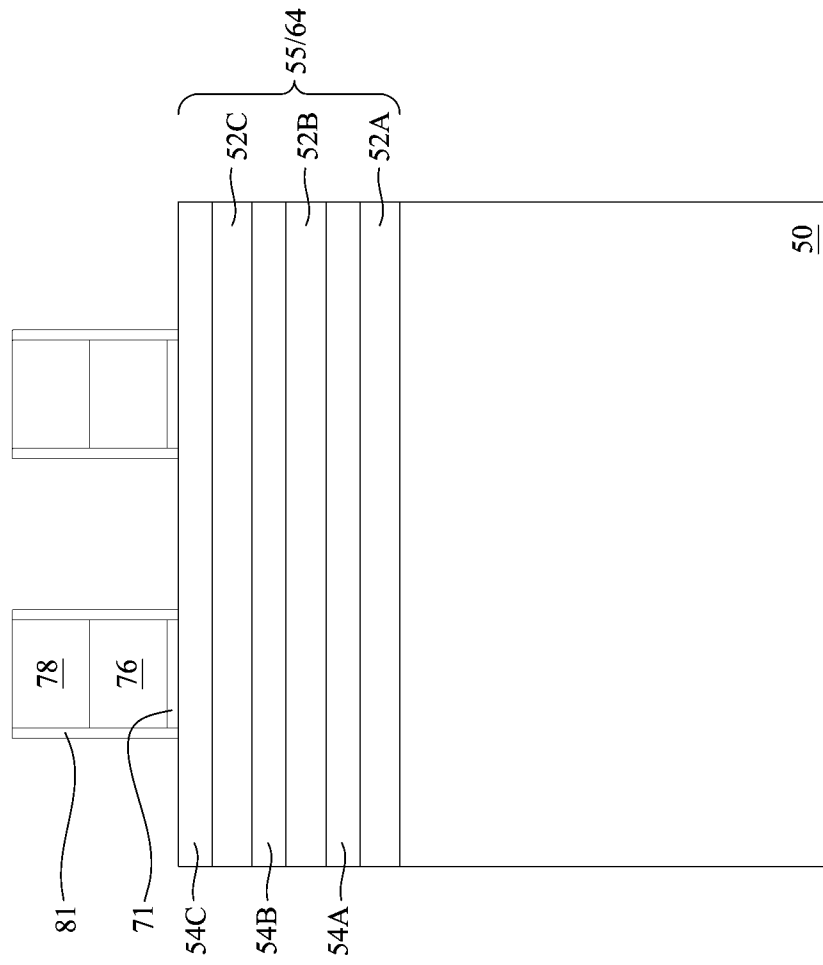
第 7C 圖



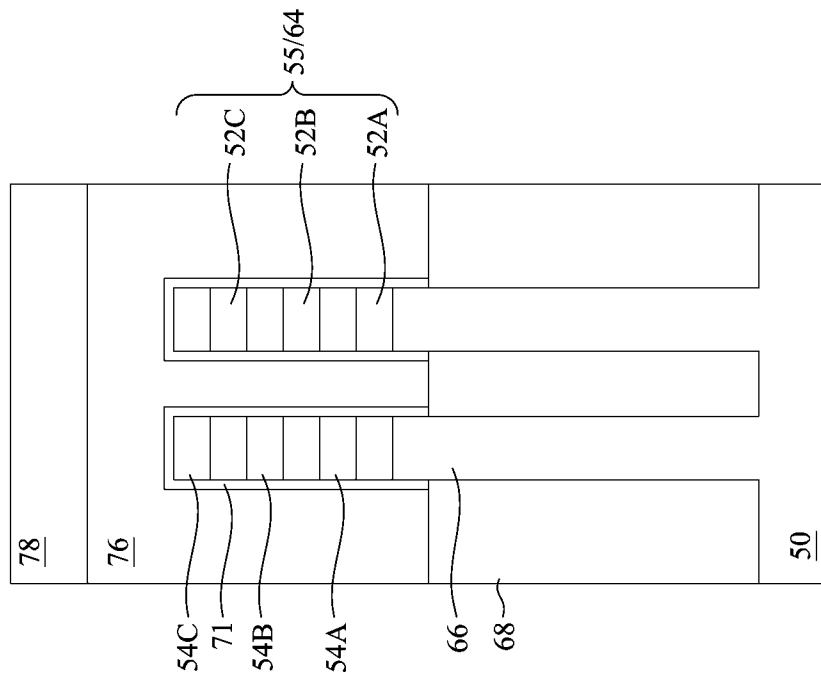
第 8A 圖



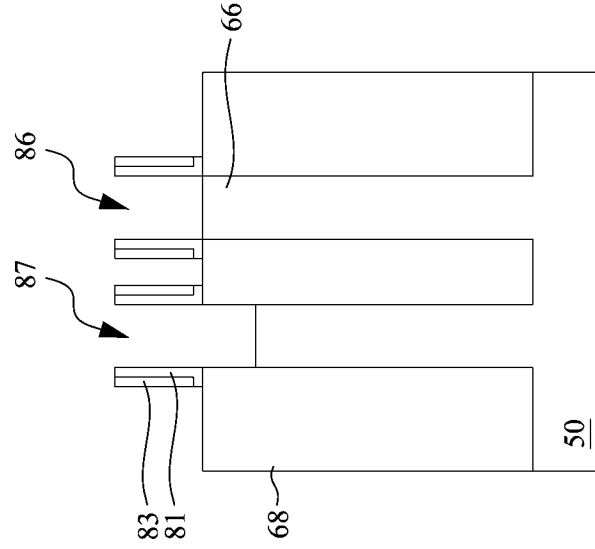
第 8B 圖



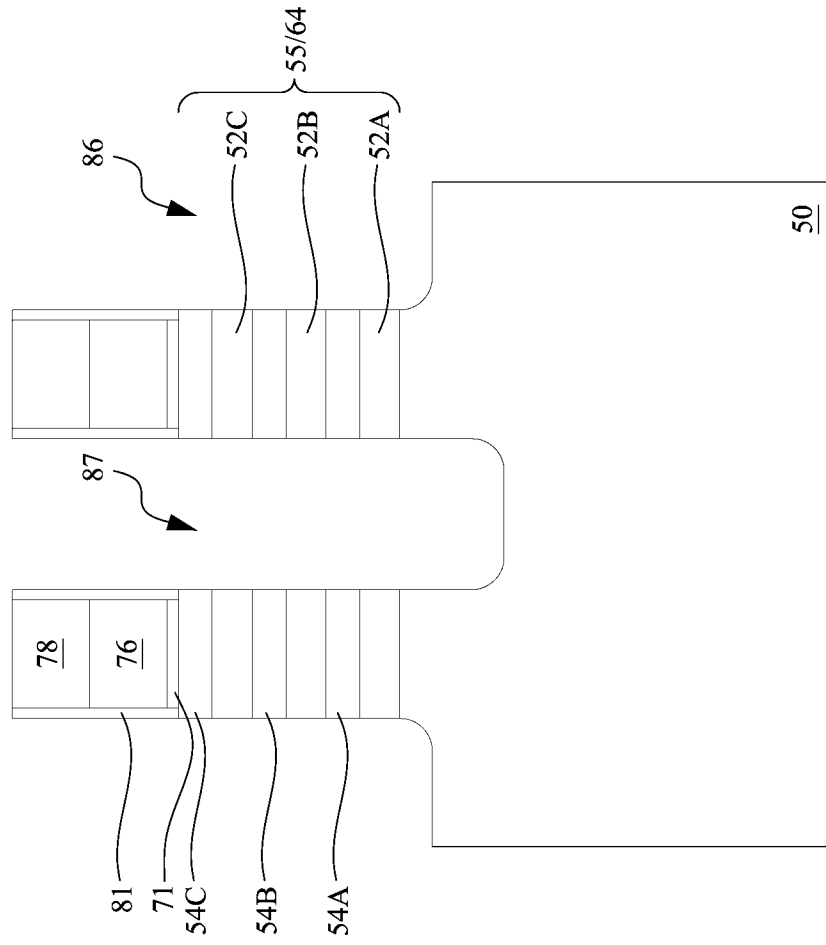
第 8C 圖



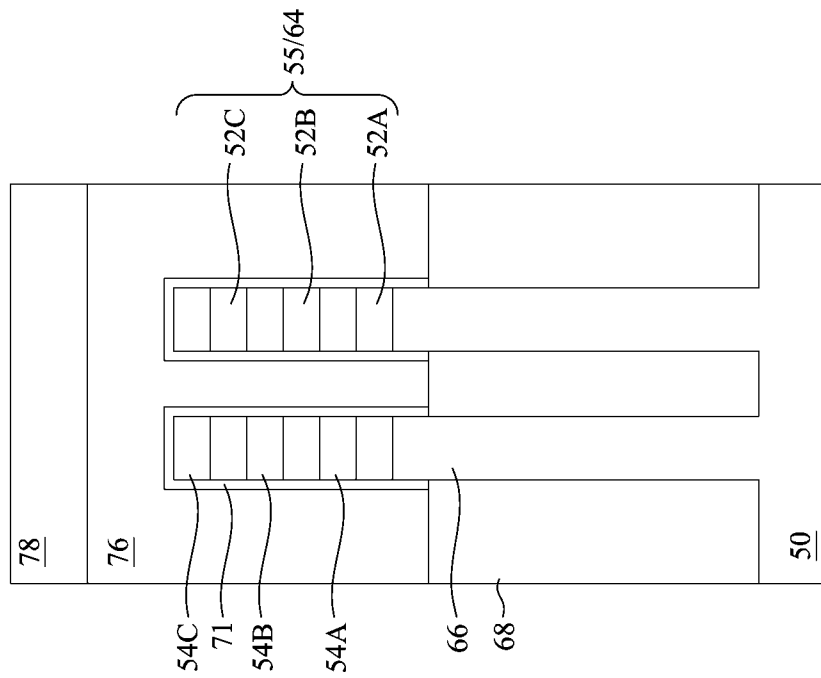
第9A圖



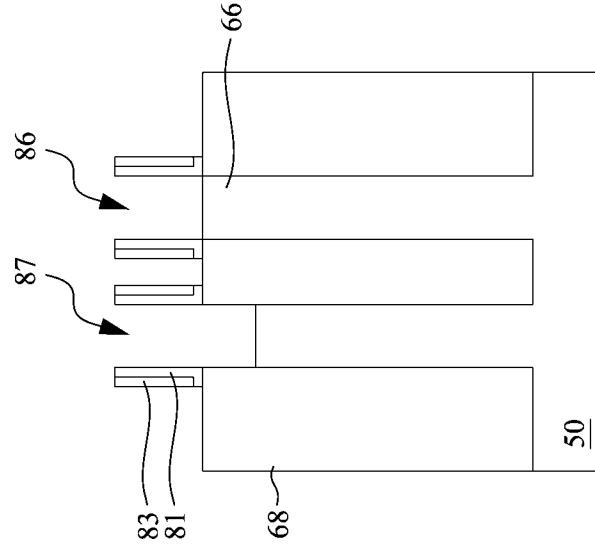
第9B圖



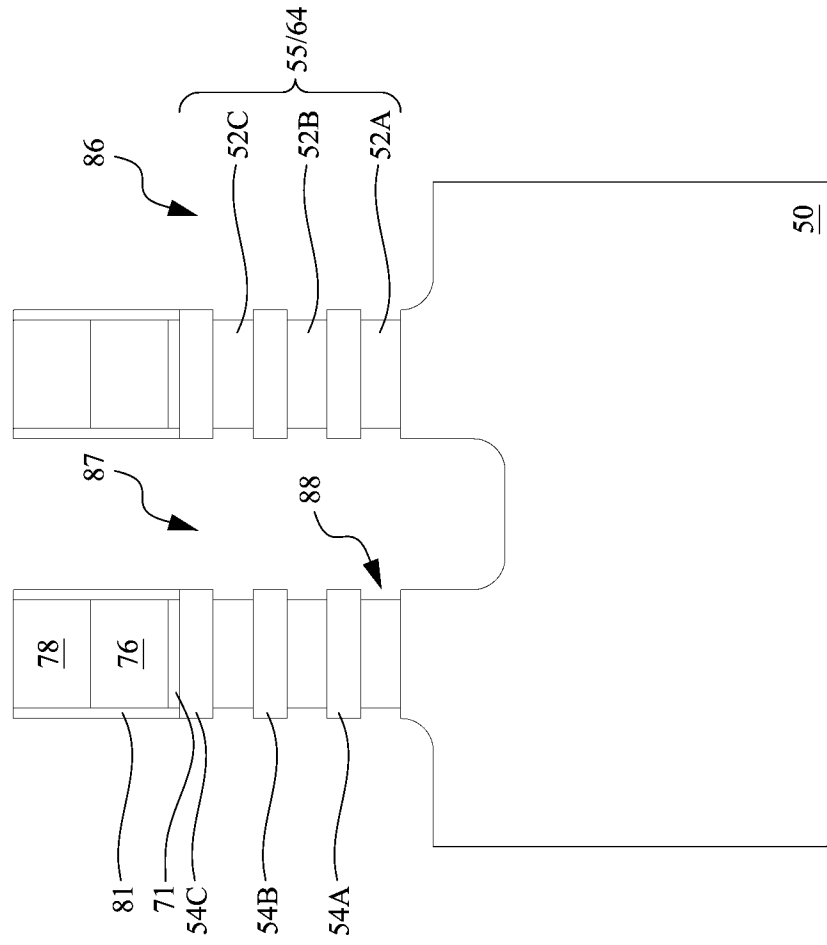
第9C圖



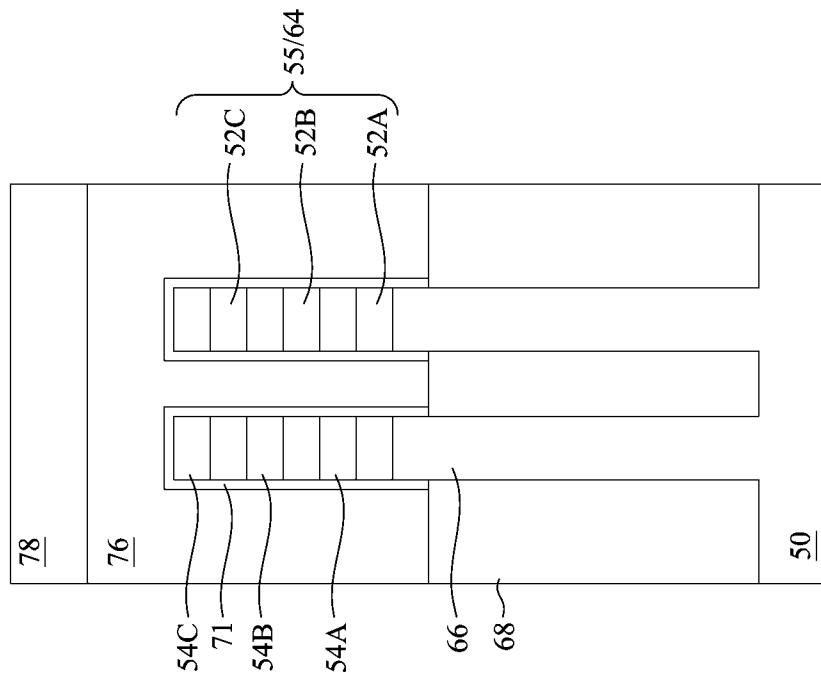
第 10A 圖



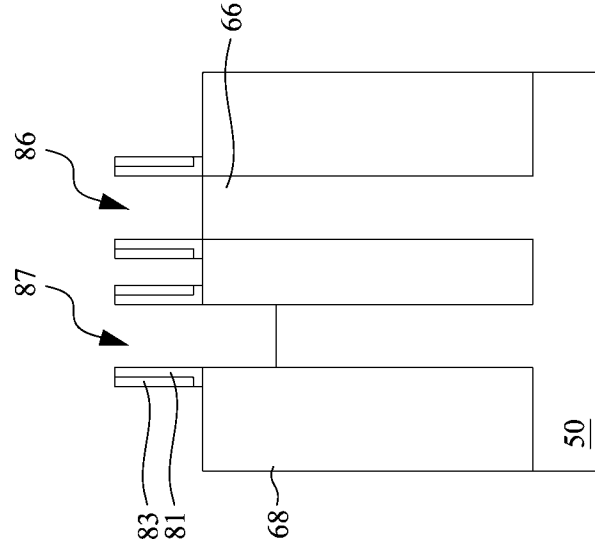
第 10B 圖



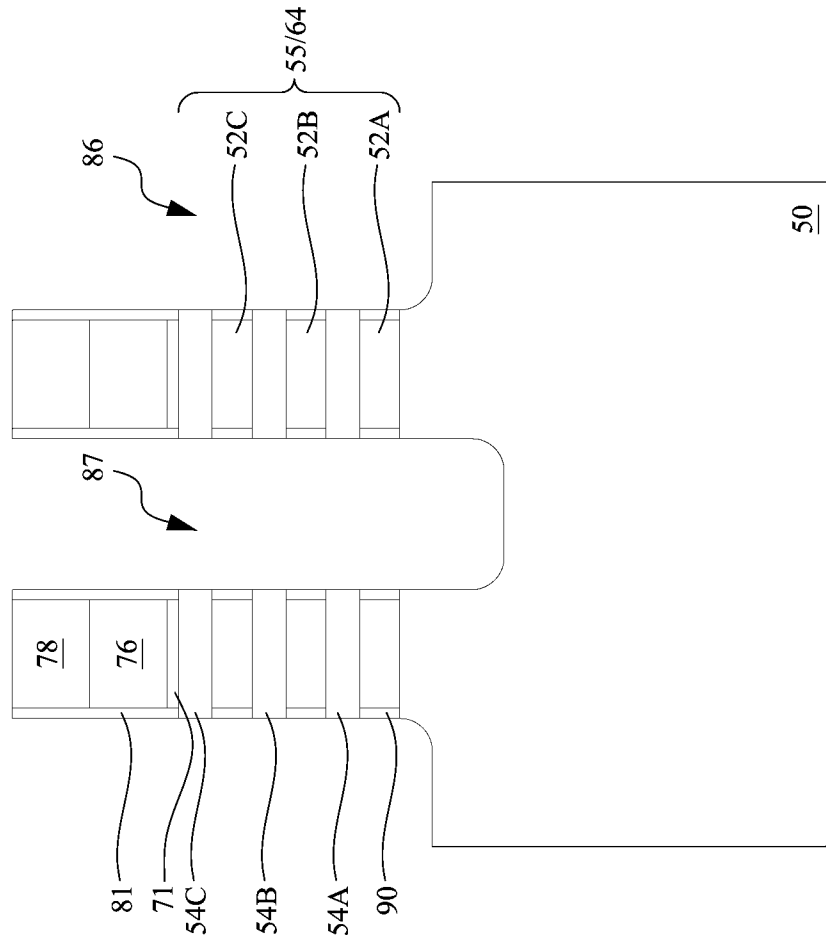
第 10C 圖



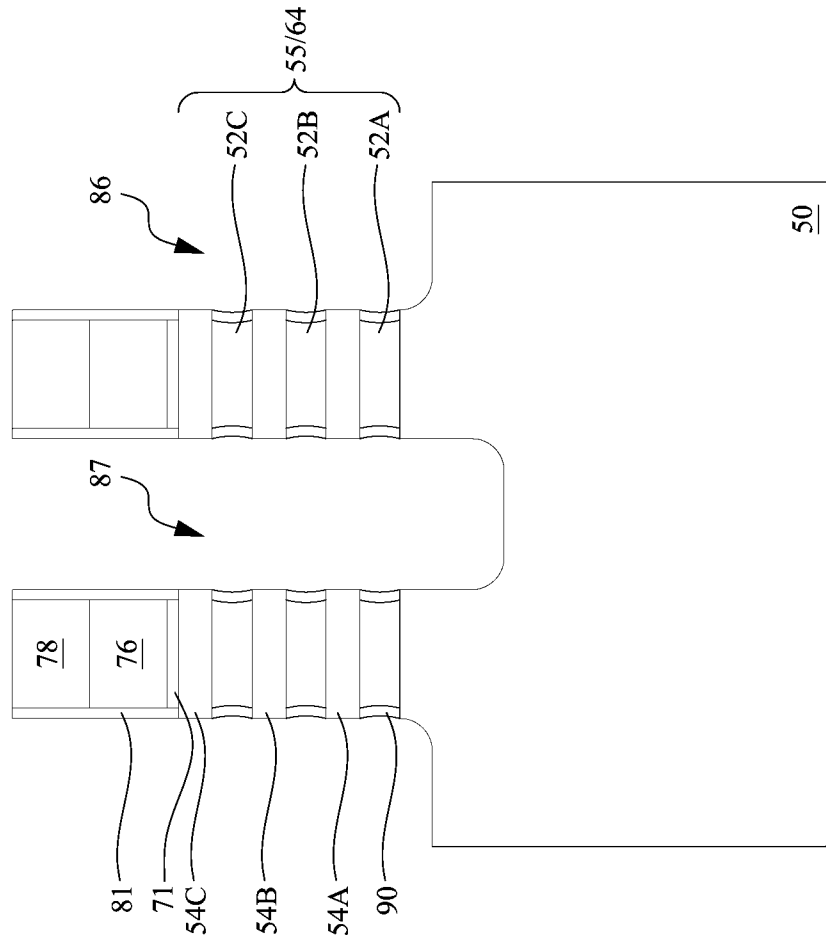
第 11A 圖



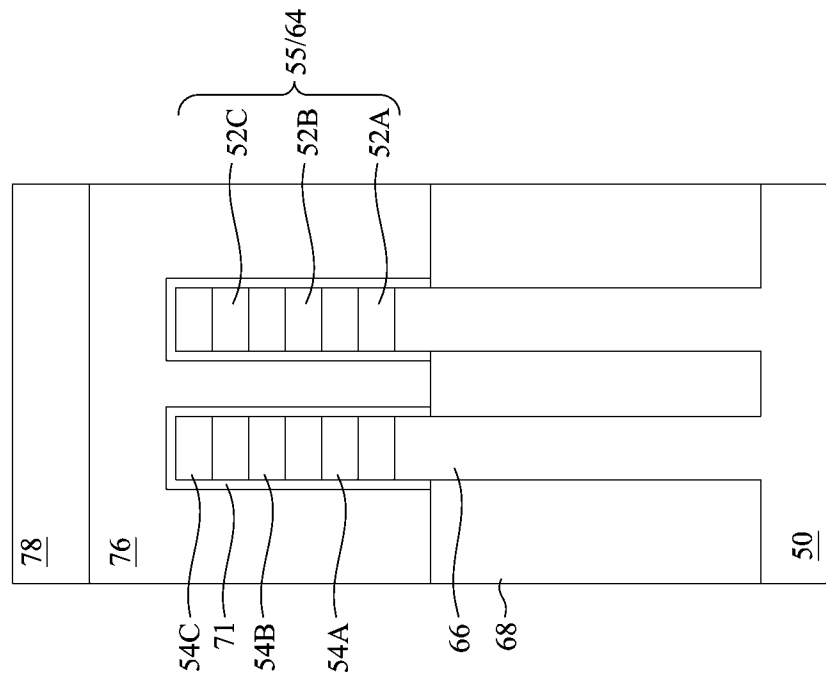
第 11B 圖



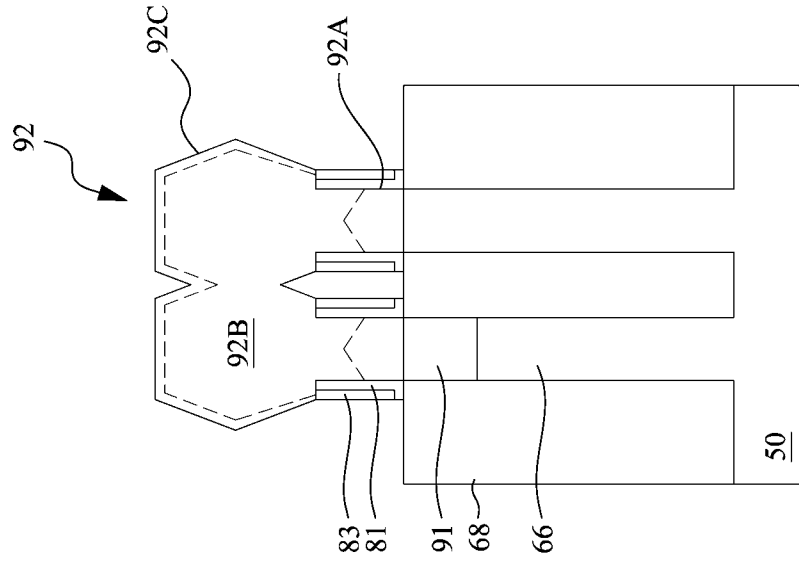
第 11C 圖



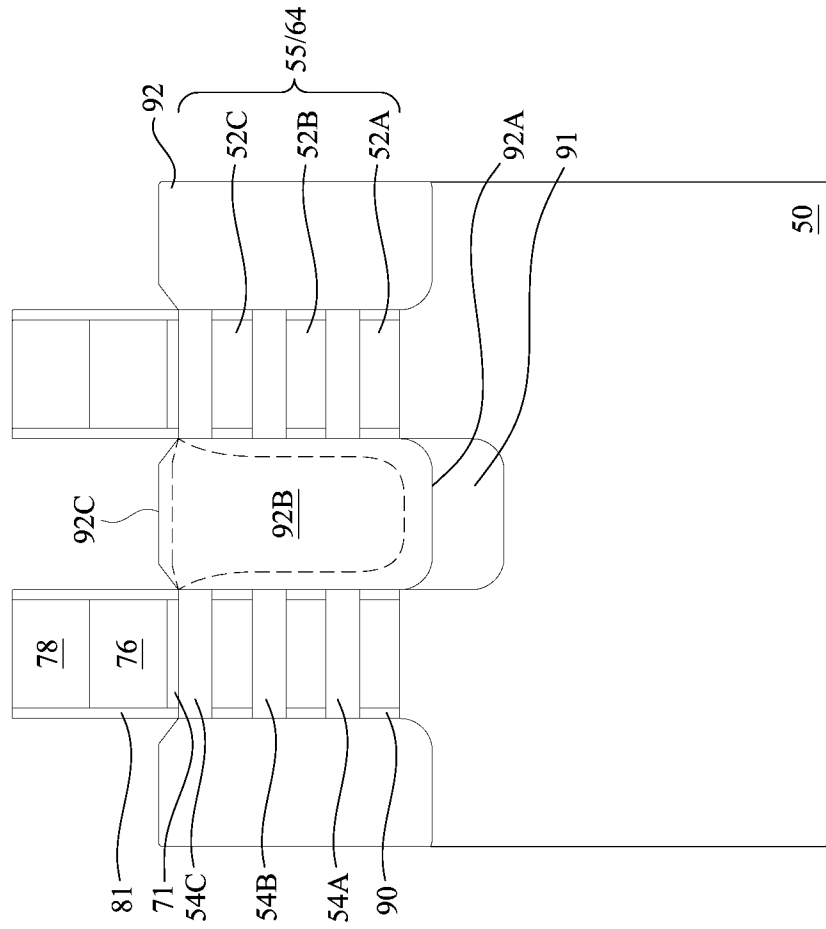
第 11D 圖



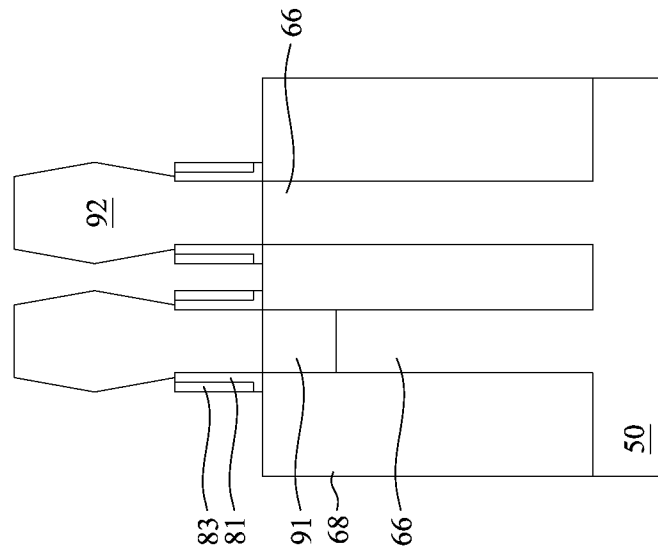
第 12A 圖



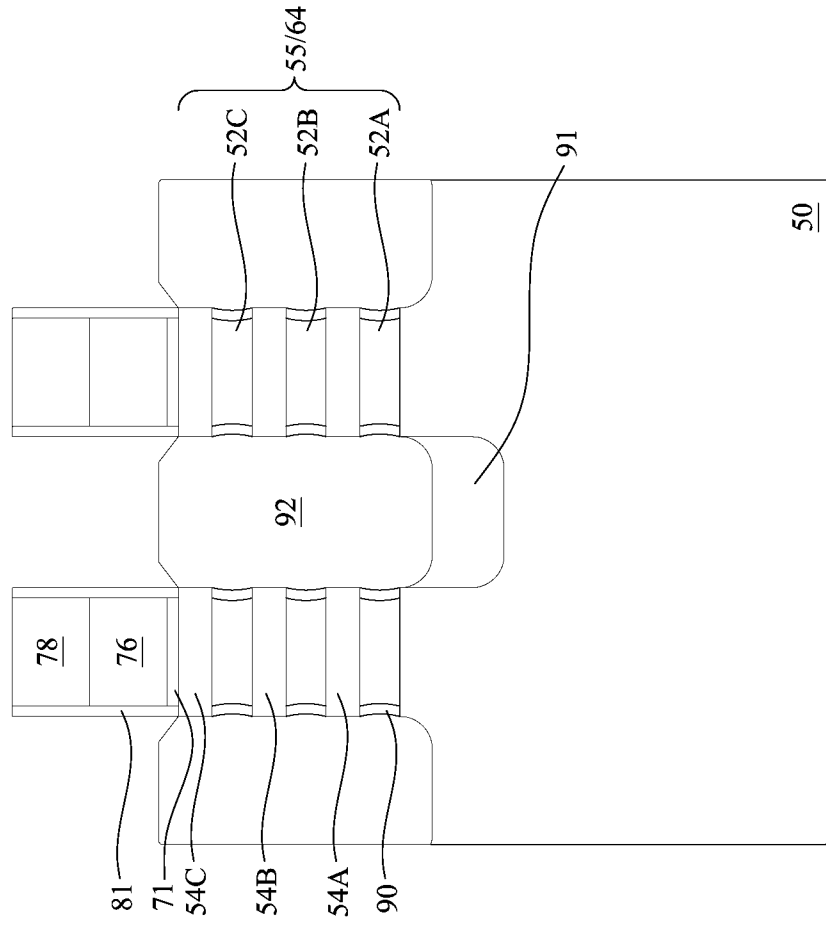
第 12B 圖



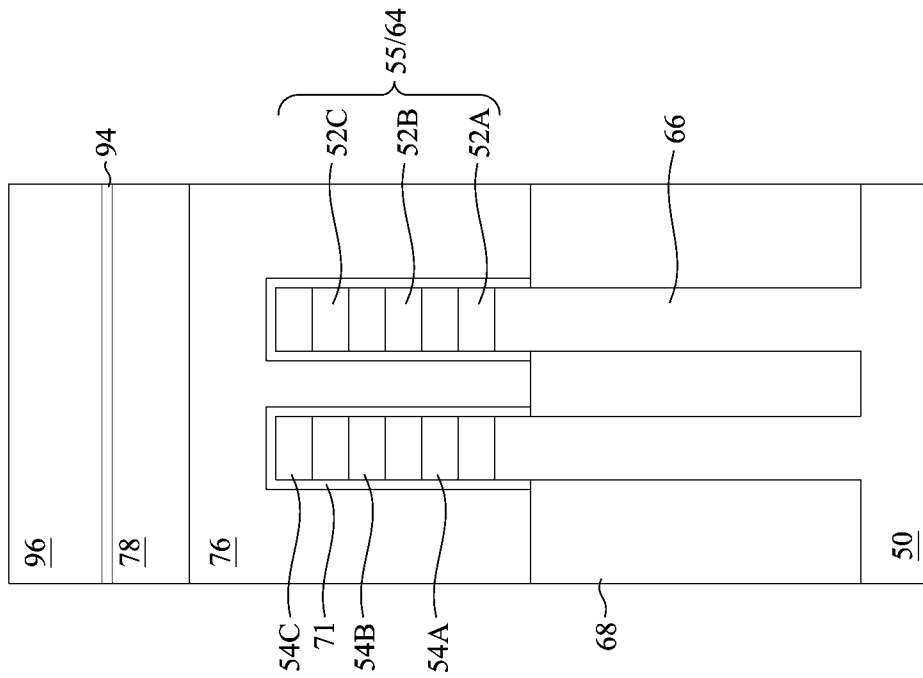
第 12C 圖



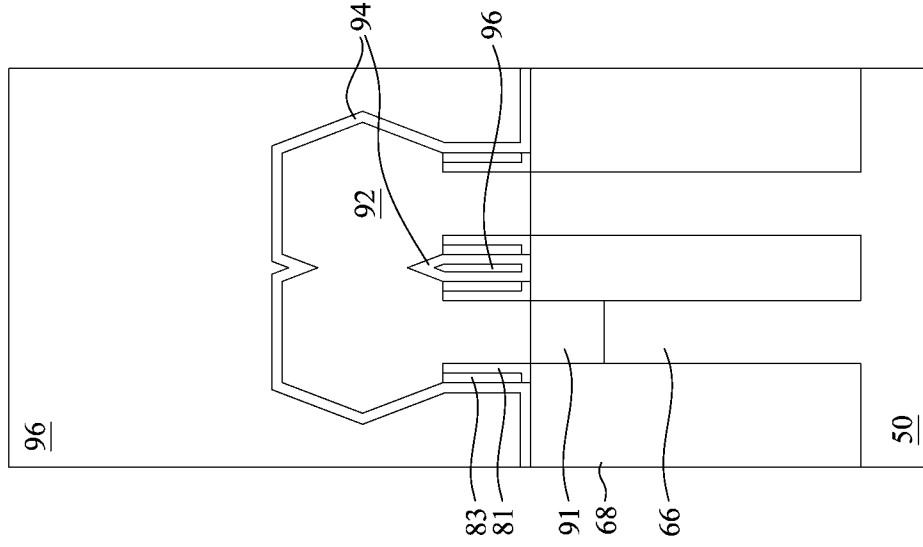
第 12D 圖



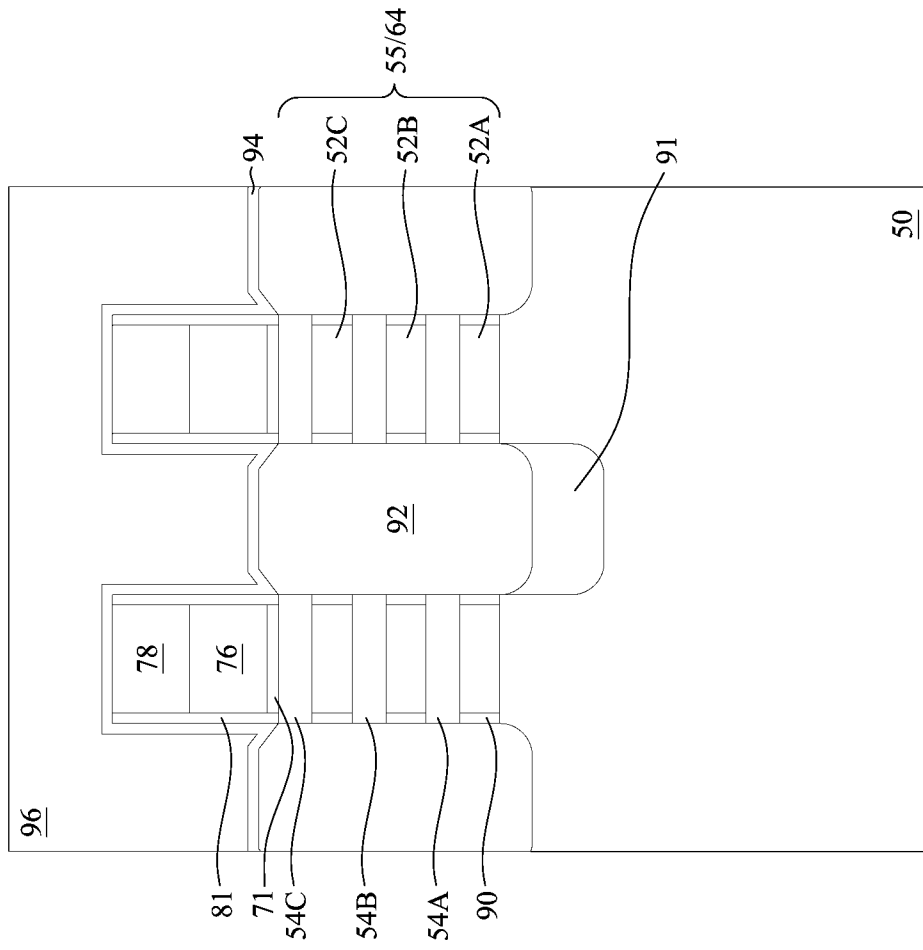
第 12E 圖



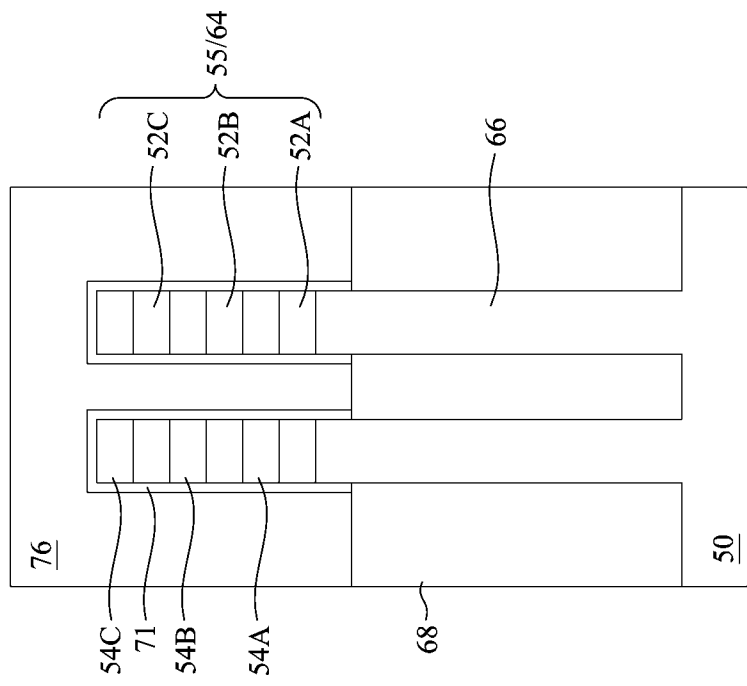
第 13A 圖



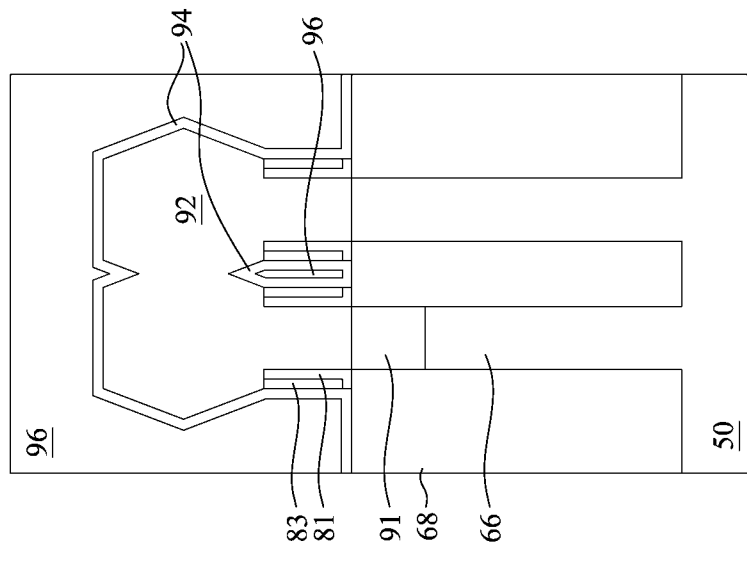
第 13B 圖



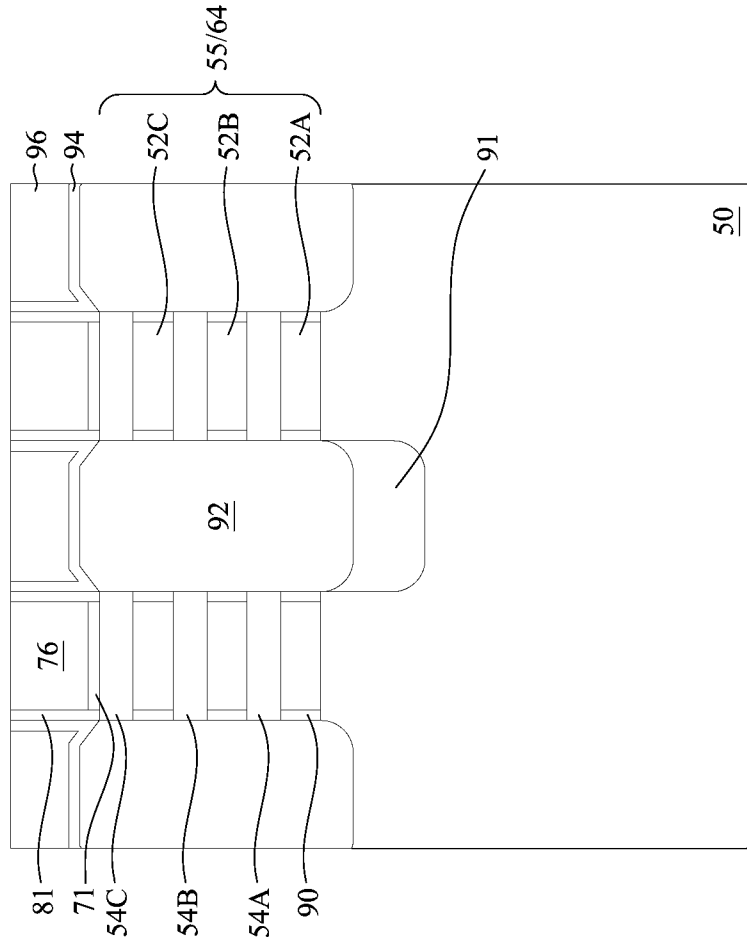
第 13C 圖



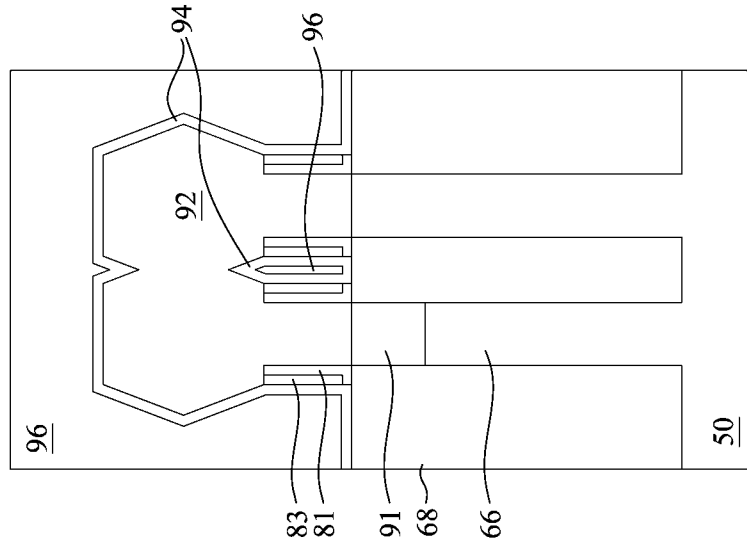
第 14A 圖



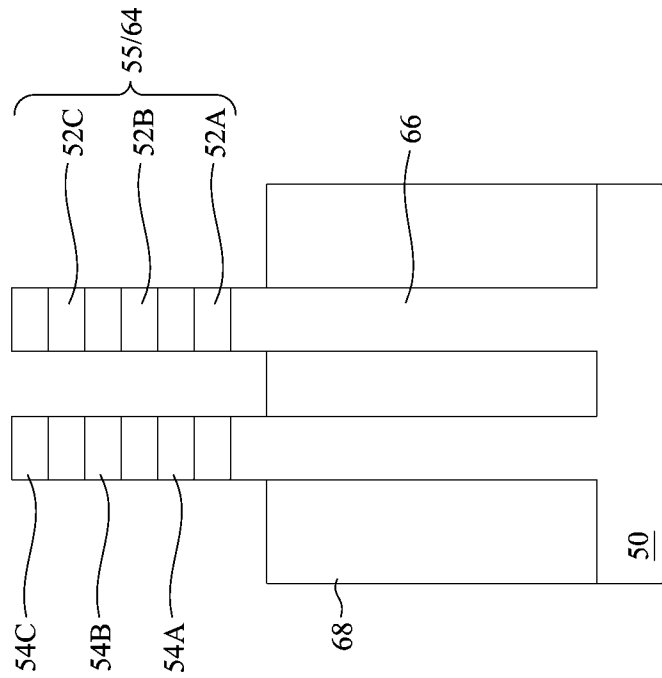
第 14B 圖



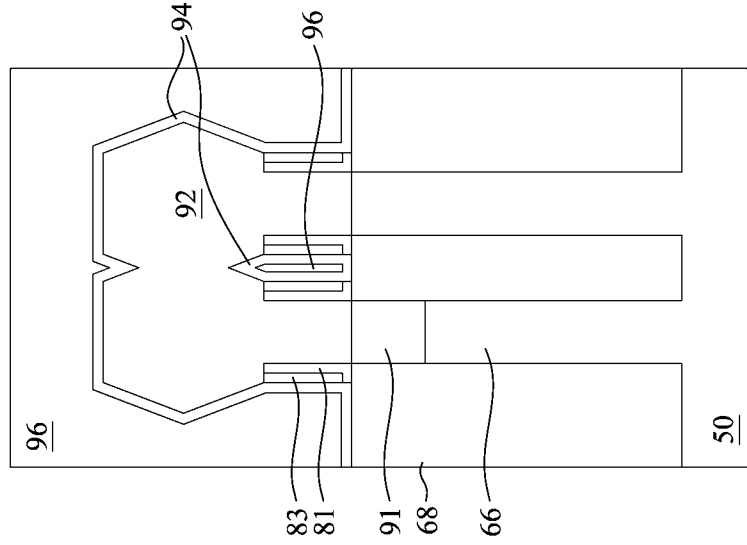
第 14C 圖



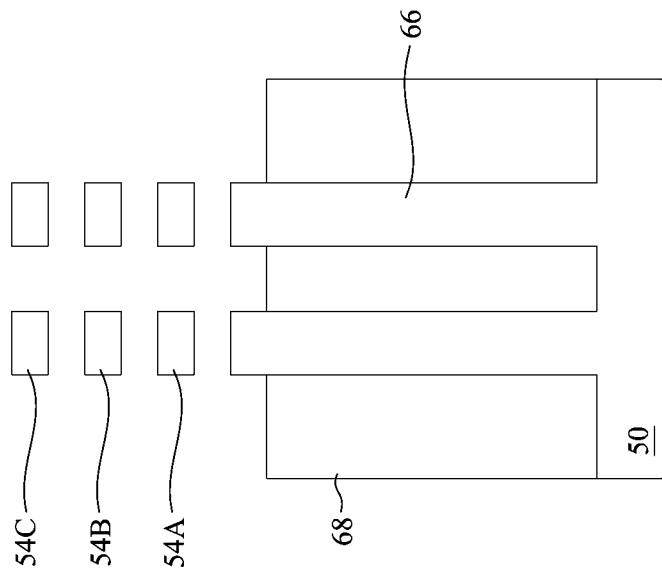
第 15B 圖



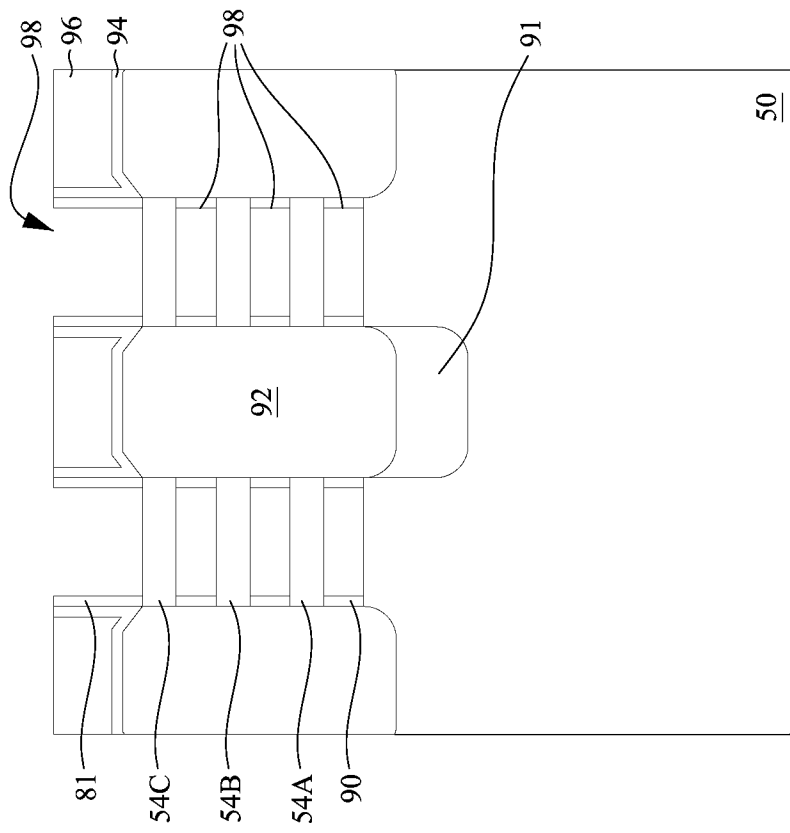
第 15A 圖



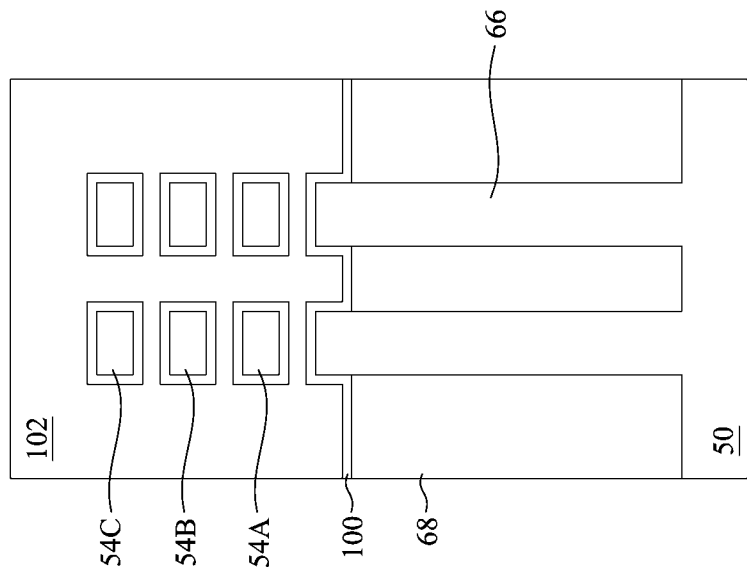
第 16B 圖



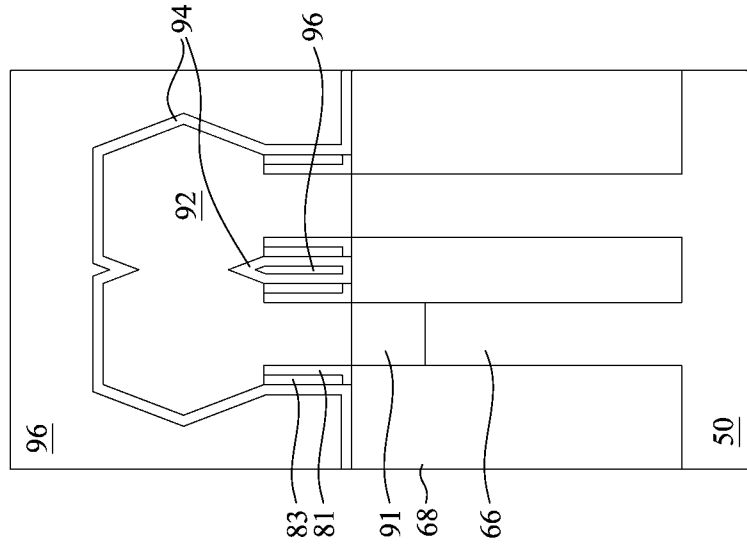
第 16A 圖



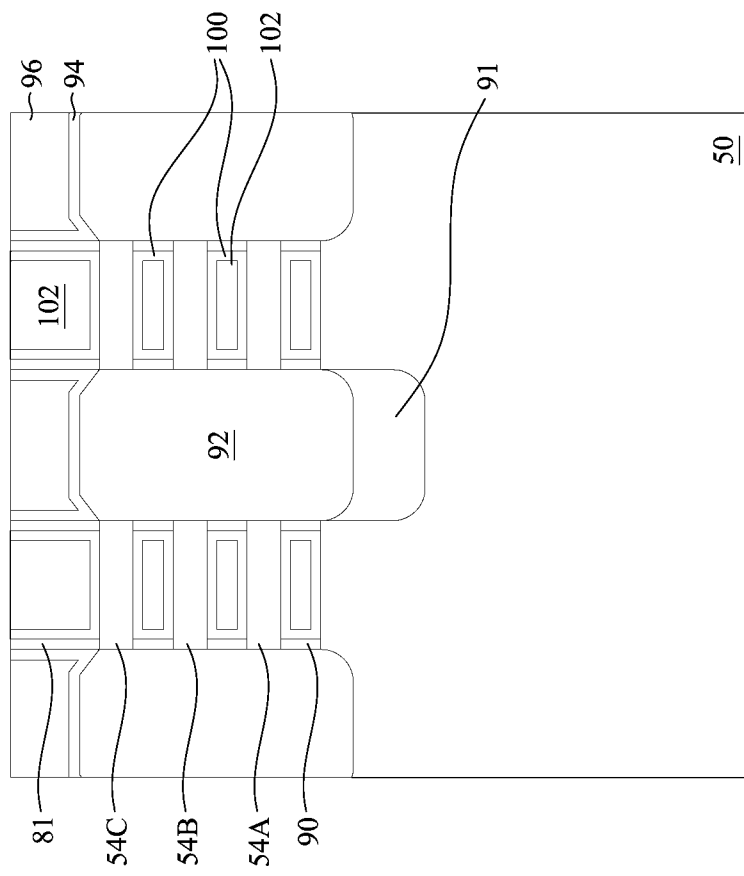
第 16C 圖



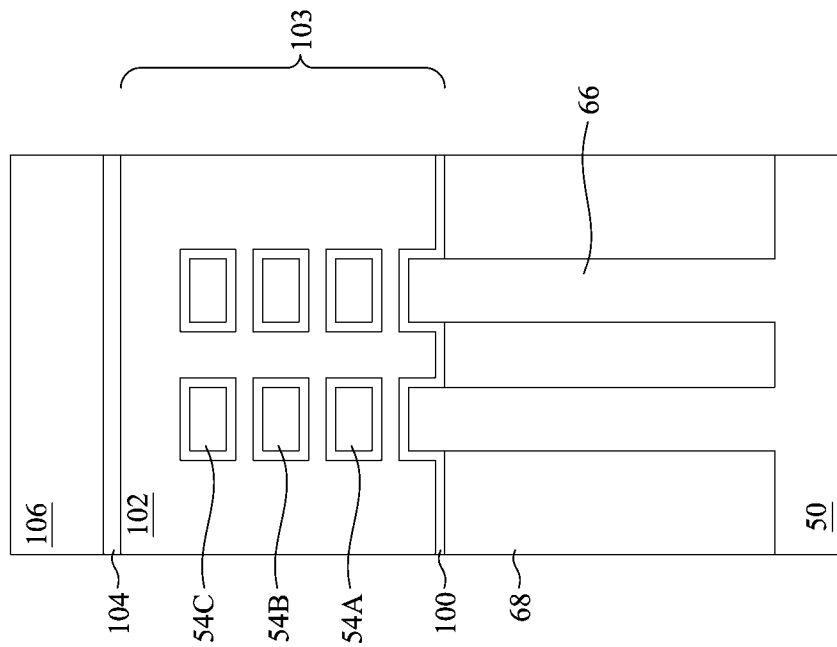
第 17A 圖



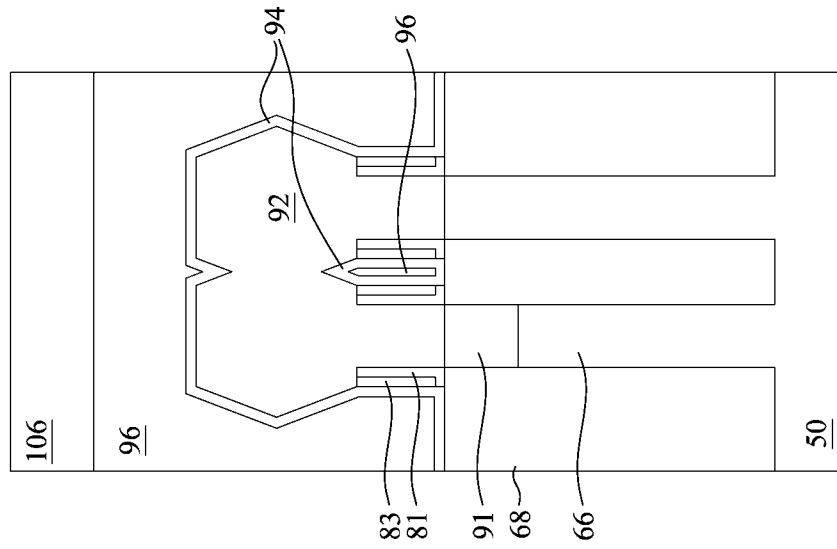
第 17B 圖



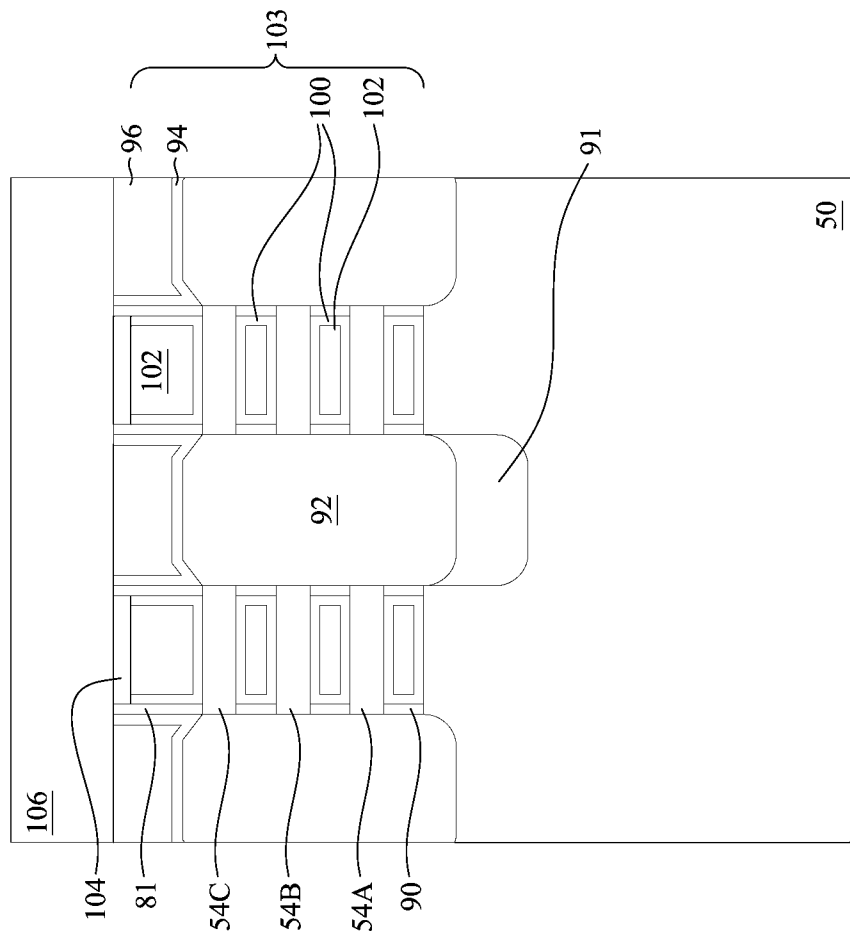
第 17C 圖



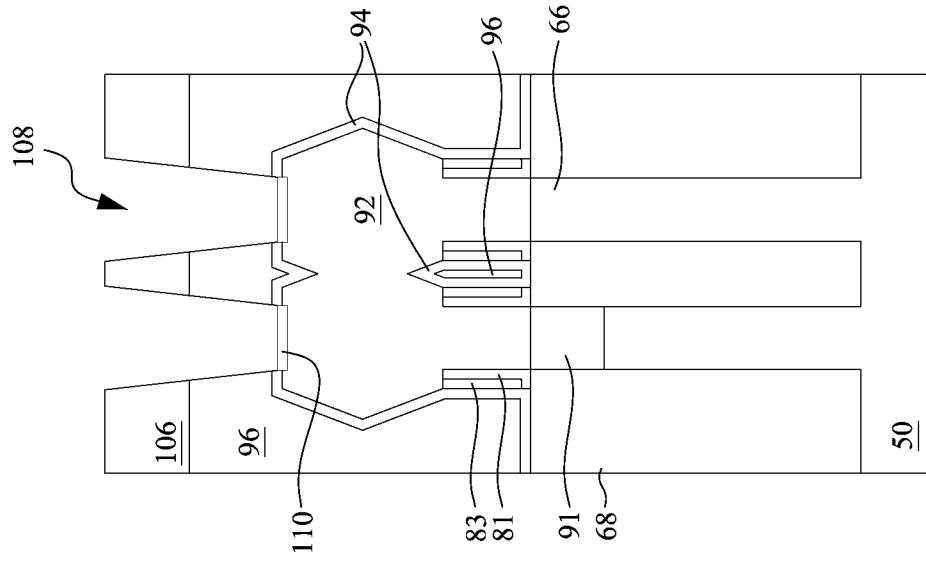
第 18A 圖



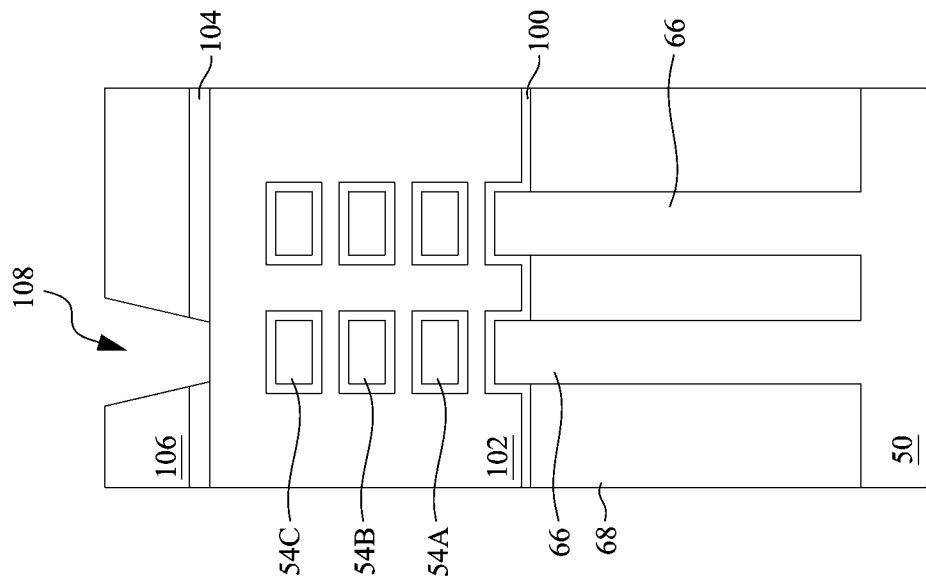
第 18B 圖



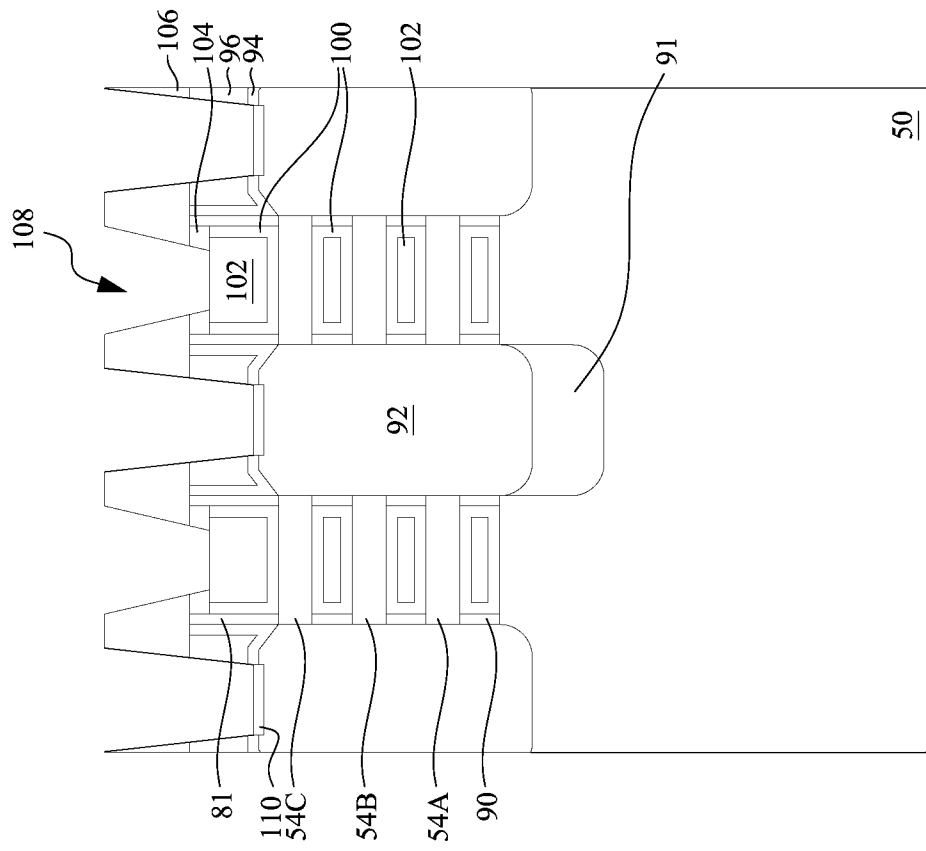
第 18C 圖



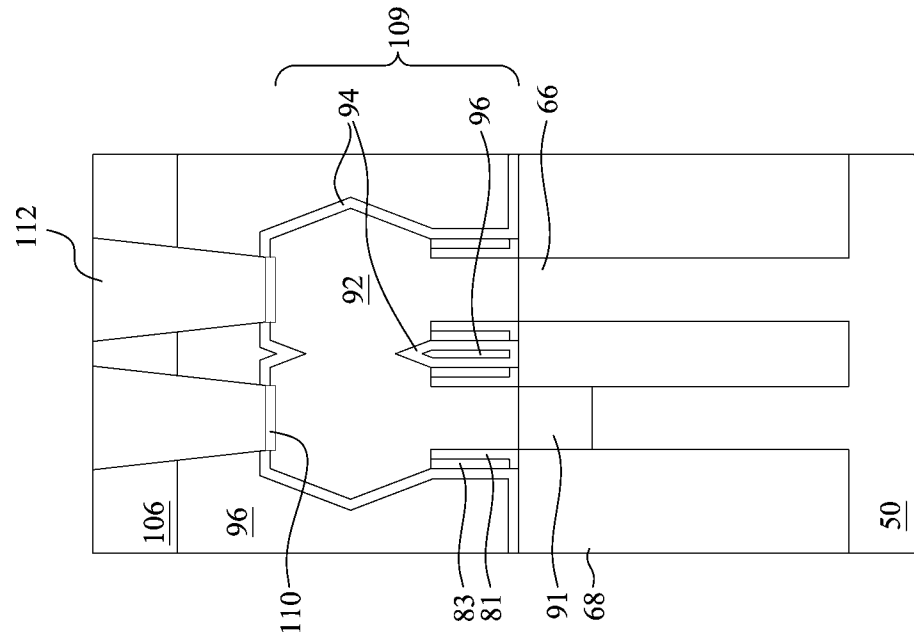
第 19B 圖



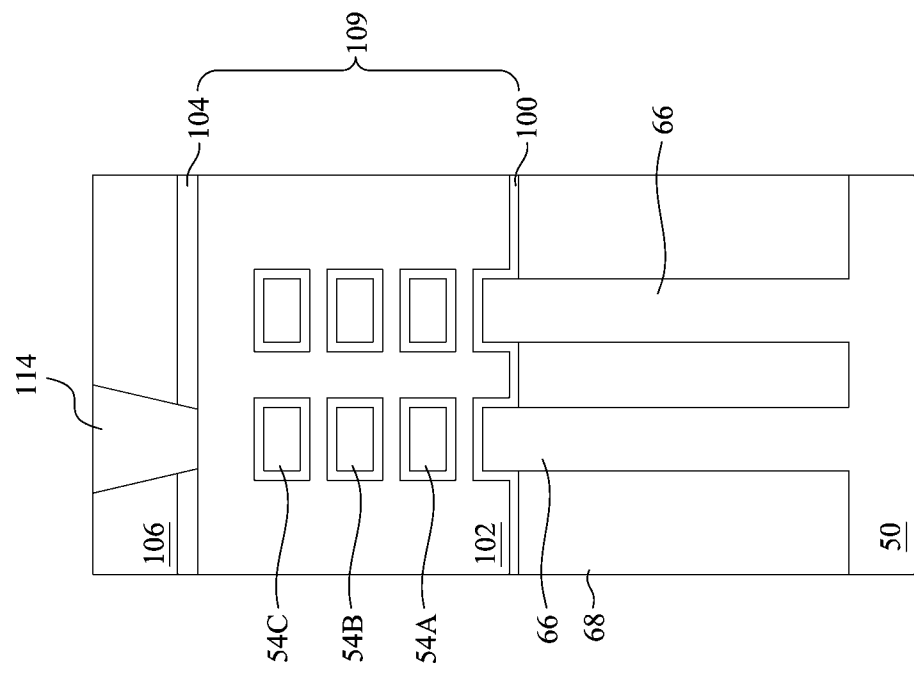
第 19A 圖



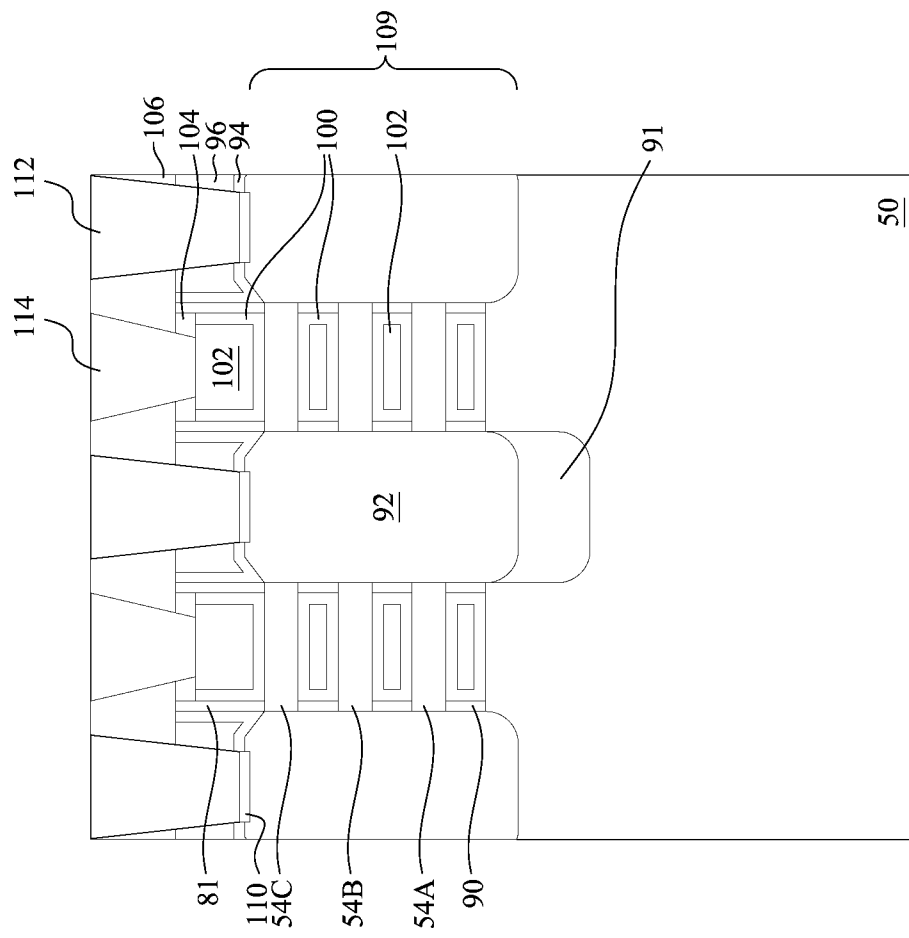
第 19C 圖



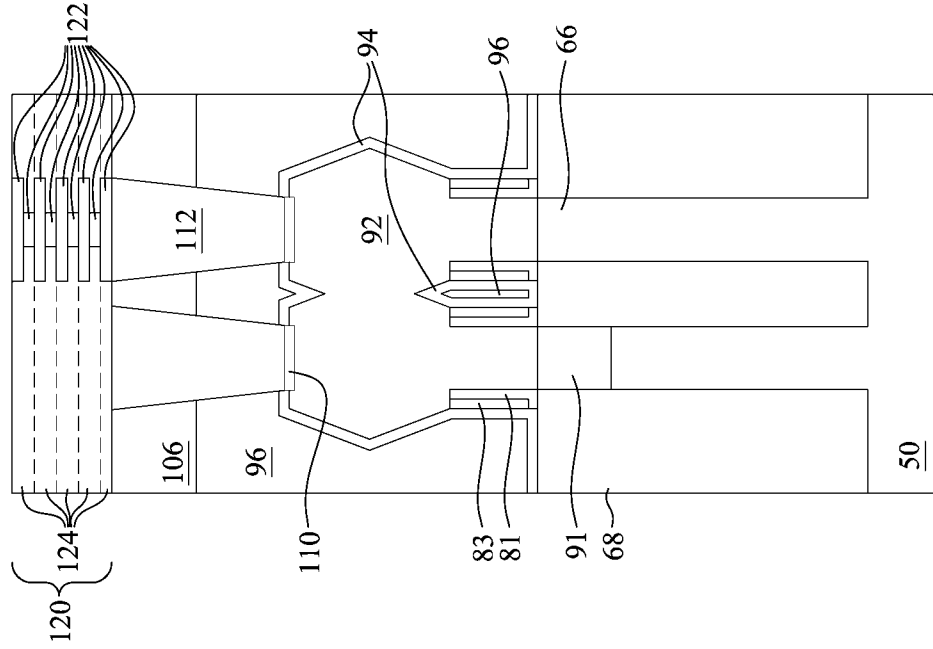
第 20B 圖



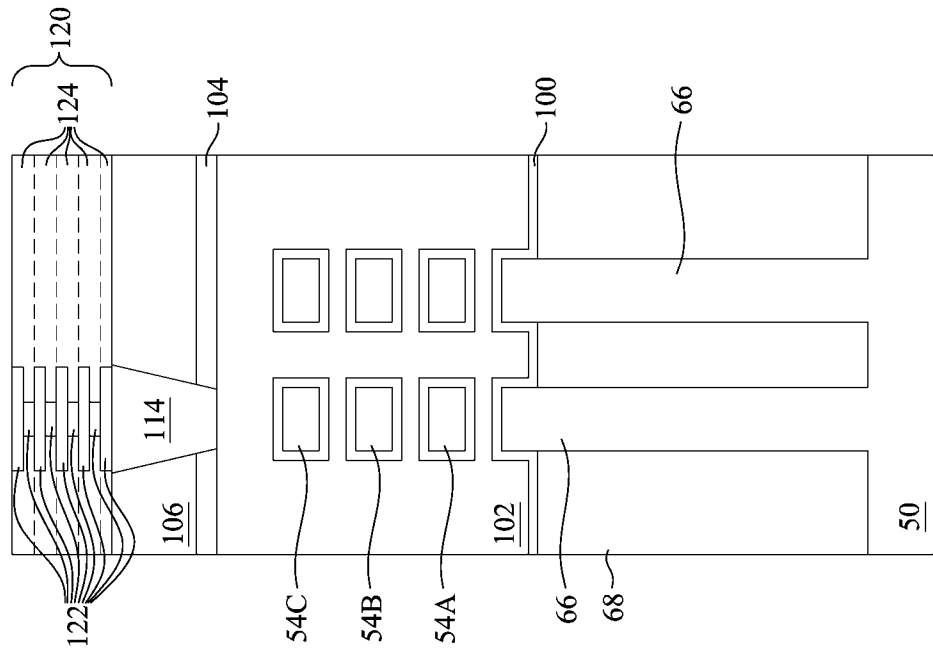
第 20A 圖



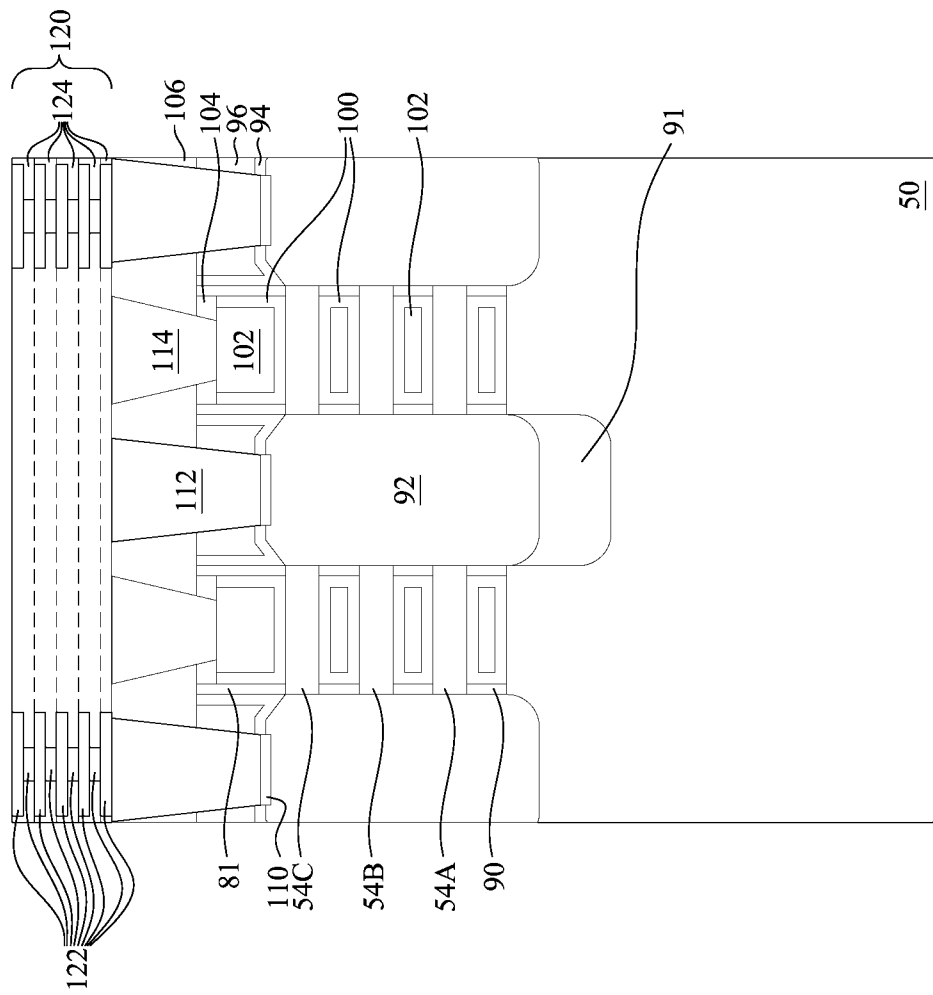
第 20C 圖



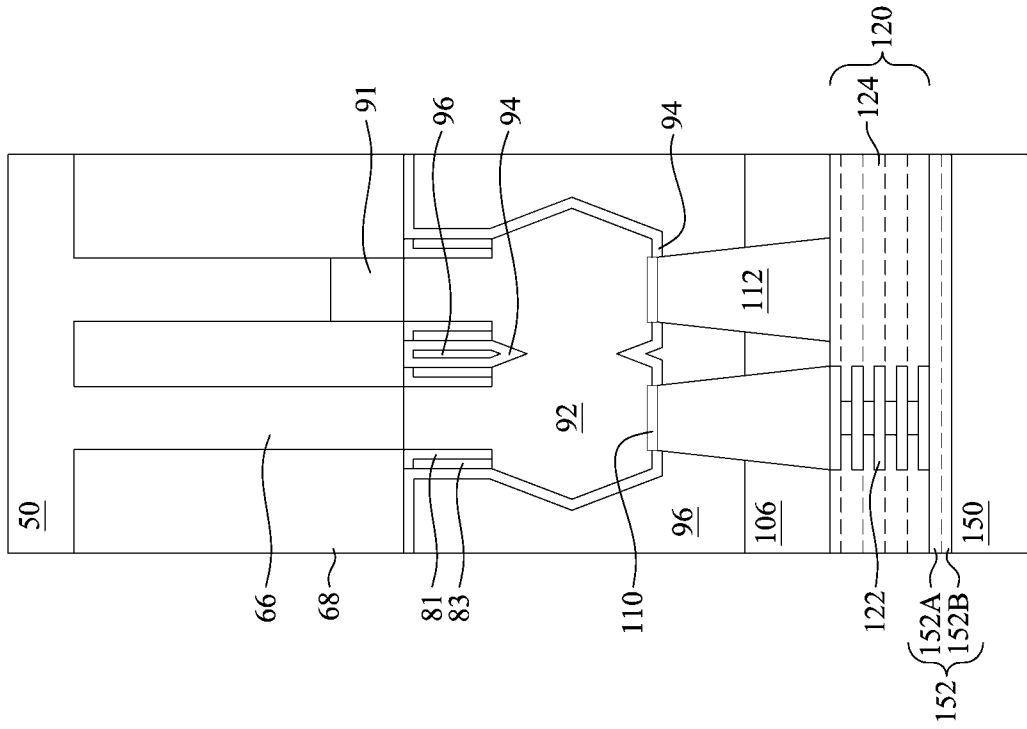
第21B圖



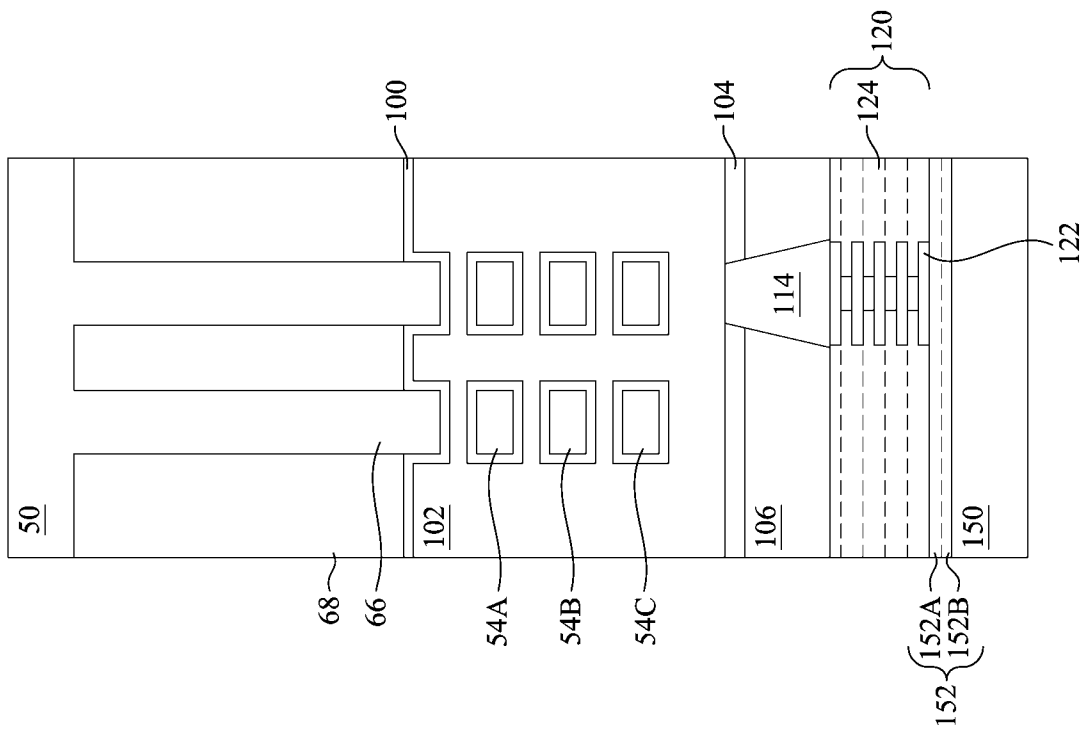
第21A圖



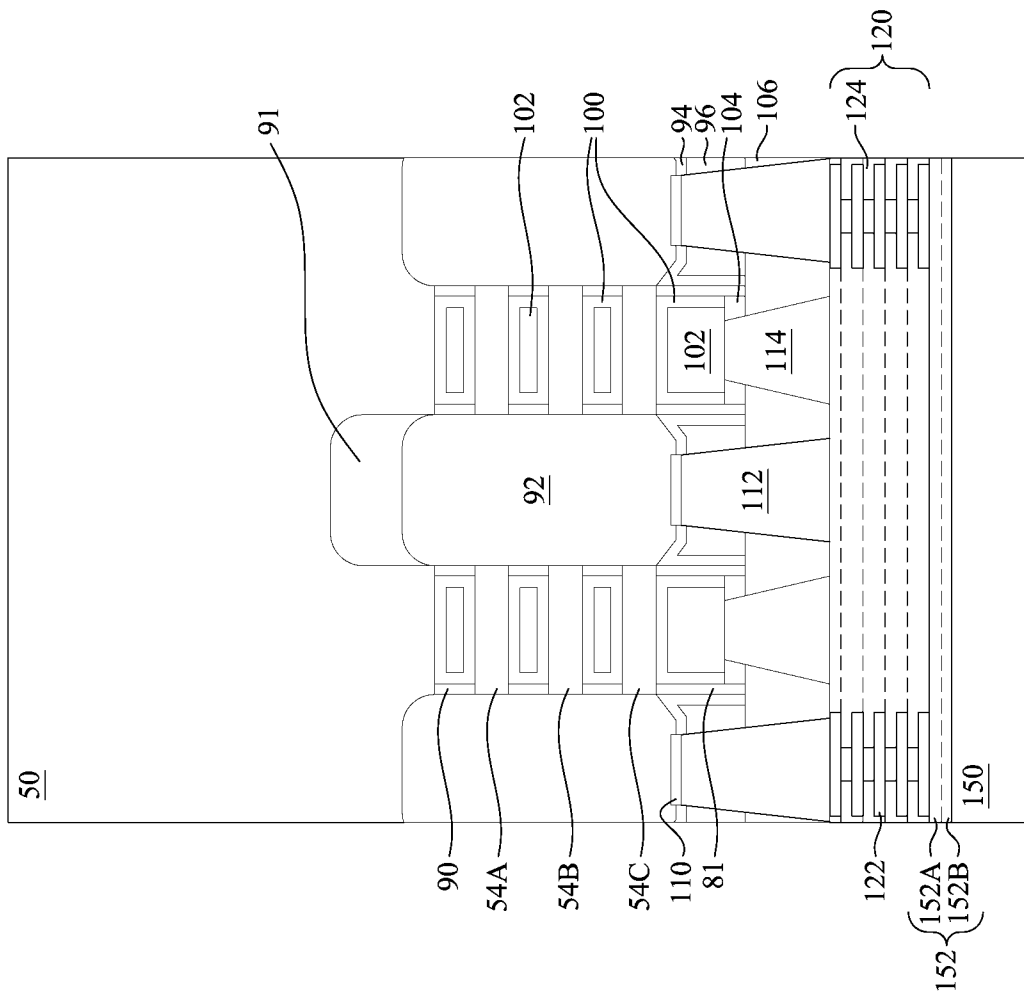
第 21C 圖



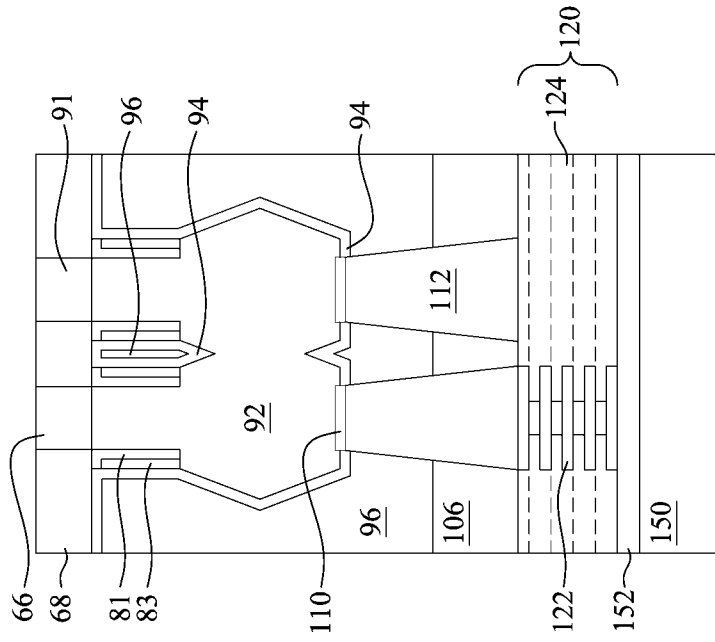
第 22B 圖



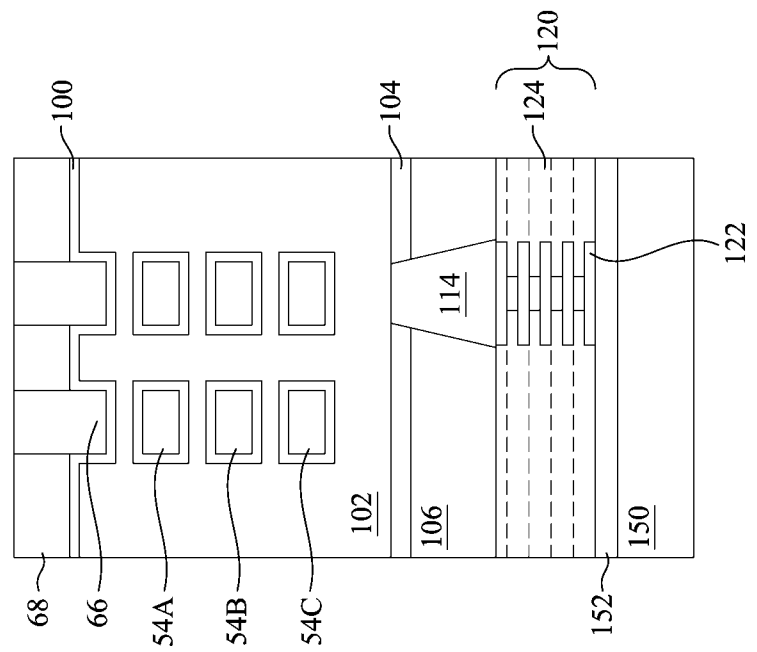
第 22A 圖



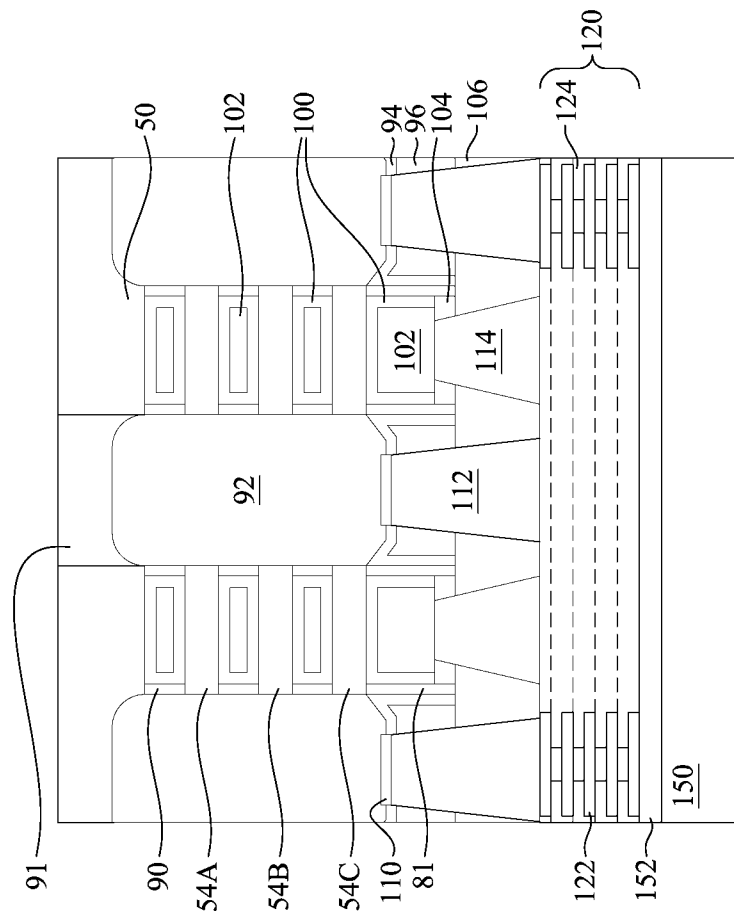
第 22C 圖



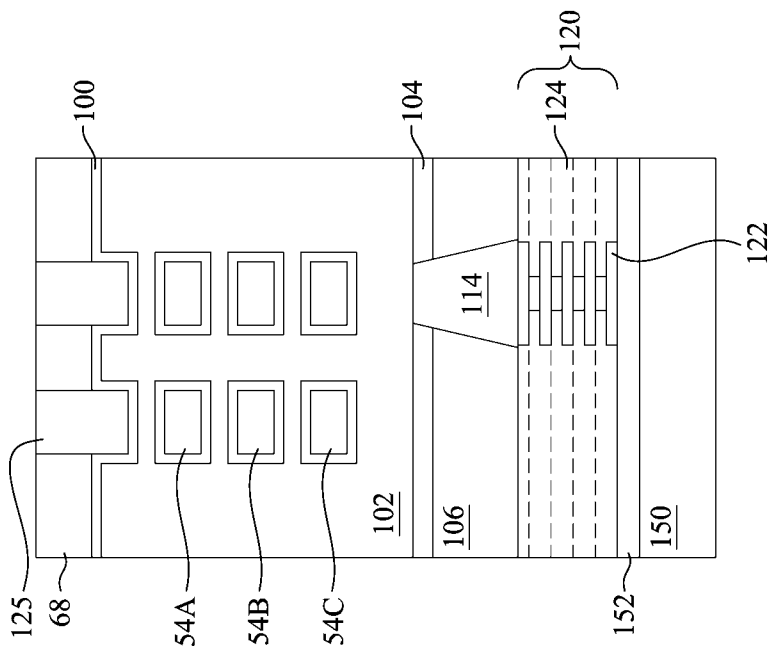
第 23B 圖



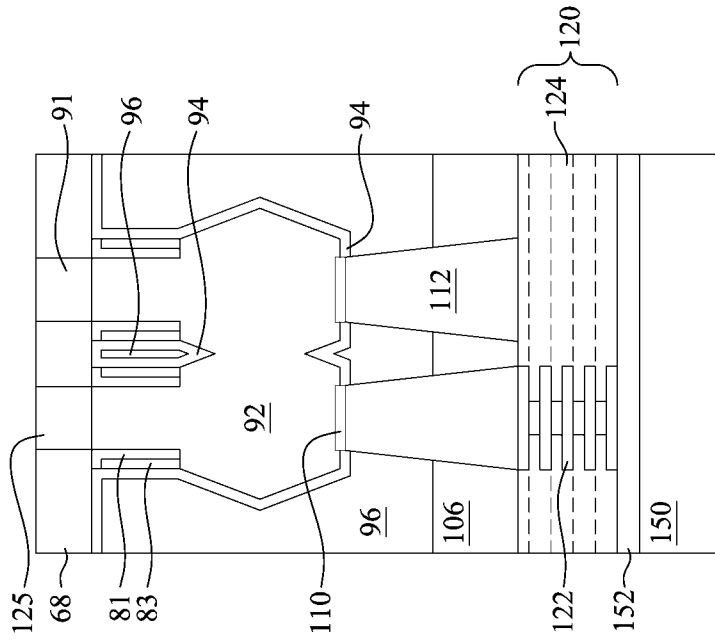
第 23A 圖



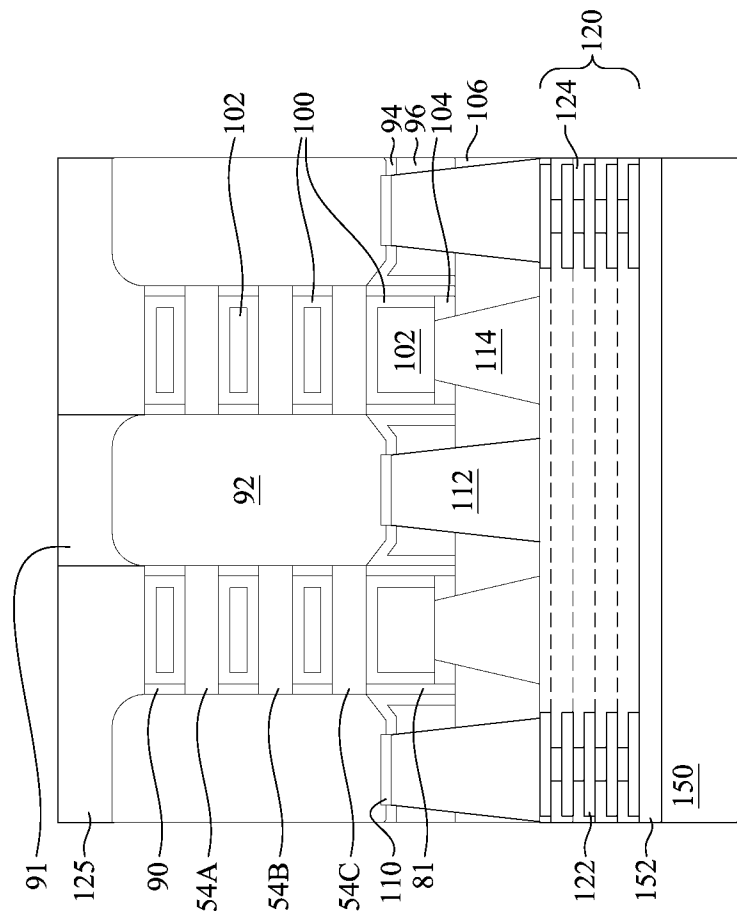
第 23C 圖



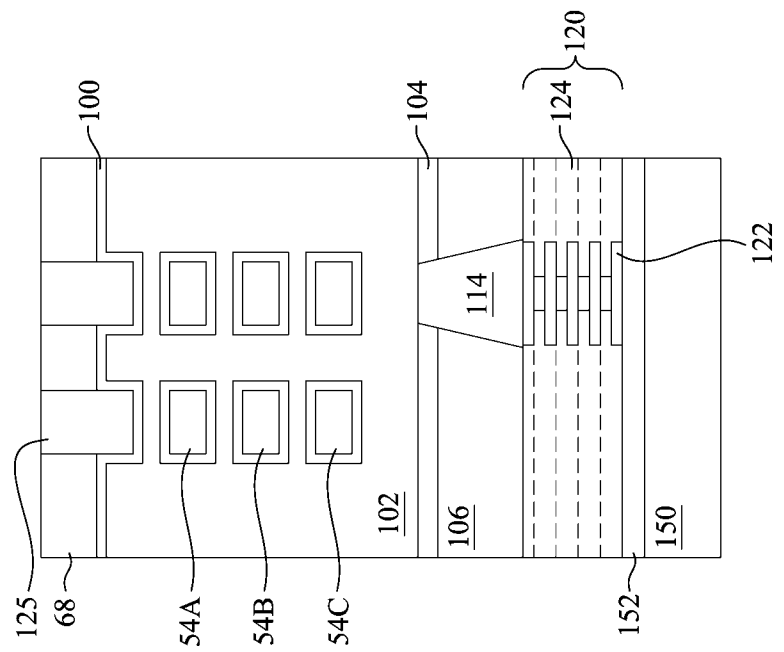
第 24A 圖



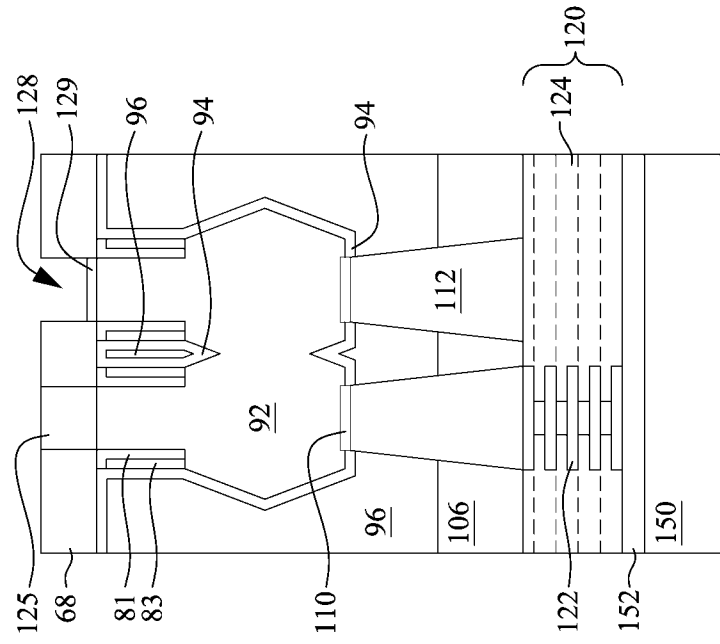
第 24B 圖



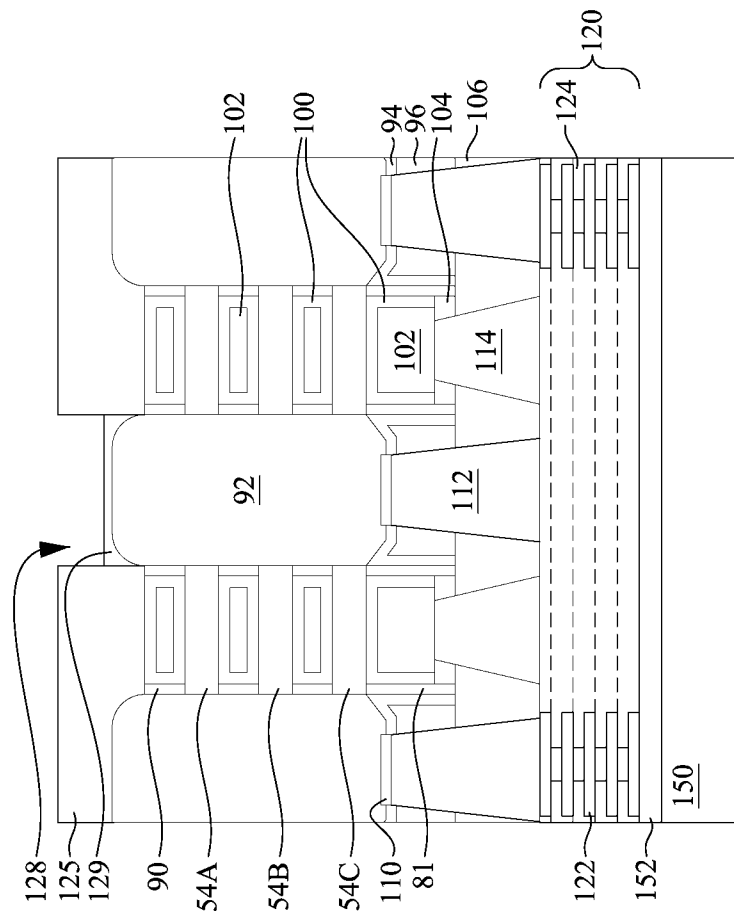
第 24C 圖



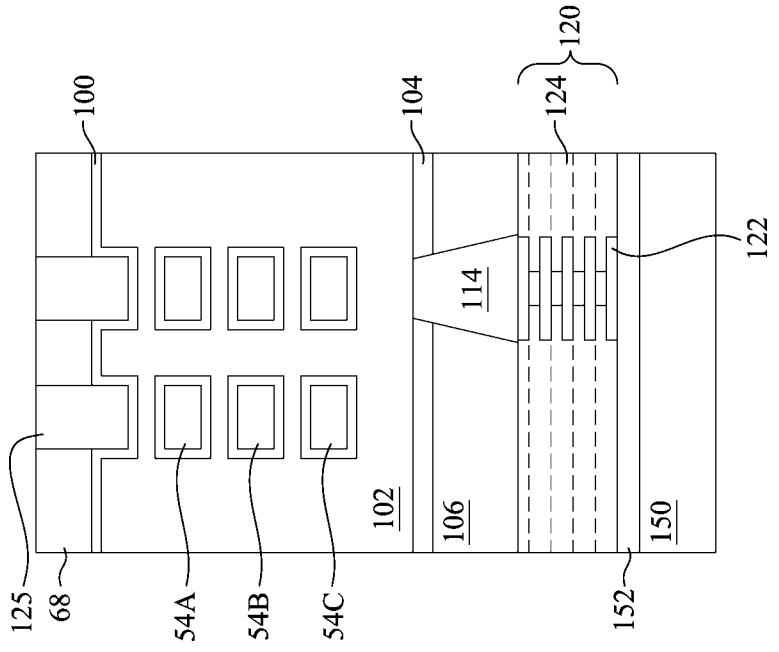
第 25A 圖



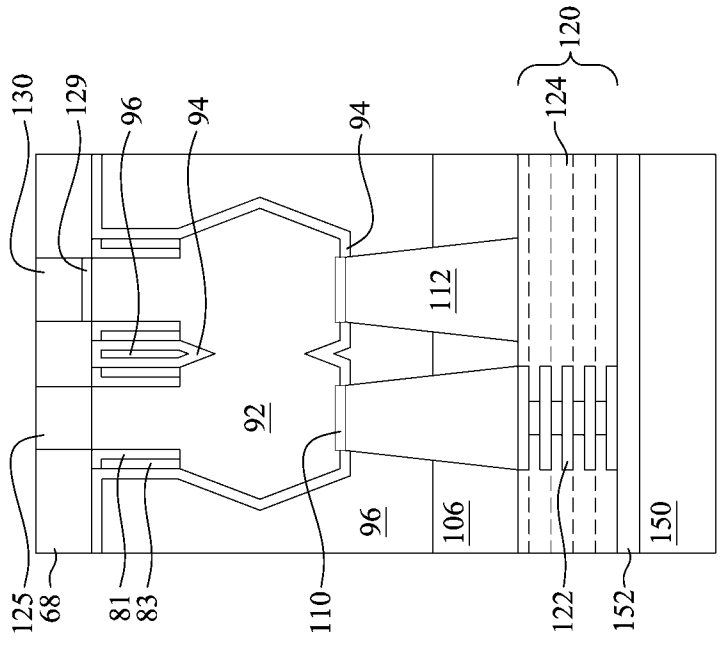
第 25B 圖



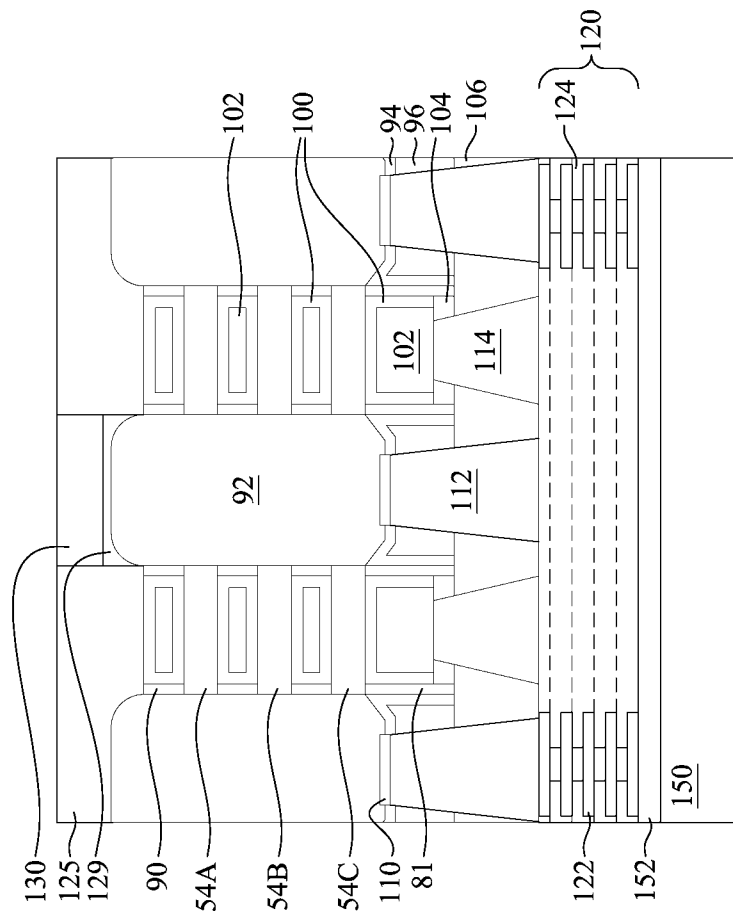
第 25C 圖



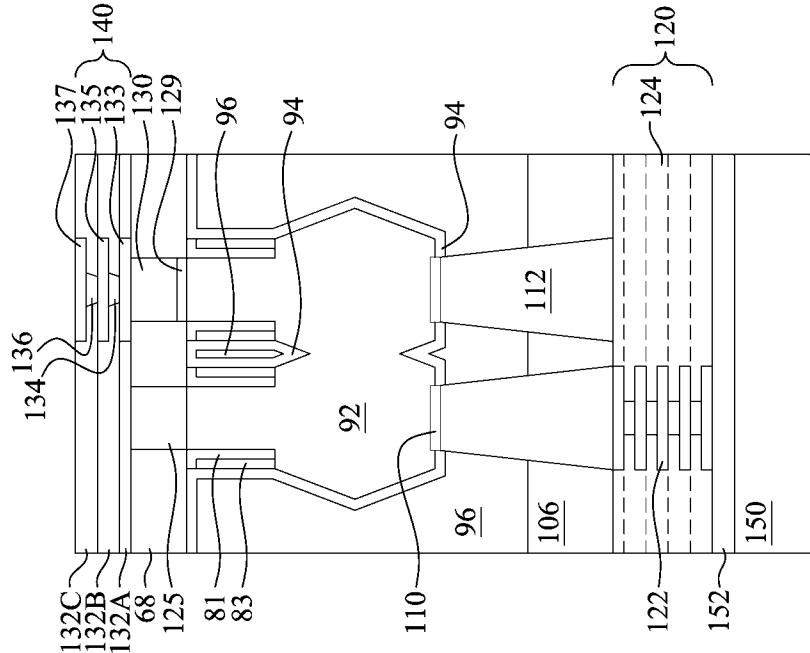
第 26A 圖



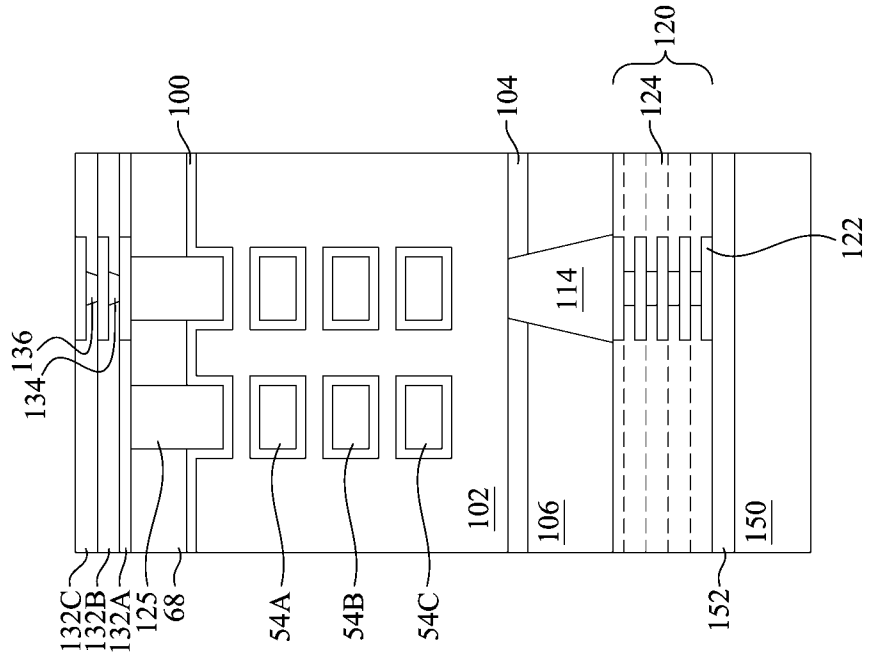
第 26B 圖



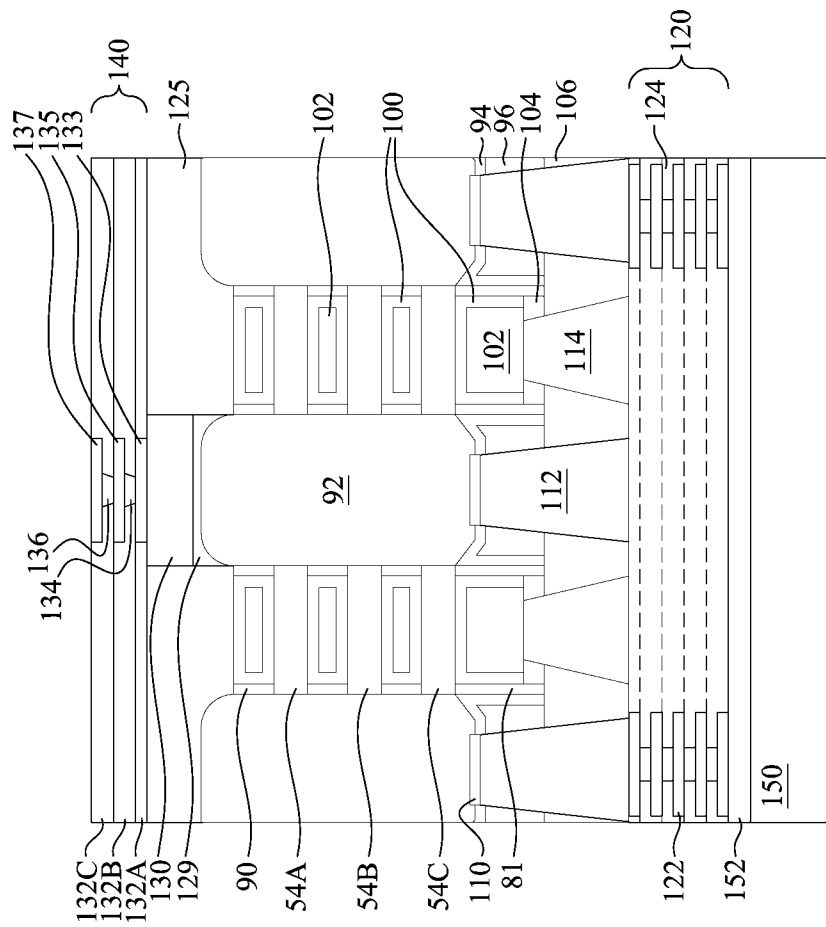
第 26C 圖



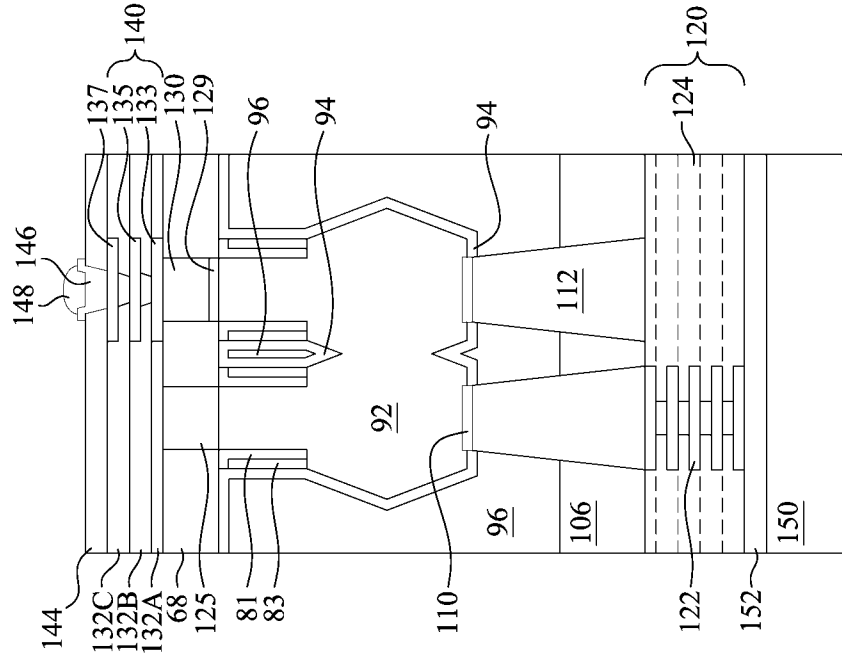
第27B圖



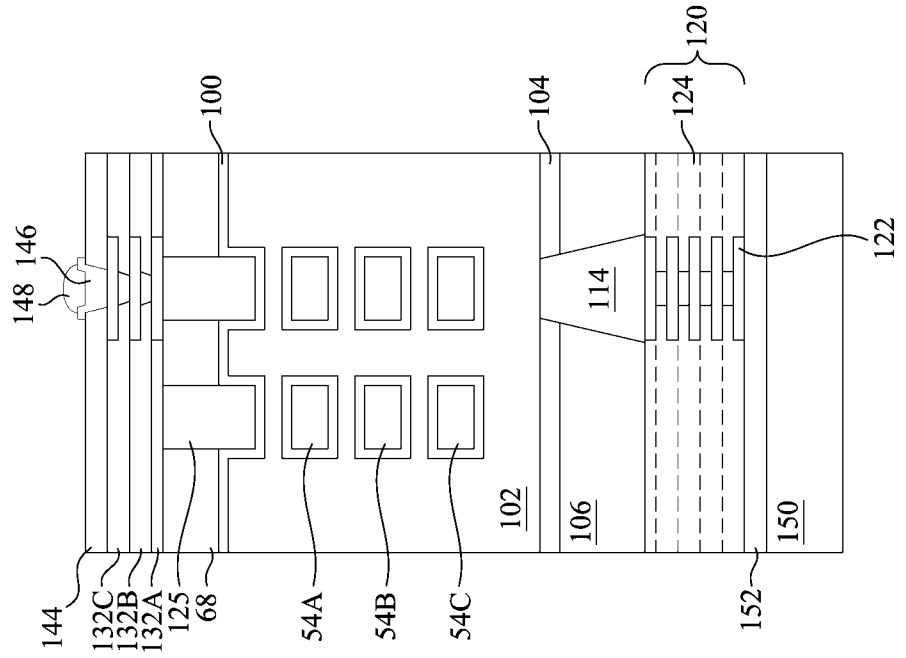
第27A圖



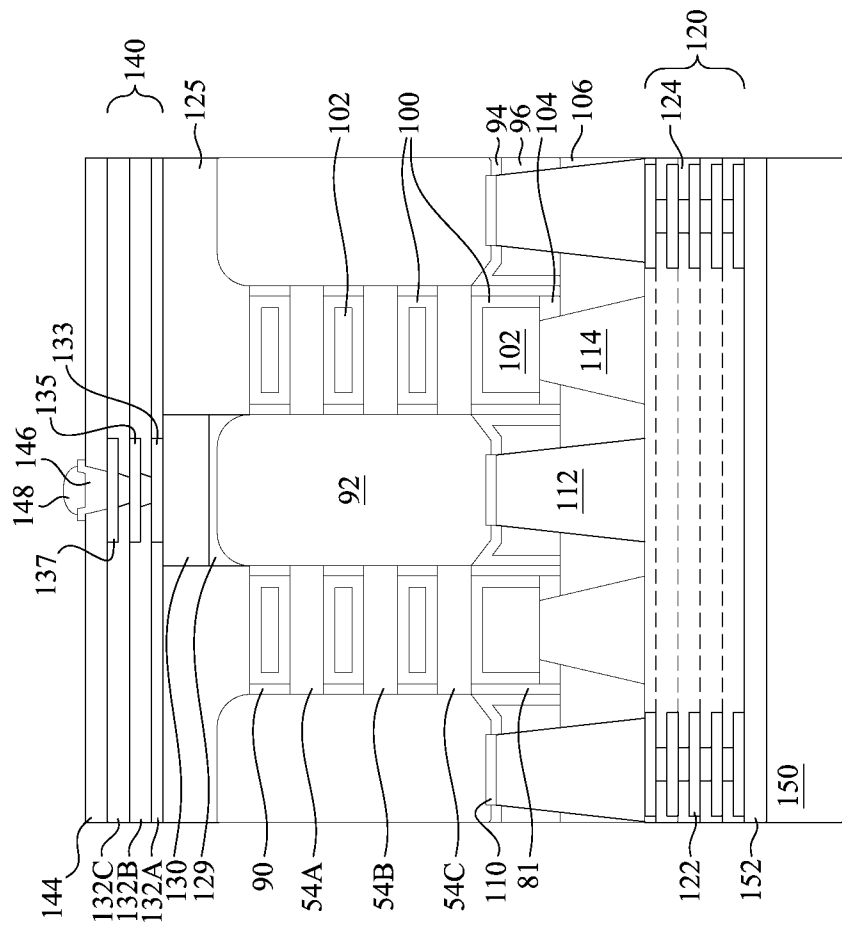
第 27C 圖



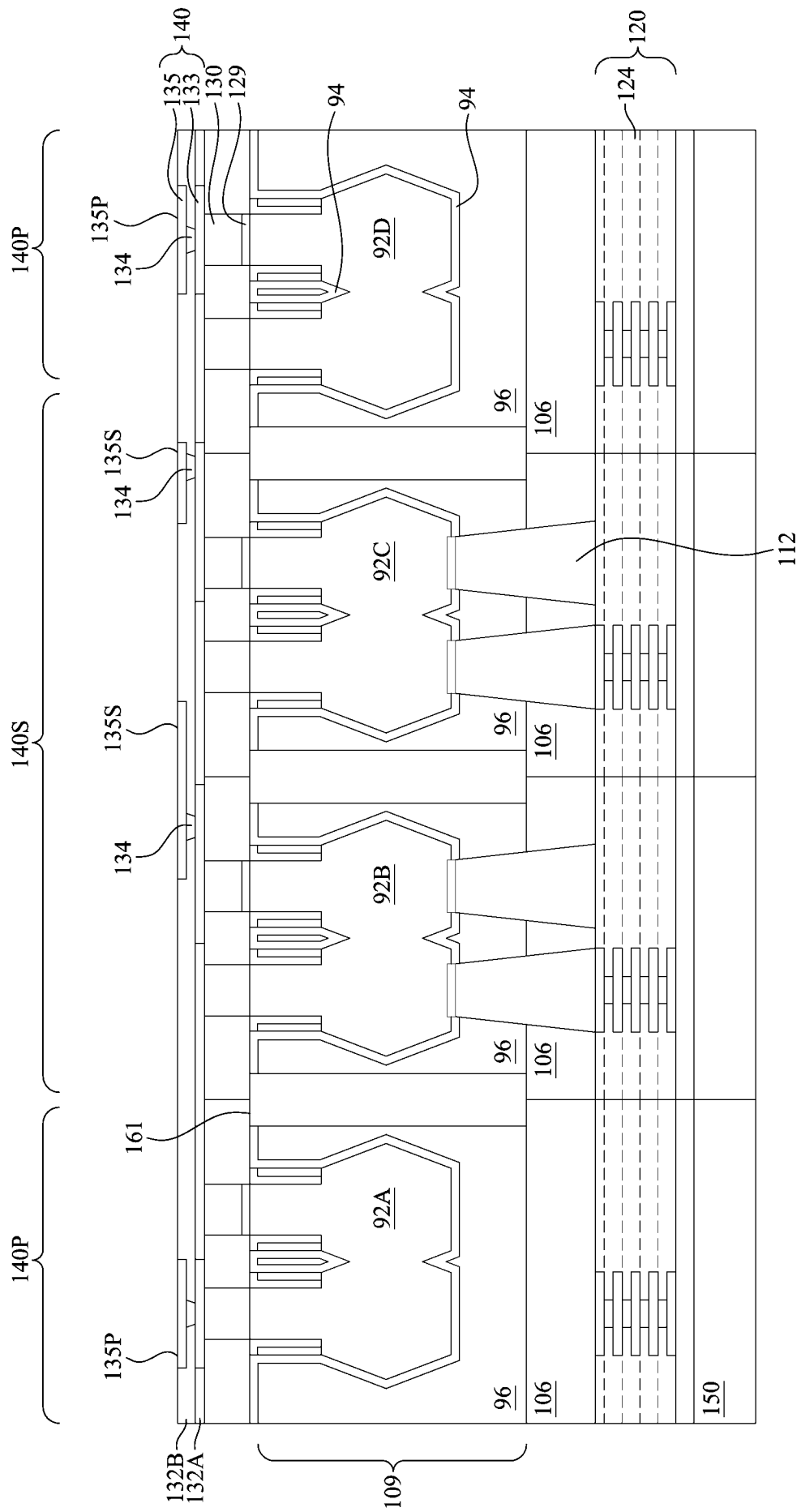
第 28B 圖



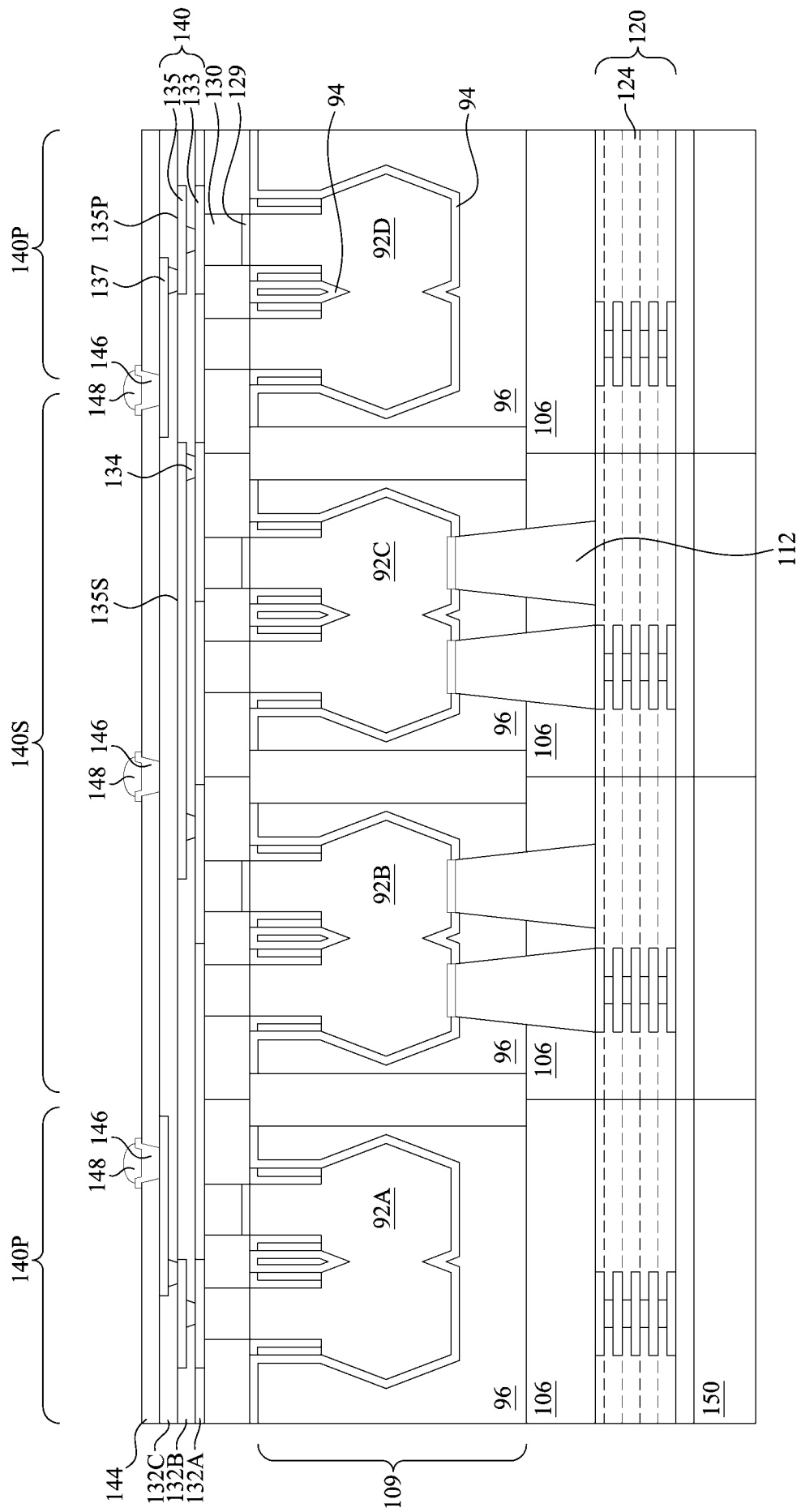
第 28A 圖



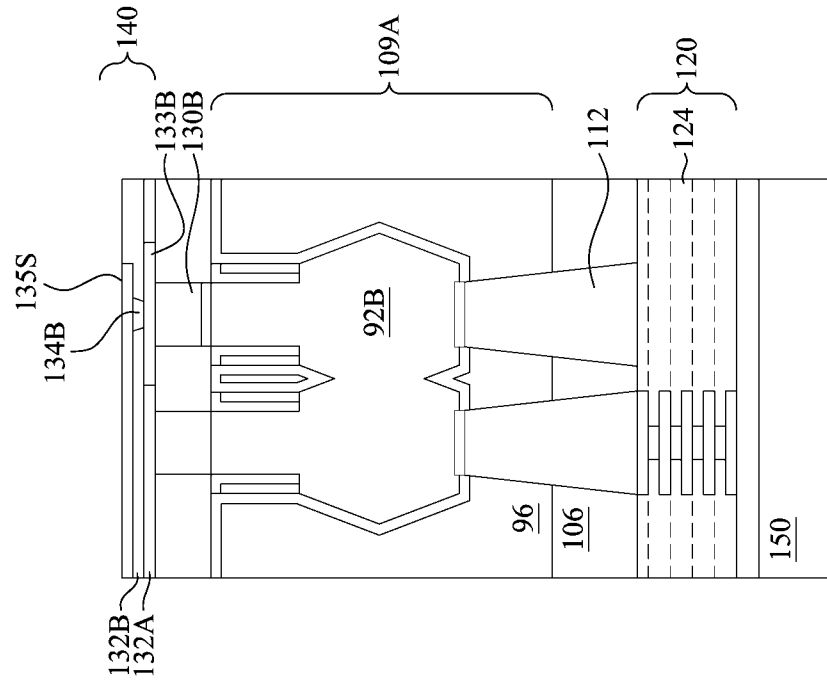
第 28C 圖



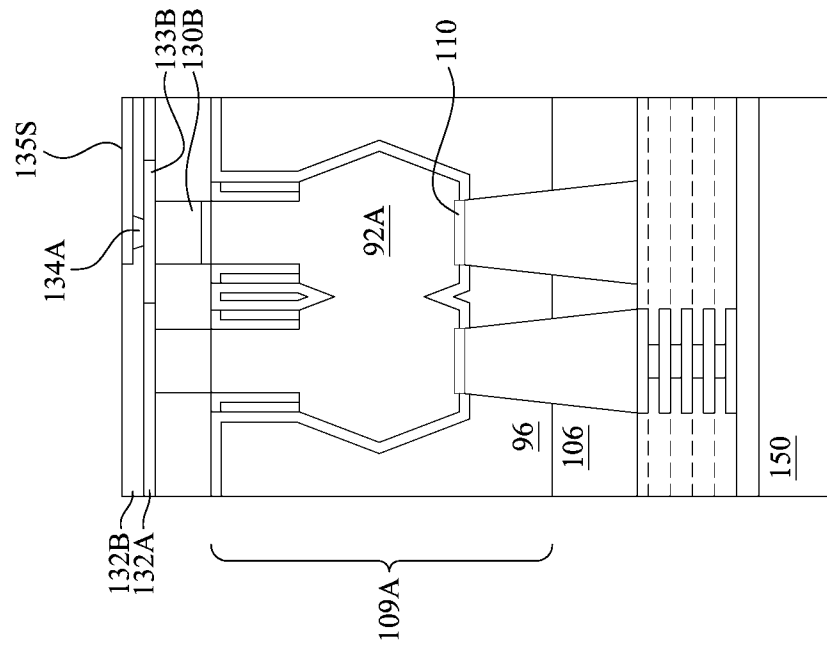
第 29A 圖



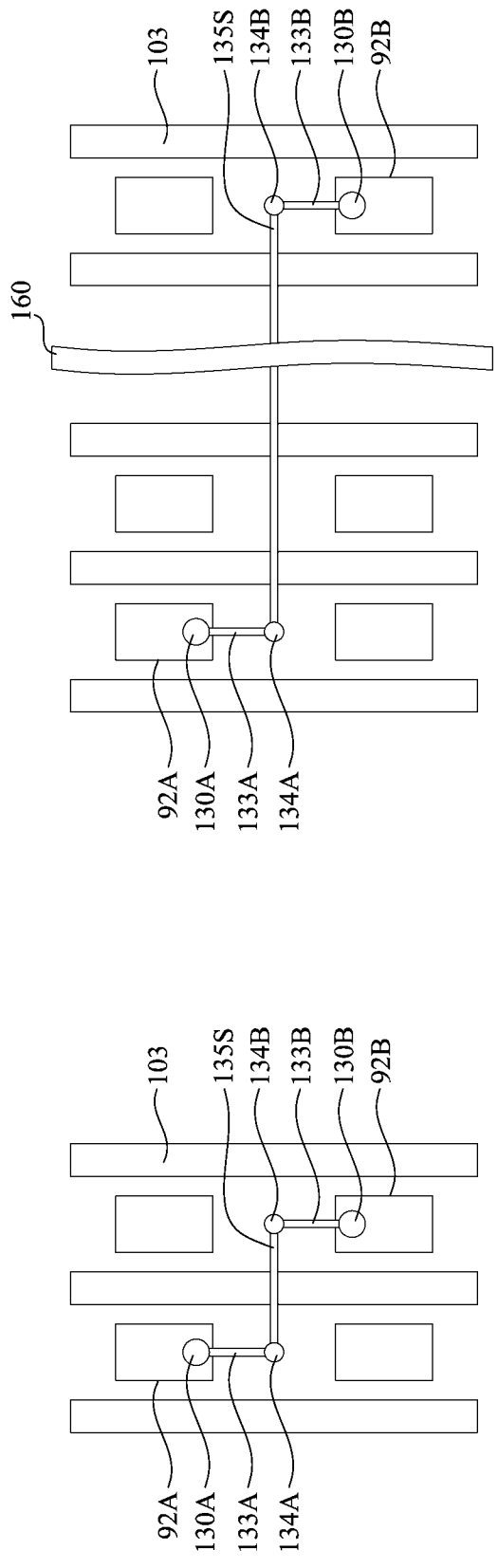
第 29B 圖



第 30B 圖

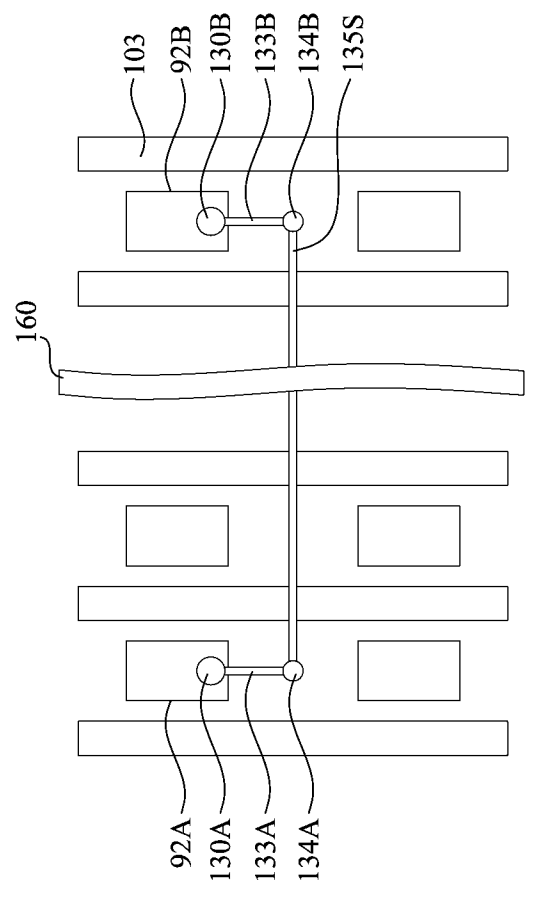


第 30A 圖

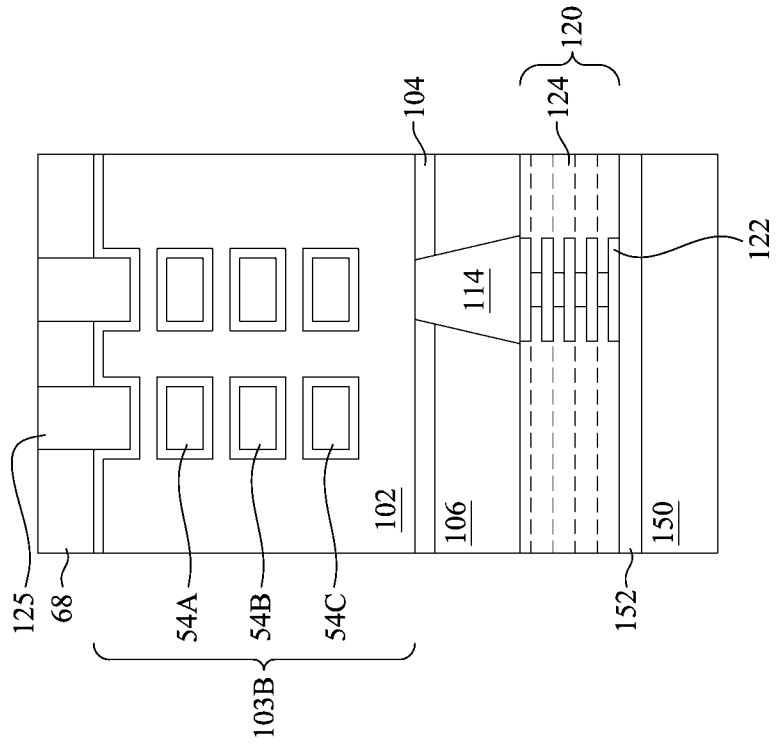


第 30D 圖

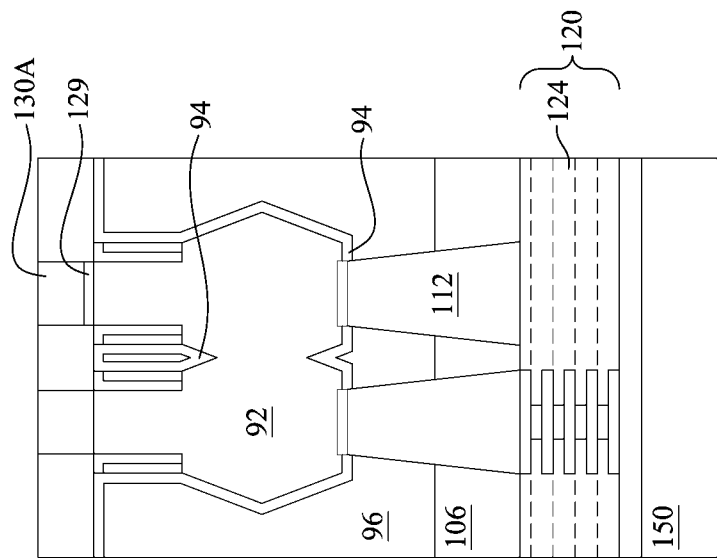
第 30C 圖



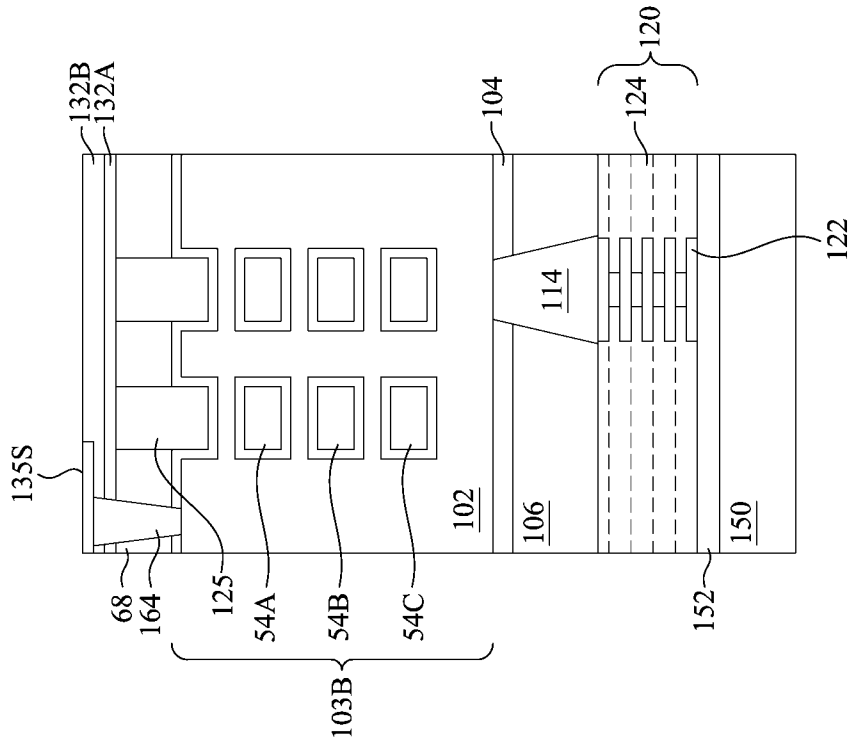
第 30E 圖



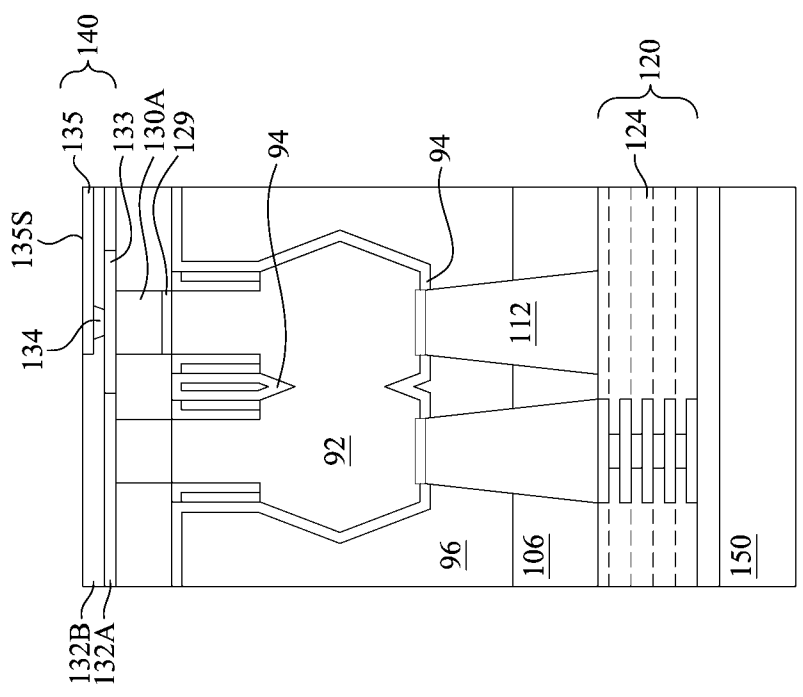
第31B圖



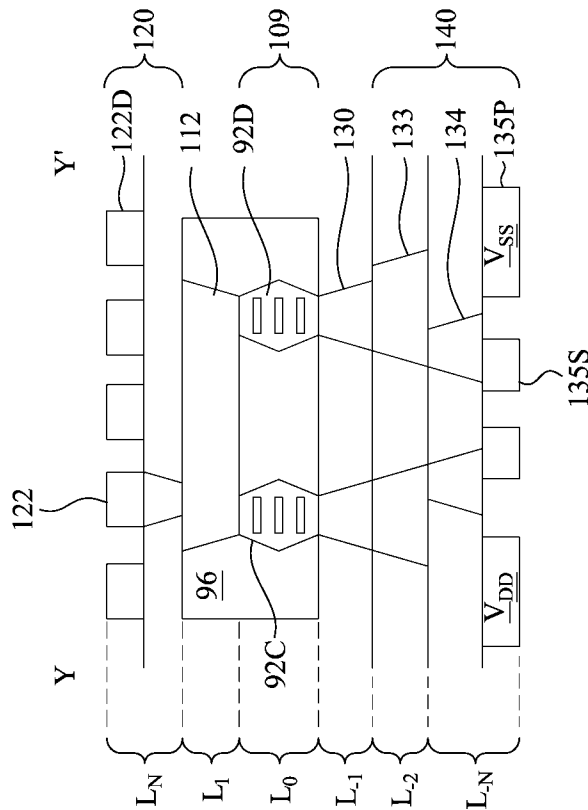
第31A圖



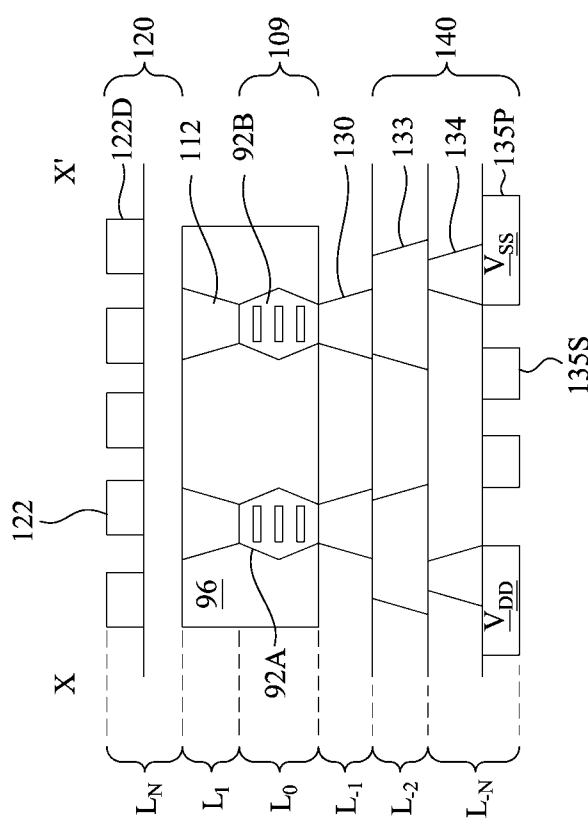
第31D圖



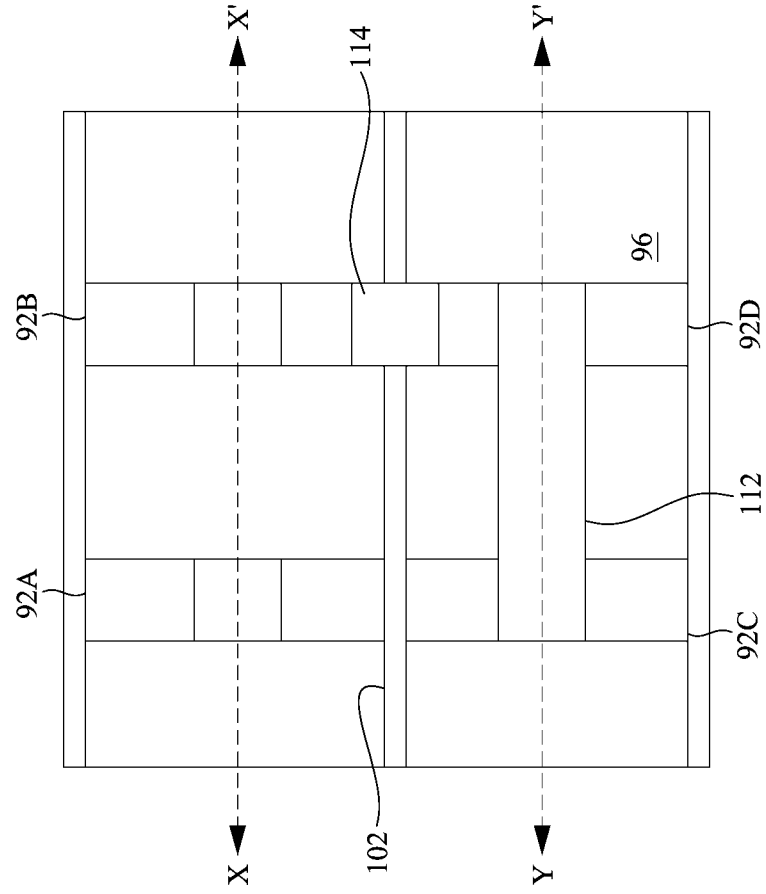
第31C圖



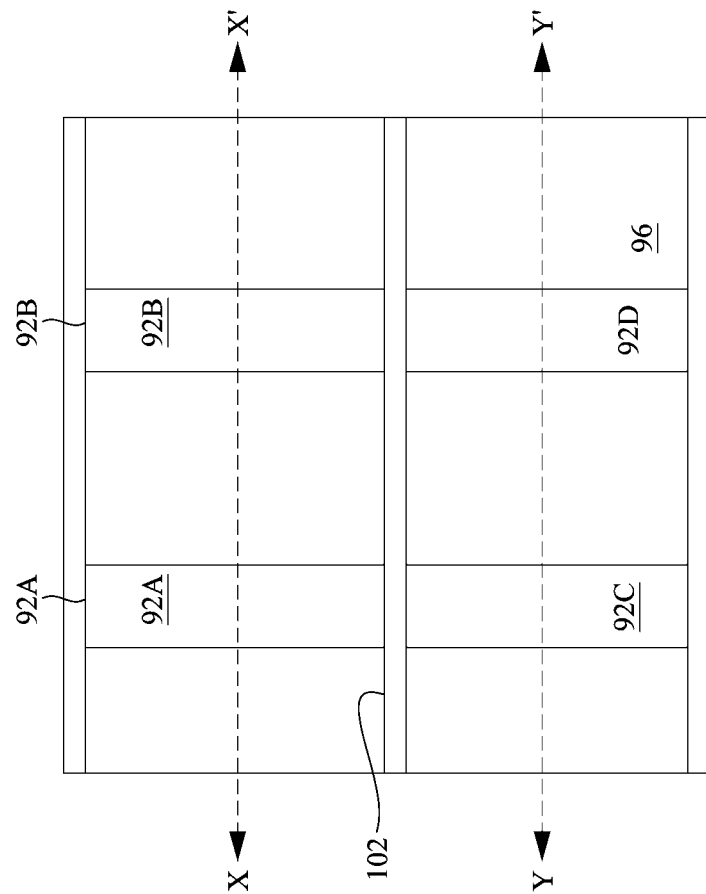
第 32B 圖



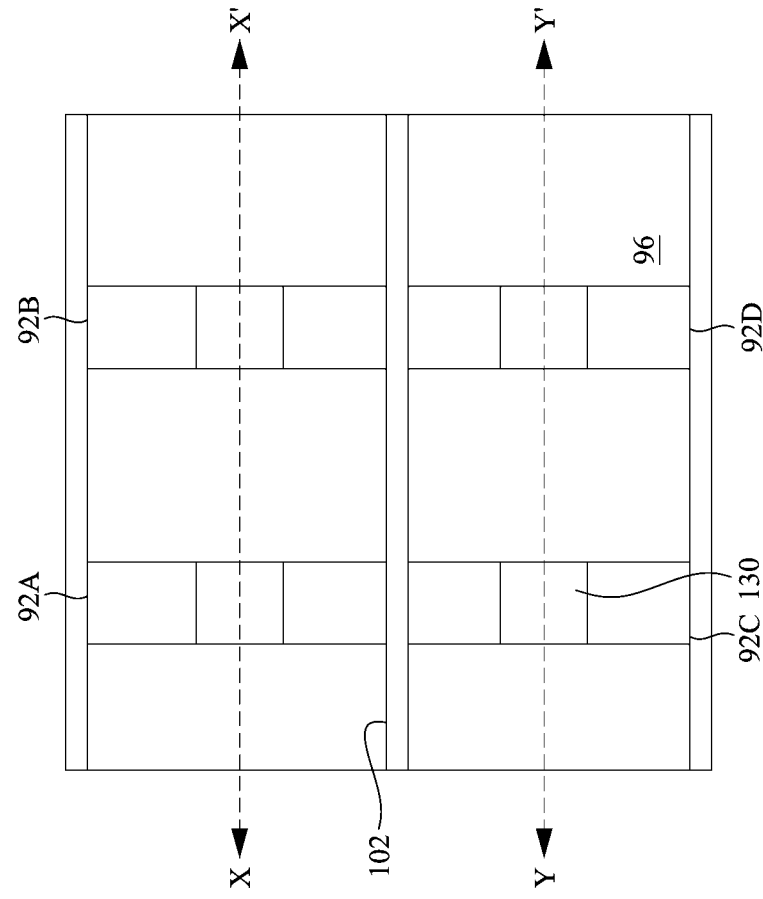
第 32A 圖



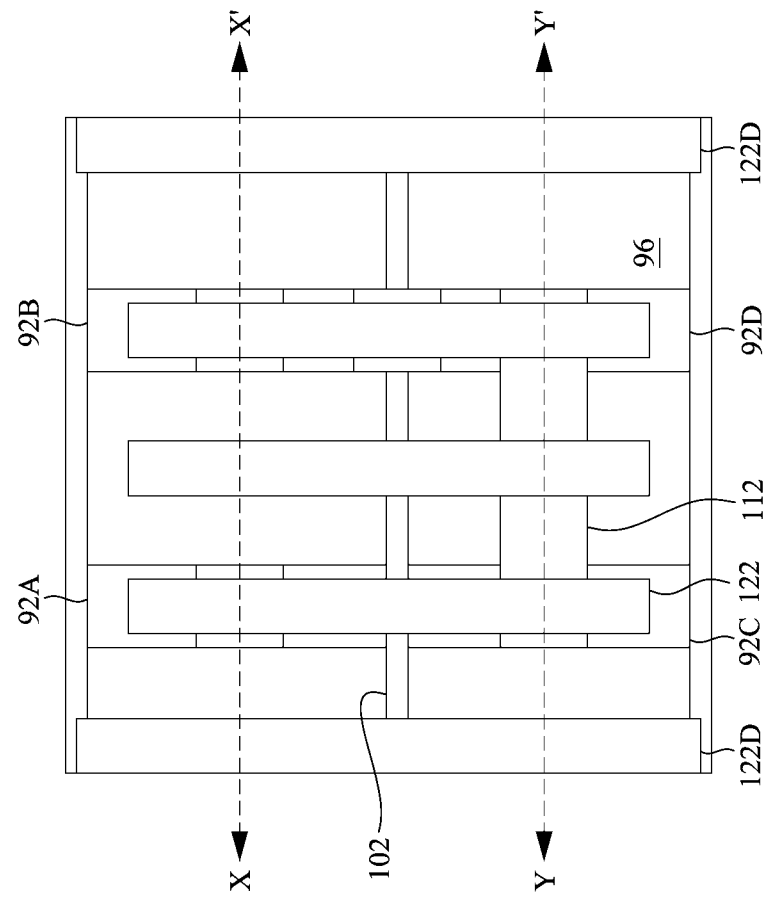
第 32C 圖



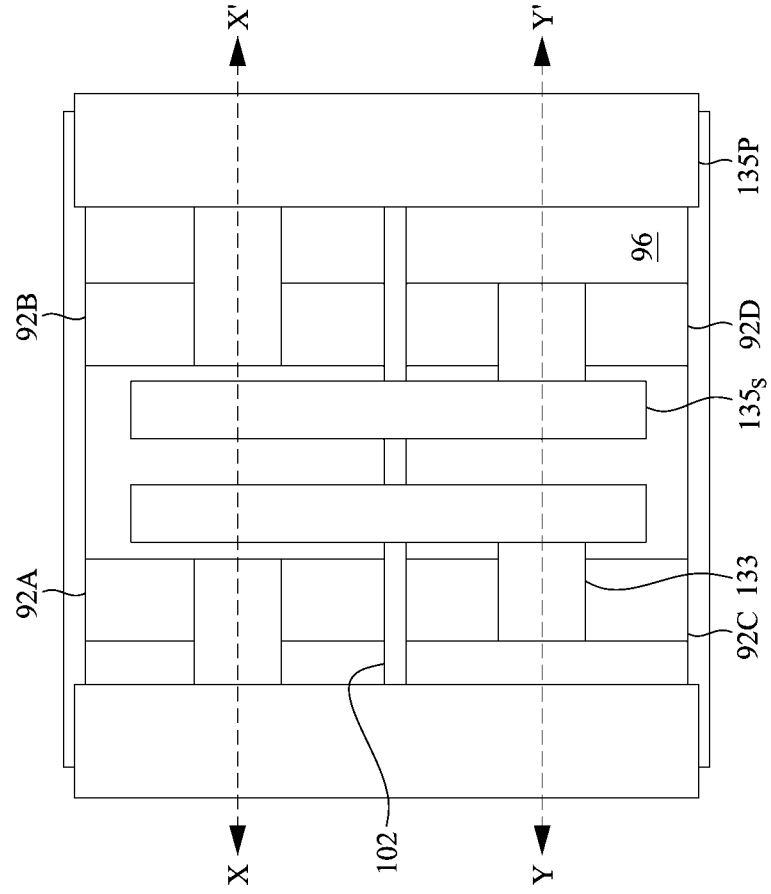
第 32D 圖



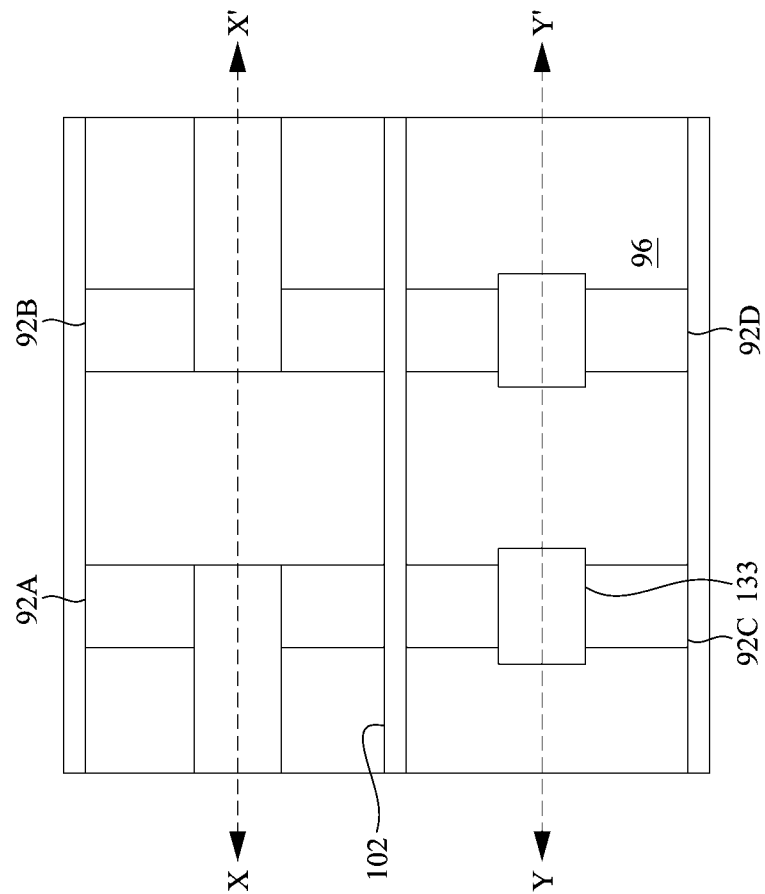
第 32F 圖



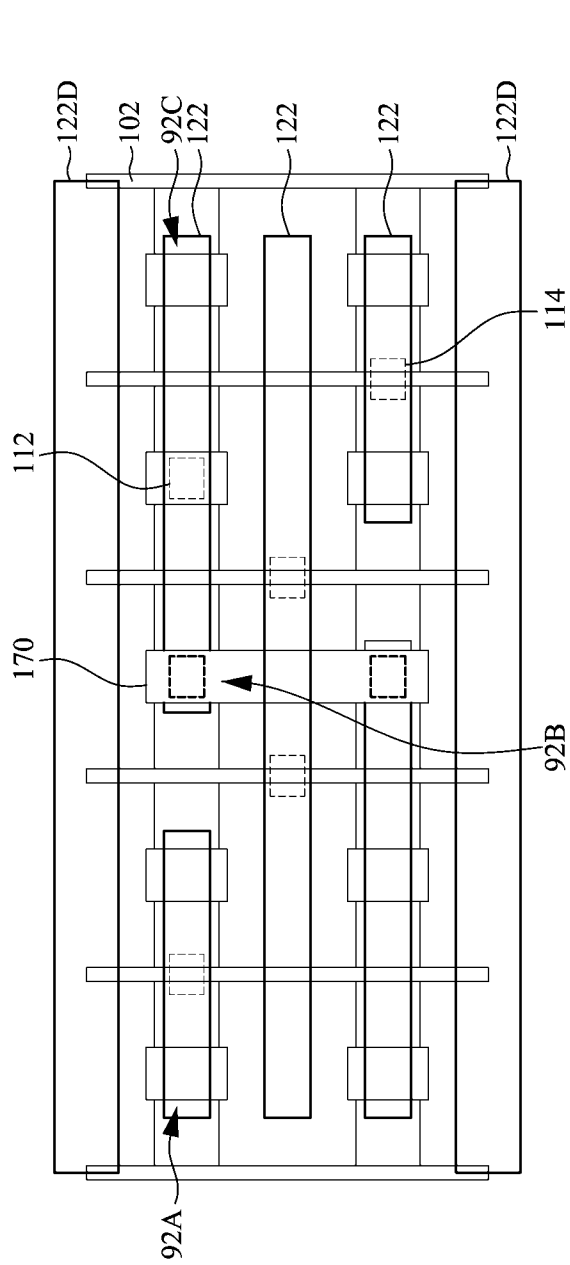
第 32E 圖



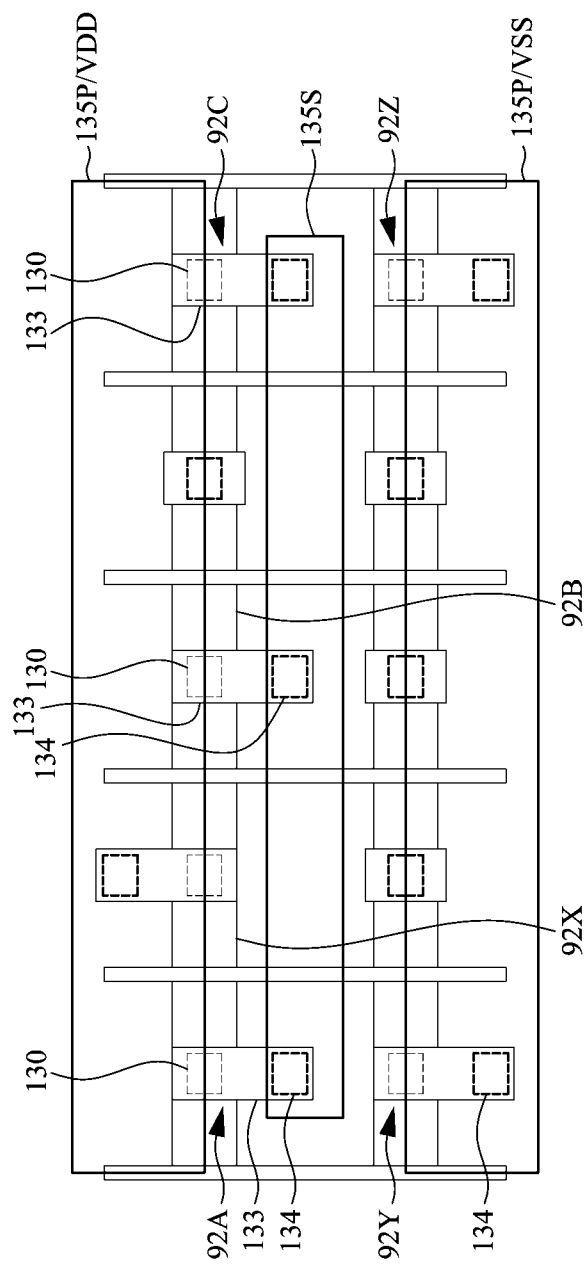
第32H圖



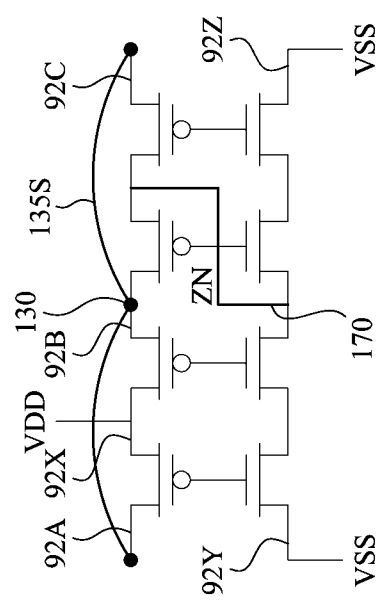
第32G圖



第 33A 圖



第 33B 圖



第 33C 圖



【發明摘要】

【中文發明名稱】

半導體裝置的形成方法

【英文發明名稱】

METHOD OF FORMING SEMICONDUCTOR DEVICES

【中文】

在一實施例中，一種形成一半導體裝置的方法包括：在第一基板上方形形成第一電晶體及第二電晶體；在第一電晶體及第二電晶體上方形成前側互連結構；蝕刻第一基板之至少一背側以暴露第一電晶體及第二電晶體；形成電連接至第一電晶體的第一背側通孔；形成電連接至第二電晶體的第二背側通孔；在第一背側通孔及第二背側通孔上方沈積介電層；在介電層中形成第一導電接線，第一導電接線為經由第一背側通孔電連接至第一電晶體的電源軌；及於介電層中形成第二導電接線，第二導電接線為經由第二背側通孔電連接至第二電晶體的信號接線。

【英文】

In an embodiment, a method of forming a semiconductor device includes forming a first transistor and a second transistor over a first substrate; forming a front-side interconnect structure over the first transistor and the second transistor; etching at least a backside of the first substrate to expose the first transistor and the second transistor; forming a first backside via electrically connected to the first transistor; forming a second backside via electrically connected to the second transistor; depositing a

dielectric layer over the first backside via and the second backside via; forming a first conductive line in the dielectric layer, the first conductive line being a power rail electrically connected to the first transistor through the first backside via; and forming a second conductive line in the dielectric layer, the second conductive line being a signal line electrically connected to the second transistor through the second backside via.

【指定代表圖】第(1)圖

【代表圖之符號簡單說明】

5 0	:	基板
5 5	:	奈米結構
6 6	:	鱗片
6 8	:	淺溝槽隔離區
9 2	:	磊晶源極/汲極區
1 0 0	:	閘極介電層
1 0 2	:	閘極電極
A - A '	:	橫截面
B - B '	:	橫截面
C - C '	:	橫截面

【發明說明書】

【中文發明名稱】

半導體裝置的形成方法

【英文發明名稱】

METHOD OF FORMING SEMICONDUCTOR DEVICES

【技術領域】

【0001】 本揭示內容是關於一種半導體裝置及其形成方法，特別是關於一種具有背側佈線的半導體裝置及其形成方法。

【先前技術】

【0002】 諸如個人電腦、行動電話、數位攝影機及其他電子設備的各種電子應用中使用半導體裝置。半導體裝置通常由以下方式製造：在半導體基板上方順序沈積絕緣或介電材料層、導電材料層及半導體材料層，並使用微影術圖案化各材料層來在半導體基板上形成電路組件及元件。

【0003】 半導體行業藉由持續減小最小特徵大小而持續改良多種電子組件(例如，電晶體、二極體、電阻器、電容器等等)之積體密度，此情形允許將更多組件整合至給定區域中。然而，隨著最小特徵大小減小，產生了應被解決的額外問題。

【發明內容】

【0004】 本揭示內容之一實施例揭露一種形成半導體裝置之方法。此方法包含：在第一基板上方形成第一電晶體及

第二電晶體；在第一電晶體及第二電晶體上方形成前側互連結構；蝕刻第一基板之至少一背側以暴露第一電晶體及第二電晶體；形成第一背側通孔，第一背側通孔電連接至第一電晶體；形成第二背側通孔，第二背側通孔電連接至第二電晶體；在第一背側通孔及第二背側通孔上方沈積介電層；在介電層中形成第一導電接線，第一導電接線為經由第一背側通孔電連接至第一電晶體的電源軌；及於介電層中形成第二導電接線，第二導電接線為經由第二背側通孔電連接至第二電晶體的信號接線。

【圖式簡單說明】

【0005】

本揭露的態樣在與隨附圖式一起研讀時自以下詳細描述內容來最佳地理解。應注意，根據行業中之標準慣例，各種特徵未按比例繪製。實際上，各種特徵的尺寸可為了論述清楚經任意地增大或減小。

第 1 圖以立體圖例示根據一些實施例的奈米場效電晶體的實例。

第 2 圖、第 3 圖、第 4 圖、第 5 圖、第 6 A 圖、第 6 B 圖、第 6 C 圖、第 7 A 圖、第 7 B 圖、第 7 C 圖、第 8 A 圖、第 8 B 圖、第 8 C 圖、第 9 A 圖、第 9 B 圖、第 9 C 圖、第 10 A 圖、第 10 B 圖、第 10 C 圖、第 11 A 圖、第 11 B 圖、第 11 C 圖、第 11 D 圖、第 12 A 圖、第 12 B 圖、第 12 C 圖、第 12 D 圖、第 12 E 圖、第 13 A 圖、第 13 B 圖、第 13 C 圖、第 14 A 圖、第 14 B 圖、

第 14 C 圖、第 15 A 圖、第 15 B 圖、第 15 C 圖、第 16 A 圖、第 16 B 圖、第 16 C 圖、第 17 A 圖、第 17 B 圖、第 17 C 圖、第 18 A 圖、第 18 B 圖、第 18 C 圖、第 19 A 圖、第 19 B 圖、第 19 C 圖、第 20 A 圖、第 20 B 圖、第 20 C 圖、第 21 A 圖、第 21 B 圖、第 21 C 圖、第 22 A 圖、第 22 B 圖、第 22 C 圖、第 23 A 圖、第 23 B 圖、第 23 C 圖、第 24 A 圖、第 24 B 圖、第 24 C 圖、第 25 A 圖、第 25 B 圖、第 25 C 圖、第 26 A 圖、第 26 B 圖、第 26 C 圖、第 27 A 圖、第 27 B 圖、第 27 C 圖、第 28 A 圖、第 28 B 圖、第 28 C 圖、第 29 A 圖、第 29 B 圖、第 30 A 圖、第 30 B 圖、第 31 A 圖、第 31 B 圖、第 31 C 圖、第 31 D 圖、第 32 A 圖及第 32 B 圖係根據一些實施例的製造奈米場效電晶體之中間階段的剖面圖。

第 30 C 圖、第 30 D 圖、第 30 E 圖、第 32 C 圖、第 32 D 圖、第 32 E 圖、第 32 F 圖、第 32 G 圖、第 32 H 圖、第 33 A 圖、第 33 B 圖、第 34 A 圖及第 34 B 圖例示根據一些實施例的製造奈米場效電晶體之中間階段的平面圖。

第 33 C 圖及第 34 C 圖為根據一些實施例的奈米場效電晶體的電路佈局。

【實施方式】

【0006】 以下揭露提供用於實施本揭示內容之不同特徵的

許多不同實施例或實例。下文描述組件及配置的特定實例以簡化本揭露。當然，此等組件及配置僅為實例且並非意欲為限制性的。舉例而言，在以下描述中第一特徵於第二特徵上方或上的形成可包括第一及第二特徵直接接觸地形成的實施例，且亦可包括額外特徵可形成於第一特徵與第二特徵之間使得第一特徵及第二特徵可不直接接觸的實施例。此外，本揭露在各種實例中可重複參考數字及/或字母。此重複係出於簡單及清楚的目的，且本身並不指明所論述之各種實施例及/或組態之間的關係。

【0007】 進一步地，為方便描述可在本文中使用的空間相對術語，諸如「在... ..之下」、「在... ..下方」、「下面的」、「在... ..上方」、「上面的」及其類似者來描述如在諸圖中所例示之一個元件或特徵與另外(諸等)元件或(諸等)特徵的關係。該等空間相對術語意欲除諸圖中所描繪之定向外，亦涵蓋裝置在使用或操作中之不同定向。裝置可另外定向(旋轉 90 度或處於其他定向)且據此可同樣解譯本文所用之空間相對描述詞。

【0008】 各種實施例提供用於在半導體裝置中形成信號及電源佈線的方法以及包括該信號及電源佈線的半導體裝置。在一些實施例中，佈線可形成於包括半導體裝置的半導體晶片之背側上的互連結構中。背側互連結構可經佈線用於電源接線、電接地接線及發信以提供至諸如電晶體或類似者之某些前側設備的連接性。此外，經由背側互連結構對電源接線、電接地接線及發信進行佈線可減小用於前側互

連結結構中的總佈線，此情形藉由減低佈線密度來改良佈線效能。

【0009】本文中論述之一些實施例在包括奈米場效電晶體 (NANO STRUCTURE FIELD-EFFECT TRANSISTOR; NANO-FET) 的晶粒的情形下進行描述。然而，各種實施例可應用至包括取代奈米場效電晶體或與奈米場效電晶體相結合的其他類型電晶體 (例如，鰭片式場效應電晶體 (fin field effect transistor; FinFET)、平面電晶體或類似者) 之晶粒。

【0010】第 1 圖以立體圖例示根據一些實施例的奈米場效電晶體 (例如，奈米線場效電晶體、奈米片場效電晶體或類似者) 的實例。奈米場效電晶體包含在基板 50 (例如，半導體基板) 上之鰭片 66 上方的奈米結構 55 (例如，奈米片，奈米線或類似者)，其中奈米結構 55 充當奈米場效電晶體的通道區。奈米結構 55 可包括 p 型奈米結構、n 型奈米結構或者其組合。淺溝槽隔離 (shallow trench isolation; STI) 區 68 設置於相鄰的鰭片 66 之間，該些鰭片 66 可自淺溝槽隔離區 68 上方及鄰近的淺溝槽隔離區 68 之間突出。儘管將淺溝槽隔離區 68 描述 / 例示為與基板 50 分離，但如本文所使用，術語「基板」可指單獨的半導體基板或半導體基板與淺溝槽隔離區之組合。另外，儘管例示鰭片 66 的底部部分與基板 50 一起例示為單種連續的材料，但鰭片 66 的底部部分及 / 或基板 50 可包含單種材料或複數種材料。在此情形下，鰭片 66 指在鄰近的淺溝槽隔離區 68 之間延

伸的部分。

【0011】 閘極介電層 100 係在鰭片 66 的頂表面上方並沿著奈米結構 55 的頂表面、側壁及底表面。閘極電極 102 係在閘極介電層 100 上方。磊晶源極/汲極區 92 設置在閘極介電層 100 與閘極電極 102 的相對側上的鰭片 66 上。

【0012】 第 1 圖進一步例示後續圖式中所使用的參考橫截面。橫截面 A - A' 係沿著閘極電極 102 的縱軸且位於例如與奈米場效電晶體的磊晶源極/汲極區 92 之間的電流方向垂直的方向上。橫截面 B - B' 與橫截面 A - A' 平行且延伸穿過多個奈米場效電晶體的磊晶源極/汲極區 92。橫截面 C - C' 垂直於橫截面 A - A'，與奈米場效電晶體的鰭片 66 的縱軸平行，且位於例如奈米場效電晶體的磊晶源極/汲極區 92 之間的電流的方向上。為了清楚，後續圖式參考此等參考橫截面。

【0013】 本文中論述的一些實施例係在使用後閘極製程形成的奈米場效電晶體的情形下予以論述。在其他實施例中，可使用前閘極製程。此外，一些實施例預期到用於諸如平面場效電晶體或鰭片式場效電晶體之平面設備中的態樣。

【0014】 第 2 圖至第 34 C 圖係根據一些實施例的製造奈米場效電晶體之中間階段的剖面圖。第 2 圖至第 5 圖、第 6 A 圖、第 7 A 圖、第 8 A 圖、第 9 A 圖、第 10 A 圖、第 11 A 圖、第 12 A 圖、第 13 A 圖、第 14 A 圖、第 15 A 圖、第 16 A 圖、第 17 A 圖、第 18 A 圖、第 19 A 圖、第 20 A 圖、第 21 A 圖、第 22 A 圖、第 23 A 圖、第 24 A 圖、第 25 A

圖、第 26A 圖、第 27A 圖、第 28A 圖及第 31A 圖至第 31D 圖例示第 1 圖所示的參考橫截面 A-A'。第 6B 圖、第 7B 圖、第 8B 圖、第 9B 圖、第 10B 圖、第 11B 圖、第 12B 圖、第 12D 圖、第 13B 圖、第 14B 圖、第 15B 圖、第 16B 圖、第 17B 圖、第 18B 圖、第 19B 圖、第 20B 圖、第 21B 圖、第 22B 圖、第 23B 圖、第 24B 圖、第 25B 圖、第 26B 圖、第 27B 圖、第 28B 圖、第 29A 圖、第 29B 圖、第 30A 圖、第 30B 圖，及第 31A 至第 31D 圖例示第 1 圖中所示的參考橫截面 B-B'。第 7C 圖、第 8C 圖、第 9C 圖、第 10C 圖、第 11C 圖、第 11D 圖、第 12C 圖、第 12E 圖、第 13C 圖、第 14C 圖、第 15C 圖、第 16C 圖、第 17C 圖、第 18C 圖、第 19C 圖、第 20C 圖、第 21C 圖、第 22C 圖、第 23C 圖、第 24C 圖、第 25C 圖、第 26C 圖、第 27C 圖及第 28C 圖例示第 1 圖中所示的參考橫截面 C-C'。第 32A 圖例示參考橫截面 X-X' (亦參見第 32A 圖及第 32C 圖至第 32H 圖)，該參考橫截面為參考橫截面 B-B' 的一版本。第 32B 圖例示參考橫截面 Y-Y' (亦參見第 32B 圖及第 32C 圖至第 32H 圖)，該參考橫截面為參考橫截面 B-B' 的另一版本。第 30C 圖至第 30E 圖、第 32C 圖至第 32H 圖、第 33A 圖、第 33B 圖、第 34A 圖及第 34B 圖例示平面圖。第 33C 圖及第 34C 圖例示電路佈局。

【0015】 在第 2 圖中，提供基板 50。基板 50 可係半導體基板，諸如塊半導體、絕緣體上半導體

(semiconductor-on-insulator; SOI) 基板或類似者，該基板可係摻雜的(例如，摻雜有 p 型或 n 型摻雜劑)或無摻雜的。基板 50 可係晶圓，諸如矽晶圓。一般而言，絕緣體上半導體基板係形成於絕緣體層上的一層半導體材料。絕緣體層可係例如埋入式氧化物(buried oxide; BOX)層、氧化矽層或類似者。絕緣體層提供於基板上，通常矽或玻璃基板上。亦可使用諸如多層或梯度基板之其他基板。在一些實施例中，基板 50 的半導體材料可包括矽；鍺；化合物半導體，包括碳化矽、砷化鎵、磷化鎵、磷化銮、砷化銮及/或銻化銮；合金半導體，包括矽鍺、砷磷化鎵、砷化銮鋁、砷化鎵鋁、砷化銮鎵、磷化銮鎵及/或砷磷化銮鎵；或其組合。

【0016】 基板 50 具有 n 型區 50N 及 p 型區 50P。n 型區 50N 可用於形成 n 型設備，諸如 n 型金氧半導體(n-type metal oxide semiconductor; NMOS)電晶體(例如，n 型奈米場效電晶體)，且 p 型區 50P 可用於形成 p 型設備，諸如 p 型金氧半導體(p-type metal oxide semiconductor; PMOS)電晶體(例如，p 型奈米場效電晶體)。n 型區 50N 可與 p 型區 50P 實體分離(如藉由分隔器 20 所例示)，且在 n 型區 50N 與 p 型區 50P 之間可設置任意數目個設備特徵(例如，其他主動設備、經摻雜的區、隔離結構等)。儘管例示了一個 n 型區 50N 及一個 p 型區 50P，但可提供任意數目個 n 型區 50N 及 p 型區 50P。

【0017】 進一步地，在第 2 圖中，在基板 50 上方形成多層堆疊 64。多層堆疊 64 包括第一半導體層 51A 至 51C (統稱為第一半導體層 51) 及第二半導體層 53A 至 53C (統稱為第二半導體層 53) 的交替層。為了例示且如下文更詳細地論述，將移除第一半導體層 51，並圖案化第二半導體層 53 以在 n 型區 50N 及 p 型區 50P 中形成奈米場效電晶體的通道區。然而，在一些實施例中，可移除第一半導體層 51 並可圖案化第二半導體層 53 以在 n 型區 50N 中形成奈米場效電晶體的通道區；且可移除第二半導體層 53 並可圖案化第一半導體層 51 以在 p 型區 50P 中形成奈米場效電晶體的通道區。在一些實施例中，可移除第二半導體層 53 並可圖案化第一半導體層 51 以在 n 型區 50N 中形成奈米場效電晶體的通道區；且可移除第一半導體層 51 並可圖案化第二半導體層 53 以在 p 型區 50P 中形成奈米場效電晶體的通道區。在一些實施例中，可移除第二半導體層 53，並可圖案化第一半導體層 51 以在 n 型區 50N 及 p 型區 50P 兩者中均形成奈米場效電晶體的通道區。

【0018】 出於例示目的，例示多層堆疊 64 為包括三層第一半導體層 51 及三層第二半導體層 53。在一些實施例中，多層堆疊 64 可包括任意數目個第一半導體層 51 及第二半導體層 53。可使用諸如化學氣相沈積 (chemical vapor deposition; CVD)、原子層沈積 (atomic layer deposition; ALD)、氣相磊晶 (vapor phase epitaxy; VPE)、分子束磊晶 (molecular beam epitaxy; MBE)

或類似者的製程來磊晶生長多層堆疊 64 的每一層。在各種實施例中，第一半導體層 51 可由適於諸如矽鍺或類似者的 p 型奈米場效電晶體的 first 半導體材料來形成，且第二半導體層 53 可由適於諸如矽、矽碳或類似者的 n 型奈米場效電晶體的第二半導體材料來形成。出於例示目的，例示多層堆疊 64 為具有適於 p 型奈米場效電晶體之最底部半導體層。在一些實施例中，可形成多層堆疊 64，使得最底部層係適於 n 型奈米場效電晶體的第二半導體層。

【0019】 第一半導體材料及第二半導體材料可係相互具有高蝕刻選擇性之材料。因此，可在不顯著移除第二半導體材料的第二半導體層 53 的情況下移除第一半導體材料的第一半導體層 51，從而允許對第二半導體層 53 進行圖案化來形成奈米場效電晶體的通道區。類似地，在移除第二半導體層 53 並圖案化第一半導體層 51 以形成通道區的實施例中，可在不顯著移除第一半導體材料的第一半導體層 51 的情況下移除第二半導體材料的第二半導體層 53，從而允許對第一半導體層 51 進行圖案化來形成奈米場效電晶體的通道區。

【0020】 現參看第 3 圖，根據一些實施例，鰭片 66 形成於基板 50 中，且奈米結構 55 形成於多層堆疊 64 中。在一些實施例中，可分別藉由在多層堆疊 64 及基板 50 中蝕刻溝槽而在多層堆疊 64 及基板 50 中形成奈米結構 55 及鰭片 66。蝕刻可係任何可接受的蝕刻製程，諸如反應離子蝕刻 (reactive ion etch ; RIE)、中性束蝕刻 (neutral

beam etch ; NBE)、類似者，或者其組合。蝕刻可係各向異性的。藉由蝕刻多層堆疊 64 來形成奈米結構 55 可進一步自第一半導體層 51 界定出第一奈米結構 52A 至 52C (統稱為第一奈米結構 52) 並自第二半導體層 53 界定出第二奈米結構 54A 至 54C (統稱為第二奈米結構 54)。第一奈米結構 52 及第二奈米結構 54 可統稱為奈米結構 55。

【0021】 可藉由任何合適的方法來圖案化鰭片 66 及奈米結構 55。舉例而言，鰭片 66 及奈米結構 55 可使用一或多個光微影製程，包括雙重圖案化或多重圖案化製程來圖案化。一般而言，雙重圖案化或多重圖案化製程結合光微影製程與自對準製程，從而允許產生例如與使用單個直接光微影製程可獲得之圖案相比具有更小節距之圖案。舉例而言，在一個實施例中，犧牲層形成於基板上方並使用光微影製程進行圖案化。使用自對準製程沿經圖案化之犧牲層形成間隔物。接著移除犧牲層，且接著剩餘的間隔物可用來圖案化鰭片 66。

【0022】 出於例示目的，第 3 圖例示 n 型區 50N 及 p 型區 50P 中的鰭片 66 具有實質上相等的寬度。在一些實施例中，n 型區 50N 中鰭片 66 的寬度可大於或小於 p 型區 50P 中鰭片 66 的寬度。進一步地，雖然例示鰭片 66 及奈米結構 55 中之每一者始終具有一致的寬度，但在其他實施例中，鰭片 66 及 / 或奈米結構 55 可具有錐形側壁，使得鰭片 66 及 / 或奈米結構 55 中之每一者的寬度在朝向基板 50 之方向上連續增大。在此種實施例中，奈米結構 55 中之每一者

可具有不同的寬度且形狀可為梯形。

【0023】 在第 4 圖中，淺溝槽隔離區 68 相鄰於鱗片 66 形成。可藉由在基板 50、鱗片 66 及奈米結構 55 上方且在相鄰的鱗片 66 之間沈積絕緣材料來形成淺溝槽隔離區 68。絕緣材料可係諸如氧化矽之氧化物、氮化物、類似者或者其組合，且可藉由高密度電漿化學氣相沈積 (high-density plasma chemical vapor deposition; HDP-CVD)、流動化學氣相沈積 (flowable chemical vapor deposition; FCVD)、類似者或者其組合形成。可使用藉由任何可接受的製程形成的其他絕緣材料。在例示的實施例中，絕緣材料係藉由流動化學氣相沈積製程形成的氧化矽。一旦形成了絕緣材料，即可執行退火製程。在一實施例中，形成絕緣材料，使得過多的絕緣材料覆蓋奈米結構 55。儘管將絕緣材料例示為單層，但一些實施例可利用多層絕緣材料。舉例而言，在一些實施例中，可首先沿基板 50、鱗片 66 及奈米結構 55 的表面形成襯裡 (未單獨例示)。其後，可在襯裡上方形成諸如上方所論述之彼等的填充材料。

【0024】 接著對絕緣材料應用移除製程來移除奈米結構 55 上方的過多絕緣材料。在一些實施例中，可利用諸如化學機械研磨 (chemical mechanical polish; CMP) 之平坦化製程、回蝕製程、其組合，或類似者。平坦化製程暴露奈米結構 55，使得在完成平坦化製程之後，使奈米結構 55 的頂表面與絕緣材料平齊。

【0025】 接著，使絕緣材料凹入來形成淺溝槽隔離區 68。絕緣材料經凹入，使得 n 型區 50N 及 p 型區 50P 中鱗片 66 之上部自鄰近的淺溝槽隔離區 68 之間突出。進一步地，淺溝槽隔離區 68 的頂表面可如圖所示具有平坦表面、凸起表面、凹陷表面(諸如碟形)或者其組合。可藉由適當的蝕刻使淺溝槽隔離區 68 的頂表面形成為平坦、凸起及/或凹陷的。可使用可接受的蝕刻製程，諸如對絕緣材料的材料具有選擇性(例如，與鱗片 66 及奈米結構 55 的材料相比，以更快速率蝕刻絕緣材料)的蝕刻製程使淺溝槽隔離區 68 凹入。舉例而言，可使用利用例如稀鹽酸(dilute hydrofluoric; DHF)的氧化物移除。

【0026】 上文關於第 2 圖至第 4 圖描述的製程僅為可如何形成鱗片 66 及奈米結構 55 的一個實例。在一些實施例中，鱗片 66 及/或奈米結構 55 可使用罩幕及磊晶生長製程來形成。舉例而言，可在基板 50 之頂表面上方形成介電層，並且溝槽可蝕刻穿過介電層來暴露下伏基板 50。可在溝槽中磊晶生長磊晶結構，且介電層可經凹入使得磊晶結構自介電層突出來形成鱗片 66 及/或奈米結構 55。磊晶結構可包含上文論述的交替的半導體材料，諸如第一半導體材料及第二半導體材料。在磊晶生長磊晶結構的一些實施例中，磊晶生長的材料可在生長過程中進行原位摻雜，此情形可避免之前及/或後續佈植，儘管可一起使用原位及佈植摻雜。

【0027】 另外，僅出於例示目的，第一半導體層 51 (及得

到的第一奈米結構 52) 及第二半導體層 53 (及得到的第二奈米結構 54) 本文中例示並論述為在 p 型區 50P 及 n 型區 50N 中包含相同材料。因此，在一些實施例中，第一半導體層 51 及第二半導體層 53 之一者或兩者在 p 型區 50P 及 n 型區 50N 中可係不同的材料或以不同的順序形成。

【0028】 進一步地，在第 4 圖中，可在鰭片 66、奈米結構 55 及 / 或淺溝槽隔離區 68 中形成適當的阱 (未單獨例示)。在具有不同阱類型的實施例中，可使用光阻劑或其他罩幕 (未單獨例示) 來達成用於 n 型區 50N 及 p 型區 50P 的不同的佈植步驟。舉例而言，可在 n 型區 50N 及 p 型區 50P 中的鰭片 66 及淺溝槽隔離區 68 上方形成光阻劑。對光阻劑進行圖案化來暴露 p 型區 50P。可藉由使用旋塗技術來形成光阻劑，並且可使用可接受的光微影技術來圖案化光阻劑。光阻劑一旦經圖案化，便在 p 型區 50P 中執行 n 型雜質佈植，且光阻劑可充當罩幕來實質上防止 n 型雜質被佈植到 n 型區 50N 中。n 型雜質可係在區中佈植達範圍為大約 10^{13} 原子 / cm^3 至大約 10^{14} 原子 / cm^3 之濃度的磷、砷、銻或類似者。在佈植之後，藉由諸如可接受的灰化製程來移除光阻劑。

【0029】 在 p 型區 50P 的佈植之後或之前，在 p 型區 50P 及 n 型區 50N 中的鰭片 66、奈米結構 55 及淺溝槽隔離區 68 上方形成光阻劑或其他罩幕 (未單獨例示)。對光阻劑進行圖案化來暴露 n 型區 50N。可藉由使用旋塗技術來形成光阻劑，並且可使用可接受的光微影技術來圖案化光阻劑。

光阻劑一旦經圖案化，便可在 n 型區 50N 中執行 p 型雜質佈植，且光阻劑可充當罩幕來實質上防止 p 型雜質被佈植到 p 型區 50P 中。p 型雜質可係在區中佈植達範圍為大約 10^{13} 原子/cm³ 至大約 10^{14} 原子/cm³ 之濃度的硼、氟化硼、銻或類似者。在佈植之後，可藉由諸如可接受的灰化製程來移除光阻劑。

【0030】 在 n 型區 50N 及 p 型區 50P 的佈植之後，可執行退火來修復佈植損傷並活化經佈植的 p 型及 / 或 n 型雜質。在一些實施例中，磊晶鱗片的生長材料可在生長過程中進行原位摻雜，此情形可避免佈植，儘管可一起使用原位及佈植摻雜。

【0031】 在第 5 圖中，虛設介電層 70 形成於鱗片 66 及 / 或奈米結構 55 上。虛設介電層 70 可係例如氧化矽、氮化矽、其組合或類似者，且可根據可接受的技術進行沈積或熱生長。虛設閘極層 72 形成於虛設介電層 70 上方，且罩幕層 74 形成於虛設閘極層 72 上方。虛設閘極層 72 可沈積於虛設介電層 70 上方且接著藉由諸如化學機械研磨進行平坦化。罩幕層 74 可沈積於虛設閘極層 72 上方。虛設閘極層 72 可係導電或不導電材料，且可選自包括以下各者之群組：非晶矽 (amorphous silicon)、多晶矽 (polycrystalline-silicon, polysilicon)、多晶矽鍺 (poly-crystalline silicon-germanium ; poly-SiGe)、金屬氮化物、金屬矽化物、金屬氧化物及金屬。虛設閘極層 72 可藉由物理氣相沈積 (physical

vapor deposition ; PVD)、化學氣相沈積、濺射沈積 (sputter deposition) 或其他用於沈積所選材料之技術進行沈積。虛設閘極層 72 可由針對隔離區蝕刻具有高蝕刻選擇性之其他材料製成。罩幕層 74 可包括例如氮化矽、氧氮化矽或類似者。在此實例中，橫跨 n 型區 50N 及 p 型區 50P 形成單個虛設閘極層 72 及單個罩幕層 74。應理解，僅出於例示目的，繪示虛設介電層 70 僅覆蓋鰭片 66 及奈米結構 55。在一些實施例中，可沈積虛設介電層 70，使得虛設介電層 70 覆蓋淺溝槽隔離區 68，使得虛設介電層 70 在虛設閘極層 72 與淺溝槽隔離區 68 之間延伸。

【0032】 第 6A 圖至第 28C 圖例示實施例設備製造中之各種額外步驟。第 6A 圖至第 18C 圖例示 n 型區 50N 或 p 型區 50P 中之特徵。在第 6A 圖至第 6C 圖中，罩幕層 74 (參見第 5 圖) 可使用可接受的光微影及蝕刻技術進行圖案化來形成罩幕 78。罩幕 78 的圖案接著可被轉印至虛設閘極層 72 及虛設介電層 70 來分別形成虛設閘極 76 及虛設閘極介電質 71。虛設閘極 76 覆蓋鰭片 66 的各別通道區。罩幕 78 的圖案可用來實體分離每個虛設閘極 76 與相鄰的虛設閘極 76。虛設閘極 76 亦可具有實質上與各別鰭片 66 的長度方向垂直的長度方向。

【0033】 在第 7A 圖至第 7C 圖中，第一間隔物層 80 及第二間隔物層 82 形成於第 6A 圖至第 6C 圖中所示的結構上方。第一間隔物層 80 及第二間隔物層 82 後續將被圖案化來充當用於形成自對準源極/汲極區の間隔物。在第 7A 圖

至第 7C 圖中，第一間隔物層 80 形成於淺溝槽隔離區 68 的頂表面上；鱗片 66、奈米結構 55 及罩幕 78 的頂表面及側壁上；及虛設閘極 76 及虛設閘極介電質 71 的側壁上。第二間隔物層 82 沈積於第一間隔物層 80 上方。第一間隔物層 80 可使用諸如熱氧化之技術由氧化矽、氮化矽、氮氧化矽或類似者形成或藉由化學氣相沈積、原子層沈積或類似者進行沈積。第二間隔物層 82 可由蝕刻速率與第一間隔物層 80 的材料不同的材料，諸如氧化矽、氮化矽、氮氧化矽或類似者形成，並且可藉由化學氣相沈積、原子層沈積或類似者進行沈積。

【0034】 在形成第一間隔物層 80 之後且在形成第二間隔物層 82 之前，可執行用於輕度摻雜源極 / 汲極 (lightly doped drain; LDD) 區 (未單獨例示) 之佈植。在具有不同設備類型的實施例中，與上文在第 4 圖中論述的佈植類似，諸如光阻劑的罩幕可形成於 n 型區 50N 上方，同時暴露 p 型區 50P，並且可將合適類型 (例如，p 型) 的雜質佈植於 p 型區 50P 中所暴露的鱗片 66 及奈米結構 55。接著可移除罩幕。隨後，諸如光阻劑的罩幕可形成於 p 型區 50P 上方，同時暴露 n 型區 50N，並且可將合適類型的雜質 (例如，n 型雜質) 佈植於 n 型區 50N 中所暴露的鱗片 66 及奈米結構 55。接著可移除罩幕。n 型雜質可係前文論述的 n 型雜質的任一者，且 p 型雜質可係前文論述的 p 型雜質的任一者。輕度摻雜的源極 / 汲極區可具有範圍為大約 1×10^{15} 原子 / cm^3 至大約 1×10^{19} 原子 / cm^3 的雜質濃度。

退火可用來修復佈植損傷且活化佈植的雜質。

【0035】 在第 8 A 圖至第 8 C 圖中，蝕刻第一間隔物層 8 0 及第二間隔物層 8 2 來形成第一間隔物 8 1 及第二間隔物 8 3。如下文將更詳細地進行論述，第一間隔物 8 1 及第二間隔物 8 3 用來使後續形成的源極/汲極區自對準以及在後續處理過程中保護鰭片 6 6 及/或奈米結構 5 5 的側壁。可使用諸如各向同性蝕刻製程(例如，濕式蝕刻製程)、各向異性蝕刻製程(例如，乾式蝕刻製程)或類似者的合適的蝕刻製程來蝕刻第一間隔物層 8 0 及第二間隔物層 8 2。在一些實施例中，與第一間隔物層 8 0 的材料相比，第二間隔物層 8 2 的材料具有不同的蝕刻速率，使得第一間隔物層 8 0 可在圖案化第二間隔物層 8 2 時充當蝕刻終止層，且使得第二間隔物層 8 2 可在圖案化第一間隔物層 8 0 時充當罩幕。舉例而言，可使用各向異性蝕刻製程來蝕刻第二間隔物層 8 2，其中第一間隔物層 8 0 充當蝕刻終止層，其中第二間隔物層 8 2 的剩餘部分形成第 8 B 圖中所示的第二間隔物 8 3。其後，在蝕刻第一間隔物層 8 0 的所暴露的部分時，第二間隔物 8 3 充當罩幕，從而形成第 8 B 圖及第 8 C 圖中所示的第一間隔物 8 1。

【0036】 如第 8 B 圖中所示，第一間隔物 8 1 及第二間隔物 8 3 設置於鰭片 6 6 及/或奈米結構 5 5 的側壁上。如第 8 C 圖中所示，在一些實施例中，第二間隔物層 8 2 可自相鄰於罩幕 7 8、虛設閘極 7 6 及虛設閘極介電質 7 1 之第一間隔物層 8 0 上方移除，且第一間隔物 8 1 設置於罩幕 7 8、虛

設閘極 76 及虛設閘極介電質 60 的側壁上。在其他實施例中，第二間隔物層 82 的一部分可剩餘在相鄰於罩幕 78、虛設閘極 76 及虛設閘極介電質 71 之第一間隔物層 80 上方。

【0037】 應注意，上述揭露大體描述形成間隔物及輕度摻雜汲極區之製程。可使用其他製程及序列。舉例而言，可利用更少或額外間隔物，可利用不同的步驟序列(例如，可在沈積第二間隔物層 82 之前圖案化第一間隔物 81)，可形成並移除額外間隔物及/或類似者。此外，可使用不同結構及步驟形成 n 型及 p 型設備。

【0038】 在第 9A 圖至第 9C 圖中，根據一些實施例，在鰭片 66、奈米結構 55 及基板 50 中形成第一凹部 86 及第二凹部 87。磊晶源極/汲極區後續將在第一凹部 86 中形成，且第一磊晶材料及磊晶源極/汲極區後續將在第二凹部 87 中形成。第一凹部 86 及第二凹部 87 可延伸穿過第一奈米結構 52 及第二奈米結構 54 並延伸至基板 50 中。如第 9B 圖中所示，淺溝槽隔離區 68 的頂表面可與第一凹部 86 的底表面平齊。在各種實施例中，可蝕刻鰭片 66，使得第一凹部 86 的底表面設置成低於淺溝槽隔離區 68 的頂表面。第二凹部 87 的底表面可設置在第一凹部的底表面及淺溝槽隔離區 68 的頂表面下方。可藉由使用諸如反應離子蝕刻、中性束蝕刻或類似者的各向異性蝕刻製程蝕刻鰭片 66、奈米結構 55 及基板 50 來形成第一凹部 86 及第二凹部 87。在用於形成第一凹部 86 及第二凹部 87 的蝕刻製程期間，

第一間隔物 81、第二間隔物 83 及罩幕 78 遮蔽鰭片 66、奈米結構 55 及基板 50 的數個部分。可使用單個蝕刻製程或多個蝕刻製程來蝕刻奈米結構 55 及/或鰭片 66 的每一層。可使用定時蝕刻製程以在第一凹部 86 及第二凹部 87 達到所要深度之後終止蝕刻。可藉由用於蝕刻第一凹部 86 的相同製程及在蝕刻第一凹部 86 之前或之後藉由額外蝕刻製程來蝕刻第二凹部 87。舉例而言，在執行針對第二凹部 87 的額外蝕刻製程同時，可遮蔽對應於第一凹部 86 的區。

【0039】 在第 10A 圖至第 10C 圖中，蝕刻由第一凹部 86 及第二凹部 87 暴露的由第一半導體材料(例如，第一奈米結構 52)形成的多層堆疊 64 之各層的側壁的一部分，以形成側壁凹部 88。儘管在第 10C 圖中與側壁凹部 88 相鄰的第一奈米結構 52 的側壁例示為係直線，但側壁亦可係凹陷或凸起的。可使用諸如濕式蝕刻或類似者的各向同性蝕刻製程來蝕刻側壁。在第一奈米結構 52 包括例如矽鍺(SiGe)且第二奈米結構 54 包括例如矽或碳化矽(SiC)之實施例中，可使用利用四甲基氫氧化銨(tetramethylammonium hydroxide; TMAH)、氫氧化銨(NH₄OH)或類似者之乾式蝕刻製程來蝕刻第一奈米結構 52 的側壁。

【0040】 在第 11A 圖至第 11D 圖中，第一內部間隔物 90 形成於側壁凹部 88 中。可藉由在第 10A 圖至第 10C 圖中所示的結構上方沈積內部間隔物層(未單獨例示)來形成第

一內部間隔物 90。第一內部間隔物 90 充當後續形成的源極/汲極區與閘極結構之間的隔離特徵。如下文將更詳細地進行論述，源極/汲極區及磊晶材料將在第一凹部 86 及第二凹部 87 中形成，而第一奈米結構 52 將用對應的閘極結構替代。

【0041】 可藉由保形沈積製程，諸如化學氣相沈積、原子層沈積或類似者來沈積內部間隔物層。內部間隔物層可包含諸如氮化矽或氮氧化矽的材料，但是可利用任何合適的材料，諸如 k 值小於約 3.5 的低介電常數(低 k)材料。接著可各向異性地蝕刻內部間隔物層以形成第一內部間隔物 90。儘管第一內部間隔物 90 的外部側壁被例示為與第二奈米結構 54 的側壁相平，但是第一內部間隔物 90 的外部側壁可延伸超過第二奈米結構 54 的側壁或自該側壁凹入。

【0042】 此外，儘管第一內部間隔物 90 的外部側壁在第 11C 圖中被例示為直線，但是第一內部間隔物 90 的外部側壁亦可係凹陷或凸起的。作為實例，第 11D 圖例示第一奈米結構 52 的側壁為凹陷的實施例，第一內部間隔物 90 的外部側壁為凹陷的，且第一內部間隔物 90 自第二奈米結構 54 的側壁凹入。可藉由各向異性蝕刻製程，諸如反應離子蝕刻、中性束蝕刻或類似者來蝕刻內部間隔物層。第一內部間隔物 90 可用來防止藉由後續蝕刻製程(諸如用於形成閘極結構的蝕刻製程)對後續形成之源極/汲極區(諸如下文關於第 12A 圖至第 12E 圖所論述的磊晶源極/汲極區

92) 的損傷。

【0043】 在第 12 A 圖至第 12 E 圖中，第一磊晶材料 91 形成於第二凹部 87 中，且磊晶源極/汲極區 92 形成於第一凹部 86 及第二凹部 87 中。在一些實施例中，第一磊晶材料 91 可係犧牲材料，該犧牲材料後續被移除以形成背側通孔(諸如下文關於第 26 A 圖至第 26 D 圖所論述的背側通孔 130)。如第 12 B 圖至第 12 E 圖中所示，第一磊晶材料 91 的頂表面可與第一凹部 86 的底表面平齊。然而，在一些實施例中，第一磊晶材料 91 的頂表面可設置成在第一凹部 86 的底表面上方或下方。可使用諸如化學氣相沈積、原子層沈積、氣相磊晶、分子束磊晶或類似者的製程來在第二凹部 87 中磊晶生長第一磊晶材料 91。第一磊晶材料 91 可包括任何可接受的材料，諸如矽鍺或類似者。第一磊晶材料 91 可由對磊晶源極/汲極區 92 及介電層(諸如下文關於第 24 A 圖至第 24 C 圖所論述的淺溝槽隔離區 68 及第二介電層 125)的材料具有高蝕刻選擇性的材料形成。因此，第一磊晶材料 91 可在不顯著移除磊晶源極/汲極區 92 及介電層的情況下移除且用背側通孔替代。類似地，如先前所描述，在第一磊晶材料 91 形成於第二凹部 87 中同時，對應於第一凹部 86 之區可被遮蔽。

【0044】 磊晶源極/汲極區 92 接著形成於第一凹部 86 中且第二凹部 87 中的第一磊晶材料 91 上方。在一些實施例中，磊晶源極/汲極區 92 可在第二奈米結構 54 上施加應力，從而改良效能。如第 12 C 圖中所示，磊晶源極/汲極區 92

形成於第一凹部 86 及第二凹部 87 中，使得每個虛設閘極 76 設置於各別鄰近的成對磊晶源極/汲極區 92 之間。在一些實施例中，第一間隔物 81 用來將磊晶源極/汲極區 92 與虛設閘極 76 分離，且第一內部間隔物 90 用來將磊晶源極/汲極區 92 與奈米結構 55 分離開適當的橫向距離，使得磊晶源極/汲極區 92 不會與所得奈米場效電晶體的後續形成的閘極發生短路連接。

【0045】 可藉由遮蔽 p 型區 50P (例如，p 型金氧半導體區)來形成 n 型區 50N (例如，n 型金氧半導體區)中的磊晶源極/汲極區 92。接著，磊晶源極/汲極區 92 在 n 型區 50N 中的第一凹部 86 及第二凹部 87 中磊晶生長。磊晶源極/汲極區 92 可包括適於 n 型奈米場效電晶體的任何可接受的材料。舉例而言，若第二奈米結構 54 為矽，則磊晶源極/汲極區 92 可包括在第二奈米結構 54 上施加拉伸應變之材料，諸如矽、碳化矽、摻雜磷的碳化矽、磷化矽或類似者。磊晶源極/汲極區 92 可具有自奈米結構 55 之各別上表面隆起之表面且可具有小面。

【0046】 可藉由遮蔽 n 型區 50N (例如，n 型金氧半導體區)來形成 p 型區 50P (例如，p 型金氧半導體區)中的磊晶源極/汲極區 92。接著，磊晶源極/汲極區 92 在 p 型區 50P 中的第一凹部 86 及第二凹部 87 中磊晶生長。磊晶源極/汲極區 92 可包括適於 p 型奈米場效電晶體的任何可接受的材料。舉例而言，若第一奈米結構 52 為矽鍺，則磊晶源極/汲極區 92 可包含在第一奈米結構 52 上施加壓縮應

變之材料，諸如矽鍺、摻雜硼的矽鍺、鍺、錫鍺或類似者。磊晶源極/汲極區 92 亦可具有自多層堆疊 56 的各別表面隆起的表面且可具有小面。

【0047】 與前文論述的用於形成輕度摻雜的源極/汲極區繼之以進行退火的製程類似，可運用摻雜劑對磊晶源極/汲極區 92、第一奈米結構 52、第二奈米結構 54 及/或基板 50 進行佈植以形成源極/汲極區。源極/汲極區可具有在大約 1×10^{19} 原子/cm³ 與大約 1×10^{21} 原子/cm³ 之間的雜質濃度。源極/汲極區的 n 型及/或 p 型雜質可為前文論述的任何雜質。在一些實施例中，磊晶源極/汲極區 92 可在生長過程中進行原位摻雜。

【0048】 作為用來在 n 型區 50N 及 p 型區 50P 中形成磊晶源極/汲極區 92 的磊晶製程的結果，磊晶源極/汲極區 92 的上表面具有橫向向外擴展超出奈米結構 55 之側壁的小面。在一些實施例中，此等小面使得同一奈米場效電晶體之相鄰磊晶源極/汲極區 92 合併，如藉由第 12B 圖所示。在其他實施例中，如第 12D 圖所示，完成磊晶製程之後，相鄰的磊晶源極/汲極區 92 保持分離。在第 12B 圖及第 12D 圖中所示的實施例中，第一間隔物 81 可形成至淺溝槽隔離區 68 的頂表面，藉此阻擋磊晶生長。在一些其他實施例中，第一間隔物 81 可覆蓋奈米結構 55 之側壁的數個部分以進一步阻擋磊晶生長。在一些其他實施例中，可調整用於形成第一間隔物 81 的間隔物蝕刻來移除間隔物材料以允許磊晶生長的區延伸至淺溝槽隔離區 68 的表面。

【0049】 磊晶源極/汲極區 92 可包含一或多個半導體材料層。舉例而言，磊晶源極/汲極區 92 可包含第一半導體材料層 92A，第二半導體材料層 92B 及第三半導體材料層 92C。可將任意數目個半導體材料層用於磊晶源極/汲極區 92。第一半導體材料層 92A、第二半導體材料層 92B 及第三半導體材料層 92C 之每一者可由不同的半導體材料形成且可摻雜達不同的摻雜劑濃度。在一些實施例中，第一半導體材料層 92A 的摻雜劑濃度可小於第二半導體材料層 92B 的摻雜劑濃度且大於第三半導體材料層 92C 的摻雜劑濃度。在磊晶源極/汲極區 92 包含三個半導體材料層的實施例中，可沈積第一半導體材料層 92A，第二半導體材料層 92B 可沈積在第一半導體材料層 92A 上方，且第三半導體材料層 92C 可沈積在第二半導體材料層 92B 上方。

【0050】 第 12E 圖例示實施例，在該實施例中，第一奈米結構 52 之側壁為凹陷的，第一內部間隔物 90 之外部側壁為凹陷的，且第一內部間隔物 90 自第二奈米結構 54 的側壁凹入。如第 12E 圖中所示，磊晶源極/汲極區 92 可與第一內部間隔物 90 接觸地形成，且可延伸越過第二奈米結構 54 的側壁。

【0051】 在第 13A 圖至第 13C 圖中，第一層間介電質 (interlayer dielectric; ILD) 96 沈積於第 12A 圖至第 12C 圖中所示的結構上方。第一層間介電質 96 可由介電材料形成，且可藉由諸如化學氣相沈積、電漿增強化學

氣相沈積 (plasma-enhanced chemical vapor deposition ; PECVD) 或流動化學氣相沈積之任何合適的方法進行沈積。介電材料可包括磷矽玻璃 (phospho-silicate glass ; PSG) 、硼矽玻璃 (boro-silicate glass ; BSG) 、硼磷矽玻璃 (boron-doped phospho-silicate glass ; BPSG) 、無摻雜矽玻璃 (undoped silicate glass ; USG) 或類似者。可使用藉由任何可接受的製程形成的其他絕緣材料。在一些實施例中，接觸蝕刻終止層 (contact etch stop layer ; CESL) 94 設置於第一層間介電質 96 與磊晶源極 / 汲極區 92 、罩幕 78 及第一間隔物 81 之間。接觸蝕刻終止層 94 可包含諸如氮化矽、氧化矽、氮氧化矽或類似者之介電材料，該介電材料具有不同於上覆第一層間介電質 96 之材料的蝕刻速率。

【0052】 在第 14 A 圖至第 14 C 圖中，可執行諸如化學機械研磨之平坦化製程以使第一層間介電質 96 的頂表面與虛設閘極 76 或罩幕 78 的頂表面平齊。平坦化製程亦可移除虛設閘極 76 上之罩幕 78 及第一間隔物 81 的沿罩幕 78 之側壁的數個部分。在平坦化製程之後，虛設閘極 76 、第一間隔物 81 及第一層間介電質 96 的頂表面在製程變化內互相平齊。因此，虛設閘極 76 的頂表面通過第一層間介電質 96 暴露。在一些實施例中，可保留罩幕 78 ，此情形下，平坦化製程使第一層間介電質 96 的頂表面與罩幕 78 及第一間隔物 81 的頂表面平齊。

【0053】 在第 15 A 圖至第 15 C 圖中，虛設閘極 76 及罩幕 78 (若存在) 在一或多個蝕刻步驟中被移除，使得形成第三凹部 98。亦移除第三凹部 98 中虛設閘極介電質 60 的數個部分。在一些實施例中，藉由各向異性乾式蝕刻製程移除虛設閘極 76 及虛設閘極介電質 60。舉例而言，蝕刻製程可包括使用與第一層間介電質 96 或第一間隔物 81 相比以更快速率選擇性地蝕刻虛設閘極 76 之反應氣體的乾式蝕刻製程。第三凹部 98 中之每一者暴露且 / 或上覆奈米結構 55 的數個部分，該些部分在後續完成之奈米場效電晶體中充當通道區。充當通道區的奈米結構 55 之數個部分設置於鄰近的成對磊晶源極 / 汲極區 92 之間。在移除期間，虛設閘極介電質 60 可在蝕刻虛設閘極 76 時用作蝕刻終止層。接著可在移除虛設閘極 76 之後移除虛設閘極介電質 60。

【0054】 在第 16 A 圖至第 16 C 圖中，移除第一奈米結構 52 從而使第三凹部 98 延伸。可藉由執行使用對第一奈米結構 52 之材料具有選擇性之蝕刻劑的諸如濕蝕刻或類似者的各向同性蝕刻製程來移除第一奈米結構 52，而與第一奈米結構 52 相比，第二奈米結構 54、基板 50、淺溝槽隔離區 68 保持相對未受蝕刻。在第一奈米結構 52 包括例如矽鍺且第二奈米結構 54 A 至 54 C 包括例如矽或碳化矽之實施例中，可使用四甲基氫氧化銨、氫氧化銨或類似者來移除第一奈米結構 52。

【0055】 在第 17 A 圖至第 17 C 圖中，形成閘極介電層 100 及閘極電極 102 用於替代閘極。閘極介電層 100 保形地沈

積於第三凹部 98 中。閘極介電層 100 可形成於基板 50 的頂表面及側壁上且第二奈米結構 54 的頂表面、側壁及底表面上。閘極介電層 100 亦可沈積於第一層間介電質 96、接觸蝕刻終止層 94、第一間隔物 81 及淺溝槽隔離區 68 的頂表面上以及第一間隔物 81 及第一內部間隔物 90 的側壁上。

【0056】 根據一些實施例，閘極介電層 100 包含諸如氧化物、金屬氧化物、類似者或其組合的一或多個電介質層。舉例而言，在一些實施例中，閘極介電層 100 可包含氧化矽層及氧化矽層上方的金屬氧化物層。在一些實施例中，閘極介電層 100 包括高 k 介電材料，且在此等實施例中，閘極介電層 100 可具有大於大約 7.0 的 k 值且可包括金屬氧化物或鈺、鋁、銦、釩、鎳、鎢、鈦、鉛之矽酸鹽及其組合。閘極介電層 100 的結構在 n 型區 50N 及 p 型區 50P 中可相同或不同。閘極介電層 100 的形成方法可包括分子束沈積 (molecular-beam deposition; MBD)、原子層沈積、電漿增強化學氣相沈積或類似者。

【0057】 閘極電極 102 分別沈積於閘極介電層 100 上方，且填充第三凹部 98 的剩餘部分。閘極電極 102 可包括諸如氮化鈦、氧化鈦、氮化鈮、碳化鈮、鈷、鈦、鋁、鎢的含有金屬的材料、其組合，或其多層。舉例而言，儘管第 17A 圖及第 17C 圖中例示單層閘極電極 102，但閘極電極 102 可包含任意數目個襯裡層、任意數目個功函數調諧層及填充材料。構成閘極電極 102 之任何層組合可沈積於

n 型區 50N 中相鄰的第二奈米結構 54 之間及第二奈米結構 54A 與基板 50 之間，且可沈積於 p 型區 50P 中相鄰的第一奈米結構 52 之間。

【0058】 可同時在 n 型區 50N 及 p 型區 50P 中形成閘極介電層 100，使得每個區中之閘極介電層 100 由相同材料形成，且閘極電極 102 可同時形成，使得每個區中之閘極電極 102 由相同材料形成。在一些實施例中，每個區中之閘極介電層 100 可藉由不同製程形成，使得閘極介電層 100 可係不同材料且/或具有不同數目個層，且/或每個區中之閘極電極 102 可藉由不同製程形成，使得閘極電極 102 可係不同材料且/或具有不同數目個層。可使用多種遮蔽步驟以在使用不同製程時遮蔽並暴露適當的區。

【0059】 在填充第三凹部 98 之後，可執行諸如化學機械研磨之平坦化製程以移除閘極介電層 100 及閘極電極 102 之材料的過多部分，過多的部分係在第一層間介電質 96 的頂表面上方。閘極電極 102 材料及閘極介電層 100 的剩餘部分因此形成所得奈米場效電晶體的替代閘極結構。閘極電極 102 及閘極介電層 100 可統稱為閘極結構 103。

【0060】 在第 18A 圖至第 18C 圖中，閘極結構 103（包括閘極介電層 100 及對應的上覆閘極電極 102）經凹入，使得在閘極結構 103 上方及第一間隔物 81 的相對部分之間直接形成凹部。包含諸如氮化矽、氮氧化矽或類似者之一或多個介電材料層的閘極罩幕 104 填充在凹部中，繼之以平坦化製程以移除在第一層間介電質 96 上方延伸的介

電材料的過多部分。後續形成的閘極觸點(諸如下文關於第 20 A 圖至第 20 C 圖所論述的閘極觸點 114) 穿透閘極罩幕 104 而與凹入的閘極電極 102 的頂表面接觸。

【0061】 如第 18 A 圖至第 18 C 圖進一步所例示，第二層間介電質 106 沈積於第一層間介電質 96 上方及閘極罩幕 104 上方。在一些實施例中，第二層間介電質 106 為藉由流動化學氣相沈積形成的流動薄膜。在一些實施例中，第二層間介電質 106 由諸如磷矽玻璃、硼矽玻璃、硼磷矽玻璃、無摻雜矽玻璃或類似者的介電材料形成，且可藉由諸如化學氣相沉積、電漿增強化學氣相沈積或類似者的任何合適方法進行沈積。

【0062】 在第 19 A 圖至第 19 C 圖中，蝕刻第二層間介電質 106、第一層間介電質 96、接觸蝕刻終止層 94 及閘極罩幕 104 來形成第四凹部 108，從而暴露磊晶源極/汲極區 92 及/或閘極結構 103 之表面。第四凹部 108 可藉由進行使用諸如反應離子蝕刻、中性束蝕刻或類似者的各向異性蝕刻製程的蝕刻形成。在一些實施例中，第四凹部 108 可使用第一蝕刻製程蝕刻穿過第二層間介電質 106 及第一層間介電質 96；可使用第二蝕刻製程蝕刻穿過閘極罩幕 104；且接著可使用第三蝕刻製程蝕刻穿過接觸蝕刻終止層 94。可在第二層間介電質 106 上方形成並圖案化諸如光阻劑之罩幕以遮蔽第二層間介電質 106 之數個部分免受第一蝕刻製程及第二蝕刻製程影響。在一些實施例中，蝕刻製程可為過蝕刻(over-etch)，且因此，第四凹部 108 延伸進磊

晶源極/汲極區 92 及/或閘極結構 103 中，且第四凹部 108 的底部可與磊晶源極/汲極區 92 及/或閘極結構 103 的頂表面平齊(例如，處於相同位準或與基板 50 的距離相等)或低於該頂表面(例如，離基板 50 更近)。儘管第 19C 圖例示第四凹部 108 為在相同橫截面中暴露磊晶源極/汲極區 92 及閘極結構 103，但在各種實施例中，磊晶源極/汲極區 92 及閘極結構 103 可在不同的橫截面中暴露，從而減小後續形成的觸點的短路連接風險。

【0063】 在形成第四凹部 108 之後，在磊晶源極/汲極區 92 上方形成第一矽化物區 110。在一些實施例中，第一矽化物區 110 藉由以下方式形成：首先在磊晶源極/汲極區 92 的暴露部分上方沈積能夠與下伏磊晶源極/汲極區 92 的半導體材料(例如，矽、矽鍺、鍺)發生反應的金屬(未單獨例示)來形成矽化物或鍺化物區，該金屬係諸如鎳、鈷、鈦、鉭、鉑、鎢、其他貴金屬、其他耐火金屬、稀土金屬或其合金；接著執行熱退火製程來形成第一矽化物區 110。接著藉由例如蝕刻製程移除所沈積金屬的未反應部分。儘管將第一矽化物區 110 稱為矽化物區，但第一矽化物區 110 亦可係鍺化物區或矽鍺化物區(例如，包含矽化物及鍺化物的區)。在一實施例中，第一矽化物區 110 包含矽化鈦(TiSi)，且具有大約 2 nm 至大約 10 nm 範圍內的厚度。

【0064】 在第 20A 圖至第 20C 圖中，源極/汲極觸點 112 及閘極觸點 114 (亦稱為觸點插座)形成於第四凹部 108 中。源極/汲極觸點 112 及閘極觸點 114 可各自包含諸如

阻障層、擴散層及填充材料層之一或多個層。舉例而言，在一些實施例中，源極/汲極觸點 112 及閘極觸點 114 各自包括阻障層及導電材料，且各自電連接至下伏導電特徵（例如，閘極電極 102 及/或第一矽化物區 110）。閘極觸點 114 電連接至閘極電極 102，且源極/汲極觸點 112 電連接至第一矽化物區 110。阻障層可包括鈦、氮化鈦、鈮、鈮氮化物或類似者。導電材料可係銅、銅合金、銀、金、鎢、鈷、鋁、鎳或類似者。可執行諸如化學機械研磨之平坦化製程以自第二層間介電質 106 的表面移除過多材料。磊晶源極/汲極區 92、第二奈米結構 54 及閘極結構 103（包括閘極介電層 100 及閘極電極 102）可統稱為電晶體結構 109。電晶體結構 109 可形成於設備層中，其中第一互連結構（諸如下文關於第 21A 圖至第 21C 圖所論述的前側互連結構 120）形成於其前側上方，且第二互連結構（諸如下文關於第 27A 圖至第 27C 圖所論述的背側互連結構 140）可形成於其背側上方。儘管設備層被描述為具有奈米場效電晶體，但是其他實施例可包括具有不同類型之電晶體（例如，平面場效電晶體、鰭片式場效電晶體、薄膜電晶體（thin film transistor；TFT）或類似者）的設備層。

【0065】 儘管第 20A 圖至第 20C 圖例示延伸至磊晶源極/汲極區 92 中之每一者的源極/汲極觸點 112，但是可自磊晶源極/汲極區 92 中之某些磊晶源極/汲極區省略源極/汲極觸點 112。類似地，儘管第 20A 圖至第 20C 圖例示閘極觸點 114 延伸至閘極結構 103 中的每一者，但閘極觸點

114 可自閘極結構 103 中的某些結構省略。舉例而言，如下文更詳細地解釋，可後續穿過磊晶源極/汲極區 92 及/或閘極結構 103 中之一或多者的背側附接導電特徵(例如，背側通孔或電源軌)。對於此等特定磊晶源極/汲極區 92 及/或閘極結構 103，源極/汲極觸點 112 及/或閘極觸點 114 分別可被省略或者可為未電連接至任何上覆導電接線(諸如下文關於第 21A 圖至第 21C 圖所論述的第一導電特徵 122)的虛設觸點。

【0066】 第 21A 圖至第 28C 圖例示電晶體結構 109 上方形成前側互連結構及背側互連結構的中間步驟。前側互連結構及背側互連結構可各自包含電連接至形成於基板 50 及/或電晶體結構 109 上方的奈米場效電晶體的導電特徵。第 21A 圖、第 22A 圖、第 23A 圖、第 24A 圖、第 25A 圖、第 26A 圖、第 27A 圖及第 28A 圖例示第 1 圖中所示的參考橫截面 A-A'。第 21B 圖、第 22B 圖、第 23B 圖、第 24B 圖、第 25B 圖、第 26B 圖、第 27B 圖及第 28B 圖例示第 1 圖中所示的參考橫截面 B-B'。第 21C 圖、第 22C 圖、第 23C 圖、第 24C 圖、第 25C 圖、第 26C 圖、第 27C 圖及第 28C 圖圖例示第 1 圖中所示的參考橫截面 C-C'。第 21A 圖至第 28C 圖中描述的製程步驟可應用於 n 型區 50N 及 p 型區 50P 兩者。如上所提及，背側導電特徵(例如，背側通孔或如下文更詳細地描述的電源軌)可連接至磊晶源極/汲極區 92 及/或閘極結構 103 中的一或多者。因此，源極/汲極觸點 112 可視情況自磊晶源極/汲極

區 92 省略。

【0067】 在第 21A 圖至第 21C 圖中，前側互連結構 120 形成於第二層間介電質 106 上。前側互連結構 120 可被稱為前側互連結構，此係因為該前側互連結構形成於電晶體結構 109 的前側(例如，電晶體結構 109 的形成有主動設備的一側)上。

【0068】 前側互連結構 120 可包含形成於一或多個堆疊的第一介電層 124 中的一或多層第一導電特徵 122。堆疊的第一介電層 124 中之每一者可包含諸如低 k 介電材料、超低 k (extra low-k; ELK) 介電材料或類似者的介電材料。可使用諸如化學氣相沈積、原子層沈積、物理氣相沈積、電漿增強化學氣相沈積或類似者之適當製程來沈積第一介電層 124。

【0069】 第一導電特徵 122 可包含導電接線及使導電接線層互連的導電通孔。導電通孔可延伸穿過第一介電層 124 中的各別第一介電層以在導電接線層之間提供垂直連接。可通過諸如鑲嵌製程、雙重鑲嵌製程或類似者之任何可接受製程來形成第一導電特徵 122。

【0070】 在一些實施例中，可使用鑲嵌製程來形成第一導電特徵 122，在鑲嵌製程中利用光微影及蝕刻技術的組合來對各別第一介電層 124 進行圖案化以形成對應於第一導電特徵 122 的所要圖案的溝槽。可沈積可選擴散阻障層及/或可選黏合層且接著可用導電材料填充溝槽。用於阻障層的合適材料包括鈦、氮化鈦、氧化鈦、鈿、氮化鈿、其組

合或類似者，且用於導電材料的合適材料包括銅、銀、金、鎢、鋁、其組合或類似者。在一實施例中，可藉由沈積銅或銅合金的晶種層且藉由電鍍填充溝槽來形成第一導電特徵 122。化學機械平坦化 (chemical mechanical planarization; CMP) 製程或類似者可用於自各別第一介電層 124 的表面移除過多導電材料且平坦化第一介電層 124 及第一導電特徵 122 的表面以供後續處理。

【0071】 第 21A 圖至第 21C 圖例示前側互連結構 120 中五個第一導電特徵 122 層及五個第一介電層 124。然而，應瞭解，前側互連結構 120 可包含設置在任意數目個第一介電層 124 中的任意數目個第一導電特徵 122。前側互連結構 120 可電連接至閘極觸點 114 及源極/汲極觸點 112 以形成功能電路。在一些實施例中，由前側互連結構 120 形成的功能電路可包含邏輯電路、記憶電路、影像感測電路或類似者。

【0072】 在第 22A 圖至第 22C 圖中，藉由第一接合層 152A 及第二接合層 152B (統稱為接合層 152) 將載體基板 150 接合至前側互連結構 120 的頂表面。載體基板 150 可係玻璃載體基板、陶瓷載體基板、晶圓 (例如，矽晶圓) 或類似者。載體基板 150 可在後續處理步驟期間以及在完成的設備中提供結構支撐。

【0073】 在各種實施例中，可使用諸如介電質對介電質接合或類似者之合適技術將載體基板 150 接合到前側互連結構 120。介電質對介電質接合可包含使第一接合層 152A 沈

積在前側互連結構 120 上。在一些實施例中，第一接合層 152A 包含藉由化學氣相沈積、原子層沈積、物理氣相沈積或類似者沈積的氧化矽（例如，高密度電漿（high density plasma；HDP）氧化物或類似者）。第二接合層 152B 同樣可係在使用例如化學氣相沈積、原子層沈積、物理氣相沈積、熱氧化或類似者進行接合之前形成於載體基板 150 之表面上的氧化物層。其他合適的材料可用於第一接合層 152A 及第二接合層 152B。

【0074】 介電質對介電質接合製程可進一步包括對第一接合層 152A 及第二接合層 152B 中之一或多者應用表面處理。表面處理可包括電漿處理。電漿處理可在真空環境中執行。在電漿處理之後，表面處理可進一步包括可應用至接合層 152 中之一或多者的清洗製程（例如，用去離子水或類似者沖洗）。接著，將載體基板 150 與前側互連結構 120 對準，且將兩者彼此壓靠以起始載體基板 150 至前側互連結構 120 的預接合。可在室溫（例如，在大約 21℃ 與大約 25℃ 之間）下執行預接合。在預接合之後，可藉由例如將前側互連結構 120 及載體基板 150 加熱至例如大約 170℃ 至大約 400℃ 的溫度來應用退火製程。

【0075】 進一步地，在第 22A 圖至第 22C 圖中，在將載體基板 150 接合到前側互連結構 120 之後，可翻轉設備，使得電晶體結構 109 的背側面向上。電晶體結構 109 的背側可指與電晶體結構 109 的在其上形成主動設備的前側相對的一側。

【0076】 在第 23 A 圖至第 23 C 圖中，可將薄化製程應用於基板 50 的背側。薄化製程可包含平坦化製程(例如，機械磨削、化學機械平坦化或類似者)、回蝕製程、其組合，或類似者。薄化製程可暴露第一磊晶材料 91 的與前側互連結構 120 相背對的表面。另外，基板 50 的一部分在薄化製程之後可保持於閘極結構 103 (例如，閘極電極 102 及閘極介電層 100)以及奈米結構 55 上方。如第 23 A 圖至第 23 C 圖中所示，基板 50 之背側表面、第一磊晶材料 91、淺溝槽隔離區 68 及鰭片 66 在薄化製程之後彼此平齊。

【0077】 在第 24 A 圖至第 24 C 圖中，鰭片 66 及基板 50 之剩餘部分經移除且用第二介電層 125 替代。鰭片 66 及基板 50 可使用合適蝕刻製程，諸如各向同性蝕刻製程(例如，濕式蝕刻製程)、各向異性蝕刻製程(例如，乾式蝕刻製程)或類似者來蝕刻。蝕刻製程可為對於鰭片 66 及基板 50 之材料係選擇性(例如，相較於淺溝槽隔離區 68、閘極介電層 100、磊晶源極/汲極區 92 及第一磊晶材料 91 以較快速率蝕刻鰭片 66 及基板 50 的材料)的蝕刻製程。在蝕刻鰭片 66 及基板 50 之後，淺溝槽隔離區 68、閘極介電層 100、磊晶源極/汲極區 92 及第一磊晶材料 91 的表面可被暴露。

【0078】 第二介電層 125 接著於凹部中沈積於電晶體結構 109 的背側上，該些凹部藉由移除鰭片 66 及基板 50 來形成。第二介電層 125 可沈積於淺溝槽隔離區 68、閘極介電層 100 及磊晶源極/汲極區 92 上方。第二介電層 125

可與淺溝槽隔離區 68、閘極介電層 100、磊晶源極/汲極區 92 及第一磊晶材料 91 的表面實體接觸。第二介電層 125 可大體上類似於上文關於第 18A 圖至第 18C 圖描述的第二層間介電質 106。舉例而言，第二介電層 125 可由與第二層間介電質 106 類似的材料且使用類似製程來形成。如第 24A 圖至第 24C 圖中所示，化學機械平坦化製程或類似者可用以移除第二介電層 125 的材料，使得第二介電層 125 之頂表面與淺溝槽隔離區 68 及第一磊晶材料 91 的頂表面平齊。

【0079】 在第 25A 圖至第 25C 圖中，第一磊晶材料 91 經移除以形成第五凹部 128，且第二矽化物區 129 形成於第五凹部 128 中。第一磊晶材料 91 可藉由合適蝕刻製程來移除，該蝕刻製程可為各向同性蝕刻製程，諸如濕式蝕刻製程。蝕刻製程對於第一磊晶材料 91 之材料可具有高蝕刻選擇性。因此，第一磊晶材料 91 可經移除而不顯著地移除第二介電層 125、淺溝槽隔離區 68 或磊晶源極/汲極區 92 的材料。第五凹部 128 可暴露淺溝槽隔離區 68 之側壁、磊晶源極/汲極區 92 的背側表面，及第二介電層 125 的側壁。

【0080】 第二矽化物區 129 可接著於磊晶源極/汲極區 92 之背側上的第五凹部 128 中形成。第二矽化物區 129 可類似於上文關於第 19A 圖至第 19C 圖所描述的第一矽化物區 110。舉例而言，第二矽化物區 129 可由類似於第一矽化物區 110 的材料且使用類似製程來形成。

【0081】 在第 26A 圖至第 26C 圖中，背側通孔 130 形成於第五凹部 128 中。背側通孔 130 可延伸穿過第二介電層 125 及淺溝槽隔離區 68，且可經由第二矽化物區 129 電連接至磊晶源極/汲極區 92。背側通孔 130 可類似於上文關於第 20A 圖至第 20C 圖描述的源極/汲極觸點 112。舉例而言，背側通孔 130 可由類似於源極/汲極觸點 112 的材料且使用類似製程來形成。平坦化製程(例如，化學機械平坦化、磨削、回蝕或類似者)可經執行以移除背側通孔 130 的形成於淺溝槽隔離區 68 及/或第二介電層 125 上方的過多部分。

【0082】 在第 27A 圖至第 27C 圖中，背側互連結構 140 形成於第二介電層 125 及淺溝槽隔離區 68 上。背側互連結構 140 可被稱為背側互連結構，此係因為該背側互連結構形成於電晶體結構 109 的背側(例如，基板 50 及/或電晶體結構 109 的主動設備形成於上面的相對側)上。

【0083】 背側互連結構 140 可包含形成於一或多個堆疊的第二介電層(例如，第二介電層 132A 至 132C，統稱為第二介電層 132)中的第二導電特徵(例如，導電接線 133、導電通孔 134、導電接線 135、導電通孔 136，及導電接線 137)之一或多個層。堆疊的第二介電層 132 中之每一者可包含介電材料，諸如低 k 介電材料、超低 k (extra low-k; ELK) 介電材料，或類似者。第二介電層 132 可使用適當製程，諸如化學氣相沈積、原子層沈積、物理氣相沈積、電漿增強化學氣相沈積或類似者來形成。

【0084】 背側互連結構 140 包含互連導電接線 133、135 及 137 之數個層的導電通孔 134 及 136。導電通孔 134/136 可延伸穿過第二介電層 132 中的各別介電層以提供導電接線 133/135/137 之數個層之間的垂直連接。舉例而言，導電通孔 134 可將導電接線 133 耦接至導電接線 135，且導電通孔 136 可將導電接線 135 耦接至導電接線 137。導電接線 133/135/137 及導電通孔 134/136 可使用如上文結合第一導電特徵 122 描述的類似製程及類似材料，包括單一或雙重鑲嵌製程、經由任何可接受的製程或類似者來形成。

【0085】 導電接線 133 形成於第二介電層 132A 中。形成導電接線 133 可包括使用例如光微影製程及蝕刻製程的組合圖案化第二介電層 132A 中之凹部。第二介電層 132A 中凹部的圖案可對應於導電接線 133 的圖案。接著藉由在凹部中沈積導電材料來形成導電接線 133。在一些實施例中，導電接線 133 包含金屬層，該金屬層可係單層或包含由不同材料形成的複數個子層的複合層。在一些實施例中，導電接線 133 包含銅、鋁、鈷、鎢、鈦、鉭、鈳或類似者。可沈積可選擴散阻障層及/或可選黏合層，之後用導電材料填充凹部。用於阻障層/黏合層之合適的材料包括鈦、氮化鈦、氧化鈦、鉭、氮化鉭或類似者。導電接線 133 可使用例如化學氣相沈積、原子層沈積、物理氣相沈積、電鍍或類似者來形成。導電接線 133 穿過背側通孔 130 及第二矽化物區 129 電連接至磊晶源極/汲極區 92。平坦化製程(例

如，化學機械平坦化、磨削、回蝕或類似者)可被執行以移除導電接線 133 的形成於第二介電層 132A 上方的過多部分。

【0086】 導電接線 135 及 137 以及導電通孔 134 及 136 可使用類似材料以類似方式形成。在一些實施例中，導電接線 133 穿過第二介電層 132A 以單一鑲嵌製程形成，而導電接線 135 及導電通孔 134 穿過第二介電層 132B 以雙重鑲嵌製程形成，且第二接線 137 及導電通孔 136 亦穿過第二介電層 132C 以雙重鑲嵌製程形成。

【0087】 第 27A 圖至第 27C 圖例示背側互連結構 140 中第二導電接線 133/135/137 的三個層及第二介電層 132A/132B/132C 的三個層。然而，應瞭解，背側互連結構 140 可包含設置於任何數目個第二介電層 132 中的任何數目個導電接線及導電通孔。背側互連結構 140 可電連接至背側通孔 130 以形成功能電路。在一些實施例中，藉由背側互連結構 140 結合前側互連結構 120 形成的功能電路可包含邏輯電路、記憶電路、影像感測器電路或類似者。

【0088】 下文更詳細地所論述，第二介電層 132B 中之導電接線 135 可包含電源軌及信號接線(結合第 27A 圖至第 27C 圖且其後分離地識別並標記)。電源軌可用以提供電壓源至積體電路，且信號接線可用以在積體電路之元件之間傳輸信號。

【0089】 在第 28A 圖至第 28C 圖中，鈍化層 144、焊球下金屬(under bump metallurgies; UBM) 146 及外

部連接器 148 形成於背側互連結構 140 上方。鈍化層 144 可包含諸如聚苯并呋唑 (polybenzoxazole ; PBO)、聚亞醯胺、苯並環丁烯 (benzocyclobutene ; BCB) 或類似者的聚合物。替代地，鈍化層 144 可包括非有機介電材料，諸如氧化矽、氮化矽、碳化矽、氮氧化矽或類似者。鈍化層 144 可藉由例如化學氣相沈積、物理氣相沈積、原子層沈積或類似者沈積。

【0090】 焊球下金屬 146 在背側互連結構 140 中於導電接線 137 及第二介電層 132C 上方穿過鈍化層 144 形成，且外部連接器 148 形成於焊球下金屬 146 上。在不形成導電接線 137 之一些實施例中，鈍化層 144 直接形成於導電接線 135 及第二介電層 132B 上方。焊球下金屬 146 可包含藉由電鍍製程或類似者形成的一或多層銅、鎳、金或類似者。外部連接器 148 (例如，焊球) 形成於焊球下金屬 146 上。外部連接器 148 的形成可包括將焊球放置在焊球下金屬 146 的暴露部分上且使焊球回流。在一些實施例中，外部連接器 148 的形成包括執行電鍍步驟以在最上層導電接線 137 上方形成焊料區且接著使焊料區回流。焊球下金屬 146 及外部連接器 148 可用於提供與其他電組件的輸入/輸出連接，該其他電組件係諸如其他設備晶粒、再分配結構、印刷電路板 (printed circuit board ; PCB)、母板或類似者。焊球下金屬 146 及外部連接器 148 亦可被稱為背側輸入/輸出墊，該背側輸入/輸出墊可向上述奈米場效電晶體提供信號、電源電壓及/或電源接地連接。

【0091】 第 29 A 圖至第 29 B 圖例示背側佈線，包括背側互連結構 140 的例示性佈局。背側互連結構 140 可包含用於對應佈線的電源區 140P 及信號區 140S 以係大體上彼此分離的。信號區 140S 包括電晶體結構 109（例如，磊晶源極/汲極區 92 及/或閘極結構 103，諸如閘極電極 102）及背側通孔 130 至導電接線 135 的佈線。電源區 140P 包括自電晶體結構 109 及背側通孔 130 至電源軌 135P 的佈線。

【0092】 第 29 A 圖至第 29 B 圖例示自電晶體結構 109 至信號接線 135S 及電源軌 135P 的包括背側互連結構 140 之背側佈線的例示性佈局。根據一些實施例，信號接線 135S 及電源軌 135P 為導電接線 135 的數個部分。然而，熟習此項技術者應理解，信號接線及/或電源軌替代而言可形成為其他導電接線，諸如導電接線 133 及導電接線 137 的部分。藉由在導電接線 135 之間，諸如在導電接線之同一階層內形成信號接線 135S 及電源軌 135P，導電接線 133 可更大複雜性及密度自電晶體結構 109 佈線至信號接線 135S 及電源軌 135P。

【0093】 如進一步例示，背側互連結構 140 可分離成複數個信號區 140S 及電源區 140P。信號區 140S 大體上或整個含有自一些電晶體結構 109 至信號接線 135S 的佈線。電源區 140P 大體上或整個含有自其他電晶體結構 109 至電源軌 135P 的佈線。分離信號區 140S 與電源區 140P 之間的背側佈線達成益處，諸如減小電源區 140P 之更寬

佈線對信號區 140S 之更狹窄佈線可具有的寄生電容之效應。根據一些實施例，電源區 140P 之佈線大體上直接形成於對應電晶體結構 109 上方，以便使電源區 140P 的側向寬度最小化。此設計佈局經由信號區 140S 提供可用於佈線中之密度的更多側向空間及複雜性。

【0094】 參看第 29A 圖，第一磊晶源極/汲極區 92A、第二磊晶源極/汲極區 92B、第三磊晶源極/汲極區 92C 及第四磊晶源極/汲極區 92D 中的每一者可電連接至背側互連結構 140。為了簡單，磊晶源極/汲極區 92A/92B/92C/92D 例示為相鄰於彼此且係在同一 B-B' 橫截面中。然而，熟習此項技術者應理解，磊晶源極/汲極區 92A/92B/92C/92D 中之一些或全部可並非相鄰於彼此及/或定位於不同 B-B' 橫截面圖中。

【0095】 在相鄰的磊晶源極/汲極區 92A/92B/92C/92D 之狀況下，磊晶源極/汲極區 92A/92B/92C/92D 可藉由一或多個混合式鰭片 161 分離。混合式鰭片 161 可藉由在多層堆疊 64 中蝕刻出凹部在形成鰭片 66 (參見第 4 圖) 之後且在形成虛設閘極 76 (參見第 5 圖) 之前來形成。混合式鰭片 161 可接著藉由使用保形沈積製程，諸如化學氣相沈積、原子層沈積、電漿增強化學氣相沈積或類似者在鰭片 66 之側壁上沈積犧牲層 (未獨立例示) 來形成。在一些實施例中，犧牲材料為具有與第一半導體材料或第二半導體材料相同之材料成份的半導體材料 (例如，矽鍺、矽或類似者)。犧牲材料可界定犧牲材料上方在鰭片 66 之間且犧牲材料

之側壁之間的凹部。一或多個絕緣材料沈積於凹部中以形成混合式鰭片 161。舉例而言，襯裡及填充材料(未獨立例示)可藉由化學氣相沈積、原子層沈積、電漿增強化學氣相沈積或類似者沈積於凹部中。襯裡可包含低 k 材料，諸如氧化物、碳氧化矽(SiOC)、矽氧碳氮化物(SiOCN)、氮氧化矽(SiON)或類似者，且填充材料可包含氧化物，諸如可流動化學氣相沈積或類似者(未具體說明的分離組份)。在一些實施例中，襯裡及填充材料之一部分可經部分蝕刻，且高 k 材料，諸如氧化鈦(HfO)、氧化鋯(ZrO)或類似者可於襯裡及填充材料上方沈積於該凹部中。

【0096】 混合式鰭片 161 提供相鄰磊晶源極/汲極區 92 之間的絕緣邊界，該等源極/汲極區可具有不同導電類型。在形成了混合式鰭片 161 之後，犧牲材料可與移除第一半導體材料及/或第二半導體材料同時被移除以界定奈米結構 55。在一些實施例中，磊晶源極/汲極區 92 可接觸混合式鰭片 161 之側壁，且第一層間介電質 96 之一部分可沈積於混合式鰭片 161 與淺溝槽隔離區 68 之間。

【0097】 如所例示，第一磊晶源極/汲極區 92A 及第四磊晶源極/汲極區 92D 可經由背側互連結構 140 的不同電源區 140P 耦接至電源軌 135P。第一磊晶源極/汲極區 92A 及第四磊晶源極/汲極區 92D 因此可不需要至前側互連結構 120 的源極/汲極觸點 112。此外，第二磊晶源極/汲極區 92B 及第三磊晶源極/汲極區 92C 可經由背側互連結構 140 的同一信號區 140S 耦接至信號接線 135S。如上文

所論述，電源區 140P 之大體上垂直的佈局提供更多可用側向空間用於信號區 140S。儘管僅第二磊晶源極/汲極區 92B 及第三磊晶源極/汲極區 92C 例示為進一步耦接至前側互連結構 120，但磊晶源極/汲極區 92A/92B/92C/92D 中之任一者或全部可耦接至前側互連結構 120 及背側互連結構 140 中的一或兩者。類似地，磊晶源極/汲極區 92A/92B/92C/92D 中之任一者或全部可經由背側互連結構 140 耦接至信號接線 135S 或電源軌 135P。請注意，單一積體電路晶粒可包含複數個上述組態。

【0098】 參看第 29B 圖，如上文結合第 27A 圖至第 27C 圖所論述，額外第二介電層 132（例如，第二介電層 132C）及額外導電接線（例如，導電接線 137）可形成於導電接線 135 上方以完成背側互連結構 140。此外，如上文結合 28A 至第 28C 圖所論述，鈍化層 144、焊球下金屬 146 及外部連接器 148 可形成於背側互連結構 140 上方。在一些實施例中，信號區 140S 限於信號接線 135S，此情形意謂，額外介電層 132 之全部可用於導電接線 137 以將電源接線 135P 電耦接至外部連接器 148。在並未分離地例示之一些實施例中，額外介電層 132 之數個部分可用於導電接線 137 以將信號接線 135S 中的一些電耦接至外部連接器 148 中的一些。如所例示，導電接線 137、焊球下金屬 146 及外部連接器 148 具有空間自由度以在必要時在信號區 140S 的數個部分上方延伸。然而，在一些實施例中，通過

電源區 140 中之一些或全部的佈線可保持在對應磊晶源極 / 汲極區 (例如, 第一磊晶源極 / 汲極區 92 A 及第四磊晶源極 / 汲極區 92 B) 上方大體上垂直地對準。

【0099】 在第 30 A 圖至第 30 E 圖中, 背側互連結構 140 可包含第一電晶體結構 109 A 之第一磊晶源極 / 汲極區 92 A (參見第 30 A 圖) 與第二電晶體結構 109 B 之第二磊晶源極 / 汲極區 92 B (參見第 30 B 圖) 之間的汲極至汲極信號連接。電晶體結構 109 A 及 109 B 可為電晶體之陣列的部分, 且可相鄰於彼此或自彼此移位。如所例示, 第一磊晶源極 / 汲極區 92 A 及第二磊晶源極 / 汲極區 92 B 可經由背側互連結構 140 之信號接線 135 S 中的一者電連接至彼此。在並未分離地例示之一些實施例中, 信號接線 135 S 可經由焊球下金屬 145 中之一者及外部連接器 148 中之一者進一步電連接至外部信號源。

【0100】 第 30 C 圖至第 30 E 圖例示來自第 30 A 圖及第 30 B 圖之第一磊晶源極 / 汲極區 92 A 及第二磊晶源極 / 汲極區 92 B 可如何經由背側互連結構 140 電連接至彼此的示意性平面圖。舉例而言, 第一磊晶源極 / 汲極區 92 A 可耦接至第一背側通孔 130 A, 且第二磊晶源極 / 汲極區可耦接至第二背側通孔 130 B。此外, 第一背側通孔 130 A 可耦接至第一導電接線 133 A, 且第二背側通孔 130 B 可耦接至第二導電接線 133 B。第一導電接線 133 A 及第二導電接線 133 B 中的每一者可分別耦接至第一導電通孔 134 A 及第二導電通孔 134 B, 且彼等導電通孔 134 A 及 134 B

可耦接至信號接線 135S。信號接線 135S 可設置於與其他信號接線 135S 及電源軌 135P 相同的介電層(例如，第二介電層 132B)中，此情形有利地減小背側互連結構 140 中層的數目。此外，如上文所提及，電插入於背側通孔 130 與導電接線之間的導電接線 133 及導電通孔 134(例如，信號接線 135S 及電源軌 135P)之額外層允許背側互連結構 140 中的更大複雜性及密度。請注意，例示於第 30C 圖至第 30E 圖中之佈局中的一些或全部可形成於同一積體電路晶粒內。

【0101】 第 30C 圖、第 30D 圖及第 30E 圖例示根據一些實施例的用於連接第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區與信號接線 135S 的不同佈局。如第 30C 圖中所例示，第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 可為單元，諸如記憶體單元的部分。第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 可係在彼此附近，但不必相鄰。如第 30D 圖及第 30E 圖中所例示，第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 可為相同或不同單元的部分，如藉由分隔器 160 所指示。另外，在第 30C 圖及第 30D 圖中，導電接線 133A 及導電接線 133B 可係在信號接線 135S 的同一側上，而在第 30E 圖中，導電接線 133A 及導電接線 133B 可係在信號接線 135S 的相對側上。

【0102】 第 31A 圖至第 31D 圖例示背側互連結構 140 的形成，該背側互連結構包含自第一電晶體結構 109A 之磊

晶源極/汲極區 92 A 至第二電晶體結構 109 B 之閘極結構 103 B (例如，閘極電極 102 B) 的汲極至閘極信號連接。類似地，如上文關於第 24 A 圖至第 26 C 圖所論述，在將載體基板 150 接合至前側互連結構 120 且翻轉結構向上使得電晶體結構 109 面向上之後，基板 50 之所有或部分可經移除以形成第二介電層 125，且第一磊晶材料 91 可經移除以形成背側通孔 130。第 31 A 圖例示第一電晶體結構 109 A 之磊晶源極/汲極區 92 A 的 B-B' 橫截面，其中背側通孔 130 形成於磊晶源極/汲極區 92 A 上方且延伸穿過第二介電層 125。第 31 B 例示沿著第二電晶體結構 109 B 之閘極電極 102 B 的 A-A' 橫截面。

【0103】 參看第 31 C 圖及第 31 D 圖，類似地，如上文關於第 27 A 圖至第 27 C 圖所論述，背側互連結構 140 之數個部分形成於電晶體結構 109 A 及 109 B 上方。舉例而言，導電接線 133 可形成於背側通孔 130 (例如，背側通孔 130 A) 上方且電連接至該背側通孔。此外，導電通孔 134 及導電接線 135 可使用單一鑲嵌製程或雙重鑲嵌製程形成於導電接線 133 上方且電連接至該等導電接線。

【0104】 形成背側閘極通孔 164 可在形成導電通孔 134 之前、之後或同時形成。類似地，如上文所論述，導電通孔 134 可例如藉由使用光微影與蝕刻製程之組合在第二介電層 132 B 中圖案化凹部而形成於第二介電層 132 B 中。類似地，背側閘極通孔 164 可包括在第二介電層 132 B 中圖案化凹部，該些凹部進一步延伸穿過第二介電層 132 A、

淺溝槽隔離區 68 及閘極介電質 100。此外，用於導電接線 135 之凹部可經圖案化至第二介電層 132B 中。導電通孔 134、背側閘極通孔 164 及導電接線 135 接著藉由將導電材料沈積於如上文所論述之凹部中來形成。因此，背側閘極通孔 164 耦接閘極電極 102 至導電接線 135。根據其他實施例，單一鑲嵌製程經執行，使得導電通孔 134 及背側閘極通孔 164 在第二介電層 132B 經圖案化以形成導電接線 135 之前形成。在導電通孔及背側閘極通孔 164 在導電接線 135 之前形成的一些實施例中，第二介電層 132C 可沈積於第二介電層 132B 上方且經圖案化以形成導電接線 135。

【0105】 如上文所論述，背側互連結構 140 之導電接線 135 包含信號接線 135S，該信號接線為導電接線 135 的可使第一電晶體結構 109A 之磊晶源極/汲極區 92A 與第二電晶體結構 109B 之閘極電極 102B 之間的汲極至閘極信號連接完整的部分。因此，磊晶源極/汲極區 92A 及閘極電極 102B 經由背側通孔 130、導電接線 133、導電通孔 134、信號接線 135S 及背側閘極通孔 164 電連接至彼此。如所例示，導電通孔 134 及背側閘極通孔 164 可各自直接耦接至信號接線 135S。儘管未具體例示，但背側互連結構 140、焊球下金屬 146 及外部連接器 148 之剩餘部分可如上文所描述而形成以使用於其他佈線及其他設備的積體電路完整。

【0106】 第 32A 圖至第 32H 圖例示經由磊晶源極/汲極區

92 電連接至前側互連結構 120 及背側互連結構 140 之電晶體結構 109 之陣列的示意性橫截面圖及平面圖。請注意，一些細節已自橫截面圖及平面圖省略以強調其他特徵且為了易於例示。此外，為了強調，第 32A 圖至第 32H 圖中例示之一些特徵的大小及形狀可不同於其他圖中彼等類似特徵的大小及形狀。然而，類似參考數字指示，類似元件使用如上文所論述之類似製程來形成。

【0107】 第 32A 圖例示第一磊晶源極/汲極區 92A 及第二磊晶源極/汲極區 92B 的係上文論述之橫截面 B-B' 之版本的橫截面 X-X'，且第 32B 圖例示第三磊晶源極/汲極區 92C 及第四磊晶源極/汲極區 92D 的係上文論述之橫截面 B-B' 之另一版本的橫截面 Y-Y'。第 32C 圖至第 32H 圖例示磊晶源極/汲極區 92 的來自不同階層(例如，分別為階層 L_0 、階層 L_1 、階層 L_N 、階層 L_{-1} 、階層 L_{-2} 及階層 L_{-N})之平面圖。對應橫截面 X-X' 及 Y-Y' 為了參考在第 32C 圖至第 32H 圖中標記出。

【0108】 第 32C 圖至第 32E 圖例示電晶體結構 109 上方的前側互連結構 120 分別在階層 L_0 、 L_1 及 L_N 處的平面圖。參看例示階層 L_0 處之平面圖的第 32C 圖，磊晶源極/汲極區 92 (例如，磊晶源極/汲極區 92A/92B/92C/92D) 形成於閘極電極 102 之相對側處以形成電晶體結構 109 的數個部分。舉例而言，第一磊晶源極/汲極區 92A 及第三磊晶源極/汲極區 92C 可設置於第一閘極電極 102 之相對側處，且第二磊晶源極/汲極區 92B 及第四源極/汲極區

9 2 D 亦可設置於第一閘極電極 1 0 2 的相對側處。

【0109】 第 3 2 D 圖例示階層 L_0 及 L_1 處的平面圖，其中階層 L_1 包括將磊晶源極/汲極區 9 2 電連接至前側互連結構 1 2 0 的源極/汲極觸點 1 1 2 及將閘極電極 1 0 2 電連接至前側互連結構 1 2 0 的閘極觸點 1 1 4。構成階層 L_1 之其他特徵，諸如第二層間介電質 1 0 6 已被省略以提供階層 L_0 的更清楚視圖。

【0110】 第 3 2 E 圖例示階層 L_0 、 L_1 及 L_N 處的平面圖，其中階層 L_N 表示前側互連結構 1 2 0 的一或多個層同時省略特定佈線的一些細節。第一導電特徵 1 2 2 可直接耦接至下伏源極/汲極觸點 1 1 2，或經由電插入於之間的其他特徵間接耦接至下伏源極/汲極觸點。第一導電特徵 1 2 2 可進一步包含虛設第一導電特徵 1 2 2_D。儘管三個功能第一導電特徵 1 2 2 予以例示，但熟習此項技術者應理解，磊晶源極/汲極區 9 2 可經由源極/汲極觸點 1 1 2 電連接至前側互連結構 1 2 0 中多於或少於彼等三個功能第一導電特徵 1 2 2 的功能第一導電特徵。三個第一導電特徵 1 2 2 中之每一者可經電連接以遞送信號至磊晶源極/汲極區 9 2。

【0111】 第 3 2 F 圖至第 3 2 H 圖例示電晶體結構 1 0 9 上方背側互連結構 1 4 0 分別在階層 L_{-1} 、 L_{-2} 及 L_{-N} 處的平面圖。第 3 2 F 圖例示處於階層 L_0 及 L_{-1} 的平面圖，其中階層 L_{-1} 包括電連接至磊晶源極/汲極區 9 2 中之每一者的背側通孔 1 3 0。可構成階層 L_{-1} 之其他特徵，諸如淺溝槽隔離區 6 8 已被省略以提供階層 L_0 的更清楚視圖。

【0112】 第 3 2 G 圖例示處於階層 L_0 、 L_{-1} 及 L_{-2} 的平面圖，其中階層 L_{-2} 包括電連接至背側通孔 1 3 0 的導電接線 1 3 3。構成階層 L_{-2} 之其他特徵，諸如第二介電層 1 3 2 A 已被省略以便提供階層 L_{-1} 及 L_0 的更清楚視圖。

【0113】 第 3 2 H 圖例示階層 L_0 、 L_{-1} 、 L_{-2} 及 L_{-N} 處之平面圖，其中階層 L_{-N} 包括導電接線(例如，導電接線 1 3 5)之一或多個額外層，諸如信號接線 1 3 5 S 及電源軌 1 3 5 P，該一或多個額外層經由導電通孔 1 3 4 電連接至導電接線 1 3 3 (未獨立例示)。構成階層 L_{-N} 之其他特徵，諸如第二介電層 1 3 2 B 已被省略以提供階層 L_{-2} 、 L_{-1} 及 L_0 的更清楚視圖。如第 3 2 A 圖及第 3 2 H 圖中所例示，第一磊晶源極/汲極區 9 2 A 及第二磊晶源極/汲極區 9 2 B 可經由背側互連結構 1 4 0 耦接至電源軌 1 3 5 P，該電源軌可經由例如外部連接器 1 4 8 (未獨立例示)耦接至 V_{DD} 或 V_{SS} 電壓。此外，第三磊晶源極/汲極區 9 2 C 及第四磊晶源極/汲極區 9 2 D 可經由背側互連結構 1 4 0 耦接至信號接線 1 3 5 S，這些信號接線可經由背側互連結構 1 4 0 耦接至積體電路晶粒的其他設備，如上文所論述。

【0114】 第 3 3 A 圖至第 3 4 C 圖例示用於經由背側互連結構 1 4 0 將電晶體結構 1 0 9 之陣列電連接至信號接線及電源軌的額外實例。舉例而言，第 3 3 A 圖至第 3 3 C 圖例示藉由將具有同一導電類型之設備(例如，p 型金氧半導體裝置或 n 型金氧半導體裝置)耦接至彼此經由背側互連結構 1 4 0 的汲極至汲極至汲極信號連接，且第 3 4 A 圖至第 3 4 C 圖

例示藉由耦接具有相對導電類型之設備(例如, p 型金氧半導體裝置至 n 型金氧半導體裝置)經由背側互連結構 140 的汲極至汲極信號連接。請注意, 例示於第 33A 圖至第 34C 圖中之佈局中的一些或全部可形成於同一積體電路晶粒內。

【0115】 第 33A 圖例示電晶體結構 109 之陣列及前側互連結構 120 的平面圖, 且第 33B 圖例示電晶體結構 109 之陣列及背側互連結構 140 的平面圖。在各種導電特徵中, 前側互連結構 120 包含耦接具有相對導電類型之兩個電晶體結構 109 以形成 p-n 接面(例如, n 型及 p 型)的齊納二極體(zener diode)170。第 33C 圖例示針對描繪於第 33A 圖及第 33B 圖中之電晶體結構 109 的電路佈局圖, 包括經由前側互連結構 120 及背側互連結構 140 的電源軌 135P/VDD 及 135P/VSS 以及信號接線(例如, 第一導電特徵 122 及信號接線 135S)。

【0116】 如第 33B 圖及第 33C 圖中所例示, 第一磊晶源極/汲極區 92A、第二磊晶源極/汲極區 92B 及第三磊晶源極/汲極區 92C(運用箭頭指示為藉由本文中描述之其他特徵覆蓋的區)可經由背側互連結構 140 耦接至彼此。詳言之, 背側通孔 130 將磊晶源極/汲極區 92A/92B/92C 耦接至導電接線 133, 且導電通孔 134 將彼等導電接線 133 耦接至信號接線 135S。如進一步例示, 經由背側互連結構 140, 第四磊晶源極/汲極區 92X、第五磊晶源極/汲極區 92Y 及第六磊晶源極/汲極區 92Z 耦接至導電接線 135 的電源軌

135P。詳言之，第四磊晶源極/汲極區92X耦接至正電壓電源軌135P/VDD，而第五磊晶源極/汲極區92Y及第六磊晶源極/汲極區92Z耦接至接地電壓電源軌135P/VSS。

【0117】 第34A圖亦例示電晶體結構109之陣列及前側互連結構120的平面圖，且第34B圖例示電晶體結構109之陣列及背側互連結構140的平面圖。在各種導電接線中，背側互連結構140包含耦接具有相對導電類型之兩個電晶體結構109以形成p-n接面的齊納二極體170。第34C圖例示針對描繪於第34A圖及第34B圖中之電晶體結構109的電路佈局圖，包括經由前側互連結構120及背側互連結構140的電源軌135P/VDD及135P/VSS以及信號接線(例如，第一導電特徵122及信號接線135S)。

【0118】 如第34B圖及第34C圖中所例示，第一磊晶源極/汲極區92A及第二磊晶源極/汲極區92B(運用箭頭指示為藉由本文中描述之其他特徵覆蓋的區)可經由背側互連結構140耦接至彼此。詳言之，背側通孔130將彼等磊晶源極/汲極區92A/92B耦接至導電接線133，且導電通孔134將彼等導電接線133耦接至信號接線135S(例如，齊納二極體170)。如進一步所例示，經由背側互連結構140，第四磊晶源極/汲極區92X、第五磊晶源極/汲極區92Y及第六磊晶源極/汲極區92Z耦接至導電接線135的電源軌135P。詳言之，第四磊晶源極/汲極區92X耦接至正電壓電源軌135P/VDD，而第五磊晶源極/汲極區92Y及第六

磊晶源極 / 汲極區 92Z 耦接至接地電壓電源軌 135P/VSS。

【0119】 在電連接至前側互連結構 120 及背側互連結構 140 的電晶體陣列中，電晶體結構 109 (例如，磊晶源極 / 汲極區 92 及 / 或閘極電極 102) 可在本文中並未具體描述或例示之多種路徑中進行佈線。熟習此項技術者將認識到用於耦接前側互連結構 120 及背側互連結構 140 以協調至電晶體結構 109 之電源接線及信號接線的許多變化。

【0120】 實施例可達成優勢。舉例而言，在背側互連結構中包括信號接線及電源接線允許經由前側互連結構及背側互連結構兩者的積體電路連接中的更大多功能性，此情形改良設備效能。詳言之，更寬導電接線及導電特徵可增大電信號的可靠性及產量。此外，如上文所描述，經由信號區佈線背側互連結構至信號接線且經由電源區佈線背側互連結構至電源軌藉由使區之間的寄生電容最小化來改良設備的效能。此外，在形成信號接線及電源軌之前形成導電接線的一或多個階層增大背側互連結構之佈線的複雜性及電路密度。由於此等益處，半導體裝置可在較小區中且以增大之密度形成。

【0121】 在一實施例中，一種形成一結構的方法包括：在第一基板上方形形成一第一電晶體及一第二電晶體；在該第一電晶體及該第二電晶體上方形成一前側互連結構；蝕刻該第一基板之至少一背側以暴露該第一電晶體及該第二電晶體；形成一第一背側通孔，該第一背側通孔電連接至該

第一電晶體；形成一第二背側通孔，該第二背側通孔電連接至該第二電晶體；在該第一背側通孔及該第二背側通孔上方沈積一介電層；在該介電層中形成一第一導電接線，該第一導電接線為經由該第一背側通孔電連接至該第一電晶體的一電源軌；及於該介電層中形成一第二導電接線，該第二導電接線為經由該第二背側通孔電連接至該第二電晶體的一信號接線。在另一實施例中，該方法進一步包括在該第一背側通孔上方形成一第三導電接線，該第三導電接線電連接該第一背側通孔及該第一導電接線；及在該第二背側通孔上方形成一第四導電接線，該第四導電接線電連接該第二背側通孔及該第二導電接線。在另一實施例中，該第一導電接線電連接至該第一電晶體的一源極/汲極區，且其中該第二導電接線電連接至該第二電晶體的一源極/汲極區。在另一實施例中，該方法進一步包括在該第一基板上方形形成一第三電晶體的步驟，該第三電晶體的一閘極結構電連接至該第二導電接線。在另一實施例中，該方法進一步包括在該第一基板上方形形成一第三電晶體的步驟，該第三電晶體的一源極/汲極區電連接至該第二導電接線。在另一實施例中，該方法進一步包括在該第一背側通孔上方形成一第三導電接線的步驟，該第三導電接線電插入於該第一背側通孔與該第二導電接線之間。在另一實施例中，該方法進一步包括在該第一導電接線上方形成一第四導電接線的步驟，該第四導電接線電連接至該第一電晶體。在另一實施例中，該方法進一步包括在該第四導電接線上方

形成一焊球下金屬的步驟；及在該焊球下金屬上方形成一外部連接器的步驟。

【0122】 在一些實施例中，此方法進一步包含以下步驟：在第一背側通孔上方形成第三導電接線，第三導電接線電連接第一背側通孔及第一導電接線；及在第二背側通孔上方形成第四導電接線，第四導電接線電連接第二背側通孔及第二導電接線。

【0123】 在一些實施例中，此方法其中第一導電接線電連接至第一電晶體的源極/汲極區，且其中第二導電接線電連接至第二電晶體的源極/汲極區。

【0124】 在一些實施例中，此方法進一步包含以下步驟：在第一基板上方形形成第三電晶體，第三電晶體的閘極結構電連接至第二導電接線。

【0125】 在一些實施例中，此方法進一步包含以下步驟：在第一基板上方形形成第三電晶體，第三電晶體的源極/汲極區電連接至第二導電接線。

【0126】 在一些實施例中，此方法進一步包含以下步驟：在第一背側通孔上方形成第三導電接線，第三導電接線電插入於第一背側通孔與第二導電接線之間。

【0127】 在一些實施例中，此方法進一步包含以下步驟：在第一導電接線上方形成第四導電接線，第四導電接線電連接至第一電晶體。

【0128】 在一些實施例中，此方法進一步包含以下步驟：在第四導電接線上方形成焊球下金屬；及在焊球下金屬上方

形成外部連接器。

【0129】 在一實施例中，一種半導體裝置包括：嵌入於一第一介電層中的一電源軌；嵌入於該第一介電層中的一導電信號接線；一第二介電層，該第二介電層設置於該第一介電層上方；一第一背側通孔，該第一背側通孔設置於該電源軌上方且電連接至該電源軌；一第一電晶體，該第一電晶體設置於該第一背側通孔上方且電連接至該第一背側通孔；一第一閘極觸點，該第一閘極觸點設置於該第一電晶體的一第一閘極電極上方且電連接至該第一閘極電極；一第二背側通孔，該第二背側通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第二電晶體，該第二電晶體設置於該第二背側通孔上方且電連接至該第二背側通孔。在另一實施例中，該第一背側通孔電連接至該第一電晶體的一第一源極/汲極區。在另一實施例中，該第二背側通孔電連接至該第二電晶體的一第二源極/汲極區。在另一實施例中，該半導體裝置進一步包括：一第三背側通孔，該第三背側通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第三電晶體，該第三電晶體設置於該第三背側通孔上方且電連接至該第三背側通孔。在另一實施例中，該半導體裝置進一步包括：嵌入於該第二介電層中的一第三通孔，該第三通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第三導電接線，該第三導電接線電連接該第三通孔及該第三背側通孔。在另一實施例中，該第一電晶體的一源極/汲極區電連接至該第三電

晶體的一閘極電極。在另一實施例中，該第一電晶體的一源極/汲極區電連接至該第三電晶體的一源極/汲極區。在另一實施例中，該第一電晶體之該源極/汲極區及該第三電晶體的該源極/汲極區係在該導電信號接線的相對側上。

【0130】 在一些實施例中，半導體裝置，其中該第一背側通孔電連接至該第一電晶體的一第一源極/汲極區。

【0131】 在一些實施例中，半導體裝置，其中該第二背側通孔電連接至該第二電晶體的一第二源極/汲極區。

【0132】 在一些實施例中，半導體裝置，進一步包含：一第三背側通孔，該第三背側通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第三電晶體，該第三電晶體設置於該第三背側通孔上方且電連接至該第三背側通孔。

【0133】 在一些實施例中，半導體裝置，進一步包含：嵌入於該第二介電層中的一第三通孔，該第三通孔設置於該導電信號接線上方且電連接至該導電信號接線；及一第三導電接線，該第三導電接線電連接該第三通孔及該第三背側通孔。

【0134】 在一些實施例中，半導體裝置，其中該第一電晶體的一源極/汲極區電連接至該第三電晶體的一閘極電極。

【0135】 在一些實施例中，半導體裝置，其中該第一電晶體的一源極/汲極區電連接至該第三電晶體的一源極/汲極區。

【0136】 在一些實施例中，半導體裝置，其中該第一電晶體

之該源極/汲極區及該第三電晶體的該源極/汲極區係在該導電信號接線的相對側上。

【0137】 在一實施例中，一種半導體裝置包括：一第一電晶體及一第二電晶體，該第一電晶體及該第二電晶體設置於一第一互連結構上方；一第一通孔，該第一通孔設置於該第一電晶體上方且電連接至該第一電晶體；一第二通孔，該第二通孔設置於該第二電晶體上方且電連接至該第二電晶體；及一第二互連結構，該第二互連結構設置於該第一電晶體及該第二電晶體上方，該第二互連結構包括：嵌入於一第一介電層中的一第一導電接線，該第一導電接線電連接至該第一通孔；一第二導電接線，該第二導電接線嵌入於該第一介電層中，該第二導電接線電連接至該第二通孔；一第二介電層，該第二介電層設置於該第一介電層上方；一電源軌，該電源軌嵌入於該第二介電層中，該電源軌電連接至該第一導電接線；及一導電信號接線，該導電信號接線嵌入於該第二介電層中，該導電信號接線電連接至該第二導電接線。在另一實施例中，該半導體裝置進一步包括：一第三電晶體；一第三通孔，該第三通孔設置於該第三電晶體上方且電連接至該第三電晶體；及一第四導電接線，該第四導電接線嵌入於該第一介電層中，該第四導電接線電連接至該導電信號接線。在另一實施例中，該半導體裝置進一步包括：一第四電晶體；一第四通孔，該第四通孔設置於該第四電晶體上方且電連接至該第四電晶體；及一第五導電接線，該第五導電接線嵌入於該第一介

電層中，該第五導電接線電連接至該導電信號接線。在另一實施例中，該第一電晶體之一源極/汲極區、該第三電晶體之一源極/汲極區及該第四電晶體之一源極/汲極區經電連接。

【0138】 在一些實施例中，半導體裝置，進一步包含：一第三電晶體；一第三通孔，該第三通孔設置於該第三電晶體上方且電連接至該第三電晶體；及一第四導電接線，該第四導電接線嵌入於該第一介電層中，該第四導電接線電連接至該導電信號接線。

【0139】 在一些實施例中，半導體裝置，進一步包含：一第四電晶體；一第四通孔，該第四通孔設置於該第四電晶體上方且電連接至該第四電晶體；及一第五導電接線，該第五導電接線嵌入於該第一介電層中，該第五導電接線電連接至該導電信號接線。

【0140】 在一些實施例中，半導體裝置，其中該第一電晶體之一源極/汲極區、該第三電晶體之一源極/汲極區及該第四電晶體之一源極/汲極區經電連接。

【0141】 前述內容概述若干實施例之特徵，使得熟習此項技術者可更佳地理解本揭露之態樣。熟習此項技術者應瞭解，其可易於使用本揭露作為用於設計或修改用於實施本文中引入之實施例之相同目的及/或達成相同優勢之其他製程及結構的基礎。熟習此項技術者亦應認識到，此類等效構造並不偏離本揭露之精神及範疇，且此類等效構造可在本文中進行各種改變、取代及替代而不偏離本揭露的精神及

範疇。

【符號說明】

【0142】

2 0	:	分 隔 器
5 0	:	基 板
5 0 N	:	n 型 區
5 0 P	:	p 型 區
5 1 、 5 1 A - 5 1 C	:	第 一 半 導 體 層
5 2 、 5 2 A - 5 2 C	:	第 一 奈 米 結 構
5 3 、 5 3 A - 5 3 C	:	第 二 半 導 體 層
5 4 、 5 4 A - 5 4 C	:	第 二 奈 米 結 構
5 5	:	奈 米 結 構
6 0	:	虛 設 閘 極 介 電 質
6 4	:	多 層 堆 疊
6 6	:	鰭 片
6 8	:	淺 溝 槽 隔 離 區
7 0	:	虛 設 介 電 層
7 1	:	虛 設 閘 極 介 電 質
7 2	:	虛 設 閘 極 層
7 4	:	罩 幕 層
7 6	:	虛 設 閘 極
7 8	:	罩 幕
8 0	:	第 一 間 隔 物 層
8 1	:	第 一 間 隔 物

8 2	:	第二間隔物層
8 3	:	第二間隔物
8 6	:	第一凹部
8 7	:	第二凹部
8 8	:	側壁凹部
9 0	:	第一內部間隔物
9 1	:	第一磊晶材料
9 2	:	磊晶源極 / 汲極區
9 2 A	:	第一半導體材料層、第一 磊晶源極 / 汲極區、磊晶源極 / 汲極區
9 2 B	:	第二半導體材料層、第二 磊晶源極 / 汲極區、磊晶源極 / 汲極區
9 2 C	:	第三半導體材料層、第三 磊晶源極 / 汲極區、磊晶源極 / 汲極區
9 2 D	:	第四磊晶源極 / 汲極區、磊 晶源極 / 汲極區
9 2 X	:	第四磊晶源極 / 汲極區
9 2 Y	:	第五磊晶源極 / 汲極區
9 2 Z	:	第六磊晶源極 / 汲極區
9 4	:	接觸蝕刻終止層
9 6	:	第一層間介電質
9 8	:	第三凹部
1 0 0	:	閘極介電層
1 0 2	:	閘極電極

1 0 2 B	:	閘極電極
1 0 3	:	閘極結構
1 0 3 B	:	閘極結構
1 0 4	:	閘極罩幕
1 0 6	:	第二層間介電質
1 0 8	:	第四凹部
1 0 9	:	電晶體結構
1 0 9 A	:	第一電晶體結構
1 0 9 B	:	第二電晶體結構
1 1 0	:	第一矽化物區
1 1 2	:	源極 / 汲極觸點
1 1 4	:	閘極觸點
1 2 0	:	前側互連結構
1 2 2	:	第一導電特徵
1 2 2 _D	:	虛設第一導電特徵
1 2 4	:	第一介電層
1 2 5	:	第二介電層
1 2 8	:	第五凹部
1 2 9	:	第二矽化物區
1 3 0	:	背側通孔
1 3 0 A	:	第一背側通孔
1 3 0 B	:	第二背側通孔
1 3 2	:	第二介電層
1 3 2 A	:	第二介電層

1 3 2 B	:	第二介電層
1 3 2 C	:	第二介電層
1 3 3	:	導電接線
1 3 3 A	:	第一導電接線
1 3 3 B	:	第二導電接線
1 3 4	:	導電通孔
1 3 4 A	:	第一導電通孔
1 3 4 B	:	第二導電通孔
1 3 5	:	導電接線
1 3 5 S	:	信號接線
1 3 5 P	:	電源軌
1 3 6	:	導電通孔
1 3 7	:	導電接線
1 4 0	:	背側互連結構
1 4 0 S	:	信號區
1 4 0 P	:	電源區
1 4 4	:	鈍化層
1 4 6	:	焊球下金屬
1 4 8	:	外部連接器
1 5 0	:	載體基板
1 5 2	:	接合層
1 5 2 A	:	第一接合層
1 5 2 B	:	第二接合層
1 6 0	:	分隔器

1 6 1	:	混合式 鱗片
1 6 4	:	背側 閘極 通孔
1 7 0	:	齊納 二極體
A - A '	:	橫 截 面
B - B '	:	橫 截 面
C - C '	:	橫 截 面
L ₀	:	階 層
L ₁	:	階 層
L _N	:	階 層
L ₋₁	:	階 層
L ₋₂	:	階 層
L _{-N}	:	階 層

【發明申請專利範圍】

【請求項 1】一種形成一半導體裝置之方法，該方法包含以下步驟：

在一第一基板上方形成一第一電晶體及一第二電晶體；

在該第一電晶體及該第二電晶體上方形成一前側互連結構；

蝕刻該第一基板之至少一背側以暴露該第一電晶體及該第二電晶體；

形成一第一背側通孔，該第一背側通孔電連接至該第一電晶體；

形成一第二背側通孔，該第二背側通孔電連接至該第二電晶體；

在該第一背側通孔及該第二背側通孔上方沈積一介電層；

在該介電層中形成一第一導電接線，該第一導電接線為經由該第一背側通孔電連接至該第一電晶體的一電源軌；

及

於該介電層中形成一第二導電接線，該第二導電接線為經由該第二背側通孔電連接至該第二電晶體的一信號接線。