

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4768520号
(P4768520)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年6月24日(2011.6.24)

(51) Int. Cl.		F I	
HO3H	9/25 (2006.01)	HO3H	9/25 A
HO1L	41/09 (2006.01)	HO3H	9/25 C
HO1L	41/18 (2006.01)	HO1L	41/08 C
HO1L	41/22 (2006.01)	HO1L	41/08 U
HO3H	3/08 (2006.01)	HO1L	41/18 101A

請求項の数 4 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2006-152662 (P2006-152662)	(73) 特許権者	000204284 太陽誘電株式会社 東京都台東区上野6丁目16番20号
(22) 出願日	平成18年5月31日(2006.5.31)	(74) 代理人	100087480 弁理士 片山 修平
(62) 分割の表示	特願2003-96577 (P2003-96577) の分割	(72) 発明者	川内 治 神奈川県横浜市港北区新横浜二丁目3番地 12 富士通メディアデバイス株式会社内
原出願日	平成15年3月31日(2003.3.31)	(72) 発明者	伊形 理 神奈川県横浜市港北区新横浜二丁目3番地 12 富士通メディアデバイス株式会社内
(65) 公開番号	特開2006-246538 (P2006-246538A)	(72) 発明者	上田 政則 神奈川県横浜市港北区新横浜二丁目3番地 12 富士通メディアデバイス株式会社内
(43) 公開日	平成18年9月14日(2006.9.14)		
審査請求日	平成18年6月26日(2006.6.26)		
審判番号	不服2009-9338 (P2009-9338/J1)		
審判請求日	平成21年4月30日(2009.4.30)		

最終頁に続く

(54) 【発明の名称】 弾性表面波デバイス

(57) 【特許請求の範囲】

【請求項1】

櫛形電極と該櫛形電極に電気的に接続された第1の電極パッドとが第1の主面上に形成されたタンタル酸リチウムからなる圧電基板と、前記第1の電極パッドと接続される第2の電極パッドが第2の主面上に形成された、前記圧電基板よりヤング率が小さく且つ線膨張係数が小さいシリコンからなるベース基板とを有する弾性表面波デバイスであって、

前記櫛形電極を取り囲むように前記第1の主面上に形成され、かつ前記圧電基板の各エッジに沿って設けられた第1の膜と、

前記第1及び第2の電極パッドの活性化処理が施された面を貼り合わせた際に前記第1の膜と対応する前記第2の主面上の領域に形成され、かつ前記ベース基板の各エッジに沿って設けられた第2の膜とを有し、

前記第1及び第2の膜の表面に活性化処理が施されており、

前記第1及び第2の膜の前記活性化処理が施された面を常温または100以下で接合することで、前記圧電基板と前記ベース基板との間隙の大きさが前記第1の膜と前記第2の膜との合計膜厚及び前記第1の電極パッドと前記第2の電極パッドとの合計膜厚と同じ大きさとなることで前記櫛形電極が封止されており、

前記第1の膜及び第2の膜の端は、前記圧電基板及び前記ベース基板の側面と面一に形成され、前記弾性表面波デバイスの側面の一部を構成していることを特徴とする弾性表面波デバイス。

【請求項2】

10

20

前記第2の主面上に形成された電子素子を有し、該電子素子は前記圧電基板、前記ベース基板、前記第1の膜及び前記第2の膜で形成される空間内に封止されていることを特徴とする請求項1に記載の弾性表面波デバイス。

【請求項3】

前記ベース基板を貫通するビア配線を有し、

前記ビア配線を介して前記第2の電極パッドが前記ベース基板の前記第2の主面と反対側の第3の主面に電氣的に引き出されていることを特徴とする請求項1に記載の弾性表面波デバイス。

【請求項4】

前記圧電基板の前記第1の主面と反対側の第4の主面に接合されたシリコン基板又はサファイア基板を有し、

前記圧電基板と前記シリコン基板又は前記サファイア基板との接合面に活性化処理が施されていることを特徴とする請求項1に記載の弾性表面波デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、弾性表面波デバイス及びその製造方法に関し、特に弾性表面波素子が封止された構成を有する弾性表面波デバイス及びその製造方法に関する。

【背景技術】

【0002】

従来、電子機器の小型化及び高性能化に伴い、これに搭載された電子部品にも小型化及び高性能化が要求されている。特に、電波を送信又は受信する電子機器におけるフィルタ、遅延線、発振器等の電子部品として使用される弾性表面波(Surface Acoustic Wave:以下、SAWと略す)デバイスは、不要な信号を抑圧する目的で広く携帯電話機等における高周波(RF)部に使用されているが、携帯電話機等の急速な小型化及び高性能化に伴い、パッケージを含めて全体的な小型化及び高性能化が要求されている。加えて、SAWデバイスの用途の拡大からその需要が急速に増加したことに伴い、製造コストの削減も重要な要素となってきた。

【0003】

ここで、従来技術によるSAWデバイスを用いて作製したフィルタ装置(SAWフィルタ100)の構成を図1を用いて説明する(例えば特許文献1における特に図4参照)。尚、図1において、(a)はSAWフィルタ100の構成を示す斜視図であり、(b)は(a)のF-F断面図である。

【0004】

図1(a)に示すように、SAWフィルタ100は、セラミックス製のパッケージ102と、パッケージ102の内部が空洞化されることで形成されたキャビティ109と、キャビティ109の開口部を封止する金属キャップ103と、キャビティ109内に実装されるSAW素子110とを有して構成される。また、図1(b)に示すように、パッケージ102は、例えば3つの基板(102a, 102b, 102c)を貼り合わせた3層構造をなしており、それぞれを跨がって電極パッド105、配線パターン106及びフットパターン107が形成されている。SAW素子110は、キャビティ109底部に楕形電極(Inter Digital Transducer:以下、IDTという)を有する面が上を向いた状態(フェイスアップ状態)で固定されており、同キャビティ109内部に露出した配線パターン105と金属ワイヤ108を介して電氣的に接続されている。また、金属キャップ103は、はんだや樹脂等の接合材料(ワッシャ104)によりパッケージ101上面に固着される。

【0005】

また、このようなSAWフィルタは、フェイスダウン状態でフリップチップ実装することで、より小型化することができる(例えば特許文献2参照)。図2に、このようなSAWフィルタ200の構成を示す。尚、図2において、(a)はSAWフィルタ200に実

10

20

30

40

50

装されるSAW素子210の構成を示す斜視図であり、(b)はSAWフィルタ200の断面図(但し、図1(a)におけるF-F断面に相当)である。

【0006】

図2(a)に示すように、SAW素子210は、圧電性素子基板(以下、圧電基板という)211をベース基板として作製されている。圧電基板211の一方の主面(これを上面又は表面という)には櫛型(櫛歯型)電極、いわゆるIDT213が形成されている。このIDT213は同一の主面に形成された電極パッド214と配線パターンを介して電氣的に接続されている。また、図2(b)に示すように、パッケージ202は、内部にキャビティ209を有している。キャビティ209の底面(ダイアタッチ面)には、SAW素子210における電極パッド214と位置合わせされた電極パッド205が形成されて

10

【0007】

以上のような構成を有するSAWフィルタ(100, 200)を用いて構成した送信用フィルタと受信用フィルタとを有するデュプレクサを、図3を用いて説明する。尚、図3では、図1に示すSAWフィルタ100と同様な構成のSAWフィルタを用いて、送信用フィルタ310a及び受信用フィルタ310bを有するデュプレクサ300を構成した場合を示し、また、(a)にその断面図(但し、図1(a)におけるF-F断面に相当)を示し、(b)にSAW素子310の上面図を示す。

20

【0008】

図3(a)に示すように、デュプレクサ300は、パッケージ302にSAWフィルタ310が実装された構成を有し、更に、パッケージ302の裏面に位相線路を有して構成された整合回路が搭載された基板(以下、整合回路基板321という)と、整合回路基板321をパッケージ301と共に挟み込むように設けられた主基板322とを有して構成

30

【0009】

以上で説明したようなSAWフィルタ及びデュプレクサは、内蔵されるSAW素子を気密封止する必要がある。そのため、上記した各構成例では、キャビティの開口部をワッシャ等の接着材料を用いて金属キャップで封止していた。また、このほかにも、樹脂等でキャビティを封止する構成も存在した。

【特許文献1】特開平8-18390号公報

40

【特許文献2】特開2001-110946号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、以上のような従来技術におけるデバイス構成では、以下に示すような問題が存在した。

【0011】

即ち、キャビティを気密性高く封止するために、パッケージとキャップとの接合面積(シール幅)をある程度広くする必要があるのであるため、パッケージ全体の小型化に限界があった。また、パッケージ内に配線パターンを形成した構成であるため、パターンが大きくなっ

50

てしまい、小型化には不利であった。更に、一般的にパッケージの基板材料として使用されているセラミックの多層基板は比較的高価であるため、デバイスの単価が高く、且つキャップやSAW素子やパッケージ等の個別部品を組み立てる工程が必要なため、製造コストが高くなるという問題も存在した。

【0012】

本発明は、上記のような問題に鑑みてなされたものであり、小型且つ安価で製造が容易な弾性表面波デバイスを提供することを目的とする。

【課題を解決するための手段】

10

【0013】

かかる目的を達成するために、本発明は、請求項1記載のように、櫛形電極と該櫛形電極に電氣的に接続された第1の電極パッドとが第1の主面上に形成されたタンタル酸リチウムからなる圧電基板と、前記第1の電極パッドと接続される第2の電極パッドが第2の主面上に形成された、前記圧電基板よりヤング率が小さく且つ線膨張係数が小さいシリコンからなるベース基板とを有する弾性表面波デバイスであって、前記櫛形電極を取り囲むように前記第1の主面上に形成され、かつ前記圧電基板の各エッジに沿って設けられた第1の膜と、前記第1及び第2の電極パッドの活性化処理が施された面を貼り合わせた際に前記第1の膜と対応する前記第2の主面上の領域に形成され、かつ前記ベース基板の各エッジに沿って設けられた第2の膜とを有し、前記第1及び第2の膜の表面に活性化処理が

20

以下で接合することで、前記圧電基板と前記ベース基板との間隙の大きさが前記第1の膜と前記第2の膜との合計膜厚及び前記第1の電極パッドと前記第2の電極パッドとの合計膜厚と同じ大きさとなることで前記櫛形電極が封止されており、前記第1の膜及び第2の膜の端は、前記圧電基板及び前記ベース基板の側面と面一に形成され、前記弾性表面波デバイスの側面の一部を構成していることを特徴とする弾性表面波デバイス。第1の膜と第2の膜とで形成される圧電基板とベース基板との隙間（キャビティともいう）に櫛形電極を封止する構成とすることで、櫛形電極を収容するスペースのみを確保するだけでよい。ため、キャビティを可能な限り縮小することが可能となり、結果として弾性表面波デバイスを大幅に小型化することが可能となる。また、圧電基板及びベース基板の接合に表面活性化処理を用いた接合方法を採用しているため、必要な接合強度を得るための接合面積が縮小でき、弾性表面波デバイスをより小型化することができる。更に、表面活性化処理を用いた接合方法を採用することは、樹脂などの接着材料を必要とせず、且つ、ウェハレベルでの製造が容易となるため、製造工程を簡略化でき、安価に弾性表面波デバイスを歩留り良く作成することが可能となる。

30

【0018】

また、請求項1に記載の前記弾性表面波デバイスは、例えば請求項2記載のように、前記第2の主面上に形成された電子素子を有し、該電子素子は前記圧電基板、前記ベース基板、前記第1の膜及び前記第2の膜で形成される空間内に封止されている構成とされても良い。例えば外部回路とのインピーダンス整合を目的とした電子素子を内部に構成することで、全体として規模が縮小でき、且つ汎用性のある弾性表面波デバイスを実現することが可能となる。

40

【0022】

また、請求項1に記載の前記弾性表面波デバイスは、好ましくは請求項3記載のように、前記ベース基板を貫通するビア配線を有し、前記ビア配線を介して前記第2の電極パッドが前記ベース基板の前記第2の主面と反対側の第3の主面に電氣的に引き出された構成を有する。第2の電極パッドの電氣的な接点をベース基板の第2の主面に引き出すことで、弾性表面波デバイスをフリップチップ実装可能なデバイスとして作成することが可能となり、搭載に要する領域を縮小することが可能となる。

【0023】

50

また、請求項 1 に記載の前記弾性表面波デバイスは、好ましくは請求項 4 記載のように、前記圧電基板の前記第 1 の主面と反対側の第 4 の主面に接合されたシリコン基板又はサファイア基板を有し、前記圧電基板と前記シリコン基板又は前記サファイア基板との接合面に活性化処理が施された構成を有する。サファイア基板又はシリコン基板を圧電基板裏面に接合することで圧電基板の強度が向上するため、より薄型化することが可能となる。また、一般的にサファイア基板又はシリコン基板は圧電基板よりもヤング率及び線膨張係数が小さいため、これを圧電基板に接合することで、圧電基板の熱膨張を抑制することが可能となり、結果として弾性表面波デバイスの周波数温度特性を安定化させることが可能となる。更に、圧電基板とサファイア基板又はシリコン基板との接合に表面活性化処理を用いた基板接合方法を用いることで、接合強度が上昇するため、上記のような効果をより向上させることが可能となる。更にまた、表面活性化処理を用いた基板接合方法では、常温による基板接合が可能であるため、製造時の破損等を回避することが可能となり、弾性表面波デバイスの歩留りが向上する。また、特に加工のし易いシリコン基板を用いた場合には、このような接合基板を用いた弾性表面波デバイスの製造を容易且つ高精度に行うことが可能となるだけでなく、ウェハレベルでの製造が可能となるため、製造効率を向上させることが可能となる。

10

【発明の効果】

【0029】

本発明によれば、小型且つ安価で製造が容易な弾性表面波デバイスを提供することができる。

20

【発明を実施するための最良の形態】

【0030】

本発明を好適に実施した形態を説明するにあたり、本発明の基本概念を先に述べる。図 4 は本発明の基本概念を説明するための図である。尚、図 4 (a) は本発明の基本概念による弾性表面波 (S A W) デバイス 1 の構成を示す斜視図であり、(b) は (a) の A - A 断面図である。

【0031】

図 4 (a) 及び (b) に示すように、本発明による S A W デバイス 1 の基本概念は、所定の面 (これを以下にいう圧電基板 1 1 A における主面若しくは上面とする) 上に櫛形電極 (I D T) 1 3 と電極パッド 1 4 とこれらを接続する配線パターン 1 5 とが形成された圧電性素子基板 (以下、圧電基板という) 1 1 A と、所定の面 (これを以下にいうベース基板 2 A における主面若しくは上面とする) 上に電極パッド 1 4 と位置合わせされた電極パッド 5 が形成されたベース基板 2 A とを有して構成されている。

30

【0032】

圧電基板 1 1 A 及びベース基板 2 A の主面における外縁には、お互いに位置合わせされた金属膜 1 6 , 4 を形成する。本発明では、金属膜 1 6 , 4 を接着することで、圧電基板 1 1 A とベース基板 2 A との間に形成される領域 (キャビティともいう) を高気密に封止する。即ち、圧電基板 1 1 A , ベース基板 2 A 及び金属膜 1 6 , 4 を接着して形成されるキャビティ 9 内に I D T 1 3 , 電極パッド 1 4 及び配線パターン 1 5 をハーメチックシールする。

40

【0033】

また、両基板 (1 1 A , 2 A) を接着する際 (即ち、金属膜 1 6 , 4 を接着する際) 、それぞれに形成された電極パッド 1 4 , 5 も接合する。尚、ベース基板 2 A 側の電極パッド 1 4 はベース基板 2 A を貫通するビア 6 a により、ベース基板 2 A の反対側の主面 (これを裏面とする) 側に露出されている。このため、ビア 6 a に金属バンプ等の導電体を充填してビア配線を形成することで、I D T 1 3 の入出力端子がベース基板 2 A の裏面まで引き出される。

【0034】

上記の構成において、圧電基板 1 1 A には、例えば S A W の伝搬方向を X とし、切り出し角が回転 Y カット板である 42° Y カット X 伝搬リチウムタンタレート (L i T a O ₃)

50

S A Wの伝搬方向Xの線膨張係数が 16.1 ppm/ の圧電単結晶基板（以下、L T基板という）を用いる。また、このほかにも、例えば切り出し角が回転Yカット板であるリチウムナイオベート（ LiNbO_3 ）の圧電単結晶基板（以下、L N基板という）や水晶基板等を適用することも可能である。

【0035】

圧電基板11Aの主面上には、上述のように、I D T 1 3 , 電極パッド14 , 配線パターン15及び金属膜16が形成される。これらを形成する材料としては、例えば金（A u）, アルミニウム（A l）, 銅（C u）, チタン（T i）, クロム（C r）, タンタル（T a）等を主成分とする導電体を用いることができる。また、I D T 1 3 , 電極パッド14 , 配線パターン15及び金属膜16を、上記した何れかの材料を少なくとも1つを含む単層導電膜として形成しても、同じく上記した材料を少なくとも1つを含む導電膜が少なくとも2層重ねられた積層導電膜等として形成してもよい。尚、これらパターンの形成には、例えばスパッタリング法等を用いることができる。

10

【0036】

ベース基板2Aには、S A Wデバイスのパッケージ等として従来使用されているようなセラミックス、アルミニウム・セラミックス（アルミナ）、ピスマスイミド・トリアジンレジン、ポリフェニレンエーテル、ポリイミド樹脂、ガラスエポキシ、又はガラスクロス等のうち何れか1つ以上を主成分とした絶縁体基板を用いることが可能であるが、本発明では、加工が容易で且つウェハレベルで製造が可能であるという観点から、半導体基板であるシリコン基板を用いた場合を例に挙げて説明する。尚、シリコン基板を用いた場合、シリコン基板が持つ抵抗成分によりフィルタ特性が劣化することを防止するために、 $1000 \cdot \text{cm}$ 以上の抵抗率のシリコン材料を用いると良い。

20

【0037】

ベース基板2Aの主面上には、上述のように、電極パッド5及び金属膜4が形成される。これらの形成にも同様に、例えばスパッタリング法等が用いられ、金（A u）, アルミニウム（A l）, 銅（C u）, チタン（T i）, クロム（C r）, タンタル（T a）の少なくとも1つを含む単層導電膜か、又は、金（A u）, アルミニウム（A l）, 銅（C u）, チタン（T i）, クロム（C r）, タンタル（T a）の少なくとも1つを含む導電膜が少なくとも2層重ねられた積層導電膜等として形成される。

30

【0038】

以上のような圧電基板11A及びベース基板2Aの接合には、樹脂等の接着材料を用いることも可能であるが、両金属膜16、4を常温で直接接合する方法を適用することが好ましい。更に、接合面（金属面16、4及び電極パッド14、5表面：以下、単に接合面という）に表面活性化処理を施すことで、接合強度をより向上させることができる。以下、表面活性化処理を用いた接合方法について図5を用いて詳細に説明する。

【0039】

本接合方法では、まず、図5（a）に示すように、接合面をR C A洗浄法等で洗浄し、付着している酸化物や吸着物等の不純物X1及びX2を除去する（第1の工程：洗浄処理）。R C A洗浄とは、アンモニアと過酸化水素と水とを容積配合比1：1～2：5～7で混合した洗浄液や塩素と過酸化水素と水とを容積配合比1：1～2：5～7で混合した洗浄液等を用いて行われる洗浄方法の一つである。

40

【0040】

次に、洗浄した基板を乾燥（第2の工程）後、図5（b）に示すように、アルゴン（A r）等の不活性ガス若しくは酸素のイオンビーム又はプラズマ等を接合面に照射することで、残留した不純物X11及びX21を除去すると共に、表層を活性化させる（第3の工程：活性化処理）。尚、何れの粒子ビーム又はプラズマを使用するかは、接合する基板の材料に応じて適宜選択される。例えば不活性ガスによる活性化処理は多くの材料で有効であるが、酸化シリコン（ SiO_2 ）等では酸素のイオンビームやプラズマ等も有効である。

【0041】

50

その後、金属膜16, 4及び電極パッド14, 5を位置合わせをしつつ貼り合わせる(第4の工程: 貼合せ処理)。ほとんどの材料では、この貼合せ処理を真空中で行うが、窒素や不活性ガス等の高純度ガス雰囲気中又は大気で行える場合もある。また、両基板(11A, 2A)を挟み込むように加圧する必要がある場合も存在する。尚、この工程は常温又は100以下程度に加熱処理した条件下で行うことができる。このように100程度以下に加熱しつつ接合を行うことで、接合強度を向上させることが可能となる。

【0042】

このように、表面活性化処理を用いた接合方法では、両基板(11A, 2A)を接合した後に、1000以上での高温でアニール処理を施す必要がないため、基板の破損を招く恐れがなく、且つ様々な基板を接合することができる。また、両基板を貼り合わせるための樹脂などの接着材料を必要としないため、パッケージを薄くすることが可能となり、更に、接着材料を用いた場合と比較して小さい接合面積でも十分な接合強度を得ることができるため、パッケージを小型化することが可能となる。更にまた、以上のような接合方法を用いることで、ウェハレベルで全ての工程を行うことが可能となるため、多面取り構造の圧電基板及びベース基板を用いて一度に複数のSAWデバイス1を作成することが可能となり、製造工程の簡略化及び歩留りの向上を実現することができる。

【0043】

以上のような基本概念に基づくことで、本発明では、IDT13を封止するキャビティ9を可能な限り縮小することが可能となる。また、圧電基板11A及びベース基板2Aの接合に表面活性化処理を用いた接合方法を採用しているため、必要な接合強度を得るための接合面積が縮小でき、SAWデバイスを最大限に小型化することができる。更に、ベース基板2Aとして、ウェハレベルでの加工が容易で且つ安価なシリコン基板を用いているため、製造工程を簡略化でき、且つ安価にSAWデバイスを歩留り良く作成することが可能となる。以下、以上のような基本概念に基づく本発明の実施の形態について例を挙げて説明する。

【0044】

〔第1の実施形態〕

先ず、本発明の第1の実施形態について図面を用いて詳細に説明する。図6から図8は、本実施形態によるSAWデバイス21の構成を示す図である。尚、図6(a)はSAWデバイス21におけるSAW素子20の構成を示す上面図であり、(b)は(a)のB-B断面図である。また、図7(a)はSAWデバイス21におけるベース基板22の構成を示す上面図であり、(b)は(a)のC-C断面図であり、(c)はベース基板22の構成を示す裏面図である。更に、図8はSAWデバイス21の断面図(但し、B-B断面及びC-C断面に相当)である。

【0045】

図6(a)及び(b)に示すように、本実施形態によるSAW素子20は、圧電基板11Aとして例えばLT基板11を用いて形成され、この主面上に、梯子(ラダー)型に接続されるIDT13及び電極パッド14と、これらを相互に接続する配線パターン15とが形成された構成を有している。個々のIDT13, 電極パッド14及び配線パターン15の構成は上述の基本概念で触れた通りであるため、ここでは詳細な説明を省略する。

【0046】

また、図7(a)から(c)に示すように、本実施形態によるベース基板22は、例えばシリコン基板2を用いて形成され、この主面上に、電極パッド14と位置合わせされた電極パッド5が形成された構成を有している。個々の電極パッド5の構成は上述の基本概念で触れた通りであるため、ここでは詳細な説明を省略する。

【0047】

このほか、図7に示すベース基板22は、電極パッド5を囲む領域であって金属膜16と位置合わせされた領域に、上述したような金属膜4を有している。この金属膜4は、上述にもあるように、シリコン基板2を貫通するビア7aに充填された導電体(例えば金属バンプ等)7によりベース基板22裏面に電氣的に露出しており、ここから接地されてい

10

20

30

40

50

る。即ち、本実施形態において、IDT 13, 電極パッド 14, 5 及び配線パターン 15 を取り囲むように形成された金属膜 16, 4 は接地されている。

【0048】

以上のような構成を有するSAW素子20を、ベース基板22の主面に対してフェイスダウン状態、即ち、両基板11, 2の主面を向かい合わせた状態で貼り合わせることで、図8に示すようなSAWデバイス21が作成される。貼り合わせには上述したような表面活性化処理を用いた接合方法を用いる。また、この貼り合わせにより、電極パッド14, 5も接合される。尚、他の構成は上述の基本概念で触れた通りであるため、ここでは詳細な説明を省略する。

【0049】

次に、以上のような構成を有するSAWデバイス21の製造方法について図面を用いて詳細に説明する。図9はSAWデバイス21におけるSAW素子20を作成する際の製造プロセスを示す図であり、図10はベース基板22を作成する際の製造プロセスを示す図である。

【0050】

SAW素子20の作成では、図9(a)に示すように、例えば厚さ250 μ mのLT基板11を使用する。LT基板11の主面上には、図9(b)に示すように、IDT 13, 電極パッド14, 配線パターン15及び金属膜16の下地層として、例えばアルミニウム(A1)等の金属を主成分とした電極膜13Aを形成する。次に、形成した電極膜13A上に、フォトリソグラフィ技術を用いてIDT 13, 電極パッド14, 配線パターン15及び金属膜16のパターン(図6(a)参照)に沿ったマスク25を形成し(図9(c)参照)、これに対してエッチングを行うことで、IDT 13, 電極パッド14, 配線パターン15及び金属膜16の形状にパターンニングされた電極膜13Bを形成する(図9(d)参照)。

【0051】

このようにIDT 13, 電極パッド14, 配線パターン15及び金属膜16の下地層となる電極膜13Bを形成すると、次に、残ったマスク25を除去した後、図9(e)に示すように、電極膜13Bが形成された主面全体を覆うように、酸化シリコン(SiO₂)等で絶縁膜26を形成する。その後、上述したように、電極パッド14と金属膜16とを比較的高抵抗な配線パターン(17)で接続するためのマスク27をフォトリソグラフィ技術を用いて形成し(図9(f)参照)、これに対してエッチングを行うことで(図9(g)参照)、配線パターン17を形成する。この際、電極膜13B上に、これを保護する目的で絶縁膜28を図9(g)に示すように、残しておいても良い。

【0052】

次に、本製造方法では、これらを覆うように金属膜14Aを形成し(図9(h)参照)、これに上記した少なくともIDT 13, 電極パッド14の一部及び金属膜16の一部以外の領域の金属膜14Aを除去するためのマスク29をフォトリソグラフィ技術を用いて形成して(図9(i)参照)、これに対してエッチングを行う(リフトオフ)。これにより、IDT 13, 電極パッド14, 配線パターン17及び金属膜16が形成される(図9(j)参照:但し、(j)には電極パッド14及び金属膜16のみを示す)。この際、IDT 13, 電極パッド14及び配線パターン17の膜厚が、金属膜16の膜厚と同程度となるように構成することが好ましい。これにより、ベース基板22とSAW素子20とを貼り合わせた際に、IDT 13が何れかの構成と接触したり、電極パッド14が電極パッド5と接合されなかったりという不具合を回避することができる。

【0053】

また、本製造方法では、電極パッド14と金属膜16とを配線パターン17で接続する場合を例に挙げたが、LT基板11に比抵抗が 10^{-14} から 10^{-7} \cdot mという、比較的高抵抗な材料基板を用いた場合は、配線パターン17を形成する工程を省略し、製造方法を簡略化することもできる。

【0054】

10

20

30

40

50

また、ベース基板 2 2 の作成では、図 1 0 (a) に示すように、例えば厚さ 2 5 0 μm のシリコン基板 2 を使用する。シリコン基板 2 の主面上には、図 1 0 (b) に示すように、後に電極パッド 5 及び金属膜 4 に加工するための金属膜 4 A を形成する。その後、形成した金属膜 4 A を電極パッド 5 及び金属膜 4 の形状にパターニングするためのマスク 3 5 をフォトリソグラフィ技術を用いて形成し (図 1 0 (c) 参照)、これに対してエッチングを行う (図 1 0 (d) 参照)。これにより、電極パッド 5 及び金属膜 4 に形成される。尚、本製造方法において、マスク 3 5 には、ビア 6 a , 7 a を形成する際のパターンも含まれている。

【 0 0 5 5 】

次に、本製造方法では、電極パッド 5 及び金属膜 4 をシリコン基板 2 裏面にまで電氣的に導出させるためのビア 6 a , 7 a を形成する。この工程では、先ず図 1 0 (e) に示すように、ビア 6 a , 7 a を形成する領域以外の領域にマスク 3 6 をフォトリソグラフィ技術を用いて形成し、これに対して反応性イオンエッチング (R I E : 特に D e e p - R I E) を行う。これにより、図 1 0 (f) に示すような、垂直方向に延在するビア 6 a , 7 a が形成される。尚、残ったマスク 3 6 は、エッチング後、除去される。

【 0 0 5 6 】

このように S A W 素子 2 0 及びベース基板 2 2 を形成すると、本実施形態では、上述における図 5 を用いて説明したような接合方法を用いて両基板を接合する。これにより、本実施形態による S A W デバイス 2 1 が形成される。図 1 0 (f) において作成されたビア 6 a , 7 a には、上述にもあるように、金属バンプ等の導電体が充填される (図 8 におけるビア配線 6 , 7)。これにより、電極パッド 1 4 (5 も含む) 及び金属膜 1 6 (4 も含む) がベース基板 2 2 裏面まで電氣的に引き出される。但し、このような導電体の充填工程は、基板 (1 1 , 2) 接合後に設けても、接合する前に設けても良い。

【 0 0 5 7 】

また、図 1 0 で説明したベース基板 2 2 の製造方法は、エッチング (D e e p - R I E も含む) を金属膜 4 A を形成した側から行った場合、即ち全ての工程を同一面 (主面) 側から行った場合を例示している。これに対し、エッチング (D e e p - R I E も含む) を金属膜 4 A を形成した側と反対側 (裏面側) から行うように構成することも可能である。これを図 1 1 を用いて説明する。

【 0 0 5 8 】

図 1 1 において、(b) に示す工程までは図 1 0 における (b) までの工程と同様である。その後、本製造方法では、図 1 1 (c) に示すように、形成した金属膜 4 A 上に、これを電極パッド 5 ' 及び金属膜 4 ' の形状にパターニングするためのマスク 3 5 ' をフォトリソグラフィ技術を用いて形成し、これに対してエッチングを行う (図 1 1 (d) 参照)。これにより、電極パッド 5 ' 及び金属膜 4 ' が形成される。尚、本製造方法では、マスク 3 5 ' に、ビア 6 a , 7 a を形成するためのパターンが含まれていない。

【 0 0 5 9 】

次に、本製造方法では、シリコン基板 2 の裏面 (但し、図 1 1 (e) 以降ではシリコン基板 2 の表裏を逆にして表示する) にマスク 3 6 ' をフォトリソグラフィ技術を用いて形成し (図 1 1 (e) 参照)、これに対して R I E (特に D e e p - R I E) を行うことで、ビア 6 a , 7 a を形成する (図 1 1 (f) 参照)。尚、残ったマスク 3 6 ' は、エッチング後、除去される。

【 0 0 6 0 】

このように構成することで、本製造方法では、形成した金属膜 4 ' 及び電極パッド 5 ' をエッチングしないため、接合時に金属膜 4 ' , 1 6 及び電極パッド 5 ' , 1 4 のセルフアライメントが可能となり、製造工程が容易化できる。尚、S A W 素子 2 0 は、図 9 に示す製造方法と同様の方法で製造できるため、ここでは説明を省略する。

【 0 0 6 1 】

また、上記した各製造方法では、S A W 素子 2 0 とベース基板 2 2 とそれぞれ個別に作成した後に接合するように構成した場合を例に挙げている。これに対し、本実施形態では

10

20

30

40

50

、例えばシリコン基板 2 にビア 6 a , 7 a を形成する工程を、ベース基板 2 2 と S A W 素子 2 0 とを接合した後に行うように構成することも可能である。これを図 1 2 を用いて詳細に説明する。但し、本製造方法において S A W 素子 1 2 の製造プロセスは、図 9 を用いて上述した工程と同様であるため、説明を省略する。

【 0 0 6 2 】

図 1 2 において、(d) に示す工程までは図 1 1 における (d) に示す工程と同様である。その後、本製造方法では、図 1 2 (e) に示すように、シリコン基板 2 の主面 (但し、図 1 2 (e) 以降ではシリコン基板 2 の表裏を逆にして表示する) に図 9 のように製造した S A W 素子 2 0 を貼り合わせた後、シリコン基板 2 の裏面にマスク 3 6 ' をフォトリソグラフィ技術を用いて形成し (図 1 2 (f) 参照)、これに対して R I E (特に D e e p - R I E) を行うことで、ビア 6 a , 7 a を形成する (図 1 2 (g) 参照)。尚、残ったマスク 3 6 ' は、エッチング後、除去される。

10

【 0 0 6 3 】

このように構成することで、本製造方法では、図 1 1 に示す製造方法と同様に、形成した金属膜 4 ' 及び電極パッド 5 ' をエッチングしないため、接合時に金属膜 4 ' , 1 6 及び電極パッド 5 ' , 1 4 のセルフアライメントが可能となり、製造工程が容易化できる。

【 0 0 6 4 】

以上のような製造方法を用いることで、本実施形態では上記したような構成及び効果を得られる S A W デバイス 2 1 が作成できる。

【 0 0 6 5 】

20

〔 第 2 の実施形態 〕

次に、本発明の第 2 の実施形態について図面を用いて詳細に説明する。図 1 3 は、本実施形態による S A W デバイスにおけるベース基板 3 2 の構成を示す図である。尚、図 1 3 (a) はベース基板 3 2 の上面図を示し、(b) は (a) の D - D 断面図を示し、(c) はベース基板 3 2 の裏面図を示す。尚、本実施形態における S A W 素子は第 1 の実施形態で例示した S A W 素子 2 0 と同様な構成とすることが可能である。

【 0 0 6 6 】

図 1 3 (a) から (c) に示すように、本実施形態によるベース基板 3 2 には主面上に所定の電気素子が形成されている。この電気素子としては、例えば S A W 素子 2 0 の入力インピーダンスを変換することで、外部回路と S A W 素子 2 0 とのインピーダンスを整合するための整合回路等が挙げられる。尚、図 1 3 は、インダクタ L 1 とコンデンサ C 1 とを含んでなる整合回路を形成した場合を示している。この整合回路の一例を図 1 4 に示す。図 1 4 に示すように、本実施形態において例示する整合回路は、インダクタ L 1 が S A W 素子 2 0 の入力端を分岐し接地する配線上に設けられ、コンデンサ C 1 が S A W 素子 2 0 の 2 つの出力端を結ぶ配線上に設けられた構成を有している。これにより、外部回路とのインピーダンス整合が図られ、フィルタ特性の劣化を防止することができる。但し、本発明による電気素子は図 1 4 に示す整合回路に限定されず、目的及び用途・特性に応じて種々変形することが可能である。

30

【 0 0 6 7 】

また、以上のような電気素子は、ベース基板 3 2 における電極パッド 5 及び金属膜 4 を形成する工程の前又は後若しくは同時に、例えば銅 (C u) やアルミニウム (A l) や金 (A u) 等を材料としてスパッタリング方等により作成される。

40

【 0 0 6 8 】

以上のように、電気素子を含めて S A W デバイスを作成することで、外部回路として、これを必要とせず、結果的に汎用性のある高性能な S A W デバイスを作成することが可能となる。尚、他の構成、製造方法及び効果は上述した第 1 の実施形態と同様であるためここでは説明を省略する。

【 0 0 6 9 】

〔 第 3 の実施形態 〕

次に、本発明の第 3 の実施形態について図面を用いて詳細に説明する。図 1 5 は、本実

50

施形態によるSAWデバイスにおけるSAW素子40の構成を示す図である。尚、図15(a)はSAW素子40の上面図を示し、(b)は(a)のE-E断面図を示す。

【0070】

図15(a),(b)に示すように、本実施形態によるSAW素子40は、圧電基板(本説明ではLT基板41aとする)の裏面に圧電材料とは異なる材料で形成された基板(これを支持基板とし、以下の説明ではシリコン基板41bを例示する)を接合することで接合基板41が作成された構成を有している。

【0071】

本実施形態において支持基板としては、圧電基板(LT基板41aであればLT基板)よりもヤング率が小さく且つ線膨張係数が小さい基板を用いることが好ましい。これを満足し、且つ実際に使用できる基板材料としては、例えばサファイア基板やシリコン基板等が挙げられる。このように、圧電基板よりもヤング率が小さく且つ線膨張係数が小さい基板を支持基板として圧電基板の裏面に貼り合わせることで、例えば熱による圧電基板の膨張を抑制することが可能となるだけでなく、圧電基板の強度を支持基板で得ることが可能となるため、支持基板を含めてSAW素子全体を更に薄型化することが可能となる。また、特に加工のしやすいシリコン基板を用いた場合は、このような接合基板(圧電基板と支持基板とが接合された基板)を用いたSAW素子の製造を容易且つ高精度に行うことが可能となるだけでなく、ウェハレベルでの製造が可能となるため、製造効率を向上させることが可能となる。但し、シリコン基板を用いた場合は、これの抵抗成分によるSAW素子のフィルタ特性が劣化することを防止するための、比抵抗が $1000 \cdot \text{cm}$ 以上のシリコン基板を用いることが好ましい。

【0072】

また、圧電基板(LT基板41a)と支持基板(シリコン基板41b)との接合には、上述した表面活性化処理を用いた基板接合方法を用いることが好ましい。これにより、樹脂等を用いた場合よりもLT基板41aとシリコン基板41bの接合強度を向上させることが可能となるだけでなく、常温での接合も可能となるため、製造時の破損や特性劣化を防止すること可能となる。更に、接合強度が向上するため、接合面積を小さくでき、結果としてSAW素子40をより小型化することが可能となる。更にまた、接合強度が向上することは、LT基板41aの熱膨張をシリコン基板41bが効率良く抑制することに繋がるため、より周波数温度特性を安定化することが可能となる。

【0073】

次に、以上のようなSAW素子40の製造方法を、図16を用いて詳細に説明する。本実施形態によるSAW素子40の作成では、図16(a)に示すように、例えば厚さ $250 \mu\text{m}$ 程度のLT基板41Aと、同様に厚さ $250 \mu\text{m}$ 程度のシリコン基板41Bとを接合する。この接合には、上述したように、両基板の接合面に表面活性化処理を施す工程を有する基板接合方法を用いることが好ましい。但し、これに限定されず、樹脂等の接着剤を用いることも可能である。

【0074】

次に、本製造方法では、図16(b)に示すように、貼り合わせた基板(41A, 41B)をそれぞれ切削・研磨することで、所望する厚さまで薄くする。これにより、LT基板単体と比較して薄型化された接合基板41が作成される。以降の工程は、図9における(b)以降において、LT基板11を接合基板41に置き換えることで容易に実現できるため、ここでは説明を省略する。尚、シリコン基板41Bの切削・研磨は、上述のように、LT基板41a上にIDT13, 電極パッド14, 配線パターン15及び金属膜16等を形成する前であっても良いが、これに限定されず、IDT13, 電極パッド14, 配線パターン15及び金属膜16等の形成後であっても、ベース基板との接合後であってもよい。

【0075】

以上のように圧電基板に支持基板を接合することで、上述した効果を得るだけでなく、製造工程において圧電基板が破損することも防止できるため、SAW素子の歩留りが向上

10

20

30

40

50

できる。尚、他の構成、製造方法及び効果は、上述した各実施形態と同様であるため、ここでは説明を省略する。

【0076】

〔第4の実施形態〕

次に、本発明の第4の実施形態について図面を用いて詳細に説明する。上述した各実施形態におけるSAW素子(20)及びベース基板(22, 32)は、例えば図17に示すように、多面取り構造の基板(50A, 52A)として一度に複数作成することも可能である。尚、図17では、例として第1の実施形態で述べたSAW素子20又はベース基板22が2次元配列された多面取り構造の基板(50A, 52A)を示している。

【0077】

以上のように多面取り構造の基板(50A, 52A)を上述した何れかの製造方法と同様の方法により貼り合わせて、一度に複数のSAWデバイスを作成するように構成することで、本実施形態では、SAWデバイスを製造する際のコストを下げることが可能となり、結果としてSAWデバイスを安価に提供することが可能となる。

【0078】

また、多面取り構造の基板(50A, 52A)を用いて作成する際、図11(f)又は図12(g)に示す工程において、ビア6a, 7aと同時にダイシングする際の溝も形成することで、ダイシング時、即ちSAWデバイスを個片化する際の作業を正確且つ迅速に行うことが可能となる。尚、他の構成及び製造方法並びに効果は、上述した各実施形態と同様であるため、ここでは説明を省略する。

【0079】

〔第5の実施形態〕

更に、上述した第4の実施形態に限らず、例えば第3の実施形態のように、圧電基板に支持基板が接合されたSAW素子を作成する際も、図18に示すような多面取り構造の基板60Aとすることが可能である。尚、図18では、例として第3の実施形態で述べたSAW素子40が2次元配列された多面取り構造の基板60Aを示している。また、ベース基板に関しては、第4の実施形態と同様であるため、ここでは説明を省略する。

【0080】

以上のように多面取り構造の基板60Aを上述した何れかの製造方法と同様の方法により貼り合わせて、一度に複数のSAW素子を作成するように構成することで、本実施形態では、SAW素子を製造する際のコストを下げることが可能となり、結果としてSAWデバイスを安価に提供することが可能となる。尚、他の構成及び製造方法並びに効果は、上述した各実施形態と同様であるため、ここでは説明を省略する。

【0081】

〔第6の実施形態〕

次に、本発明の第6の実施形態について図面を用いて詳細に説明する。本実施形態は、上述したようなベース基板(22, 42)を低温焼成セラミックス(LTCC)やプリント基板等に直に形成した場合の例である。図19に、本実施形態におけるベース基板(以下の説明では第1の実施形態で述べたベース基板22を例に挙げる)が形成されたLTCC72Aの構成を示す上面図である。

【0082】

図19に示すように、LTCC72A上には、送信用回路チップ81, 受信用回路チップ82及びRF回路83が搭載されており、送信用回路チップ81及び受信用回路チップ82と、RF回路83とを結ぶそれぞれの伝送線路上に、送信用フィルタ及び受信用フィルタを設けるためのベース基板72a, 72bが形成されている。このように構成されたLTCC72Aに、例えば第1の実施形態で述べたSAW素子20を接合することで、本実施形態では、SAWデバイスの占める体積をより縮小することが可能となる。尚、他の構成、製造方法及び効果は上述した各実施形態と同様であるため、ここでは説明を省略する。

【0083】

10

20

30

40

50

〔第7の実施形態〕

また、上述した各実施形態では、SAW素子に1つのフィルタが形成された場合を例に挙げて説明したが、本発明はこれに限定されず、例えば図20(a)に示すような送信用フィルタ90aと受信用フィルタ90bとを有するデュプレクサ90として形成したSAW素子に対しても同様に適用することが可能である。

【0084】

また、この際、図20(b)に示すデュプレクサ90を用いたSAWデバイス91の回路構成のように、送信用フィルタ90a及び受信用フィルタ90bに対してコモン端子である入力端子と、送信用フィルタ90a又は受信用フィルタ90b若しくはその両方との間に、第3の実施形態で説明した構成による整合回路等を組み込むように構成するとよい。尚、整合回路は、インダクタL2とこれを挟むように並列に設けられたコンデンサC2、C3とを有してなるローパスフィルタとして構成されている。ここで、送信用フィルタ90aの共振周波数が受信用フィルタ90bの共振周波数よりも低く、且つ送受信の周波数関係がこれと逆である場合には、高い周波数側に上記のローパスフィルタを接続すれば良い。また、整合回路はローパスフィルタに限定されるものでない。

【0085】

〔他の実施形態〕

以上、説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

【図面の簡単な説明】

【0086】

【図1】従来技術によるSAWデバイス100の構成を示す図であり、(a)はSAWデバイス100の斜視図であり、(b)は(a)のF-F断面図である。

【図2】従来技術によるSAWデバイス200の構成を示す図であり、(a)はSAWデバイス200に実装されるSAW素子210の構成を示す斜視図であり、(b)はSAWデバイス200の断面図である。

【図3】従来技術によるデュプレクサ300の構成を示す図であり、(a)はデュプレクサ300の構成を示す断面図であり、(b)はデュプレクサ300に実装されるSAW素子310の構成を示す上面図である。

【図4】本発明の基本概念によるSAWデバイス1の構成を示す図であり、(a)はSAWデバイス1の斜視図であり、(b)は(a)のA-A断面図である。

【図5】本発明において使用する表面活性化処理を用いた接合方法を説明するための図である。

【図6】本発明の第1の実施形態によるSAW素子20の構成を示す図であり、(a)はSAW素子20の上面図であり、(b)は(a)のB-B断面図である。

【図7】本発明の第1の実施形態によるベース基板22の構成を示す図であり、(a)はベース基板22の上面図であり、(b)は(a)のC-C断面図であり、(c)はベース基板22の裏面図である。

【図8】本発明の第1の実施形態によるSAWデバイス21の構成を示す断面図である。

【図9】図6に示すSAW素子20の製造方法を示すプロセス図である。

【図10】図7に示すベース基板22の製造方法を示すプロセス図である。

【図11】図7に示すベース基板22の他の製造方法を示すプロセス図である。

【図12】図8に示すSAWデバイス21の他の製造方法を示すプロセス図である。

【図13】本発明の第2の実施形態によるベース基板32の構成を示す図であり、(a)はベース基板32の上面図であり、(b)は(a)のD-D断面図であり、(c)はベース基板32の裏面図である。

【図14】本発明の第2の実施形態によるSAWデバイスの回路構成を示す図である。

【図15】本発明の第3の実施形態によるSAW素子40の構成を示す図であり、(a)はSAW素子40の上面図であり、(b)は(a)のE-E断面図である。

【図16】本発明の第3の実施形態における接合基板41を作成する際の工程を示すプロ

10

20

30

40

50

セス図である。

【図17】本発明の第4の実施形態による多面取り構造の基板の構成を示す図であり、(a)は図6に示すSAW素子20が2次元配列された基板50Aの上面図を示し、(b)は図7に示すベース基板22が2次元配列された基板52Aの上面図を示す。

【図18】本発明の第5の実施形態によるSAW素子40が2次元配列された多面取り構造の基板60Aの構成を示す上面図である。

【図19】本発明の第6の実施形態によるLTCC72Aの構成を示す上面図である。

【図20】本発明の第7の実施形態によるデュプレクサ90の構成を示す図であり、(a)はデュプレクサ90の構成を示す上面図であり、(b)はデュプレクサ90を用いて作成したSAWデバイス91の回路構成を示す図である。

10

【符号の説明】

【0087】

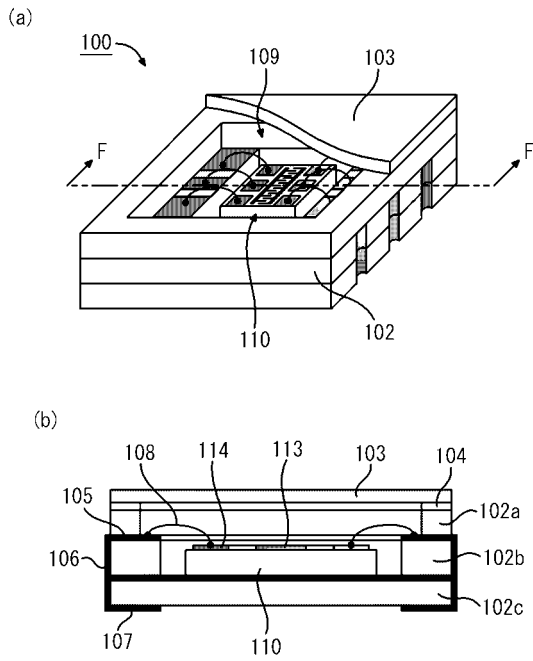
- 1、21、91 SAWデバイス
- 2、41B、41b シリコン基板
- 2A、22、32 ベース基板
- 4、4'、16 金属膜
- 4A、13A、13B 電極膜
- 5、5'、14 電極パッド
- 6、7 ビア配線
- 6a、7a ビア
- 9 キャビティ
- 10、20、40 SAW素子
- 11、41A、41a LT基板
- 11A 圧電基板
- 13 IDT
- 14A 金属膜
- 15、17 配線パターン
- 25、27、29、35、35'、36、36' マスク
- 26、28 絶縁膜
- 41 接合基板
- 50A、52A、60A 基板
- 72A LTCC
- 72 ベース基板
- 81 送信用回路チップ
- 82 受信用回路チップ
- 83 RF回路
- 90 デュプレクサ
- 90a 送信用フィルタ
- 90b 受信用フィルタ
- L1、L2 インダクタ
- C1、C2、C3 コンデンサ
- X1、X2、X11、X12 不純物

20

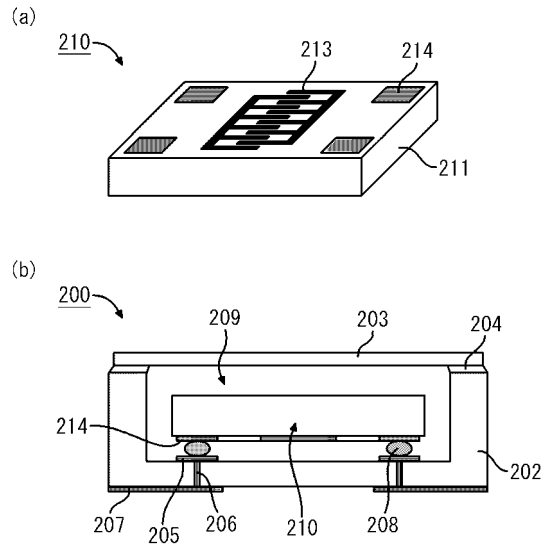
30

40

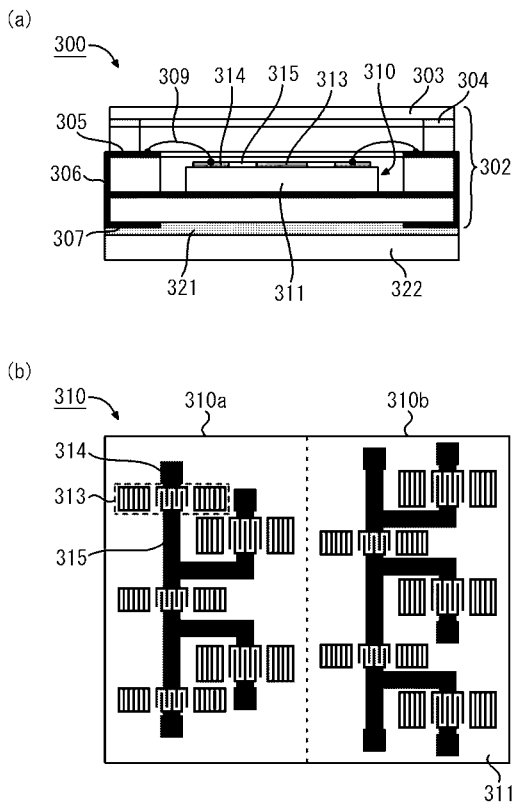
【図 1】



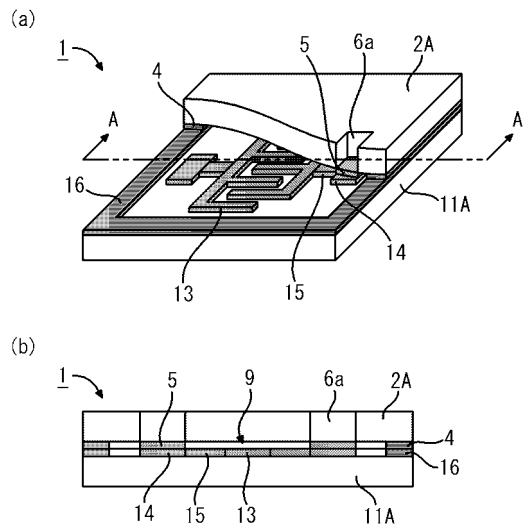
【図 2】



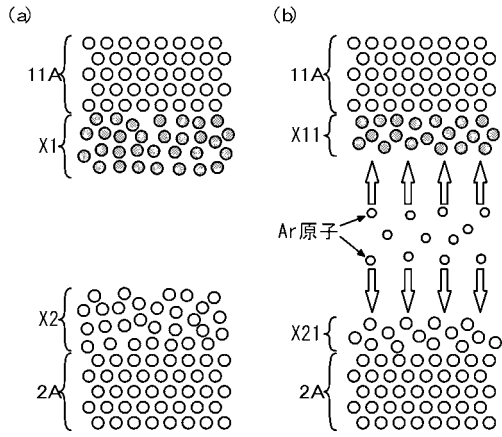
【図 3】



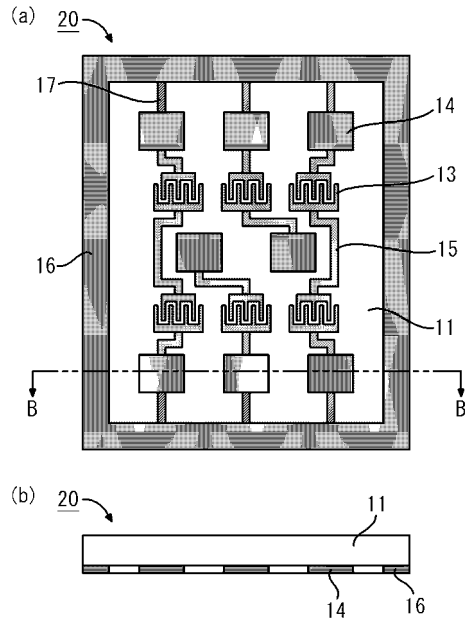
【図 4】



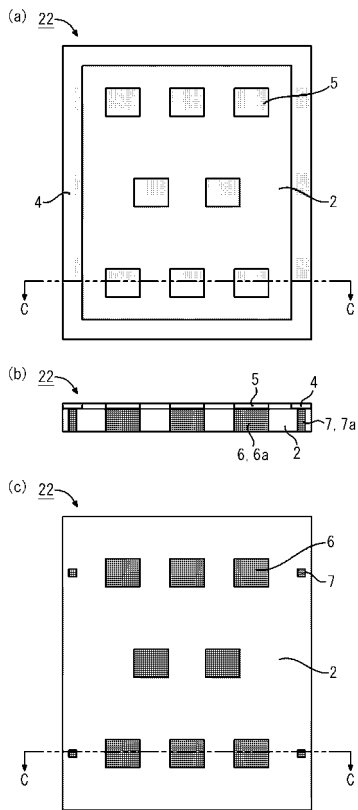
【 図 5 】



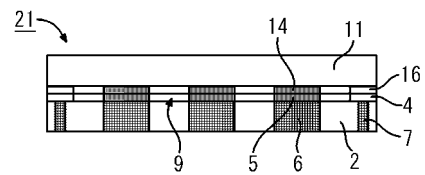
【 図 6 】



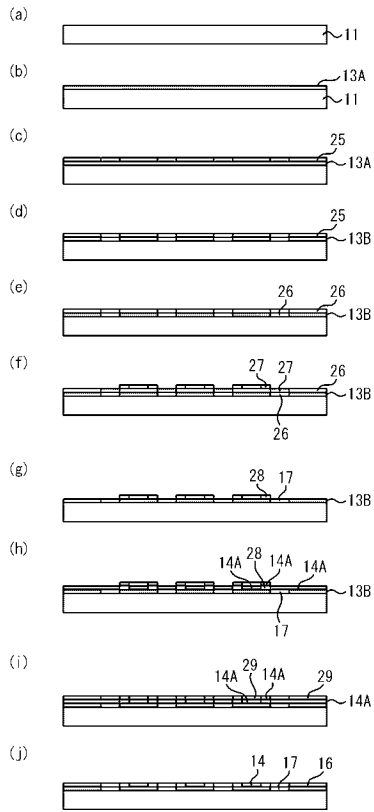
【 図 7 】



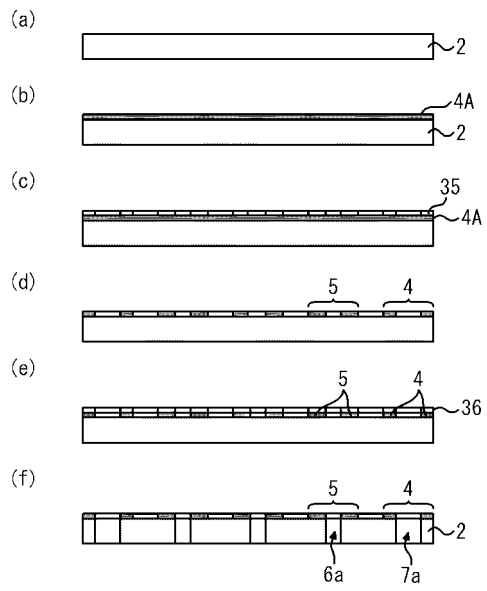
【 図 8 】



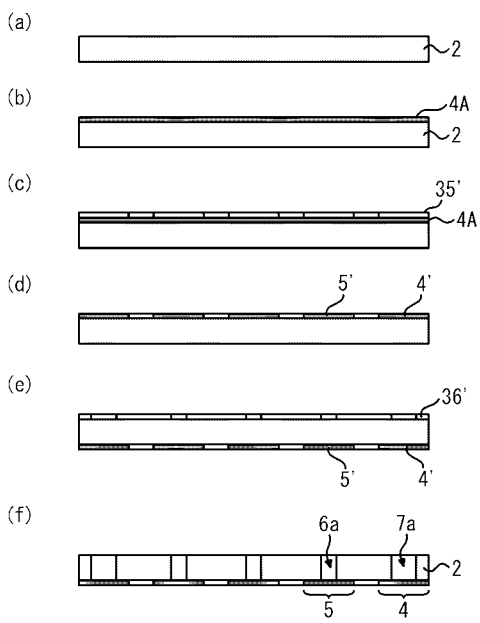
【 図 9 】



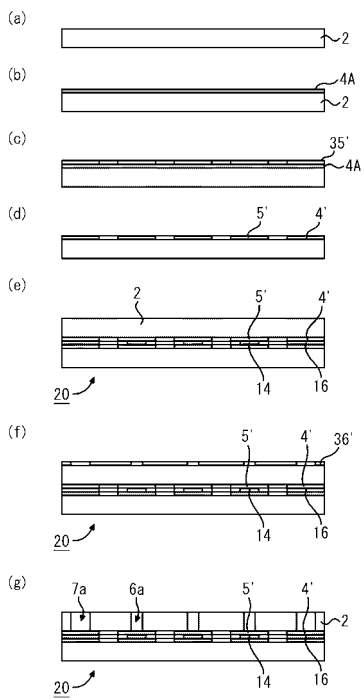
【 図 10 】



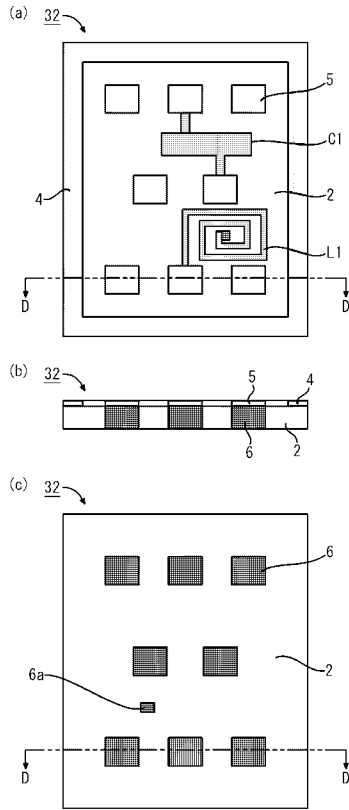
【 図 11 】



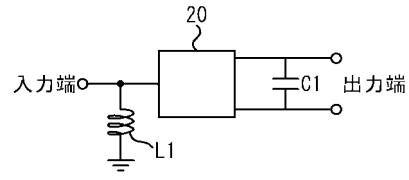
【 図 12 】



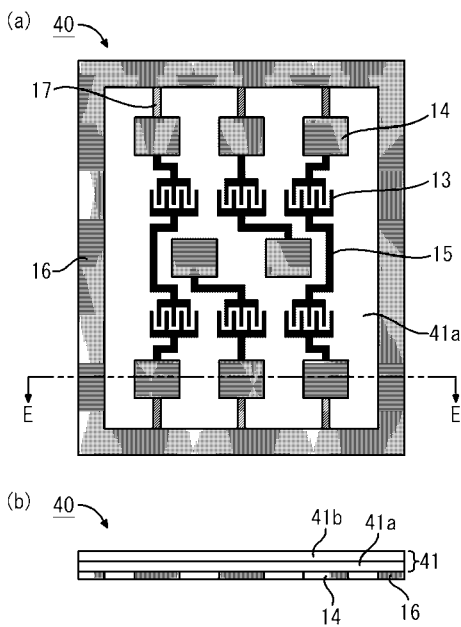
【図 13】



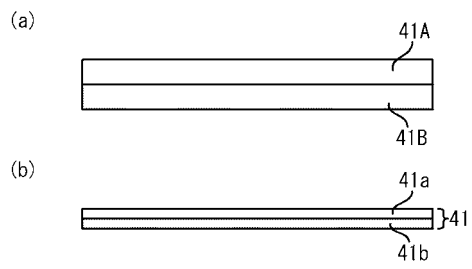
【図 14】



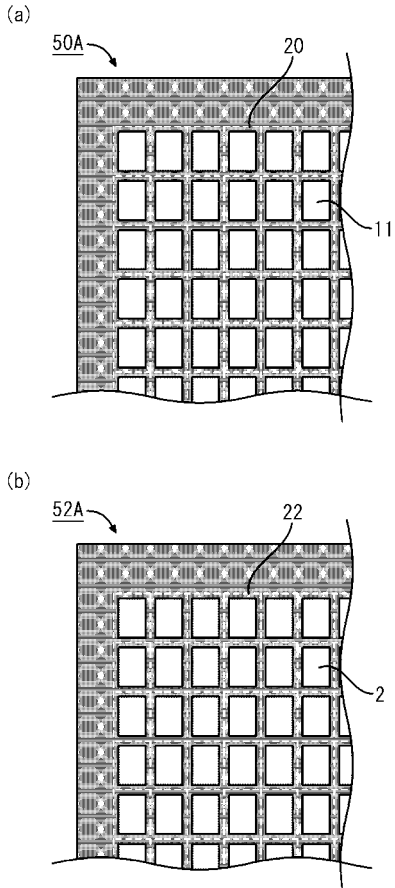
【図 15】



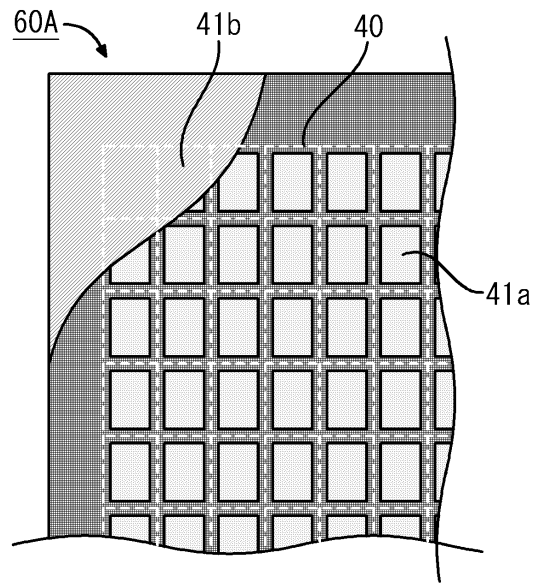
【図 16】



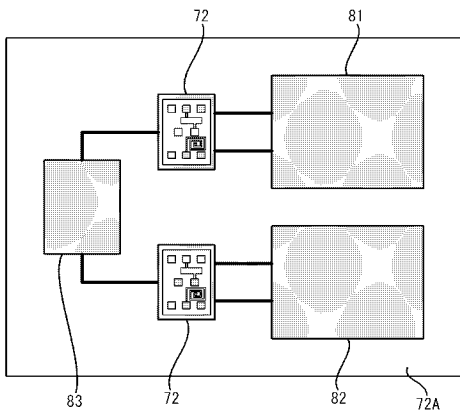
【図 17】



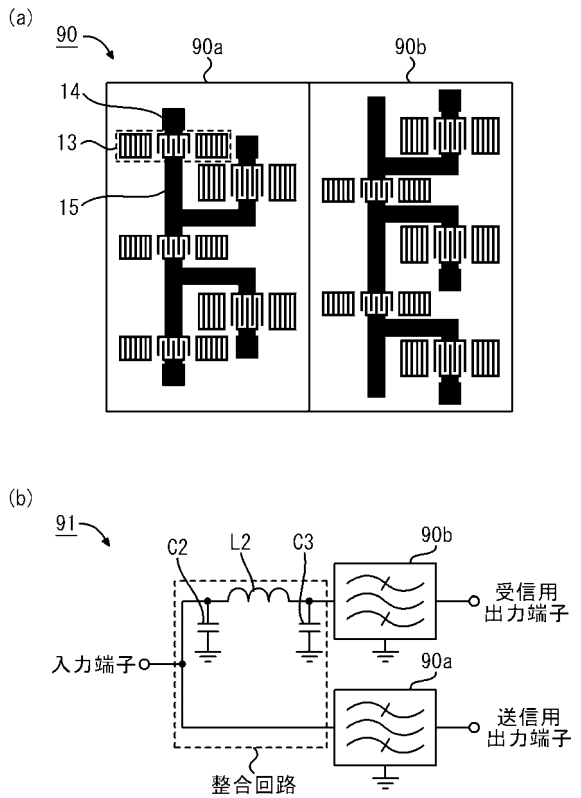
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl.		F I		
H 0 3 H	9/145	(2006.01)	H 0 1 L	41/22 Z
H 0 3 H	9/72	(2006.01)	H 0 3 H	3/08
			H 0 3 H	9/145 A
			H 0 3 H	9/72

(72)発明者 藁科 卓
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

合議体

審判長 長島 孝志

審判官 甲斐 哲雄

審判官 岩崎 伸二

(56)参考文献 特開平6 - 3 1 8 6 2 5 (J P , A)
 特開2 0 0 1 - 2 4 4 7 8 5 (J P , A)
 特開平8 - 2 7 4 5 7 5 (J P , A)
 須賀唯知, 表面活性化による低エネルギー接合, まてりあ, 日本, 社団法人日本金属学会, 1 9
 9 6 年5月2 0 日, 第3 5 卷第5号, 第4 9 6 頁乃至第5 0 0 頁
 高木秀樹, 表面活性化法によるシリコンウェハの常温接合, 機械技術研究所報告, 日本, 機械技
 術研究所, 2 0 0 0 年1 2 月, 第1 8 9 号, 第6 8 頁乃至第7 5 頁

(58)調査した分野(Int.Cl., D B 名)

H03H 3/007-3/10

H03H 9/00 -9/76