



(12) 发明专利申请

(10) 申请公布号 CN 104058361 A

(43) 申请公布日 2014. 09. 24

(21) 申请号 201310090309. X

(22) 申请日 2013. 03. 20

(71) 申请人 北京大学

地址 100871 北京市海淀区颐和园路 5 号北京大学

(72) 发明人 张扬熙 杨琛琛 高成臣

(51) Int. Cl.

B81C 1/00(2006. 01)

B81B 3/00(2006. 01)

G01P 15/12(2006. 01)

G01L 1/22(2006. 01)

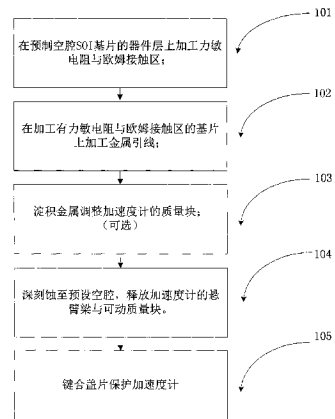
权利要求书1页 说明书5页 附图11页

(54) 发明名称

一种基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法

(57) 摘要

本发明公开了一种基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法。加速度计包括带有力敏电阻的弹性梁 - 质量块结构, 压力计包括带有力敏电阻的压力敏感膜片。该方法包括: 在 SOI 基片的器件层上制备掺杂浓度的电阻条作为力敏电阻和温敏电阻; 加工金属引线层和钝化层; 深刻蚀至预制空腔, 释放弹性梁 - 质量块结构; 键合盖片以保护可动结构。相对于现有技术, 本发明能够在单面单步工艺中加工出对称, 尺寸精确的弹性梁 - 质量块结构; 同时加工出加速度计和压力计的单晶硅敏感电阻及温敏电阻, 器件灵敏度高, 工艺重复性好; 省去了传统绝压压力计的真空封装步骤; 所制备的弹性梁 - 质量块结构具有通用性。



1. 一种基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法,所述加速度计包括硅制底座,硅制悬臂梁,硅制敏感质量块,硅制力敏电阻,以及金属引线。所述压力计包括硅制底座,硅制敏感膜片,硅制力敏电阻,以及金属引线。其特征在于,所述方法包括以下步骤:

力敏电阻加工步骤,在所述预制空腔 SOI 基片的器件层上加工出一定掺杂浓度的电阻条;

金属引线层加工步骤,在所述加工有力敏电阻的 SOI 基片上加工金属引线层;

可动悬臂梁和质量块加工步骤,在所述加工有力敏电阻的 SOI 基片上深刻蚀至预制空腔,释放可动悬臂梁和质量块结构;

键合盖片加工步骤,在完成释放后的加速度计上键合盖片,以保护可动结构。

2. 根据权利要求 1 所述的集成压阻式加速度计与压力计的加工方法,其特征在于,所述力敏电阻加工步骤包括:

电阻条掺杂步骤,在 SOI 基片单晶硅器件层上形成低掺杂电阻条;

欧姆接触区掺杂步骤,在 SOI 基片单晶硅器件层上形成重掺杂欧姆接触区。

3. 根据权利要求 2 中所述的集成压阻式加速度计与压力计的加工方法,其特征在于,所述力敏电阻加工步骤中,还可在同一步骤内加工对温度敏感的参考电阻,输出信号可供压力计和加速度计温度补偿之用,也可作为单独的温度传感器使用。

4. 根据权利要求 1 所述的集成压阻式加速度计与压力计的加工方法,其特征在于,所述金属引线层加工步骤包括:

金属层生长步骤,在器件层表面生长金属,并光刻图形化形成电极图形;

钝化层生长步骤,在器件层表面生长钝化层,并光刻图形化形成钝化层图形。

5. 根据权利要求 1 所述的集成压阻式加速度计和压力计的加工方法,其特征在于,所述金属引线层加工步骤中,还可增加加速度计质量块质量的调整步骤:

加速度计质量块质量的调整步骤,在所述加工完钝化层的 SOI 基片上淀积金属,光刻图形化以在加速度计质量块位置制备金属层,增大质量块的质量。

6. 根据权利要求 1 所述的集成压阻式加速度计和压力计的加工方法,其特征在于,所述加速度计的可动悬臂梁和质量块加工步骤包括:

悬臂梁-质量块结构释放步骤,从所述 SOI 单晶硅圆片器件层正面进行深刻蚀,穿通钝化层和器件层 到达预制空腔,释放悬臂梁-质量块结构,得到所述悬臂梁-质量块结构的可动硅结构组件。

7. 根据权利要求 6 中所述的加速度计的加工方法,其特征在于,所述可动悬臂梁和质量块加工步骤中,所述深刻蚀为电感耦合等离子体刻蚀。

8. 根据权利要求 1 所述的集成压阻式加速度计和压力计的加工方法,其特征在于,所述加速度计的键合盖片加工步骤包括:

在完成释放后的加速度计悬臂梁-质量块结构上键合带有空腔的盖片,以保护可动结构。

## 一种基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法

### 技术领域

[0001] 本发明涉及微电子机械 (MEMS) 加工领域,尤其涉及一种基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法。

### 背景技术

[0002] 通过 MEMS 技术制造的硅加速度计和压力计,在汽车,消费电子,导航,军事,石油勘探,地质测试等方面均有广泛的用途。硅微传感器出现之后,具备体积小,精度高,响应速度快,批量生产成本低,检测方便等优点,在很大程度上取代了传统传感器。特别在汽车电子领域,利用 IC 工艺生产的集成压力计和加速度计的小体积多功能传感器具有广阔的市场前景。

[0003] 压阻式微传感器利用硅半导体本身的压阻效应,同时作为结构材料和传感材料。它具备动态响应特性和输出线性好,工艺可与 IC 工艺兼容,接口检测电路简单的优点,自 20 世纪 70 年代末研制成功,80 年代末批量生产以来,已获得了长足的发展。传感器在应力集中区域放置力敏电阻,惯性力或外界作用力使结构运动在力敏电阻上产生应力,通过压阻效应使力敏电阻的阻值发生变化,从而实现对外界作用力的测量。

[0004] 2009 年,Quan Wang 等人报道了一个集成热传导加速度计和压阻压力计的车用集成传感器,通过各向异性腐蚀获得热对流传导加速度计中的悬臂梁和表面牺牲层工艺制备压力计的腔体,并通过外加盖片对加速度计进行保护。该工艺的特点在于较小的加速度计体积,但由于热对流传导检测原理导致加速度计的响应频率较低。

[0005] 2011 年,C. Z. Wei 等人通过表面工艺,在硅上集成了一个量程 550KPa 的压力传感器和一个  $-25g \sim +125g$  量程的压阻加速度计。该工艺通过表面牺牲层工艺制备压力计的真空腔体和加速度计质量块的活动间隙,并通过类 LIGA 工艺在质量块表面电镀 9um 铜层增加质量块的质量。该工艺具备小尺寸和高性能的优点,但由于表面工艺中多晶硅层较薄,需采用大厚度镀铜工艺增加质量块质量。

[0006] 2011 年, Jiachou Wang 等人报道了通过表面各向异性腐蚀在  $\langle 111 \rangle$  晶面上制备形状,厚度可控的内埋空腔,并通过淀积多晶硅封闭腐蚀孔道获得真空腔的工艺,并通过该工艺得到的空腔制备集成加速度计和压力计的传感器。该传感器实现了较大厚度的带单晶硅膜空腔加工,但工艺限制为 (111) 晶面而非常用的 (100) 晶面,该晶面的横向压阻系数小导致器件灵敏度降低。

[0007] 在上述设计中,采用表面牺牲层工艺时制备压阻传感器时均采用扩散掺杂多晶硅作为力敏电阻,一方面由于多晶硅的应变系数较小导致传感器灵敏度低,另一方面多晶硅的特性受生长,退火过程影响大容易导致传感器性能偏离设计值,并且该方法制备的多晶硅膜厚度受限,不利于将多晶硅膜应用于加速度计作为结构材料,而须附加镀铜等步骤增加工艺复杂度。在 (111) 晶面上运用各向异性腐蚀工艺制备内埋空腔可以获得较厚的单晶硅膜,克服多晶硅膜压阻电阻存在的缺点。但工艺的基片限制为 (111) 晶面而非常用的

(100) 晶面,该晶面的横向压阻系数小导致器件灵敏度降低,并在工艺中难以对腐蚀进度进行检测。

## 发明内容

[0008] 本发明的目的在于,提供一种基于预制空腔 SOI 基片的集成压阻式加速度计,压力计的加工方法,以至少解决上述技术问题之一。

[0009] 本发明提供了一种基于预制空腔 SOI 基片的集成压阻式加速度计,压力计的加工方法,所述加速度计包括带有力敏电阻的弹性梁-质量块结构的可动硅结构组件和硅制底座,所述压力计包括带有力敏电阻的压力敏感膜片和硅制底座。所述方法包括如下步骤:1,敏感电阻加工步骤,在所述预制空腔 SOI 基片的器件层上加工出一定掺杂浓度的电阻条,作为加速度计和压力计的力敏电阻,并可同时加工温敏电阻;2,金属引线层加工步骤,在所述加工有敏感电阻的 SOI 基片上加工金属引线层;3,加速度计质量块调整步骤(可选),在所述加工完全金属引线的 SOI 基片上淀积金属以增大加速度计的质量块的质量;4,加速度计的可动悬臂梁和质量块加工步骤,在所述加工完全金属引线的 SOI 基片上深刻蚀至预制空腔,释放加速度计的可动悬臂梁和质量块结构。5,键合盖片加工步骤,在完成释放后的加速度计上键合盖片,以保护加速度计的可动悬臂梁和质量块结构。

[0010] 上述集成压阻式加速度计与压力计的加工方法,优选所述敏感电阻加工步骤包括:器件层表面电阻区掺杂步骤,通过扩散或注入在器件层表面掺杂,掺杂类型与在所述 SOI 单晶硅圆片器件层掺杂类型相反,形成一定掺杂浓度的力敏电阻和温敏电阻;欧姆接触区掺杂步骤,通过扩散或注入在 SOI 基片单晶硅器件层上形成重掺杂区,形成欧姆接触区。

[0011] 上述集成压阻式加速度计与压力计的加工方法的敏感电阻加工步骤中,所述 SOI 单晶硅圆片器件层初始掺杂类型为 N 型,晶向为 (100)。

[0012] 上述集成压阻式加速度计与压力计的加工方法的敏感电阻加工步骤中,所述扩散或注入掺杂类型为 P 型。

[0013] 上述集成压阻式加速度计与压力计的加工方法,优选金属引线层加工步骤包括:金属层生长步骤,在器件层表面生长金属,并光刻图形化形成电极和引线图形;钝化层生长步骤,在器件层表面生长钝化层,并光刻图形化形成钝化层图形,覆盖压焊电极之外的所有部分。

[0014] 上述集成压阻式加速度计与压力计的加工方法的金属引线层加工步骤中,所述金属层成分为铝层,生长方法为溅射。

[0015] 上述集成压阻式加速度计与压力计的加工方法的金属引线层加工步骤中,所述金属层图形化方法为剥离工艺。

[0016] 上述集成压阻式加速度计与压力计的加工方法的金属引线层加工步骤中,所述钝化层成分为氮化硅。

[0017] 上述集成压阻式加速度计与压力计的加工方法的金属引线层加工步骤中,所述钝化层图形化方法为反应离子刻蚀。

[0018] 上述加速度计的加工方法,优选所述质量块调整的加工步骤包括:淀积金属并光刻图形化,在质量块位置制备金属层,增加质量块质量。

[0019] 上述加速度计的加工方法的质量块的调整步骤中,所述淀积的金属材料为铜,生长/图形化方式为电镀;或所述淀积的金属材料为钨,生长方式为化学汽相淀积,图形化方式为腐蚀。

[0020] 上述加速度计的加工方法,优选所述可动悬臂梁和质量块加工步骤包括:悬臂梁-质量块结构释放步骤,从所述 SOI 单晶硅圆片器件层正面进行深刻蚀,释放悬臂梁-质量块结构,得到所述悬臂梁-质量块结构的可动硅结构组件。

[0021] 上述加速度计的加工方法的可动悬臂梁和质量块加工步骤中,所述深刻蚀为电感耦合等离子体刻蚀。

[0022] 上述加速度计的加工方法的可动悬臂梁和质量块加工步骤中,所述深刻蚀区域位于预制空腔上方,刻蚀穿透钝化层和器件层到达空腔。

[0023] 上述加速度计的加工方法,优选所述键合盖片保护步骤包括,在完成释放后的加速度计上键合盖片,以保护加速度计。

[0024] 上述加速度计的加工方法的键合盖片保护步骤中,所述键合盖片为带有空腔的硅片,所述键合方式为硅硅键合;或所述键合盖片为带有空腔的玻璃片,所述键合方式为阳极键合。

[0025] 相对于现有技术中,本发明具有如下优点:

[0026] 第一,本发明采用带有预制空腔的单器件层 SOI 单晶硅圆片通过深刻蚀方法制备加速度计和压力计的可动硅力敏结构件,该方法能够在单面单步工艺中加工出完全对称,侧面垂直度高,厚度和尺寸精确的弹性梁-质量块结构,实现力敏结构的精密控制。相对表面牺牲层释放技术可以更为精确控制固支结构尺寸并获得力学性能更好的较厚单晶硅结构(1 $\mu\text{m}$ ~100 $\mu\text{m}$ )。相对于(111)硅片上的各向异性腐蚀制备空腔结构的方法与 IC 工艺兼容性和工艺重复性更好。

[0027] 第二,该方法可以同时加工出加速度计和压力计的敏感电阻以及温敏电阻,能够进一步简化工艺。所获得(100)面单晶硅力敏电阻相对于表面牺牲层释放技术获得的多晶硅力敏电阻和(111)硅片上各向异性腐蚀制备空腔结构的方法制备的(100)面单晶硅力敏电阻压阻系数更大,器件性能和工艺重复性更好。

[0028] 第三,本发明采用预制空腔的 SOI 基片作为加工基片,当预设空腔为真空密封时,形成的压力计为绝压压力计,省去了传统绝压压力计的真空封装步骤,简化了后期封装工艺,降低了成本。加工完成的器件自带衬底,可以直接封装管壳。

[0029] 第四,本发明中弹性梁-质量块结构可动硅力敏结构件具有通用性,通过不同的梁-质量块结构尺寸设计和力敏电阻条的位置调整,可以适应各种量程加速度计的需要。

#### 附图说明:

[0030] 附图说明

[0031] 图 1A 为本发明所加工的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的结构示意图;

[0032] 图 1B 为图 1A 中所述的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的 A-A' 向剖面视图;

[0033] 图 1C 为图 1A 中所述的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的

加速度计悬臂梁部分的放大图；

[0034] 图 2A 为本发明所述基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工基片,该加工基片为带有预制空腔的单器件层 SOI 单晶硅圆片；

[0035] 图 2B 为图 2A 中所述带有预制空腔的单器件层 SOI 单晶硅圆片的 A-A' 向剖面视图；

[0036] 图 3 为本发明所加工的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法的步骤流程图；

[0037] 图 4(a) ~图 4(m) 为本发明中,集成压阻式加速度计与压力计的主要制备过程示意图；

### 具体实施方式：

[0038] 为使本发明的上述目的,特征和优点能够更加明显易懂,下面结合附图及具体实施方式对本发明作进一步详细的说明。

[0039] 图 1A ~图 1C 为本发明所述的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的结构示意图。图 1A 为本发明所加工的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的结构示意图,图 1B 为图 1A 中所述的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的 A-A' 向剖面视图,图 1C 为图 1A 中所述的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加速度计悬臂梁部分的放大图。如图 1A ~图 1B 所示,压力计具有力敏电阻 20a ~ 20d,金属引线 21a ~ 21d,压焊电极 22a ~ 22d;如图 1A ~图 1C 所示,加速度计具有质量块 23,悬臂梁 24,金属引线 26a ~ 26d,力敏电阻 27a ~ 27d,压焊电极 25a ~ 25d,质量块调整层 28。压力计与加速度计下面各有一个预制空腔 5。在压力计和加速度计之外还有温度传感器,具有温敏电阻 29,金属引线 30a ~ 30b,压焊电极 31a ~ 31b。

[0040] 图 2A 为本发明的预制空腔单器件层 SOI 单晶硅圆片 1 的三维视图,图 2B 为图 2A 的剖面视图,如图 2B 所示单器件层单晶硅圆片具有 3 层结构,此种 SOI 片具有一个单晶硅衬片 4,单晶硅衬片 4 的正面有二氧化硅绝缘层 3,在二氧化硅绝缘层 3 上有 (100) 晶面的单晶硅层器件层 2。在单晶硅衬片 4 和二氧化硅绝缘层 3 之间,有预制的空腔 5。

[0041] 图 3 为本发明一种基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法的步骤流程图,所述方法包括:力敏电阻加工步骤 101,在所述预制空腔 SOI 基片的器件层上加工出一定掺杂浓度的力敏电阻条与重掺杂的欧姆接触区;金属引线层加工步骤 102,在所述加工有力敏电阻与欧姆接触区的 SOI 基片上加工金属引线层;加速度计的质量块的调整步骤 103,淀积金属以调整加速度计的质量块的质量;加速度计的可动悬臂梁和质量块加工步骤 104,在所述 SOI 基片上深刻蚀至预制空腔,释放可动悬臂梁和质量块结构。键合盖片步骤 105,在所述 SOI 基片上键合带有空腔的盖片,保护可动悬臂梁和质量块结构。

[0042] 图 4(a) 至图 4(m) 为本发明所述的基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的主要制备过程。

[0043] 所述集成加速度计与压力计采用带有预制空腔的单器件层 SOI 单晶硅圆片 1 作为结构加工基片。在加工过程中,通过扩散或注入在器件层表面掺杂形成力敏电阻条和温敏

电阻条,掺杂类型与在所述 SOI 单晶硅圆片器件层掺杂类型相反;通过扩散或注入在 SOI 基片单晶硅器件层上形成重掺杂过渡区,形成重掺杂欧姆接触区。在器件层表面生长金属,并光刻图形化形成电极和引线图形。在器件层表面生长钝化层,并光刻图形化形成钝化层图形,覆盖压焊电极之外的所有部分。淀积金属光刻图形化,留下覆盖在质量块上的金属。从 SOI 单晶硅圆片 1 器件层正面进行垂直深刻蚀,刻穿钝化层和器件层,释放加速度计的悬臂梁质量块结构,得到带有所述悬臂梁-质量块结构的可动硅结构组件,并键合盖片保护加速度计结构,完成加速度计的加工。

[0044] 下面结合图 4(a) 至图 4(m) 具体进行说明。

[0045] 图 4(a) 所示为制备集成加速度计和压力计的基片预制空腔 5 的单器件层 SOI 单晶硅圆片 1;经过热氧化生长得到二氧化硅层,并经过光刻、刻蚀工艺进行图形化后,在单器件层 SOI 单晶硅圆片的正面得到二氧化硅掩模 6。如图 4(b) 所示以二氧化硅掩模 6 为掩模进行离子注入,得到本专利所述重掺杂欧姆接触区 7。在得到重掺杂欧姆接触区以后,经过光刻、刻蚀工艺进行图形化,在二氧化硅掩模 6 上刻蚀出敏感电阻条的注入孔,如图 4(c) 所示以通过二氧化硅掩模上的注入孔进行离子注入,得到本专利所述力敏电阻条 20a ~ 20d, 27a ~ 27d 和温敏电阻条 29。在得到力敏电阻条和温敏电阻条以后,去除二氧化硅掩模 6,如图 4(d) 所示淀积二氧化硅绝缘层 9,并进行退火激活注入离子。

[0046] 如图 4(e) 所示,在二氧化硅绝缘层 9 上光刻并图形化引线孔 10,在基片的正面溅射硅铝形成金属电极层,如图 4(f) 所示腐蚀工艺光刻,图形化金属得到金属引线 21a ~ 21d, 26a ~ 26d, 30a ~ 30b。在金属加工完成后,在基片表面淀积氮化硅钝化层 12,并如图 4(g) 所示光刻,图形化出压焊窗口 13,将压焊电极 22a ~ 22d, 25a ~ 25d, 31a ~ 31b 暴露在外。完成钝化层加工后,通过化学汽相淀积法淀积金属钨,并如图 4(h) 所示光刻腐蚀钨,留下覆盖在质量块上的质量块调整层 31;

[0047] 在基片的正面旋涂光刻胶层,并如图 4(i) 所示光刻形成深刻蚀掩模 15,露出待刻蚀孔 16;以如图 4(j) 所示深刻蚀掩模 15 为掩模在电感耦合等离子体刻蚀中刻蚀穿通,即得到可动的质量块 23 和单晶硅悬臂梁 24。如图 4(k) 所示去除光刻胶层掩膜 15。

[0048] 如图 4(l) 在硅制盖片上光刻并腐蚀出空腔 16,留下键合环 17;如图 4(m) 所示将带有空腔的盖片与 SOI 基片键合,并划片形成传感器成品,完成加工。

[0049] 以上对本发明所提供的一种基于预制空腔 SOI 基片的集成压阻式加速度计与压力计的加工方法进行了详细介绍,本文中应用了具体个例对本发明的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本发明的方法及其核心思想;同时,对于本领域的一般技术人员,依据本发明的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本发明的限制。

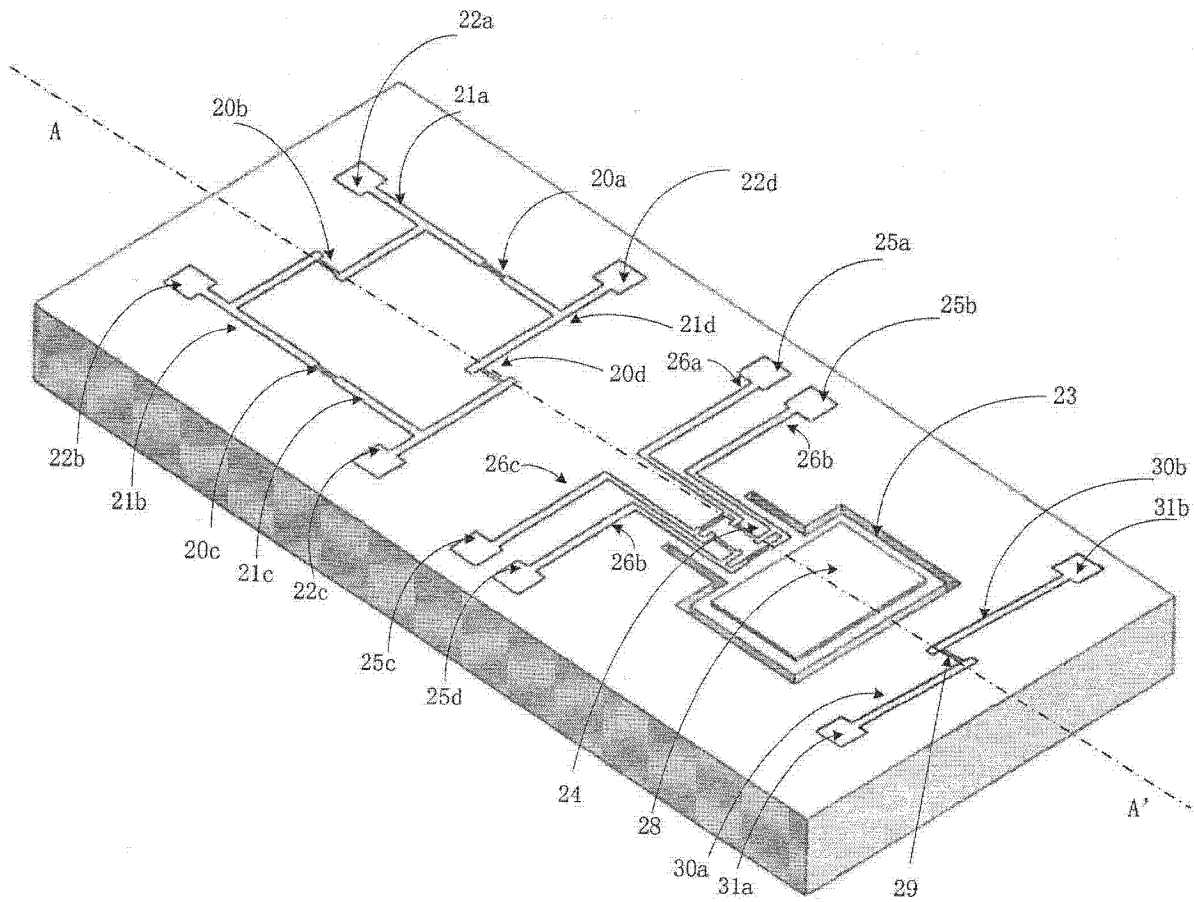


图 1A



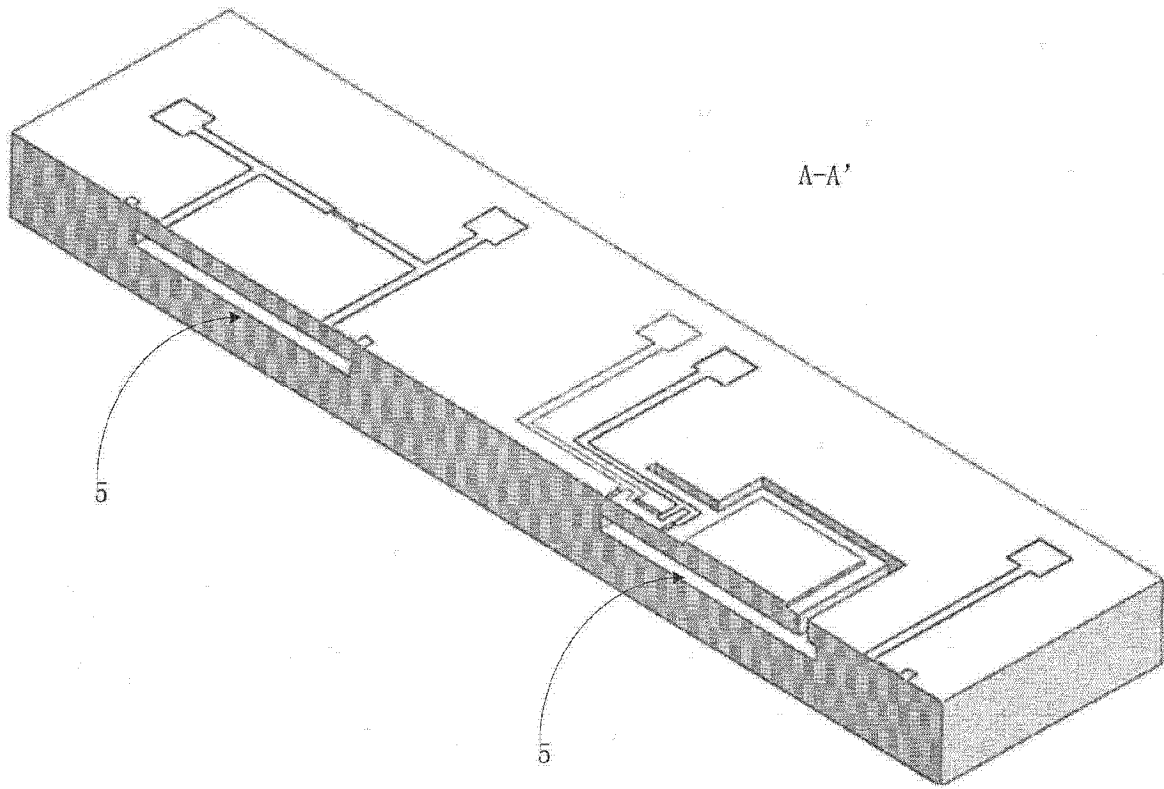


图 1B

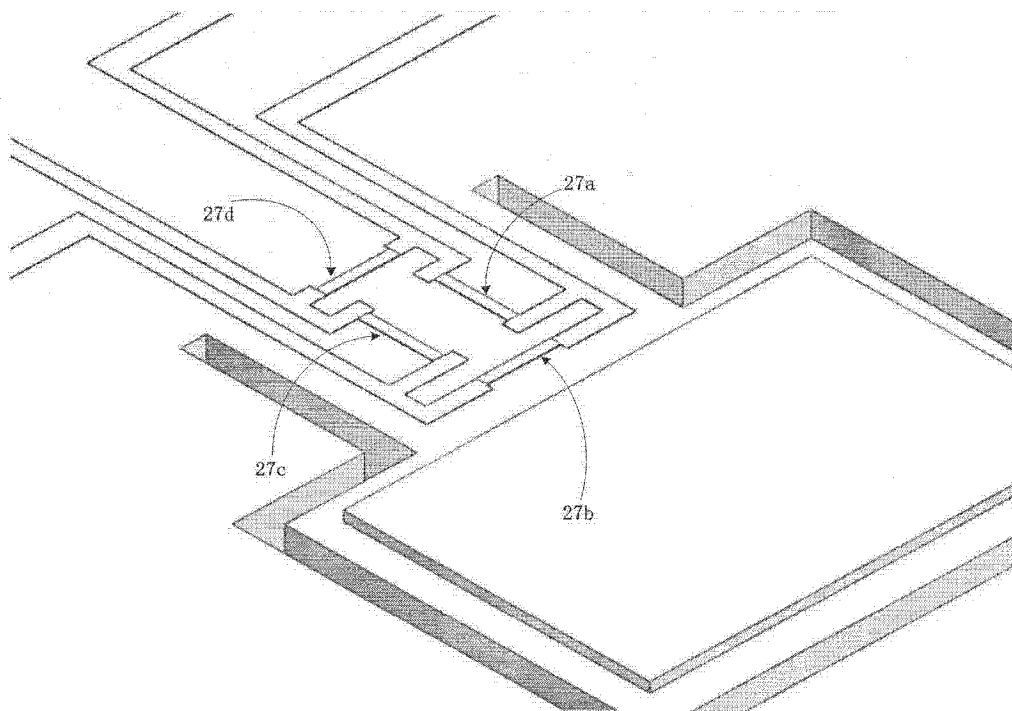


图 1C

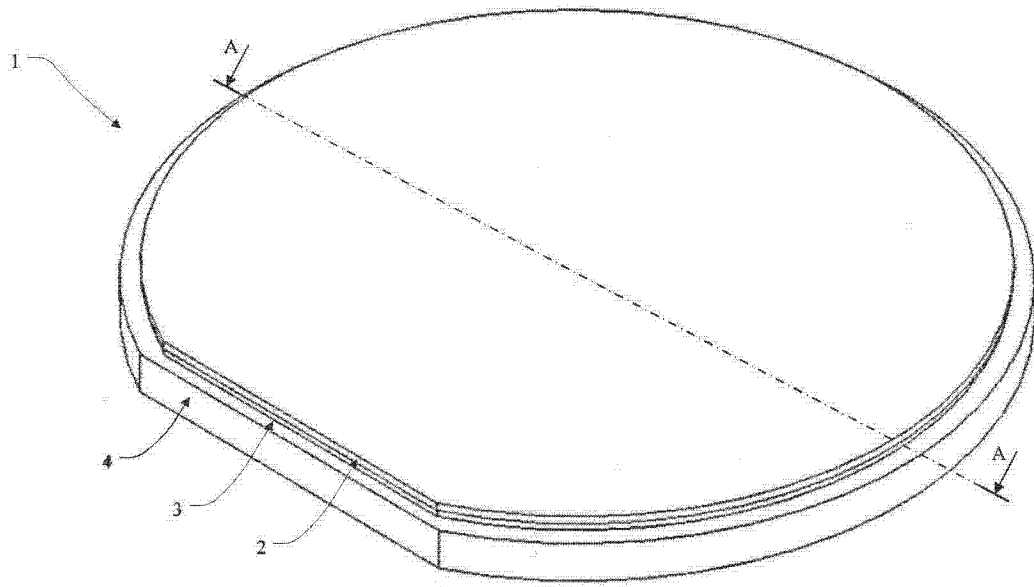


图 2A

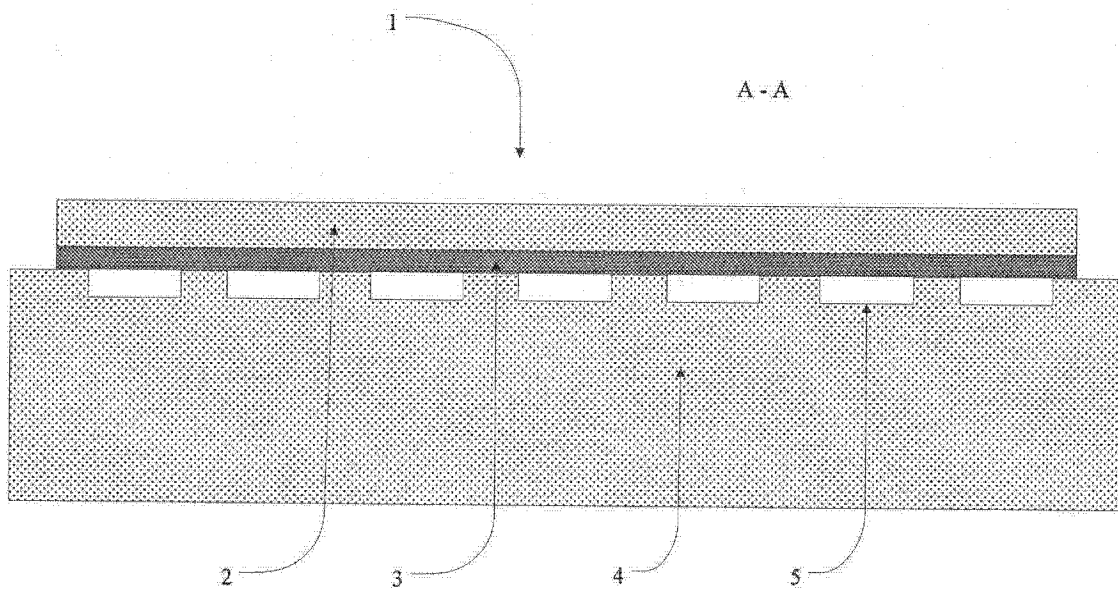


图 2B

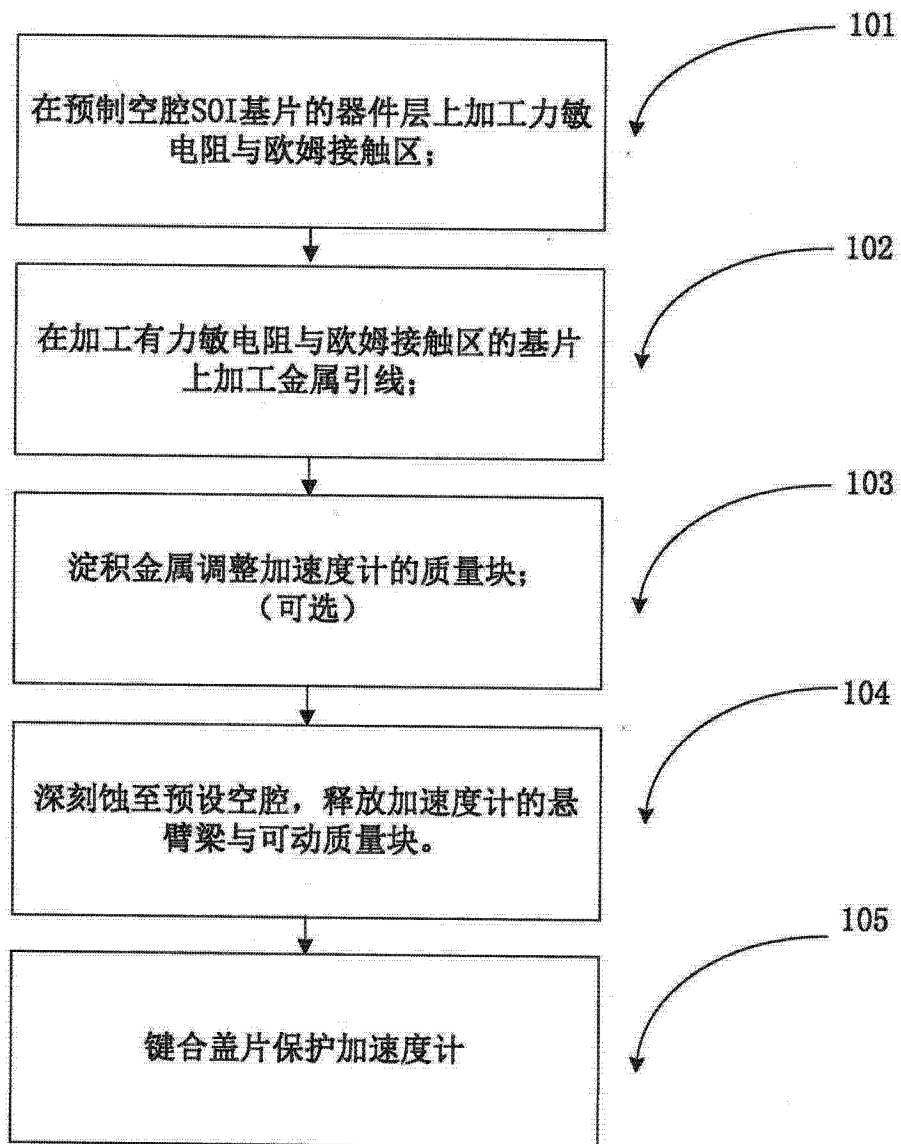


图 3

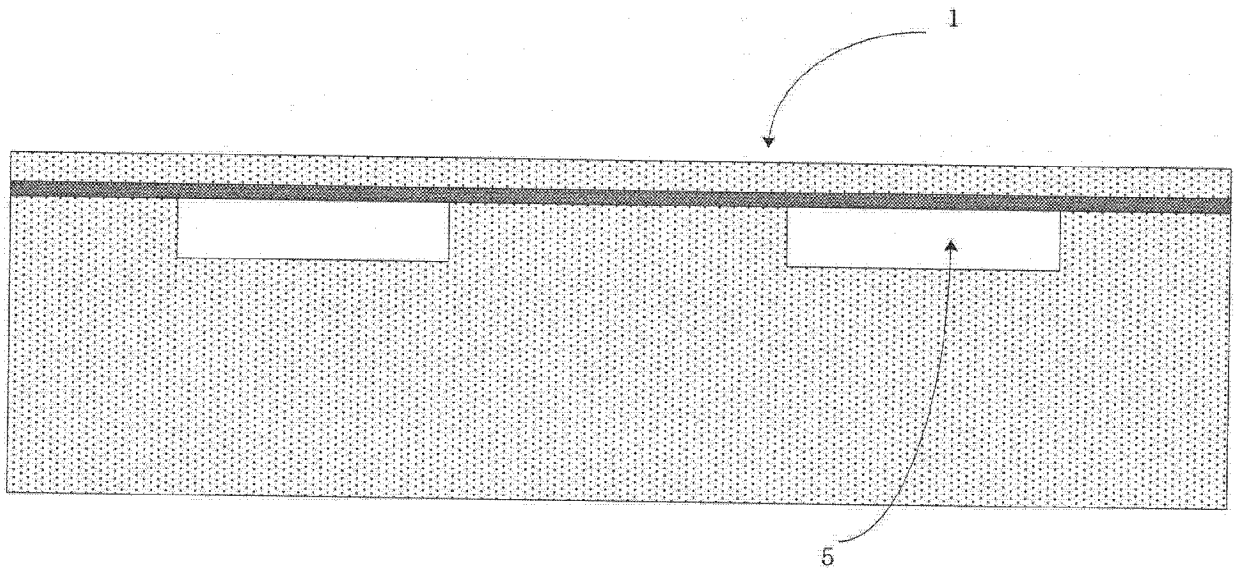


图 4(a)

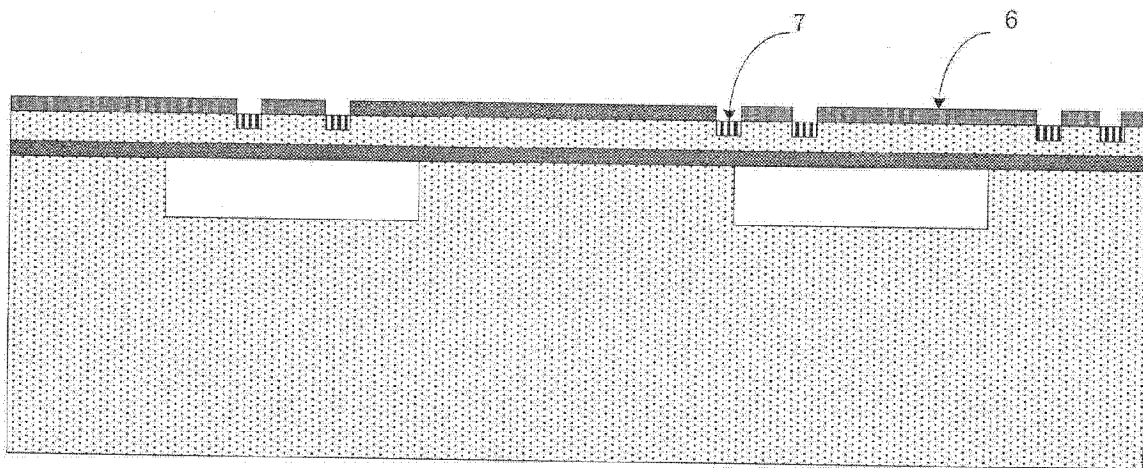


图 4(b)

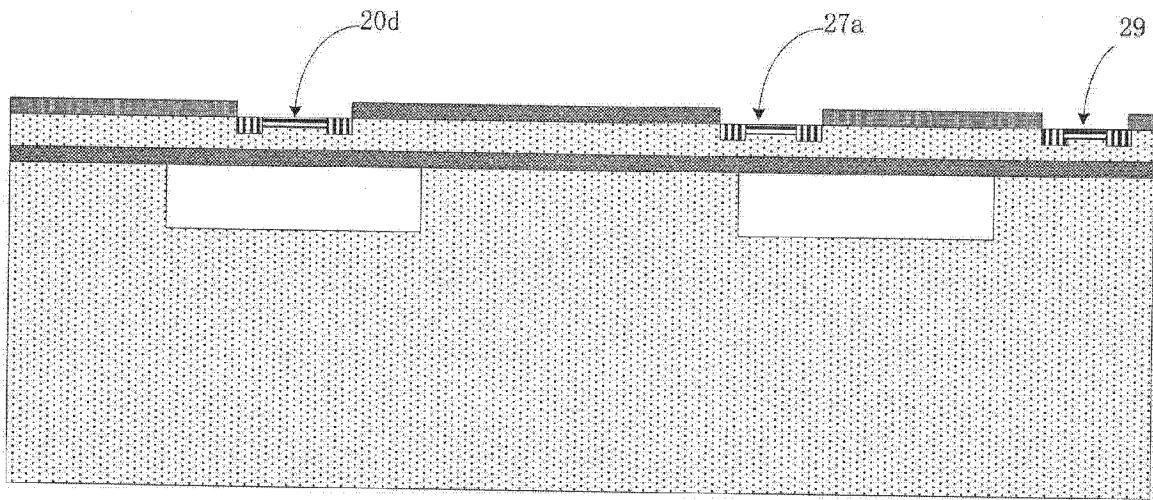


图 4(c)

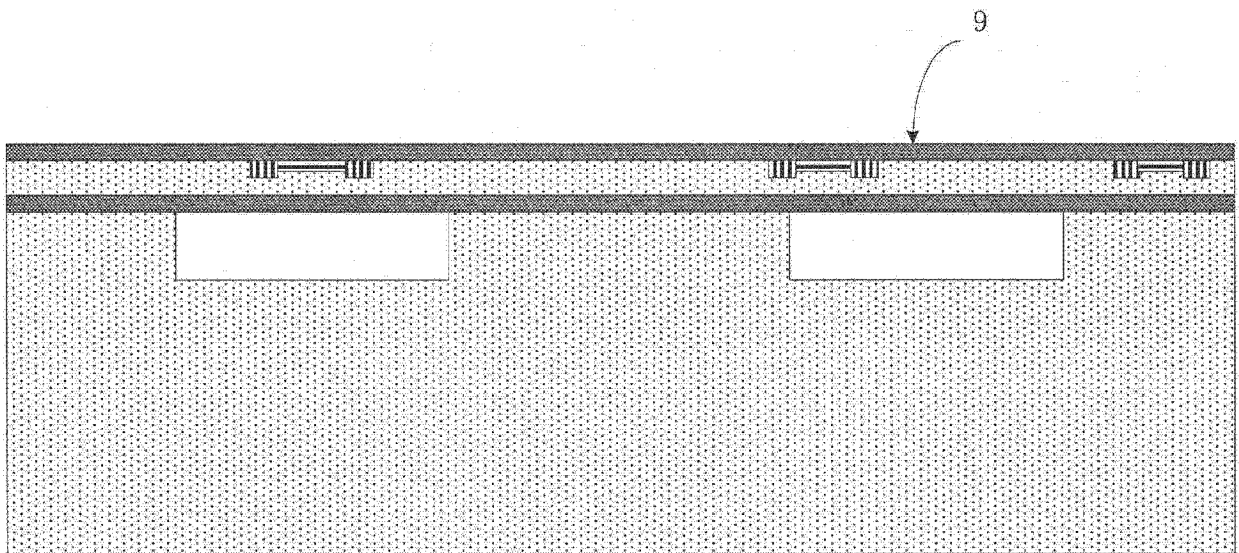


图 4(d)

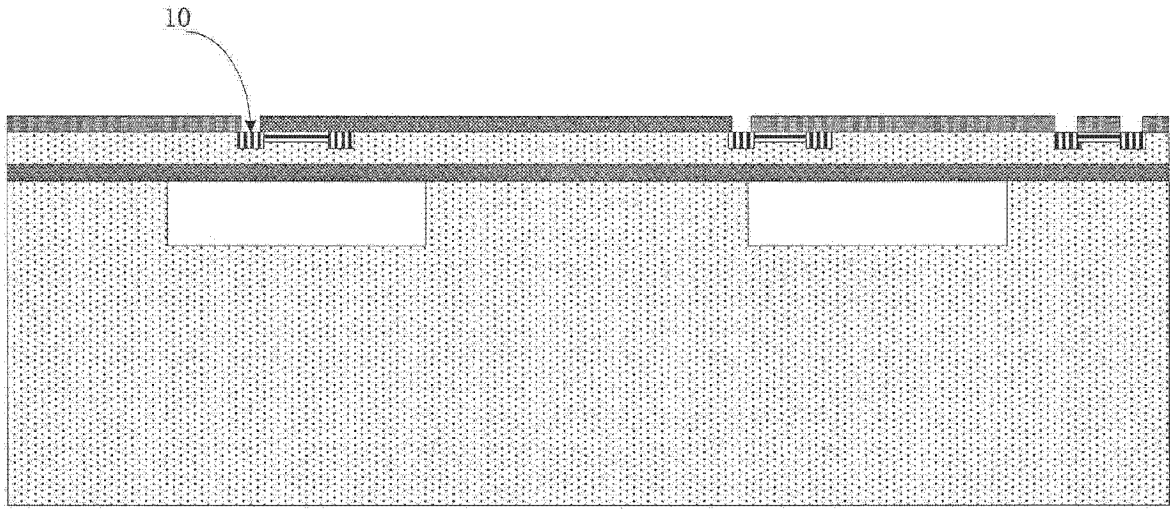


图 4(e)

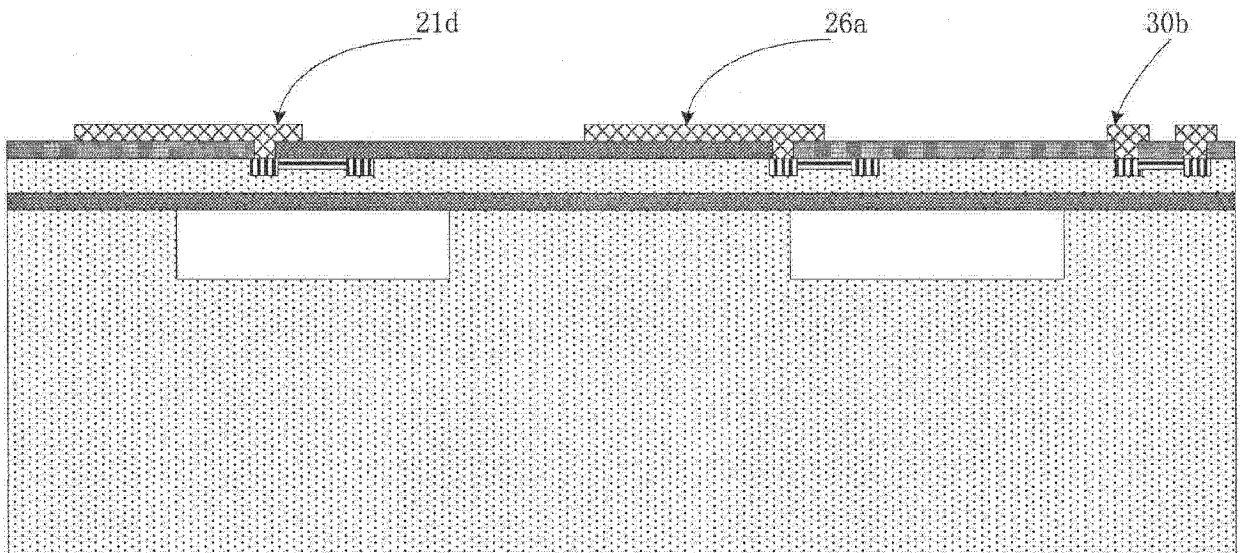


图 4(f)

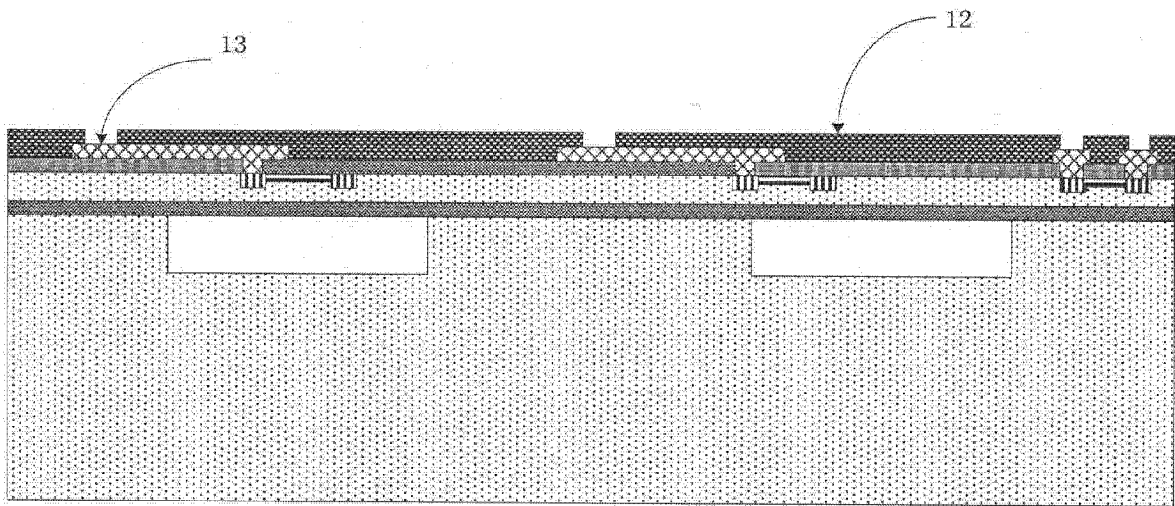


图 4(g)

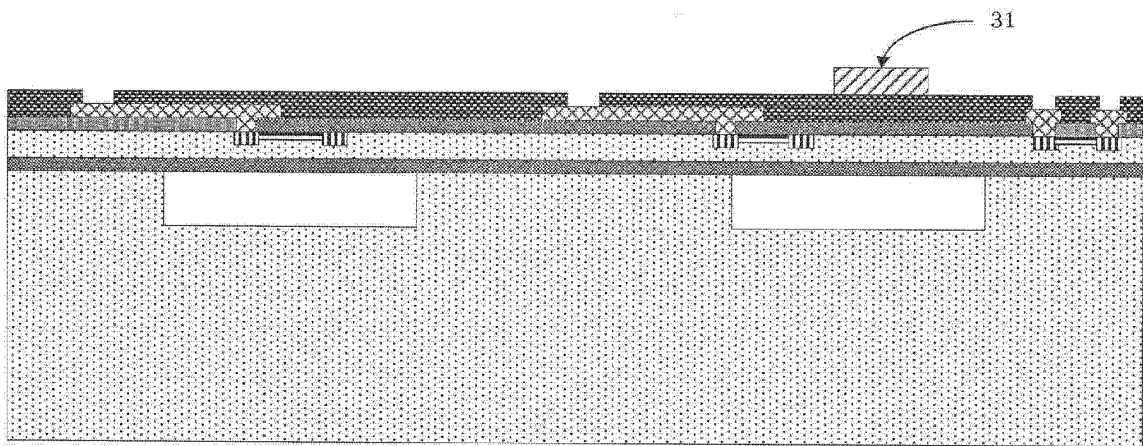


图 4(h)

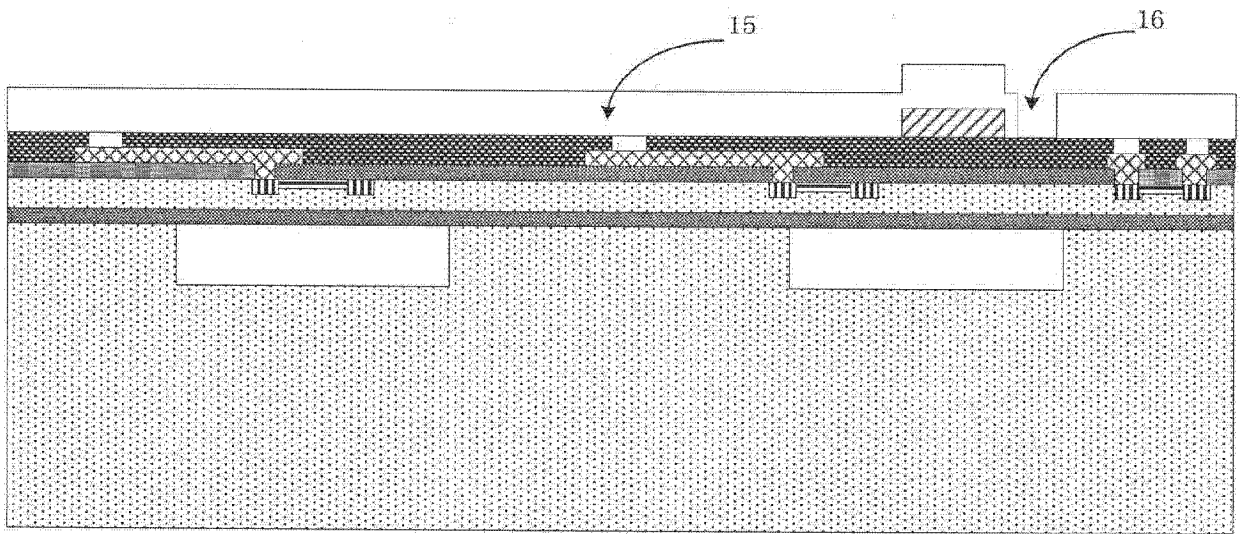


图 4(i)

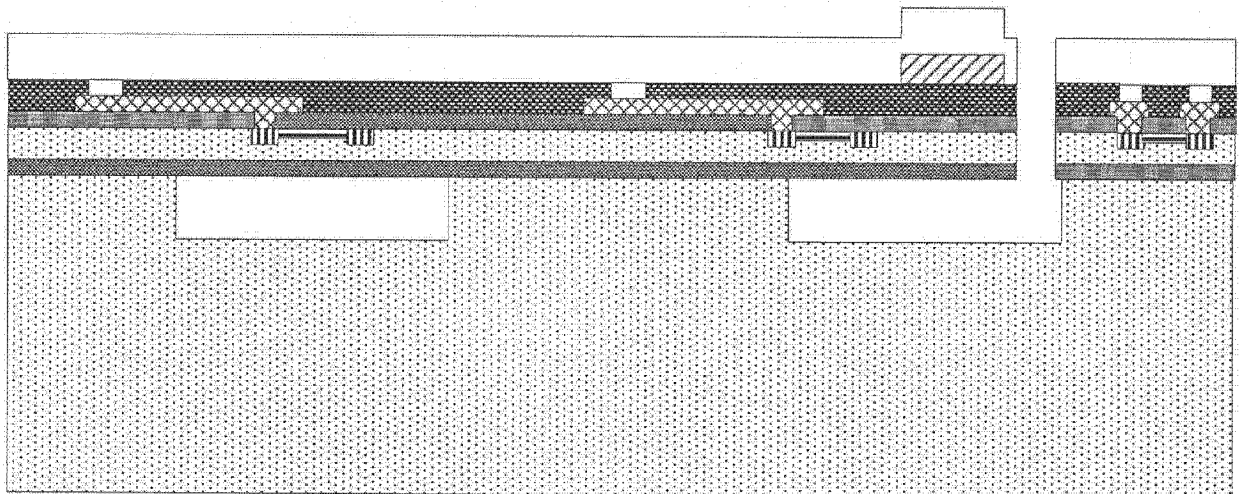


图 4(j)



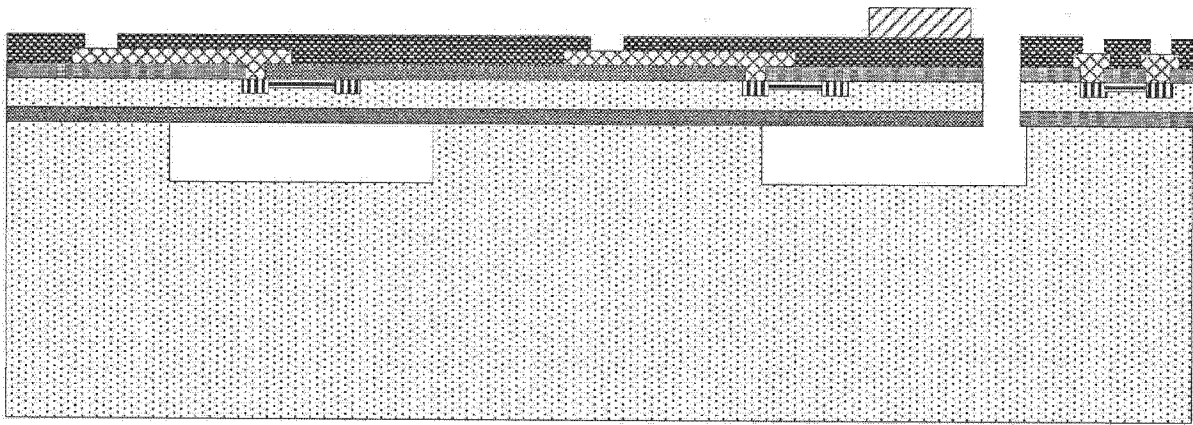


图 4(k)

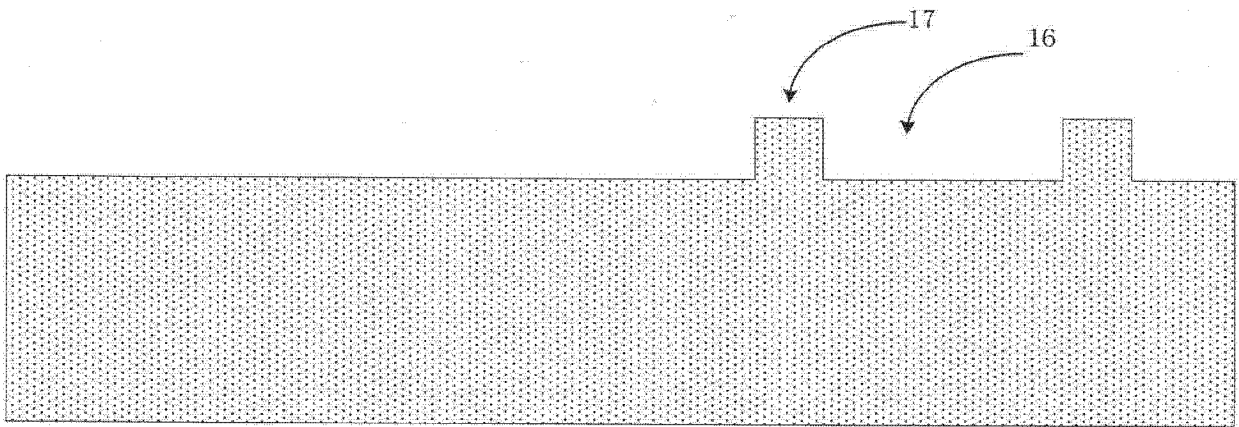


图 4(l)

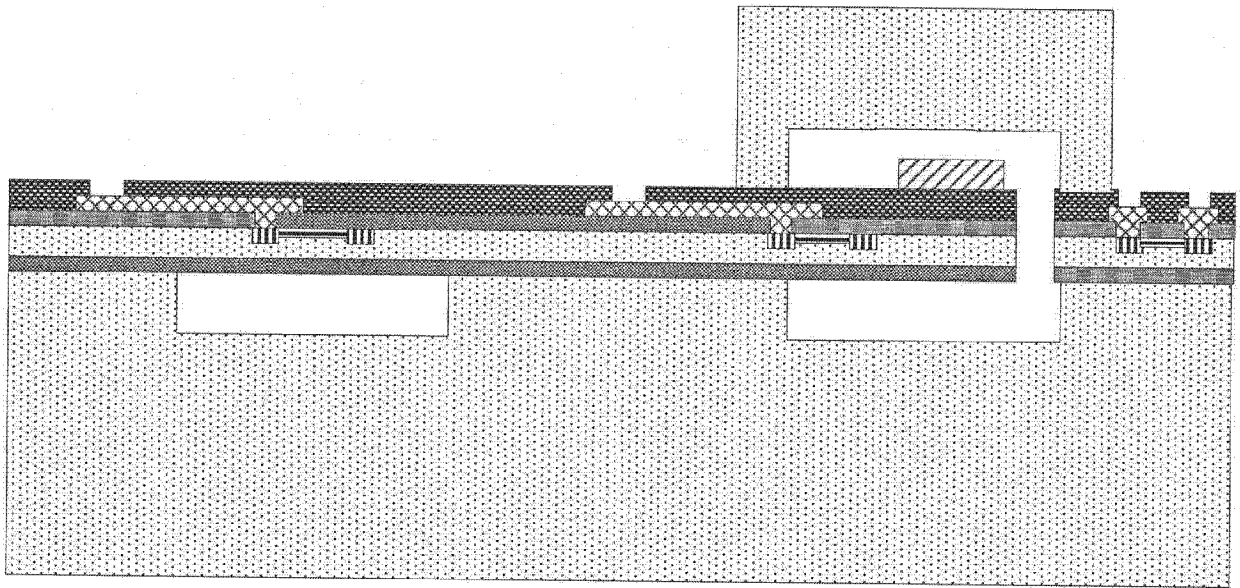


图 4(m)