



(12) 发明专利申请

(10) 申请公布号 CN 101889402 A

(43) 申请公布日 2010. 11. 17

(21) 申请号 200880119310. 8

H04B 7/005(2006. 01)

(22) 申请日 2008. 12. 02

H04W 52/02(2006. 01)

(30) 优先权数据

60/992, 890 2007. 12. 06 US

(85) PCT申请进入国家阶段日

2010. 06. 04

(86) PCT申请的申请数据

PCT/US2008/085240 2008. 12. 02

(87) PCT申请的公布数据

W02009/076097 EN 2009. 06. 18

(71) 申请人 拉姆伯斯公司

地址 美国加利福尼亚州

(72) 发明人 A·M·弗勒 J·鲍尔顿

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

H04B 1/06(2006. 01)

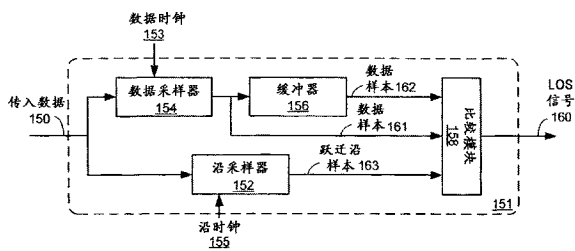
权利要求书 4 页 说明书 12 页 附图 10 页

(54) 发明名称

基于沿的信号损失检测

(57) 摘要

提供用于基于沿的信号损失 (LOS) 检测的系统和方法。在接收机中,接收机端口接收数据信号。耦合至接收机端口的时钟数据恢复 (CDR) 机制导出一个或多个时钟信号。LOS 信号生成机制基于在接收端口没有接收到有用数据时出现的沿毛刺来生成 LOS 信号。



1. 一种信号损失 (LOS) 检测器, 包括:
 - 一个或多个采样器, 其耦合至传入数据信号, 用于基于至少一数据时钟信号来对两个连续数据比特以及这些数据比特之间的跃迁沿进行采样; 以及
 - 至少一个比较模块, 其耦合至所述采样器, 其中所述比较模块确定两个数据比特之间是否出现沿毛刺, 并且基于所述确定来生成 LOS 信号。
2. 根据权利要求 1 所述的 LOS 检测器,
 - 其中, 当两个连续数据比特具有相同逻辑值并且跃迁沿样本具有不同逻辑值时, 所述比较模块检测到沿毛刺。
3. 根据权利要求 1 所述的 LOS 检测器,
 - 其中所述采样器至少包括数据采样器和沿采样器, 二者都耦合至传入数据信号和所述比较模块;
 - 其中所述数据采样器由所述数据时钟信号触发, 用于对数据比特进行采样;
 - 其中所述沿采样器由所述沿时钟信号触发, 用于对跃迁沿进行采样; 以及
 - 其中所述 LOS 检测器进一步包括缓冲器, 其耦合至所述数据采样器以缓冲采样的数据比特, 由此促进对两个连续数据比特的比较。
4. 根据权利要求 1 所述的 LOS 检测器,
 - 其中所述采样器包括第一采样器组和第二采样器组;
 - 其中所述比较模块包括第一比较子模块和第二比较子模块;
 - 其中所述第一采样器组包括第一数据采样器、第二数据采样器和第一沿采样器;
 - 其中所述第一数据采样器由所述数据时钟信号来触发, 所述第二数据采样器由反相数据时钟信号来触发, 并且所述第一沿采样器由沿时钟信号来触发;
 - 其中所述第一数据采样器的输出被缓冲并被耦合至所述第一比较子模块;
 - 其中所述第一沿采样器的输出被缓冲并被耦合至所述第一比较子模块; 以及
 - 其中当基于所述第一数据采样器和第二数据采样器以及所述第一沿采样器的输出而检测到沿毛刺时, 所述第一比较子模块产生 LOS 信号。
5. 根据权利要求 4 所述的 LOS 检测器,
 - 其中所述第二采样器组包括第三数据采样器、第四数据采样器和第二沿采样器;
 - 其中所述第三数据采样器由所述反相数据时钟信号来触发, 所述第四数据采样器由所述数据时钟信号来触发, 并且所述第二沿采样器由反相沿时钟信号来触发;
 - 其中所述第三数据采样器的输出被缓冲并被耦合至所述第二比较子模块;
 - 其中所述第二沿采样器的输出被缓冲并被耦合至所述第二比较子模块; 以及
 - 其中当基于所述第三数据采样器和第四数据采样器以及所述第二沿采样器的输出而检测到沿毛刺时, 所述第二比较子模块产生 LOS 信号。
6. 根据权利要求 1 所述的 LOS 检测器, 其中所述采样器与接收机共享。
7. 一种包含代表电路的数据的计算机可读介质, 所述电路包括:
 - 一个或多个采样器, 其耦合至传入数据信号, 用于基于至少一数据时钟信号来对两个连续数据比特以及这些数据比特之间的跃迁沿进行采样; 以及
 - 至少一个比较模块, 其耦合至所述采样器, 其中所述比较模块确定两个数据比特之间是否出现沿毛刺, 并且基于所述确定来生成 LOS 信号;

其中当两个连续数据比特具有相同的逻辑值并且跃迁沿样本具有不同逻辑值时,所述比较模块检测到沿毛刺。

8. 一种 LOS 检测器,包括:

第一装置,其耦合至传入数据信号,用于基于至少一个数据时钟信号来对两个连续数据比特以及这些数据比特之间的跃迁沿进行采样;以及

第二装置,其耦合至所述第一装置,用于确定所述两个数据比特之间是否出现沿毛刺,以及基于所述确定来生成 LOS 信号。

9. 一种接收机,包括:

时钟数据恢复(CDR)电路,用于基于传入数据信号来产生至少一个时钟信号;

一个或多个采样器,其耦合至所述 CDR 电路,用于接收所述传入数据信号以及产生数据比特样本和跃迁沿样本;

LOS 检测器,其耦合至所述采样器,用于检测沿毛刺,以及基于所述沿毛刺来生成 LOS 信号。

10. 根据权利要求 9 所述的接收机,

其中所述 LOS 检测器使用两个连续数据比特样本以及这两个数据比特采样之间的跃迁沿本来检测沿毛刺。

11. 根据权利要求 10 所述的接收机,

其中当两个连续数据比特样本具有相同的逻辑值并且所述两个数据比特采样之间的跃迁沿样本具有不同的逻辑值时,所述 LOS 检测器确定出现沿毛刺。

12. 根据权利要求 10 所述的接收机,

其中所述采样器包括沿采样器,用于对两个连续数据比特之间的跃迁沿进行采样。

13. 根据权利要求 12 所述的接收机,

其中数据比特占半个时钟周期;以及

其中所述沿采样器基于沿时钟信号和/或反相沿时钟信号,来对两个连续数据比特之间的跃迁沿进行采样。

14. 根据权利要求 12 所述的接收机,

其中数据比特占一个时钟周期;以及

其中所述沿采样器基于沿时钟信号或反相数据时钟信号,来对两个连续数据比特之间的跃迁沿进行采样。

15. 根据权利要求 12 所述的接收机,

其中所述沿采样器的阈值电压在热噪声范围内。

16. 根据权利要求 10 所述的接收机,

其中所述 LOS 检测器基于沿毛刺的数目或者沿毛刺相对于已采样的跃迁沿的数目的百分比,来生成 LOS 信号。

17. 一种通信系统,包括:

发射机;

接收机,其耦合至所述发射机;以及

LOS 检测器,其耦合至所述接收机,其中所述 LOS 检测器检测来自接收自所述发射机的数据信号的沿毛刺,并且基于所述沿毛刺来生成 LOS 信号。

18. 一种用于确定数据信号电压的电路,包括:

数据路径,其用于携带一个或多个数据比特;

时钟路径,其用于携带一个或多个时钟信号;

沿采样器,其耦合至所述数据路径和所述时钟路径,用于对两个连续数据比特之间的跃迁沿进行采样;

沿毛刺检测电路,其耦合至所述沿采样器,用于检测沿毛刺;

沿采样器阈值伺服电路,其耦合至所述沿采样器,用于调节所述沿采样器的沿采样器阈值;以及

电压确定电路,其耦合至所述沿采样器阈值伺服电路和所述沿毛刺检测电路,用于基于所述沿采样器阈值的值以及沿毛刺的数目来确定数据比特的低电压电平、高电压电平或者两者。

19. 根据权利要求 18 所述的电路,

其中所述沿采样器基于与由所述沿采样器阈值伺服电路设置的沿采样器阈值相对应的电压阈值,来确定跃迁沿处的逻辑值。

20. 根据权利要求 18 所述的电路,

其中当两个连续数据比特具有不同于在所述沿处采样的逻辑值的相同逻辑值时,所述沿毛刺检测电路检测到沿毛刺。

21. 根据权利要求 18 所述的电路,

其中所述沿采样器阈值伺服电路在高电压电平与低电压电平之间扫动所述沿采样器阈值。

22. 根据权利要求 18 所述的电路,

其中所述电压检测电路通过如下方式来确定数据比特的低电压电平:记录当两个连续数据比特都具有与低电压电平相关联的相同逻辑值时出现的沿毛刺所对应的沿采样器阈值的值。

23. 根据权利要求 18 所述的电路,

其中所述电压检测电路通过如下方式来确定数据比特的高电压电平:记录当两个连续数据比特都具有与高电压电平相关联的相同逻辑值时出现的沿毛刺所对应的沿采样器阈值的值。

24. 一种包含代表电路的数据的计算机可读介质,所述电路包括:

数据路径,其用于携带一个或多个数据比特;

时钟路径,其用于携带一个或多个时钟信号;

沿采样器,其耦合至所述数据路径和所述时钟路径,用于对两个连续数据比特之间的跃迁沿进行采样;

沿毛刺检测电路,其耦合至所述沿采样器,用于检测沿毛刺;

沿采样器阈值伺服电路,其耦合至所述沿采样器,用于调节所述沿采样器的沿采样器阈值;以及

电压确定电路,其耦合至所述沿采样器阈值伺服电路和所述沿毛刺检测电路,用于基于所述沿采样器阈值的值和沿毛刺的数目来确定数据比特的低电压电平、高电压电平或者两者。

25. 一种电路,包括:

数据路径装置,其用于携带一个或多个数据比特;

时钟路径装置,其用于携带一个或多个时钟信号;

沿采样器装置,其耦合至所述数据路径和所述时钟路径,用于对两个连续数据比特之间的跃迁沿进行采样;

沿毛刺检测装置,其耦合至所述沿采样器装置,用于检测沿毛刺;

沿采样器阈值伺服装置,其耦合至所述沿采样器装置,用于调节所述沿采样器装置的沿采样器阈值;以及

电压确定装置,其耦合至所述沿采样器阈值伺服装置和所述沿毛刺检测装置,用于基于所述沿采样器阈值的值和沿毛刺的数目来确定数据比特的低电压电平、高电压电平或者两者。

26. 一种用于检测 LOS 的方法,包括:

接收一个或多个数据比特;

接收一个或多个时钟信号;

确定第一数据比特和第二数据比特的逻辑值,其中所述第一数据比特和第二数据比特是连续的;

确定在所述第一数据比特和第二数据比特之间的跃迁沿的逻辑值;

确定所述第一数据比特和第二数据比特是否具有相同的逻辑值以及所述跃迁沿处的逻辑值是否与所述第一数据比特和第二数据比特的逻辑值相同;以及

基于所述确定来生成 LOS 信号。

27. 根据权利要求 26 所述的方法,

其中用于确定所述沿处的逻辑值的电压阈值在热噪声范围之内。

28. 一种用于在发射机与接收机之间协商数据率的方法,包括:

接收多个数据比特;

基于接收的数据比特来确定是否出现了沿毛刺;以及

在出现沿毛刺时信号通知所述发射机,由此允许所述发射机改变其数据率,或者改变所述接收机的数据率以试图与所述发射机的数据率相匹配。

基于沿的信号损失检测

背景技术

[0001] 本公开总体上涉及通信领域,具体涉及集成电路设备之中以及之间的高速电子信号。

[0002] 在现代电子系统中,检测传入信号的损失(信号损失, LOS) 的能力经常是系统的要求。即使在不要求 LOS 检测的系统中,能够确定是否接收到可用的传入信号也经常是有益的。某些电子系统具有一个或多个节能模式,其可以根据 LOS 的检测而被激活。然而,常规 LOS 检测机制经常消耗大量功率,因此削减了各种节能机制的益处。此外,常规 LOS 检测机制仅检测信号功率,但不能确定接收到的数据信号是否处于有用的数据率。

附图说明

[0003] 这里本公开通过示例而非限制的方式在附图中进行说明,并且其中相似的参考标号指代类似的元件,其中:

[0004] 图 1A 示出了以硬件实现的基于沿的 LOS 检测器 151 的示例性架构;

[0005] 图 1B 示出了以软件实现的基于沿的 LOS 检测器的示例性架构;

[0006] 图 1C 示出了与基于沿的 LOS 检测模块 105 结合操作的接收机 100;

[0007] 图 1D 示出了包括发射机系统和接收机系统的、能够进行基于沿的 LOS 检测的示例性系统;

[0008] 图 2 示出了按照双倍数据率 (DDR) 配置的数据信号和时钟信号组的示例性时序图;

[0009] 图 3 示出了按照单倍数据率 (SDR) 配置的数据信号和时钟信号组的示例性时序图;

[0010] 图 4 示出了出现在两个“1”数据比特之间的示例性沿毛刺 (glitch) 的检测;

[0011] 图 5 示出了出现在两个“0”数据比特之间的示例性沿毛刺的检测;

[0012] 图 6 示出了按照 DDR 配置的用于基于沿的 LOS 检测的数据和沿采样器的时序图;

[0013] 图 7 呈现了按照 DDR 配置的用于生成 LOS 信号的两个真值表 702 和 704;

[0014] 图 8A 示出了基于图 7 中的真值表来生成 LOS 信号的电路的示例性框图;

[0015] 图 8B 示出了按照 DDR 配置的用于生成 LOS 信号的示例性电路;

[0016] 图 9 示出了按照 SDR 配置的用于基于沿的 LOS 检测的数据和沿采样器的时序图;

[0017] 图 10 呈现了按照 SDR 配置的用于生成 LOS 信号的真值表 1002;

[0018] 图 11A 示出了基于图 10 中的真值表来生成 LOS 信号的电路的示例性框图;

[0019] 图 11B 示出了按照 SDR 配置的用于生成 LOS 信号的示例性电路;

[0020] 图 12 示出了基本上保持在跃迁沿交叉点的沿采样器阈值;

[0021] 图 13 示出了关于热噪声设置的数据 / 沿采样器阈值;

[0022] 图 14 呈现了用于扫动沿采样器阈值电压的示例性电压 - 时间图;以及

[0023] 图 15 呈现了示出使用基于沿的 LOS 检测来进行数据率协商的示例性过程的流程图。

[0024] 在附图中,相同的参考标号指代完全相同或基本上相似的元件或动作。参考标号中最显著的一个或多个数字表示首次引入的元件的附图标号。例如,首次在图 1C 中引入元件 100 并结合图 1C 对其进行讨论。

具体实施方式

[0025] 给出下面的描述是为了使任何本领域技术人员都能够制作并使用这里所公开的实施方式,并且下面的描述是在特定应用的上下文和其要求中提供的。对所公开的实施方式的各种修改对于本领域技术人员应当将是易见的,并且可以将这里定义的一般性原则应用于其他实施方式和应用,而不脱离本公开的精神和范围。因此,本公开不限于所示的实施方式,而是与符合本公开的最大范围相一致。

[0026] 许多信令标准以及非标准应用需要接收机检测 LOS。LOS 检测不仅确保了接收机的正确操作,还可以允许接收机在不接收数据时下电,这是期望的特征,因为功率效率正逐渐成为 I/O 工业中不断增长的驱动力。然而,常规 LOS 检测电路往往是消耗大量功率的模拟电路,这可能显著地抵消了间歇性接收机停机的功率效率收益。此外,常规方法仅仅验证信号摆幅,而不验证信号有效性。

[0027] 本发明的实施方式提供了用于基于沿的 LOS 检测的机制,其通过使用逻辑门或基于软件的逻辑确定来消除直流电压测量。另外,本 LOS 检测机制不仅可以检测关于功率损失的 LOS,还可以检测例如由不匹配的数据率导致的无用数据。

[0028] 在一个实施方式中,LOS 检测机制是基于对以下有效数据信号的观测,其中针对该有效数据信号的时钟和数据恢复(CDR)电路已被锁定。在将 CDR 电路锁定于接收到的数据模式后,沿采样器的定时布置近似地在数据跃迁沿下降,并且可以用于测量在这些跃迁沿处的逻辑值。在接收机输入处存在有效信号的正常操作期间,假设正确设置了沿采样器的电压阈值(例如,数据比特的高电压电平与低电压电平之间的中间点),沿采样器通常不观测与具有相等逻辑值的两个相邻数据采样不同的逻辑跃迁沿值。也就是说,如果之前和随后的数据比特都是“0”,则沿采样器通常不检测“1”跃迁沿值,或者如果之前和随后的数据比特都是“1”,则沿采样器通常不检测“0”跃迁沿值。注意,在本说明书中,“跃迁沿”表示基本上描绘两个连续数据比特的点。沿采样器期望在两个连续数据比特之间的跃迁沿处进行采样,当然,如果两个数据比特具有相同的值,则该点处可能不是实际的沿。

[0029] 因此,在有效的 CDR 锁定的数据信号中,在两个“相似”数据样本之间出现“不相似”跃迁沿采样将被认为是“沿毛刺”,并且这可以用于检测 LOS。在正常操作中,两个连续的“相似”数据样本通常意味着:在这两个数据比特之间的跃迁沿采样点处的电压近似地在对应逻辑值的 DC 电压电平上(假设数据比特以不归零或称 NRZ 格式进行编码)。换句话说,当接收机接收有效数据信号时,期望两个相等数据比特之间的跃迁沿(其在正常操作期间不是实际的沿)处的电压电平与不出现沿毛刺的沿采样器切换阈值相差很远。根据实验室测试证实,只要数据信号正常并且 CDR 保持锁定,便几乎或根本观测不到这种沿毛刺。

[0030] 在 LOS 的情况下(发射机与接收机解耦合、发射机发送空数据比特等),接收机处的数据和沿采样器输出最有可能由热噪声和采样器阈值来确定。如果采样器的阈值近似地处于热噪声电压范围的中心,则数据和沿采样器将产生不相关的、随机模式的“0”和“1”。在这种“0”和“1”的出现基本上相等的随机且不相关的信号流中,沿毛刺的出现率较高(例

如,所有沿采样的 25%)。即使采样器阈值显示偏离了理想位置(即,离开了热噪声电压范围的中间点),但是只要阈值在热噪声范围内,沿毛刺就仍会以某种概率出现。

[0031] 在一个实施方式中,基于沿的 LOS 检测机制可以使用 CDR 电路中包括的数据和沿采样器的输出。结果,基于沿的 LOS 检测机制可以避免接收机中的显著附加功耗。注意,基于沿的 LOS 检测机制还可以通过软件实现。例如,可以将基于沿的 LOS 检测机制编码为驻留在物理层之上的中间件的一部分,并且基于由接收机提供的数据和跃迁沿值来确定是否出现 LOS。

[0032] 图 1A 示出了以硬件实现的基于沿的 LOS 检测器 151 的示例性架构。在一个实施方式中,基于沿的 LOS 检测器 151 接收传入数据信号 150、数据时钟 153 和沿时钟 155,并且产生 LOS 信号 160。基于沿的 LOS 检测器 151 包括:产生数据样本 161 的数据采样器 154、产生数据样本 162 的缓冲器 156、产生跃迁沿样本 163 的沿采样器 152 以及比较模块 158。

[0033] 在操作期间,数据采样器 154 由数据时钟 153 触发,对传入数据信号 150 进行采样,并产生数据样本流。数据采样器 154 的输出(即,数据样本 161)继而由缓冲器 156 延迟一个单元间隔,并且变成数据样本 162。缓冲器 156 允许系统对两个连续数据比特值进行比较。注意,缓冲器 156 可以由数据时钟 153 或单独时钟信号来定时。

[0034] 由沿时钟 155 触发的沿采样器 152 对传入数据信号 150 进行采样,并且产生跃迁沿样本流。注意,跃迁沿样本值的值是在两个相邻数据比特之间的描绘点处采样的逻辑值。

[0035] 将跃迁沿样本 163、数据样本 162 和数据样本 161 馈送至比较模块 158,该比较模块确定是否出现了沿毛刺。基于此确定,比较模块 158 生成 LOS 信号 160。在某些实施方式中,LOS 信号 160 的生成是基于沿毛刺的数量。在其他实施方式中,LOS 信号 160 可以实现为“粘滞比特”,其在每次检测到沿毛刺时被置位。

[0036] 注意,数据时钟 153 和沿时钟 155 不必由本地 CDR 电路生成。例如,可以将数据时钟 153 从同步通信的发射机分发至接收机。沿时钟 155 可以从所提供的数据时钟 153 导出。此外,数据采样器 154、缓冲器 156 和沿采样器 152 可以是接收机电路系统的一部分。因此,基于沿的 LOS 检测器 151 可以不需要包括这些组件,而可以与接收机电路系统共享这些数据 and 沿采样。另外,基于沿的 LOS 检测器 151 可以驻留在接收机芯片内或接收机芯片外部。

[0037] 基于沿的 LOS 检测器还可以驻留在逻辑层中,并且不要求任何专用硬件。图 1B 示出了以软件实现的基于沿的 LOS 检测器的示例性架构。基于沿的 LOS 检测器模块 171 包括比较模块 178。在操作期间,比较模块 178 接收由接收机提供的数据字 172 和沿字 174。注意,数据字 172 通常包含从接收到的数据信号恢复的多个(例如,8 个)连续比特。沿字 174 包含代表在相应的相邻数据比特之间的跃迁沿处采样的值的多个比特。比较模块 178 继而将相应的跃迁沿值与两个相邻数据值进行比较,从而生成 LOS 信号 170。基于沿的 LOS 检测器 171 可以完全或部分通过中间件来实现。在一个实施方式中,将基于沿的 LOS 检测器 171 编码为存储在现场可编程逻辑阵列(FPGA)芯片中的程序。其他存储形式也是可行的。

[0038] 图 1C 示出了与基于沿的 LOS 检测模块 105 结合操作的接收机 100。接收机 100 包括:接收端口 102、采样器电路 104、相位控制模块 106、产生时钟信号组 109 的相位混合器 108 以及输出一个或多个相位向量 112 的锁相环路(PLL)110。采样器电路 104 包括数据采样器 101 和沿采样器 103。将基于沿的 LOS 检测模块 105 耦合至数据采样器 101 和沿采样器 103 的输出。在此示例中,假设以双倍数据率(DDR)配置来操作接收机 100,其中一个数

据比特（或单元间隔，UI）占半个时钟周期。

[0039] 在一个实施方式中，采样器电路 104、相位控制模块 106、相位混合器 108 和 PLL110 形成 CDR 电路。在操作期间，基于参考时钟信号，PLL 110 向相位混合器 108 输出称为相位向量 112 的一组时钟信号。相位向量 112 中的每个分量时钟信号彼此偏移相继的 45 度增量，使得当认为任意的分量时钟信号处于 0 度相位时，剩余的七个分量时钟信号具有 45 度、90 度、135 度、180 度、225 度、270 度和 315 度的相位角。注意，接收机 100 的上述配置仅仅是为了说明的目的。接收机 100 可以采用各种架构。例如，接收机 100 可以使用延迟锁定环路 (DLL) 来替代 PLL 110。此外，相位向量 112 可以包括由不同角度隔开的其他数目（例如，4、12 或 16）的分量。还可以使用其他类型的 CDR 电路来取代相位混合器 108 和 PLL 110。在某些实施方式中，接收机 100 可以具有外部提供的时钟信号并且可以不需要 CDR 电路。

[0040] 相位混合器 108 基于相位计数值（由相位控制模块 106 确定）在一对分量时钟信号之间进行选择 and 插值 (interpolate)，从而产生四个恢复的时钟信号 109，也即数据时钟 (DCLK)、反相数据时钟 (/DCLK)、沿时钟 (ECLK) 和反相沿时钟 (/ECLK)。利用这四个时钟信号来充当触发，采样器电路 104 中的数据采样器 101 和沿采样器 103 可以对传入 DDR 数据流中的连续数据比特和相应的跃迁沿进行采样。

[0041] 将采样器电路 104 的输出耦合至相位控制模块 106，该相位控制模块接收由采样器电路 104 捕获的数据和跃迁沿样本。相位控制模块 106 对这些样本互相进行比较，以确定恢复的时钟信号 109 的沿相对于传入数据信号中的跃迁是早出现还是晚出现。基于该早/晚信息，相位控制模块 106 向相位混合器 108 输出控制信号 107，该相位混合器通过增加或减少相位计数值并由此延迟或提前恢复的时钟信号 109 的相位来进行响应。最终，接收机满足锁相条件，其中恢复的时钟信号具有与传入数据信号有关的期望相位（例如，DCLK 和 /DCLK 的上升沿与数据比特间隔的中间点对准）。在满足锁相条件之后，相位控制模块 106 在提前和延迟恢复时钟信号 109 的相位之间，触发到相位混合器 108 的控制信号。

[0042] 在一个实施方式中，将数据采样器 101 和沿采样器 103 的输出耦合至基于沿的 LOS 检测模块 105。基于沿的 LOS 检测模块 105 基于采样器电路 104 捕获的数据和跃迁沿本来检测沿毛刺，并且基于检测到的沿毛刺来生成 LOS 信号。在一个实施方式中，由于基于沿的 LOS 检测模块 105 与相位控制模块 106 都对相同的数据和沿样本流执行逻辑功能，因此这两个模块可以共享某些逻辑门电路系统。此外，基于沿的 LOS 检测模块 105 可以包括一个或多个沿毛刺计数器，并且可以基于沿毛刺的数目和 / 或沿毛刺相对于可能潜在地成为沿毛刺的跃迁沿样本（即，在两个“相似”数据采样之间的“不相似”跃迁沿样本）的总数的百分比，来生成 LOS 信号。

[0043] 图 1D 示出了包括发射机系统和接收机系统的、能够进行基于沿的 LOS 检测的示例性系统。在此示例中，发射机系统 182 通过传输信道 186 与接收机系统 184 进行通信。在一个示例中，接收机系统 184 包括接收机电路 100 和基于沿的 LOS 检测模块 105。在操作期间，基于沿的 LOS 检测模块 105 可以在检测到出现沿毛刺时生成 LOS 信号。用于促进基于沿的 LOS 检测的其他接收机系统 184 配置也是可行的。

[0044] 图 1C 中示出的示例是基于 DDR 配置的。图 2 示出了按照 DDR 配置的数据信号和时钟信号组的示例性时序图。如图 2 所示，每个数据比特占半个时钟周期。两个数据时钟 (DCLK 和 /DCLK) 中的上升沿基本上与两个连续数据比特的中间点一致，因此可被用来对传

入数据流进行采样。类似地,两个沿时钟 (ECLK 和 /ECLK) 的上升沿基本上与两个连续跃迁沿一致,并且可被用来对跃迁沿连续地进行采样。

[0045] 所提出的基于沿的 LOS 检测机制不仅适用于 DDR 接收机,还适用于单倍数据率 (SDR) 接收机,其中数据比特占一个时钟周期。图 3 示出了按照 SDR 配置的数据信号和时钟信号组的示例性时序图。如图 3 所示,每个数据比特占一个时钟周期。数据时钟 DCLK 的上升沿基本上在数据比特的中间点,并且可被用来对连续的数据比特进行采样。类似地,沿时钟 (即,ECLK) 的上升沿可被用来对连续的跃迁沿进行采样,该沿时钟在一个实施方式中展显出了相对于 DCLK 的 180 度的相位偏移。注意,如果 DCLK 具有 50% 的占空比,则反相 DCLK (即,/DCLK) 可以充当 ECLK。

[0046] 基于沿的 LOS 检测

[0047] 在某些实施方式中,系统通过检测具有相同逻辑值的两个连续数据比特之间出现的沿毛刺,来检测 LOS。图 4 示出了对两个“1”数据比特之间出现的示例性沿毛刺的检测。传入数据流 402 由数据采样器和沿采样器进行采样。样本点由箭头来指示,其中空心箭头代表数据样本,而实心箭头代表跃迁沿样本。每个数据比特占一个 UI。数据样本和跃迁沿样本是交错的,从而使所有样本间隔 $1/2UI$ 。

[0048] 在图 4 的示例中,数据和沿采样器 (或者,在 DDR 配置中为一对数据采样器和一对沿采样器) 所使用的电压阈值基本上处于数据跃迁沿交叉点。注意,虽然未在图 4 中示出,此数据跃迁沿交叉点可以在眼状图上观测到。

[0049] 当数据流从“1”跃迁到“0”或从“0”跃迁到“1”时,在相对应的跃迁沿处采样的逻辑值主要取决于沿时钟是早还是晚,并且通常是不确定的 (图 4 中用“x”来表示)。CDR 可以使用此早/晚信息来调整恢复的时钟信号的相位。例如,数据-沿-数据样本流“001”可以指示早时钟,而数据-沿-数据样本流“100”可以指示晚时钟。然而,如图 4 所示,当两个连续数据比特都是“1”并且在他们之间的跃迁沿样本具有逻辑值“0”时,已经出现了沿毛刺。正常情况下不会出现这种沿毛刺,因为发射机不会在两个“1”之间发射尖峰信号“0”。因此,沿毛刺可以是存在 LOS 的相当可靠的指示。注意,LOS 检测机制可以基于一个沿毛刺的出现立即生成 LOS 信号,或者可以使用统计方法并且基于检测到的沿毛刺的数目来生成 LOS 信号。此外,图 4 中所示的示例不特定于 DDR 或 SDR 操作。

[0050] 图 5 示出了两个“0”数据比特之间出现的示例性沿毛刺的检测。传入数据流 502 由数据和沿采样器进行采样。当检测到两个连续“0”数据比特并且它们之间的跃迁沿样本具有逻辑值“1”时,出现沿毛刺。系统继而可以相应地生成 LOS 信号。注意,图 4 和图 5 的示例基于数据和沿采样器被锁相至传入信号这一假设。

[0051] 注意,这里描述的示例并不特定于单端信令还是差分信令。

[0052] 如下描述教导了针对按照 DDR 和 SDR 配置的基于沿的 LOS 检测的示例性电路实现。图 6-图 8 示出了按照 DDR 配置的示例性电路,而图 9-图 11 示出了按照 SDR 配置的示例性电路。注意,本发明的实施方式不限于这些示例。还可能通过硬件、软件或硬件与软件的组合的其他实现。

[0053] 图 6 示出了按照 DDR 配置的用于基于沿的 LOS 检测的数据和沿采样器的时序图。四个恢复的时钟信号 (DCLK、/DCLK、ECLK 和 /ECLK) 提供了用于在两个连续跃迁沿处检测沿毛刺的四个上升沿。注意,可以使用三个采样时钟 (两个数据时钟和一个沿时钟) 来检

测一个沿毛刺的出现。因此, DCLK、ECLK 和 /DCLK 提供三个采样上升沿 D0、E0 和 D1, 以便对两个对应数据比特和他们之间的跃迁沿进行采样。针对紧跟 D1 的跃迁沿, /DCLK、/ECLK 和 DCLK 提供了另外三个采样上升沿 D1、E1 和 D2。注意, DCLK 提供了 D0 和 D2。然而, D0 和 D2 分别独立地用来检测两个连续跃迁沿中的毛刺, 其中, D0 和 D2 中的一个与 E0/D1 结合, 而另一个与 E1/D2 结合。

[0054] 图 7 呈现了按照 DDR 配置的用于生成 LOS 信号的两个真值表 702 和 704。真值表 702 基于在 D0、E0 和 D1 处采样的逻辑值, 来指示何时设置 LOS 信号或者说何时检测到了沿毛刺。具体地, 当 D0 和 D1 为逻辑“1”并且 E0 为逻辑“0”时, 检测到沿毛刺并且将 LOS 设置成“1”(或逻辑“真”)。当 D0 和 D1 为逻辑“0”并且 E0 为逻辑“1”时, 也检测到了沿毛刺, 并且也将 LOS 设置成“1”。当 D0、E0 和 D1 都具有相同的逻辑值时, 没有沿毛刺, 因此将 LOS 设置成“0”。当 D0 和 D1 具有不同的逻辑值时, 也将 LOS 设置成“0”, 因为系统不能区分由于在跃迁沿中间进行采样而产生的随机值与沿值。

[0055] 注意, 当 D0 和 D1 显示不同的值时, CDR 电路可以基于 D0/E0/D1 的逻辑值导出时钟信号的相位信息。例如, 当 D0/E0/D1 的值为“001”或“110”时, 时钟信号为早, 因为 E0 具有与 D0 而不是与 D1 相同的值。另一方面, 当 D0/E0/D1 的值为“011”或“100”时, 时钟信号为晚, 因为 E0 具有与 D1 而不是与 D0 相同的值。此外, 在一个实施方式中, LOS 检测所需的数据和跃迁沿采样功能可以从 CDR 电路中导出。也就是说, D0、E0 和 D1 的值可以通过 CDR 电路来提供, 并且 LOS 信号生成可以基于这些信号的恰当逻辑组合, 而不需要单独的数据和跃迁沿采样器。

[0056] 类似地, 真值表 704 基于在 D1、E1 和 D2 处检测到的逻辑值, 来指示何时设置 LOS 信号。具体地, 当 D1 和 D2 为逻辑“1”并且 E1 为逻辑“0”时, 检测到了沿毛刺, 并且将 LOS 设置成“1”。当 D1 和 D2 为逻辑“0”并且 E1 为逻辑“1”时, 也检测到了沿毛刺并且也将 LOS 设置成“1”。当 D1、E1 和 D2 都具有相同的逻辑值时, 没有沿毛刺, 因此将 LOS 设置成“0”。当 D2 和 D1 具有不同逻辑值时, 也将 LOS 设置成“0”, 因为系统无法区分由于在跃迁沿中间进行采样而产生的随机值与沿值。还可以由 CDR 电路使用 D1/E2/D2 的值来确定四个时钟信号的相位信息。在一个实施方式中, D1、E2 和 D2 包括在 CDR 电路中并且由 CDR 电路来提供。

[0057] 图 8A 示出了基于图 7 中的真值表来生成 LOS 信号的电路的示例性框图。此电路包括 D0 采样器 852、D1 采样器 854、E0 采样器 856、D0 缓冲器 858、E0 缓冲器 860 和比较模块 862, 其共同对传入数据信号 850 进行采样并且产生 LOS 信号 864。注意, LOS 信号 864 对应于真值表 702 中的 LOS 信号值, 并且在图 8A 中被称作“(D0、E0、D1)LOS 信号 864”。

[0058] 类似地, 电路还可以包括 D1 采样器 872、D2 采样器 874、E1 采样器 876、D1 缓冲器 878、E1 缓冲器 880 和比较模块 882, 其共同对数据信号 850 进行采样并且产生 LOS 信号 884。LOS 信号 884 对应于真值表 704 中的 LOS 信号值, 并且被称作“(D1、E1、D2)LOS 信号 884”。

[0059] 在操作期间, 由 DCLK 的上升沿触发的 D0 采样器 852 产生 D0。类似地; 由 /DCLK 的上升沿触发的 D1 采样器 854 产生 D1; 以及由 ECLK 的上升沿触发的 E0 采样器 856 产生 E0。由于这三个采样器在不同时间被触发, 因此在理想情况下其输出是重定时的, 使得系统可以恰当地对其相应值进行比较。因此, D0 缓冲器 858 将 D0 重定时到 /DCLK, 并且 E0 缓

冲器 860 将 E0 也重定时到 /DCLK。比较模块 862 继而对全都定时到 /DCLK 的 D0、D1 和 E0 的值进行比较,并且确定是否出现了沿毛刺。如果出现沿毛刺,比较模块 862 确立 (D0、E0、D1)LOS 信号 864。

[0060] 类似地,D2 采样器 874 产生定时到 DCLK 的 D2。D1 采样器 872 和 D1 缓冲器 878 共同产生 D1,以及 E1 采样器 876 和 E1 缓冲器 880 共同产生 E1,其中 D1 和 E1 都被重定时到 DCLK。比较模块继而对全都定时到 DCLK 的 D1、D2 和 E1 进行比较,并且确定是否出现了沿毛刺,在出现沿毛刺的情况下,(D1、E1、D2)LOS 信号 884 将被确立。

[0061] 当 (D0、E0、D1)LOS 信号 864 或 (D1、E1、D2)LOS 信号 884 被确立时,“或”操作模块 884 确立 LOS 信号 890。

[0062] 图 8B 示出了按照 DDR 配置的用于生成 LOS 信号的示例性电路。在此示例中,八个触发器 (flip-flop)802、804、806、808、810、812、814 和 816 由不同的时钟信号触发,对数据比特或跃迁沿进行采样。此电路进一步包括异或门 818、820、822 和 824;与门 826 和 828;以及或门 830,其结合生成 LOS 信号。在一个实施方式中,基于真值表 702 和 704,LOS 的逻辑值可以表达为如下布尔表达式:

[0063]

$$\text{LOS} = [(E0 \oplus D0) \wedge (E0 \oplus D1)] \vee [(E1 \oplus D1) \wedge (E1 \oplus D2)];$$

[0064] 其中“ \oplus ”表示异或操作,“ \wedge ”表示与操作,以及“ \vee ”表示或操作。

[0065] 上文 LOS 表达式的前一半 $[(E0 \oplus D0) \wedge (E0 \oplus D1)]$,对应于真值表 702,并且基于 D0、E0 和 D1 的逻辑值。后一半 $[(E1 \oplus D1) \wedge (E1 \oplus D2)]$ 对应于真值表 704,并且基于 D1、E1 和 D2 的逻辑值。注意,沿毛刺可能出现在 E0 或 E1 处。因此,可以通过或操作来结合这两个表达式以用于产生 LOS 信号。

[0066] 为了准确地为上面的表达式赋值,理想情况是利用相同的时钟信号对数据 / 跃迁沿样本的相应分组 (即,D0/E0/D1 或 D1/E1/D2) 进行重定时。如图 8 所示,由 DCLK 触发的触发器 802 首先捕获 D0 的逻辑值。此逻辑值继而由 /DCLK 触发的触发器 804 存储。结果,触发器 804 的输出是在 D1 的时刻存储的 D0 的逻辑值。类似地,由 ECLK 触发的触发器 808 捕获 E0 的逻辑值。此逻辑值继而由 /DCLK 触发的触发器 810 存储。结果,触发器 810 的输出是在 D1 的时刻存储的 E0 的逻辑值。类似地,由 /DCLK 触发的触发器 806 捕获 D1 的逻辑值。

[0067] 异或门 818 产生 $E0 \oplus D0$ 的值,并且异或门 820 产生 $E0 \oplus D1$ 的值。与门 826 产生表达式 $[(E0 \oplus D0) \wedge (E0 \oplus D1)]$ 的值,该值指示 E0 处是否出现了沿毛刺。注意,CDR 电路还可以使用异或门 818 和 820 的输出来确定时钟信号的相位信息。例如,如果异或门 818 输出“0”并且异或门 820 输出“1”,这意味着 E0 与 D0 相同而与 D1 相反,期望时钟信号相对于数据信号为早。在另一方面,如果异或门 818 输出“1”并且异或门 820 输出“0”,则期望时钟信号为晚。在一个实施方式中,异或门 818 和 820 的输出可以由 CDR 电路来提供,这样可以避免对触发器 802、804、806 和 810 的需要。

[0068] 类似地,触发器 802、806、812、814 和 816 提供在 D1、E1 和 D2 处的样本。由 /DCLK 触发的触发器 806 捕获 D1 的逻辑值。此逻辑值继而由 DCLK 触发的触发器 812 捕获。结果,触发器 812 的输出是在 D2 的时刻存储的 D1 的逻辑值。由 /ECLK 触发的触发器 814 捕获 E1 的逻辑值。此逻辑值继而由 DCLK 触发的触发器 816 捕获。结果,触发器 816 的输

出是在 D2 的时刻存储的 E1 的逻辑值。此外,由 DCLK 触发的触发器 802 捕获 D2 的逻辑值。
[0069] 异或门 822 提供 $E1 \oplus D1$ 的值,并且异或门 824 提供 $E1 \oplus D2$ 的值。与门 828 提供表达式 $[(E1 \oplus D1) \wedge (E1 \oplus D2)]$ 的值,该值指示 E1 处是否出现了沿毛刺。注意,CDR 电路还可以使用异或门 822 和 824 的输出来确定时钟信号的相位信息。在一个实施方式中,异或门 822 和 824 的输出可以由 CDR 电路来提供,这样可以避免对触发器 802、806、812、814 和 816 的需要。

[0070] 与门 826 的输出指示 E0 处是否出现了沿毛刺,并且其输出被重定时到 /DCLK。类似地,与门 828 的输出指示 E1 处是否出现了沿毛刺,并且其输出被重定时到 DCLK。或门 830 生成最终的 LOS 信号,其在与门 826 和 828 中任意一个被设置为“1”时被设置成“1”。

[0071] 注意,在其他实施方式中,可以将与门 822 和 828 的输出耦合至追踪沿毛刺总数的计数器。此计数器可以由与门 822 或与门 828 的输出中的上升沿来触发。接收机系统继而可以基于检测到的沿毛刺总数来确定是否发布 LOS 提示。在某些实施方式中,接收机可以基于沿毛刺相对于接收比特总数的百分比,基于特定时间段中检测到的沿毛刺的总数,或者基于沿毛刺相对于可能潜在是沿毛刺的跃迁沿样本(即,两个“相似”数据采样之间的跃迁沿样本)的总数的百分比,来设置阈值。在某些实施方式中,LOS 检测机制可以配置为断续运行,从而对带宽和功耗降低进行权衡。也可以是使用其他 LOS 提示生成方案。

[0072] 图 9 呈现了按照 SDR 配置的用于基于沿的 LOS 检测的数据和沿采样器的时序图。两个恢复的时钟信号(DCLK 和 ECLK)提供了用于检测两个连续数据比特之间的沿毛刺的两个上升沿。具体地,DCLK 提供了采样上升沿 D0 和 D1,用于对两个连续数据比特进行采样,并且 ECLK 提供了采样上升沿 E0,用于对这两个数据比特之间的跃迁沿进行采样。

[0073] 图 10 呈现了按照 SDR 配置的用于生成 LOS 信号的真值表 1002。具体地,当 D0 和 D1 为逻辑“1”并且 E0 为逻辑“0”时,检测到沿毛刺,并且将 LOS 设置成“1”(或逻辑“真”)。当 D0 和 D1 为逻辑“0”并且 E0 为逻辑“1”时,也检测到沿毛刺,并且也将 LOS 设置成“1”。当 D0、E0 和 D1 都具有相同的逻辑值时,没有沿毛刺,因此将 LOS 设置成“0”。当 D0 和 D1 具有不同的逻辑值时,也将 LOS 设置成“0”,因为系统不能区分由于在跃迁沿中间采样而产生的随机值与沿值。

[0074] 注意,当 D0 和 D1 具有不同的值时,CDR 电路可以基于 D0/E0/D1 的逻辑值来导出时钟信号的相位信息。例如,当 D0/E0/D1 的值为“001”或“110”时,因为 E0 具有与 D0 而不是与 D1 相同的值,所以时钟信号为早。另一方面,当 D0/E0/D1 的值为“011”或“100”时,因为 E0 具有与 D1 相同而不是与 D0 相同的值,所以时钟信号为晚。此外,在一个实施方式中,LOS 检测所需的数据和跃迁沿采样功能可以从 CDR 电路中导出。也就是说,由 CDR 电路提供 D0、E0 和 D1 的值,LOS 信号生成可以基于这些信号的恰当逻辑组合,而不需要单独的数据和跃迁沿采样器。

[0075] 图 11A 示出了基于图 10 中的真值表来生成 LOS 信号的电路的示例性框图。此电路包括 D0/D1 采样器 1152、D0 缓冲器 1158、E0 采样器 1156、E0 缓冲器 1160 和比较模块 1162,其共同对传入数据信号 1150 进行采样,并且产生 LOS 信号 1164。注意,LOS 信号 1164 对应于真值表 1002 中的 LOS 信号值。

[0076] 在操作期间,由 DCLK 的上升沿触发的 D0/D1 采样器 1152 产生 D0 和 D1,其中 D1 滞后 D0 一个 UI。类似地,由 ECLK 的上升沿触发的 E0 采样器 1156 产生 E0。由于 D0、D1 和

E0 在不同时刻采样,因此理想情况是对这三个样本进行重定时,使得系统可以恰当地比较其相应的值。因此,D0 缓冲器 1158 将 D0 重定时到 DCLK。也就是说,D0 缓冲器 1158 缓冲 D0 达一个 UI,从而使 D0 可以与 D1 在时间上对准。类似地,E0 缓冲器 1160 将 E0 重定时到 DCLK,从而使 E0 也与 D1 在时间上对准。比较模块 1162 继而对 D0、D1 和 E0 的值(其都被重定时到 DCLK)进行比较,从而确定是否出现了沿毛刺。如果出现了沿毛刺,则比较模块 1162 确立 LOS 信号 1164。

[0077] 图 11B 示出了按照 SDR 配置的用于生成 LOS 信号的示例性电路。在此示例中,由不同时钟信号触发的四个触发器 1102、1104、1106 和 1108 对数据比特或跃迁沿进行采样。此电路进一步包括异或门 1110 和 1112 和与门 1114,其组合生成 LOS 信号。在一个实施方式中,基于真值表 1002,LOS 的逻辑值可以表达为如下布尔表达式:

[0078]

$$\text{LOS} = (\text{E0} \oplus \text{D0}) \wedge (\text{E0} \oplus \text{D1})$$

[0079] 为了对上面的表达式准确地赋值,理想情况是利用相同的时钟信号对数据和跃迁沿样本(即,D0/E0/D1)进行重定时。在一个实施方式中,这些样本被重定时到 D1 的上升沿。如图 11B 所示,由 DCLK 触发的触发器 1102 首先捕获 D0 的逻辑值。此逻辑值继而也被由 DCLK 触发的触发器 1104 存储。注意,在 D1 的上升沿之后,触发器 1102 的输出存储了 D1 的逻辑值,并且触发器 1104 的输出存储了 D0 的逻辑值。类似地,由 ECLK 触发的触发器 1106 捕获 E0 的逻辑值。此逻辑值继而也被由 DCLK 触发的触发器 1108 存储。结果,触发器 1108 的输出是在 D1 的时刻存储的 E0 的逻辑值。

[0080] 异或门 1110 产生 $\text{E0} \oplus \text{D0}$ 的值,并且异或门 1112 产生 $\text{E0} \oplus \text{D1}$ 的值。与门 826 产生表达式 $[(\text{E0} \oplus \text{D0}) \wedge (\text{E0} \oplus \text{D1})]$ 的值,该值指示 E0 处是否出现了沿毛刺。注意,CDR 电路还可以使用异或门 1110 和 1112 的输出来确定时钟信号的相位信息。例如,如果异或门 1110 输出“0”并且异或门 1112 输出“1”,这意味着 E0 与 D0 相等而与 D1 相反,期望时钟信号关于数据信号为早。另一方面,如果异或门 1110 输出“1”并且异或门 1112 输出“0”,期望时钟信号为晚。在一个实施方式中,异或门 1110 和 1112 的输出由 CDR 电路提供,这可以避免对触发器 1102、1104、1106 和 1108 的需要。

[0081] 注意,与门 1114 的输出指示 E0 处是否出现了沿毛刺,并且其输出被重定时到 DCLK 并且与 D1 的上升沿一致。

[0082] 在又一些实施方式中,可以将与门 1114 的输出耦合至追踪沿毛刺总数的计数器。此计数器可以由与门 1114 的输出中的上升沿来触发。接收机系统继而可以基于检测到的沿毛刺总数来确定是否来发布 LOS 提示。在某些实施方式中,接收机可以基于沿毛刺相对于接收比特总数的百分比,基于特定时间段中检测到的沿毛刺总数,或者基于沿毛刺相对于可以潜在是沿毛刺的跃迁沿采样(即,两个“相似”数据采样之间的跃迁沿采样)的总数的百分比来设置阈值。注意,LOS 检测机制可以配置为断续运行,从而对带宽和功耗功率降低进行权衡。也可以使用其他 LOS 提示生成方案。

[0083] 可靠的操作

[0084] 在上述示例性电路中,假设:沿采样器的电压阈值保持在来自数据跃迁沿交叉点的热噪声的范围内。图 12 示出了基本上保持在跃迁沿交叉点处的沿采样器阈值。如图 12 所示,眼状图 1206 指示了跃迁沿交叉点 1201。沿采样器阈值电压 1202 基本上保持在跃迁

沿交叉点 1201 处。此配置确保了在没有传入数据信号的情况下（其中接收机采样器正在有效地对热噪声进行采样），采样器将产生接近随机的数据分布，其中“0”和“1”的出现是相当的。

[0085] 然而，例如由于设备特性和 / 或环境参数的变化，实际的采样器阈值电压可能会偏离跃迁沿交叉点。如图 12 所示，实际的采样器阈值可能具有采样器偏移 1204。在某些实施方式中，只要采样器偏移相对于不受控制的热噪声的范围足够小，系统便可以在一定程度上容忍这种采样器偏移。

[0086] 在发射机从接收机解耦合的情况下，或当信号显著降级时，接收的信号将具有大量热噪声。为了基于沿的 LOS 检测能恰当地运行，期望沿和数据采样器的阈值在热噪声范围内，以便沿和数据采样器二者仍可以在跃迁处沿观测到相对随机、不相关的“0”和“1”分布。

[0087] 图 13 示出了关于热噪声的数据 / 沿采样器阈值设置。理想情况下，将数据 / 沿采样器阈值电压 1302 基本上保持在热噪声电压范围的中点。实际上，只要采样器阈值在热噪声范围内，LOS 检测仍可以恰当地运行。

[0088] 基于沿的电压测量和数据率协商

[0089] 除了 LOS 检测，前面提到的沿毛刺检测还可以用于其他目的，诸如信号电压摆幅测量和数据率协商。

[0090] 由于沿采样器的操作不影响数据采样器，因此可以操纵沿采样器阈值，并且使用沿毛刺检测来测量信号电压摆幅。

[0091] 例如，系统可以包括沿采样器阈值伺服 (servo) 电路，其在高电压电平和低电压电平之间扫动沿采样器阈值。系统观测在扫动过程中的哪个点开始出现毛刺。在操作期间，当两个连续数据比特为相同的逻辑值时（例如“1”），则两个数据比特具有相同的高电压电平（例如，3 伏特）。当沿采样器阈值设置在跃迁沿交叉点处（例如，1.5 伏特）时，沿采样器在两个数据比特之间的跃迁沿检测到逻辑“1”。然而，如果系统将沿采样器阈值调节至 3.1 伏特，则沿采样器将检测到沿毛刺，因为跃迁沿处的逻辑值将是“0”，尽管它被两个“1”数据比特包围。因此，通过扫动沿采样器阈值并且观测沿毛刺何时出现，系统可以确定当前传入数据信号的高电压电平和低电压电平。备选地，高 / 低电压电平可以定义在如下点：在该点处，沿毛刺达到可能潜在是沿毛刺的所有已捕获沿样本（例如，两个“相似”数据采样之间的跃迁沿样本）的某个比例（例如，50%）。

[0092] 在一个实施方式中，当沿毛刺出现在具有逻辑值“0”的两个连续数据比特之间时，系统确定传入数据信号的低电压电平。类似地，当沿毛刺出现在具有逻辑值“1”的两个连续数据比特之间时，系统确定传入数据信号的高电压电平。

[0093] 图 14 呈现了用于扫动沿采样器阈值电压的示例性电压 - 时间图。在一个实施方式中，系统周期性地调节沿采样器阈值 1402。在检测到沿毛刺时，此刻的阈值电压值被认为基本上等于传入数据信号的高或低电压电平。备选地，高 / 低电压电平可以被定义在如下点处：在该点处，沿毛刺占可能潜在是沿毛刺的所有已捕获跃迁沿样本（例如，两个“相似”数据采样之间的跃迁沿样本）的某个比例（例如，50%）。注意，此方法还可以用于生成提示信号（诸如，LOS 信号），以便提示信号降级。在其他实施方式中，接收机采样器阈值可以通过二分查找（而不是线性）方式来伺服。

[0094] 对于前面提到的实施方式,在理想情况下,采样器偏移阈值控制器具有比传入数据信号期望的摆动摆得大的电压。然而,在许多情况下,诸如在信令标准兼容的情况下,其足以确保传入信号的电压摆幅大于某个水平。为了支持此功能,将采样器阈值设置成校准的电压偏移(而不是采样器阈值抖动)并且使用此采样器阈值来监视沿毛刺便足够。在一个实施方式中,采样器阈值被设置成最小高电压电平来检验沿毛刺,此后采样器阈值被设置成最大低电压电平来检验沿毛刺。如果没有检测到沿毛刺(或者,足够小比例的沿毛刺),则可以将传入数据信号确定为符合的。

[0095] 注意,在先前关于基于沿的电压测量的实施方式中,理想情况下,用于接收机中相位控制模块的 CDR 电路(诸如,图 1 示例中的相位控制模块 106)被临时挂起,以防止无效的早/晚统计的集成。

[0096] 所描述的基于沿的 LOS 检测方案不仅由实际信号损失来触发,还由无用的信号来触发。例如,接收的数据信号可能具有正常信号摆幅,但从接收机的角度可能处于无效的数据率。例如,如果传入数据率为 2Gbps 而接收机以 1Gbps 进行操作,使用常规 LOS 检测机制的接收机将无法对传入信号与具有有效数据率的可用信号进行区分。另一方面,基于沿的 LOS 检测可以通过确立 LOS 来顺利地检测这种无用数据率。这是因为,处于无效数据率的传入数据看似随机,并且将出现大量沿毛刺。

[0097] 在一个实施方式中,接收机使用基于沿的 LOS 检测来执行数据率协商。图 15 给出了示出使用基于沿的 LOS 检测来进行数据率协商的示例性过程的流程图。

[0098] 在操作期间,接收机以最低可用数据率来接收数据(操作 1502)。接收机继而基于沿毛刺检测来确定 LOS 状态(操作 1504)。如果基于沿的 LOS 检测机制产生 LOS 信号,这表示接收机无法锁定于传入数据信号或者接收机欠采样(即,将数据比特转变成沿毛刺)。接收机继而将其数据采样率提高到下一最低可用数据率(操作 1506)。如果接收机没有产生 LOS 信号,则接收机确定当前数据率为正确的(操作 1508),并且继续常规操作。否则,接收机继续提高其数据采样速率,直到 LOS 信号消失(操作 1506)。

[0099] 注意,如果对传入数据流欠采样,则基于沿的 LOS 检测机制将生成 LOS 信号;并且如果传入数据流以恰当数据率的非整数倍被过采样,也将会生成 LOS 信号。然而,LOS 检测机制可能无法确定传入数据流以恰当数据率的整数倍被过采样。因此,理想情况下,数据率协商过程开始于接收机可用的最低数据率。注意,在接收机检测沿毛刺时,其可以信号通知发射机改变发射机的数据率,或者改变接收机的数据率以试图匹配发射机的数据率。

[0100] 上述基于沿的 LOS 检测机制的组件可以包括一起操作的计算组件和设备的任何集合。基于沿的 LOS 检测机制的组件也可以是较大计算机系统或网络中的组件或子系统。基于沿的 LOS 检测组件也可以与任意数目的组件(未示出)耦合,例如总线、控制器、存储器控制器和数据输入/输出(I/O)设备及其任意数目的组合。许多这些系统组件可以位于普通印刷电路板上或集成电路,或者可以集成至系统,该系统包括例如使用诸如个人计算机母板和双列直插式模块(“DIMM”)所采用的连接器和套接字接口,在系统中耦合在一起的若干印刷的电路板或 IC。在其他示例中,可以使用系统级封装(“SIP”)类型的方法将完全的系统集成至单个封装外壳。可以将集成电路设备堆叠到一起,并且利用焊线连接来实现设备之间的通信或者可以集成到封装外壳中的单个平面基底。

[0101] 此外,可以将基于沿的 LOS 检测机制的功能在任何数量/组合的其他基于处理器

的组件之间进行分布。例如,上述基于沿的 LOS 检测机制包括各种 DRAM 系统、串行链路和并行链路。如示例,DRAM 存储器系统可以包括像 DDR SDRAM 的 DDR 系统,以及 DDR2SDRAM、DDR3SDRAM 和其他 DDR SDRAM 变化,诸如图像化 DDR (“GDDR”) 和下一代的这些存储器技术,包括 GDDR2 和 GDDR3,但不限于这些存储器系统。

[0102] 这里描述的基于沿的 LOS 检测机制的多个方面可以作为功能性实现编程到任何各种电路中,包括可编程逻辑设备 (PLD) 诸如现场可编程门阵列 (FPGA)、可编程阵列逻辑 (PAL) 设备、电子可编程逻辑和存储器设备、标准基于元件的设备以及专用集成电路 (ASIC)。用于实现基于沿的 LOS 检测机制的多个方面的某些其他可能性包括:具有存储器的微控制器(诸如,电子可擦写可编程只读存储器 (EEPROM)、嵌入的微处理器、固件、软件等)。此外,可以将基于沿的 LOS 检测机制的多个方面嵌入至具有基于软件的电路仿真、离散逻辑(连续和组合)、自定义设备、模糊(神经)逻辑、量子设备和混合任何上文设备类型。可以通过各种组件类型来基础设备技术,例如像互补金属氧化物半导体 (CMOS) 的金属氧化物半导体场效应晶体管 (MOSFET) 技术、像发射极耦合逻辑 (ECL) 的双极性技术、聚合物技术(即,硅共轭聚合物和金属共轭聚合物金属结构)、混合的模拟和数字等。

[0103] 给出对在此描述的实施方式的前文描述仅仅出于说明性和描述性目的。他们并不旨在穷尽或将实施方式限制成所公开的形式。相应地,许多修改和变化对于本领域技术人员而言将是易见的。

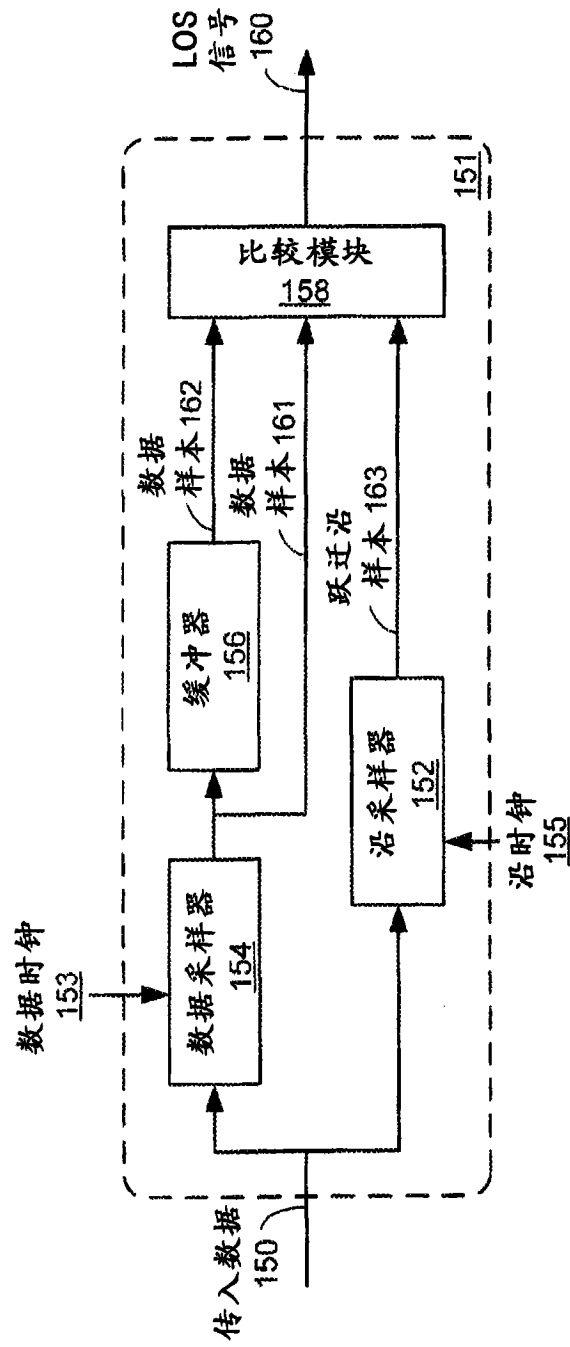


图 1A

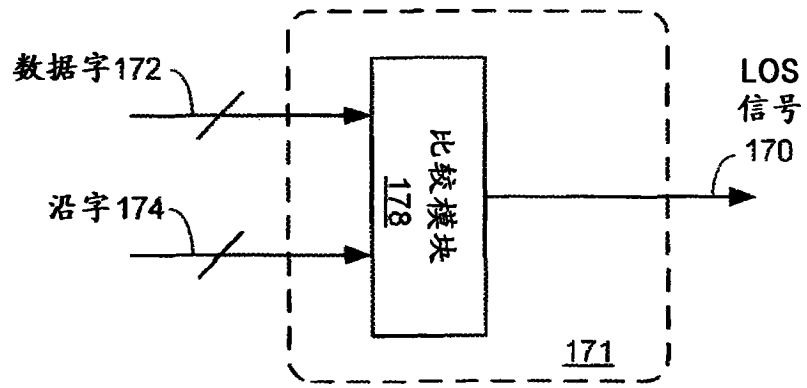


图 1B

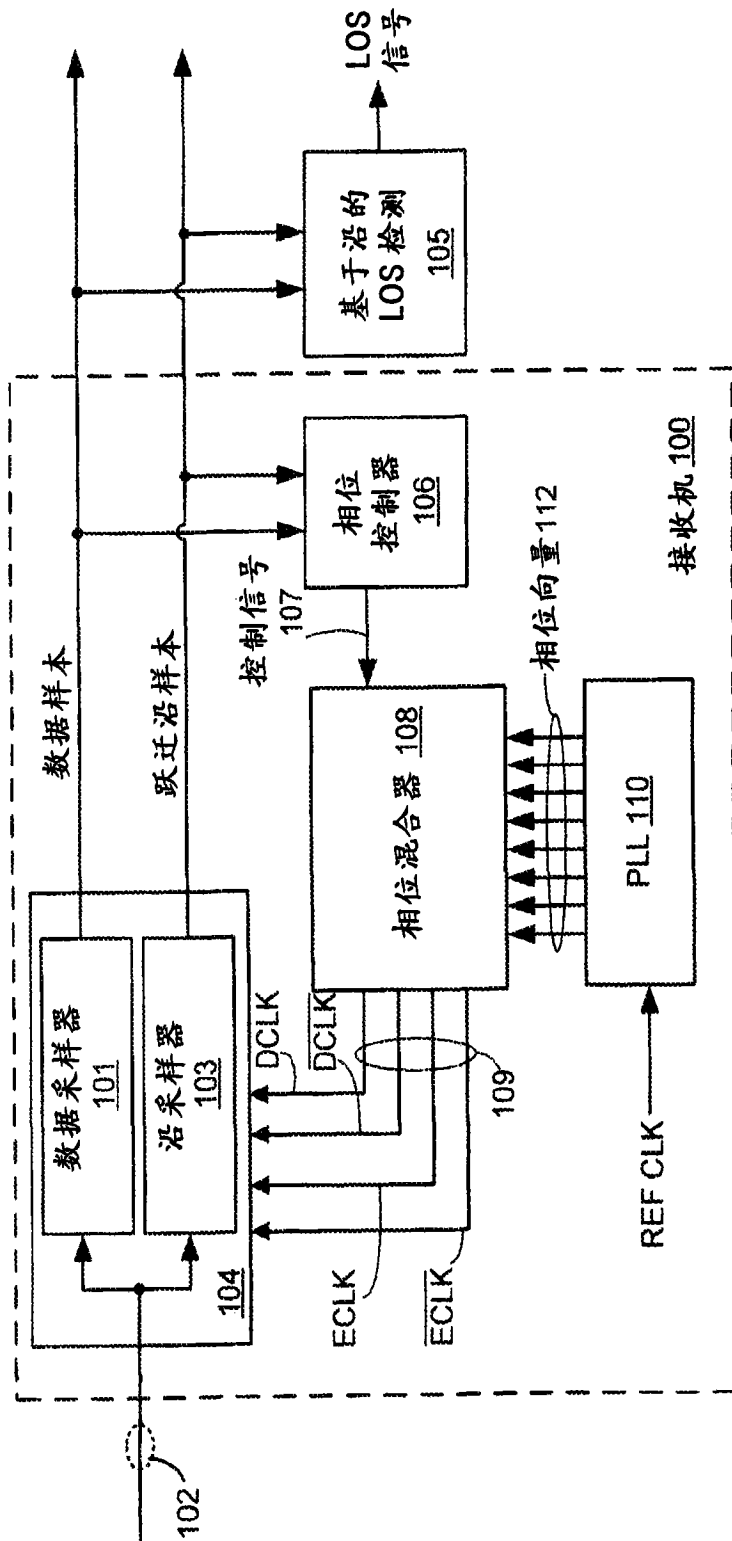


图 1C

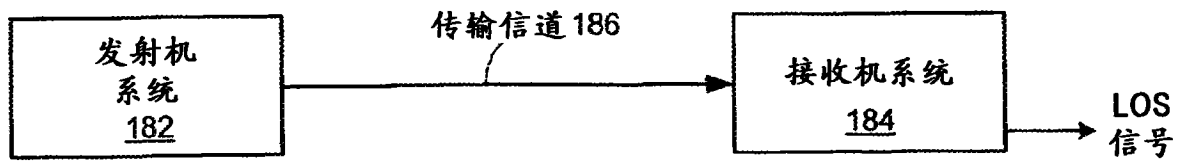


图 1D

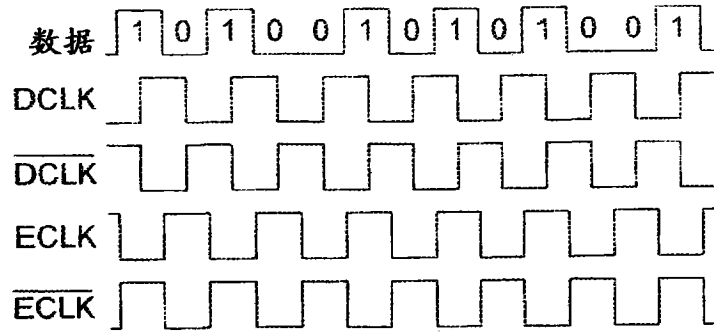


图 2

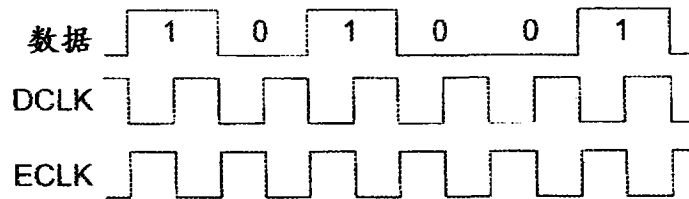


图 3

702	D0	E0	D1	LOS
	1	0	1	1
	0	1	0	1
	1	1	1	0
	0	0	0	0
	1	X	0	0
0	X	1	0	

704	D1	E1	D2	LOS
	1	0	1	1
	0	1	0	1
	1	1	1	0
	0	0	0	0
	1	X	0	0
0	X	1	0	

图 7

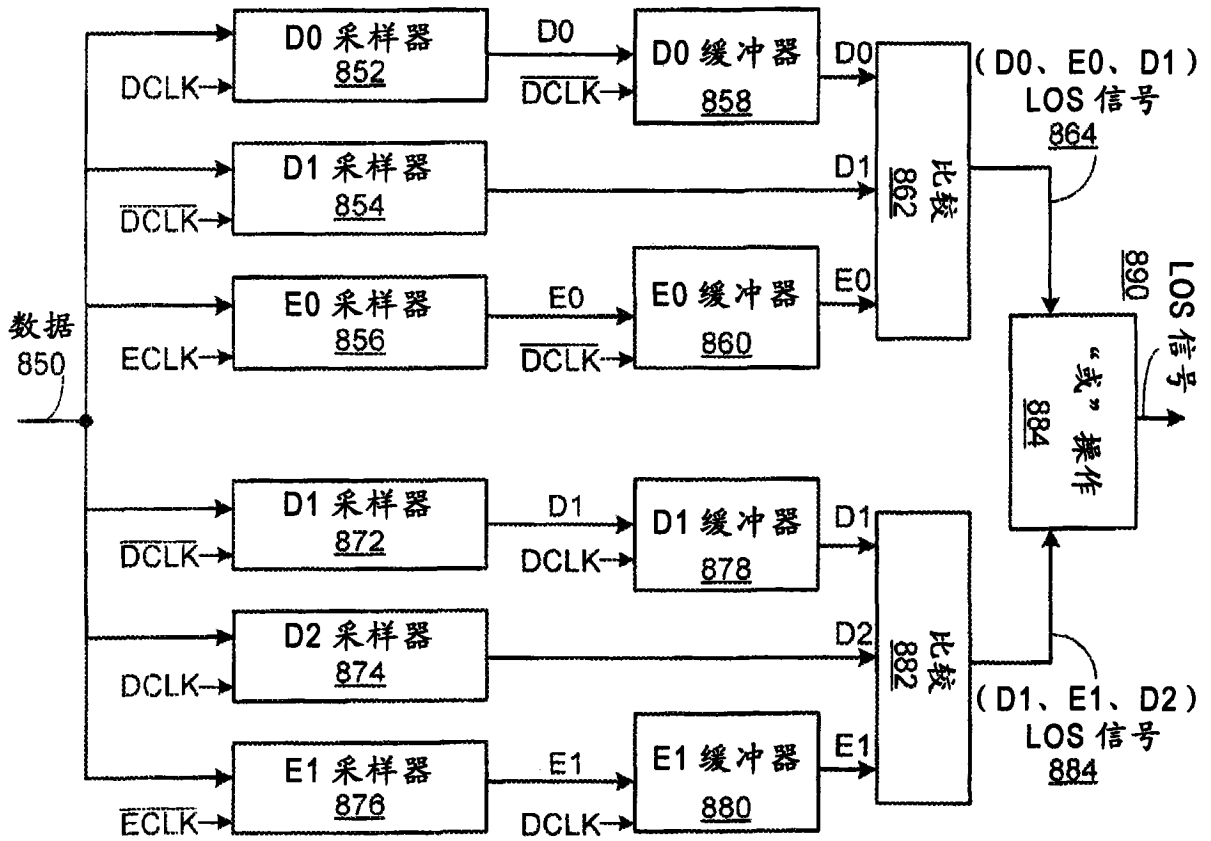
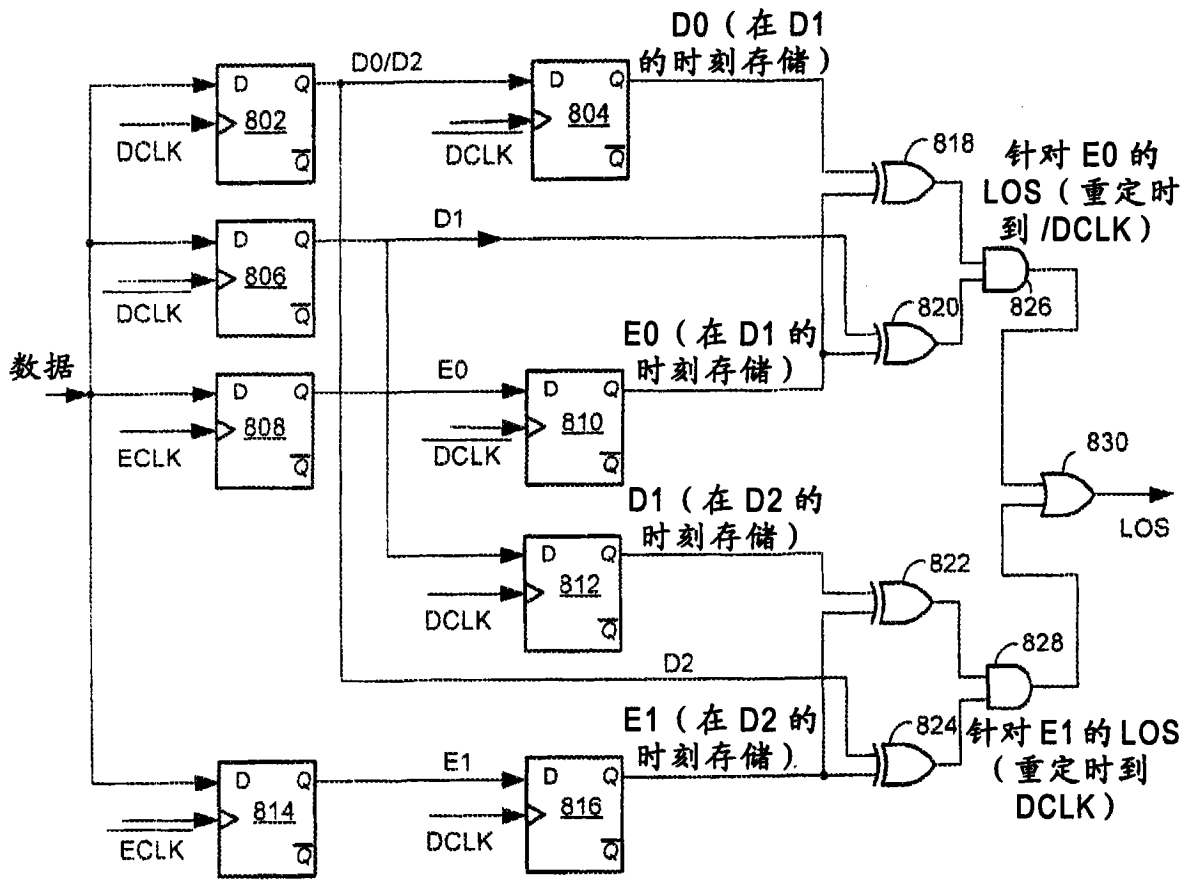


图 8A



$$LOS = [(E0 \oplus D0) \wedge (E0 \oplus D1)] \vee [(E1 \oplus D1) \wedge (E1 \oplus D2)]$$

图 8B

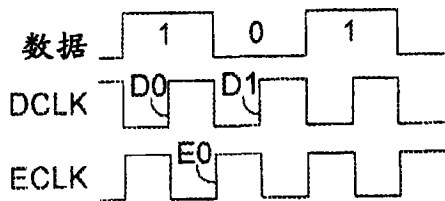


图 9

1002

D0	E0	D1	LOS
1	0	1	1
0	1	0	1
1	1	1	0
0	0	0	0
1	X	0	0
0	X	1	0

图 10

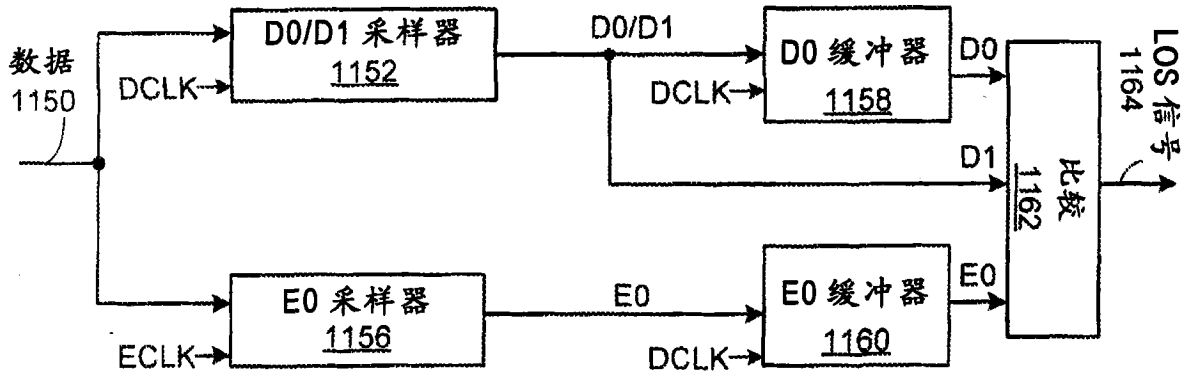


图 11A

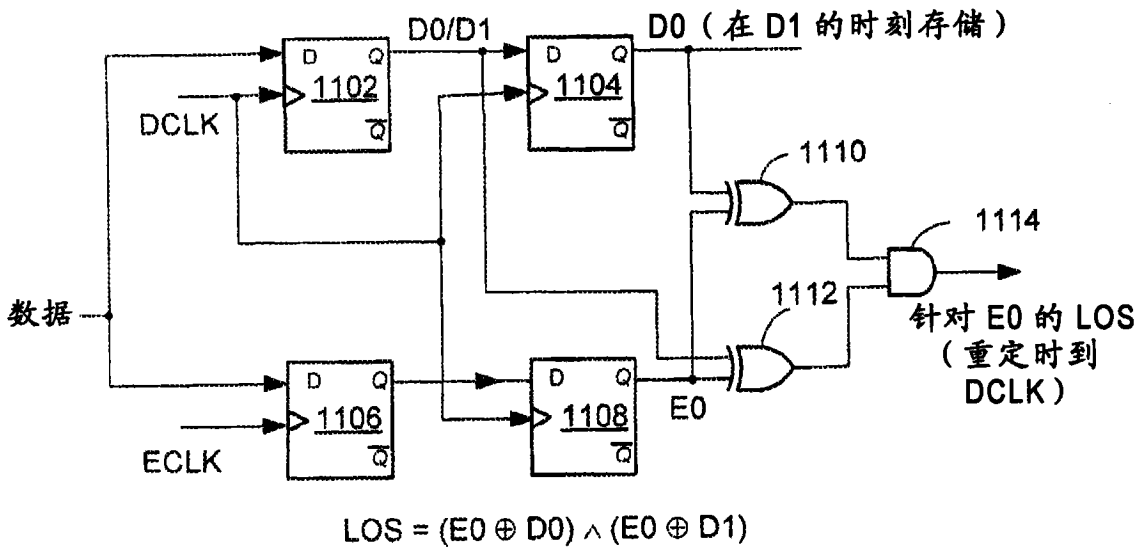


图 11B

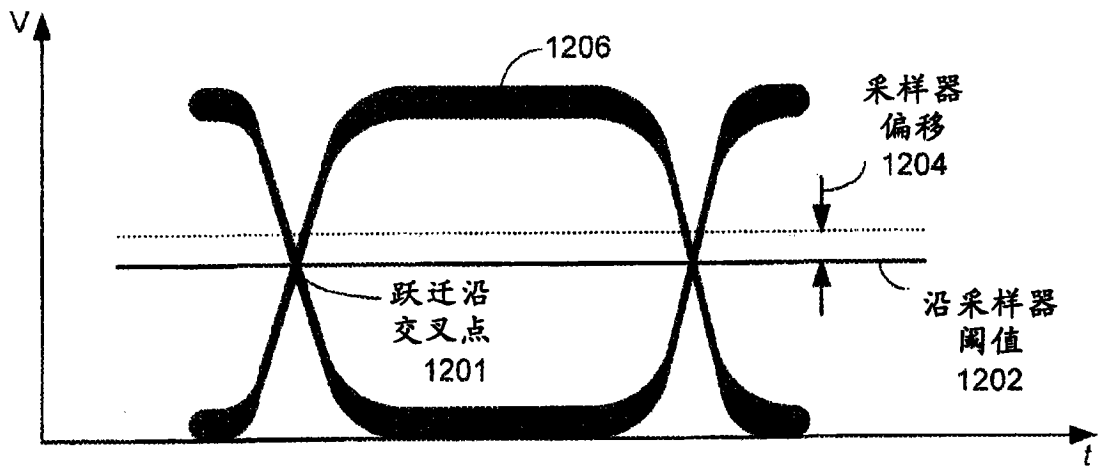


图 12

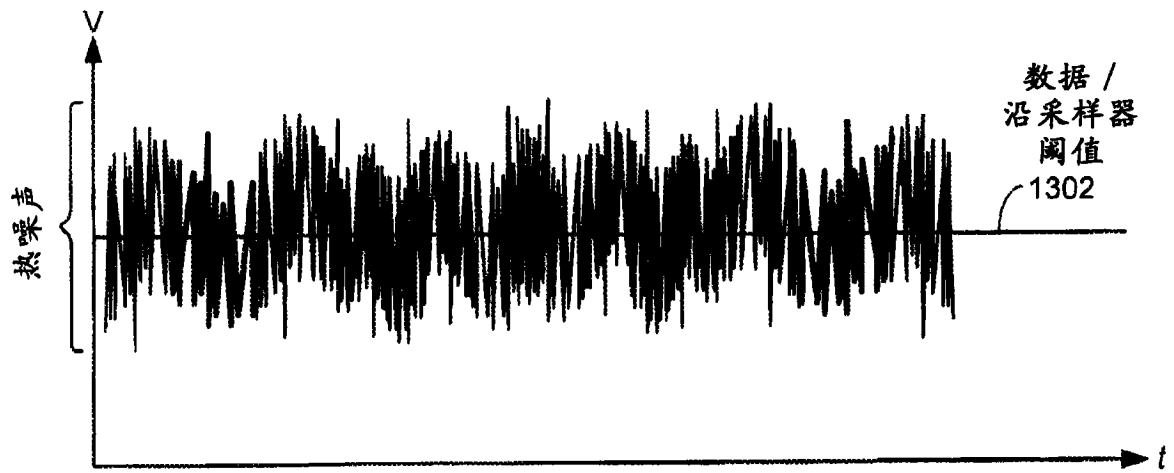


图 13

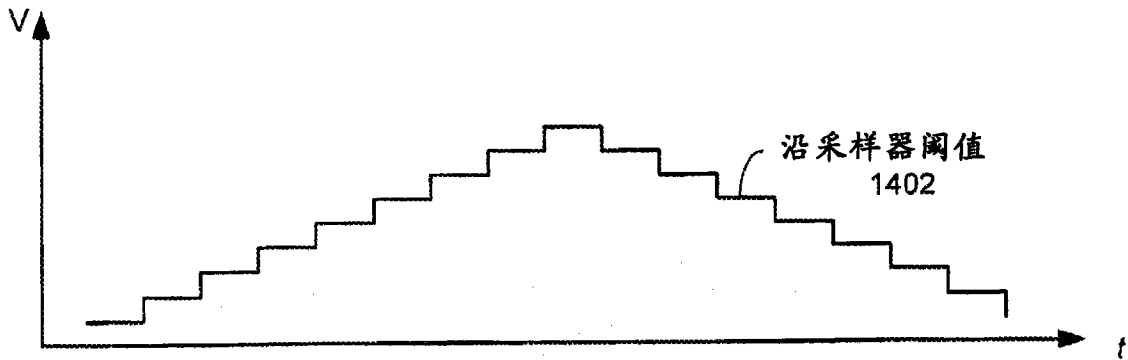


图 14

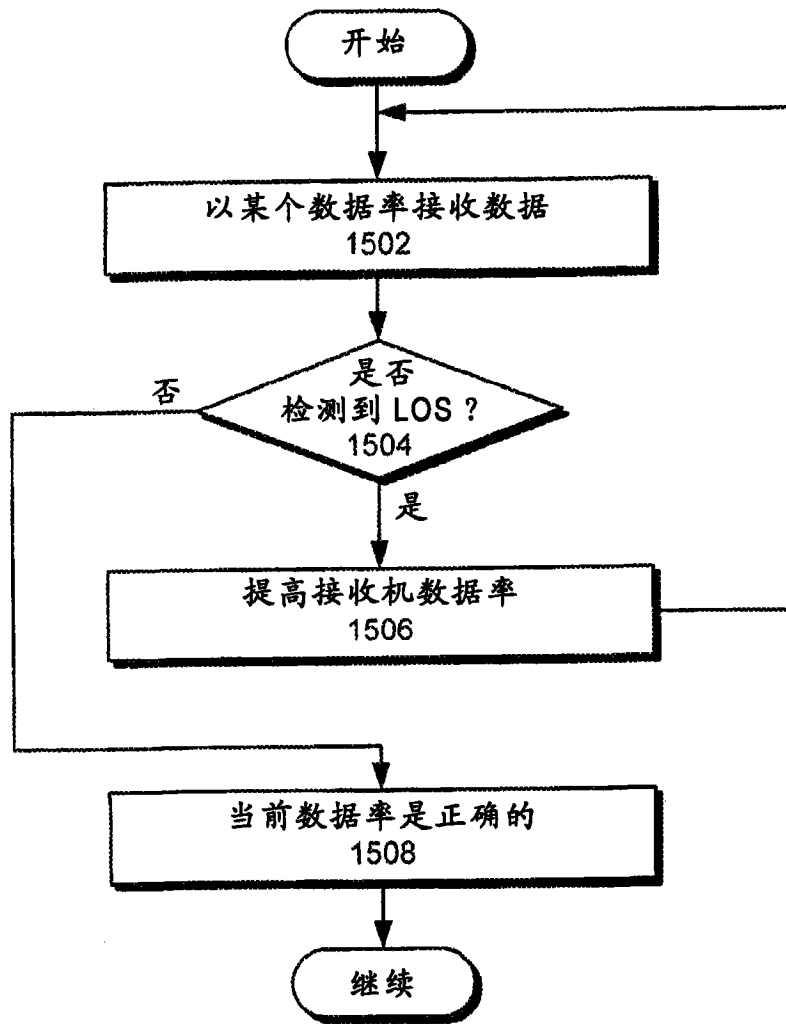


图 15