(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월20일
(11) 등록번호 10-1235106
(24) 등록일자 2013년02월14일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
(21) 출원번호 10-2006-0060866
(22) 출원일자 2006년06월30일
심사청구일자 2011년06월30일
(65) 공개번호 10-2008-0002197
(43) 공개일자 2008년01월04일
(56) 선행기술조사문헌
JP2001326360 A
JP2002303877 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김동영
경상북도 의성군 봉양면 풍리1길 21
정지현
울산광역시 동구 서부동 257-4번지 서부아파트 121동203호
(74) 대리인
특허법인네이트

전체 청구항 수 : 총 9 항 심사관 : 신창우

(54) 발명의 명칭 **액정표시장치용 어레이 기판과 그 제조방법**

(57) 요 약

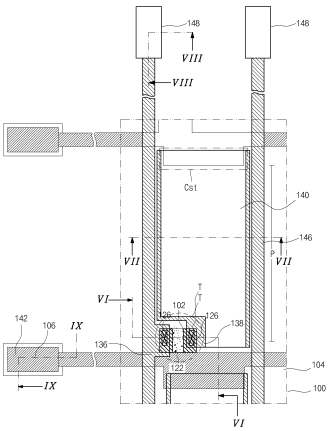
본 발명은 액정표시장치에 관한 것으로 특히, 개구율이 개선된 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

본 발명은 새로운 4마스크 공정으로 액정표시장치용 어레이기판을 제작함에 있어, 게이트 전극 상부에 액티브층을 섬형상으로 구성하고, 투명한 화소 전극의 끝단에 불투명한 금속패턴을 소폭으로 구성하는 것을 특징으로 한다.

이와 같은 구성을 통해, 상기 액티브층이 배선의 하부에 존재하여 외부로 연장된 형태가 아님으로 개구영역을 개선할 수 있는 동시에, 상기 화소 전극의 주변에 불투명한 금속패턴을 더욱 구성함으로써, 얼라인 마진(align margin)을 최소로 할 수 있으므로 개구영역을 더욱 확대할 수 있는 장점이 있다.

또한, 액티브층(비정질 실리콘층)이 배선의 외부로 연장된 형상이 아니기 때문에, 상기 액티브층이 빛에 노출되었을 때 발생하였던 액정패널의 떨림 현상인 웨이비 노이즈(wavy noise)를 방지할 수 있다.

대 표 도 - 도7



특허청구의 범위

청구항 1

화소 영역과 상기 화소 영역 내의 스위칭 영역이 정의된 기판과;

상기 스위칭 영역에 위치하고, 게이트 전극과 상기 게이트 전극을 덮는 절연막과 상기 절연막 상에서 상기 게이트 전극과 중첩하는 액티브층과 상기 액티브층 상에서 이격된 오믹 콘택층과, 상기 오믹 콘택층 상에서 이격된 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하며 투명 금속층과 불투명한 금속층이 적층된 구조를 갖는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와;

일 끝단에 투명 금속층의 데이터 패드를 포함하고 투명 금속층과 불투명한 금속층이 적층되어 구성되며 상기 소스 전극에 연결된 데이터 배선과;

상기 게이트 전극에 연결되고 상기 데이터 배선과 교차하여 상기 화소영역을 정의하며 일끝단에 게이트 패드를 포함하는 게이트 배선과;

상기 게이트 패드와 접촉하며 투명 금속층으로 이루어지는 게이트 패드 전극과;

상기 화소 영역에 위치하고, 상기 드레인 전극과 접촉하고 가장자리에 불투명한 금속패턴이 형성된 투명한 화소전극

을 포함하는 액정표시장치용 어레이기판.

청구항 2

제 1 항에 있어서,

상기 소스 전극과 드레인 전극은 투명한 금속층과 불투명한 금속층이 적층되어 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 3

제 1 항에 있어서,

상기 액티브층은 상기 게이트 전극의 상부에 섬형상으로 구성된 것을 특징으로 하는 액정표시장치용 어레이기판.

청구항 4

기판에 화소 영역과 상기 화소 영역 내의 스위칭 영역을 정의하는 단계와;

일 끝단에 게이트 패드를 포함하는 게이트 배선과, 상기 게이트 배선으로부터 상기 스위칭 영역으로 분기되는 게이트 전극을 형성하는 단계와;

상기 게이트 전극과 상기 게이트 배선을 덮는 제 1 절연막과, 상기 제 1 절연막 상에 적층되며 상기 스위칭 영역에 위치하여 상기 게이트 전극과 중첩하는 액티브층과 상기 액티브층 상에 이격하여 위치하는 오믹 콘택층과 상기 오믹 콘택층 상에 이격하여 위치하는 버퍼금속을 적층하여 형성하고, 상기 제 1 절연막을 패터닝하여 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와;

상기 버퍼 금속과 오믹 콘택층이 이격되도록 식각하고, 상기 이격된 버퍼금속과 각각 접촉하며 투명 금속층과 불투명 금속층이 적층된 소스 전극과 드레인 전극과, 상기 화소 영역에 위치하고 투명 금속층과 불투명 금속층이 적층된 화소 전극과, 상기 게이트 배선과 교차하여 상기 화소 영역을 정의하고 투명 금속층과 불투명 금속층이 적층되어 구성되고 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하며 투명 금속층과 불투명 금속층이 적층된 게이트 패드 전극을 형성하는 제 3 마스크 공정 단계와;

상기 화소 전극과 게이트 패드 전극과 데이터 패드를 구성하는 상부 불투명한 금속층을 제거하여, 가장자리에 불투명한 금속패턴이 형성된 투명한 화소전극을 형성하고 상기 게이트 패드 전극과 상기 데이트 패드는 하부의

상기 투명한 금속층만을 남기는 제 4 마스크 공정 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 5

제 4 항에 있어서,

제 2 마스크 공정 단계는,

상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기판의 전면에 제 1 절연막과, 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와;

상기 감광층의 이격된 상부에 투과부와 차단부와 반과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역을 제외한 영역은 낮은 높이로 패턴된 감광패턴을 형성하는 단계와;

상기 노출된 도전성 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단계와;

상기 스위칭 영역을 제외한 그 외의 낮은 높이로 형성된 감광패턴을 제거하여, 하부의 도전성 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층과 오믹 콘택층과 버퍼금속을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제 5 항에 있어서,

상기 마스크는, 상기 스위칭 영역에 대응하는 차단부와 상기 게이트 패드에 대응하는 투과부 및 상기 차단부와 상기 투과부 사이의 반투과부를 포함하는 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 7

제 5 항에 있어서,

상기 도전성 금속층은 몰리브덴(Mo)인 것을 특징으로 하는 액정표시장치용 어레이기판 제조방법.

청구항 8

제 4 항에 있어서,

상기 제 3 마스크 공정 단계는

상기 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에 투명금속층과 불투명한 금속층을 형성하는 단계와;

상기 불투명한 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차단부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층의 노광하는 단계와;

상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 위치한 제 2 감광패턴과 상기 게이트 패드의 상부에 패턴된 제 3 감광패턴과, 상기 데이터 배선 및 상기 데이터 패드에 대응하여 위치하는 제 4 감광패턴을 형성하는 단계와;

상기 제 1 내지 제 4 감광패턴 사이로 노출된 하부의 불투명한 금속층과 투명한 금속층을 식각하여, 상기 스위칭 영역에 이격된 소스전극과 드레인 전극과, 상기 화소 영역에 화소 전극과, 상기 게이트 패드와 접촉하는 게

이트 패드 전극과, 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와;

상기 소스 전극과 드레인 전극의 이격된 사이로 노출된 버퍼금속과 하부의 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 9

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

제 8 항에 있어서,

상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

청구항 10

삭제

청구항 11

제 4 항에 있어서,

상기 제 4 마스크 공정 단계는

상기 소스 및 드레인 전극과 화소 전극과 게이트 패드 전극과 데이터 배선및 데이터 패드가 형성된 기판의 전면에 제 2 절연막을 형성하는 단계와;

상기 제 2 절연막의 상부에 감광층을 형성하고 제 4 마스크를 이용하여 노광한 후 현상하여, 상기 게이트 패드와 데이터 패드와 상기 화소 전극에 대응하는 제 2 절연막을 노출하는 단계와;

상기 제 2 절연막과 상기 게이트 패드와 상기 데이터 패드와 상기 화소 전극을 구성하는 불투명한 금속층을 제거하여, 외측(끝단)에 금속패턴이 형성된 투명한 화소전극과, 상기 게이트 패드 전극과 데이트 패드는 하부의 투명한 금속층만을 남기는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

청구항 12

제 11 항에 있어서,

상기 제 2 절연막은 건식식각을 이용하고, 상기 불투명한 금속층은 습식식각을 이용하여 제거하는 것을 특징으로 하는 액정표시장치용 어레이 기판 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0016] 본 발명은 액정표시장치(LCD)에 관한 것으로 특히, 웨이비 노이즈(wavy noise)가 발생하지 않아 고휘도를 구현할 수 있는 동시에 개구영역이 대폭 확대된 액정표시장치용 어레이기판과 그 제조방법에 관한 것이다.

[0017] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다.

[0018] 상기 액정은 가늘고 긴 형상을 가지며, 분자의 배열에 방향성을 가지고 있는 동시에, 인위적으로 액정에 전기장을 인가하면 상기 분자배열의 방향을 제어할 수 있다.

[0019] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상을 표현하게 된다.

[0020] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판(상부기판)과 화소전극이 형성된 어레이기판(하부기판), 상부 및 하부기판 사이에 충진된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상-하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.

[0021] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0022] 이하, 도 1을 참조하여 전술한 액정표시장치의 구성을 설명한다.

[0023] 도 1은 액정표시장치를 확대하여 개략적으로 도시한 사시도이다.

[0024] 도시한 바와 같이, 액정패널(51)은 액정층(미도시)을 사이에 두고 서로 이격하여 구성된 제 1 기판(5)과 제 2 기판(10)으로 구성되며, 상기 제 2 기판(10)과 마주보는 제 1 기판(5)의 일면에는 블랙매트릭스(6)와 컬러필터(적, 녹, 청)(7a,7b,7c)와, 컬러필터 상에 투명한 공통전극(9)이 구성된다.

[0025] 상기 제 1 기판(5)과 마주보는 제 2 기판(10)에는 다수의 화소영역(P)이 정의되며, 상기 화소영역(P)의 일 측을 지나 연장 형성된 게이트 배선(14)과, 게이트 배선(14)이 지나는 화소영역(P)의 일 측과 평행하지 않은 타 측을 지나 연장 형성된 데이터 배선(26)이 구성된다.

[0026] 이러한 구성으로 인해, 상기 화소영역(P)은 상기 게이트배선(14)과 데이터배선(26)이 교차하여 정의되는 영역이 되며, 두 배선의 교차지점에는 박막트랜지스터(T)가 구성된다.

[0027] 상기 화소영역(P)에는 상기 박막트랜지스터(T)와 접촉하는 투명한 화소전극(32)이 구성되고, 이는 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명 도전성 금속으로 형성한다.

[0028] 전술한 바와 같이 구성된 액정표시장치용 어레이기판은, 대략 5~6 마스크 공정을 거쳐 제작되며 이를 간략히 소개하면 아래와 같다.

[0029] 아래 공정은 5 마스크 공정을 예를 들어 설명한 것이며, 마스크 공정만을 나열한 것이다.

[0030] 제 1 마스크 공정 : 게이트 전극과 게이트 배선(및 게이트 패드) 형성공정.

[0031] 제 2 마스크 공정 : 게이트 전극 상부의 액티브층 및 오믹 콘택층 형성공정.

[0032] 제 3 마스크 공정 : 데이터 배선(및 데이터 패드)과 소스 전극과 드레인 전극 형성공정.

[0033] 제 4 마스크 공정 : 기판의 전면에 보호막을 형성하고, 상기 드레인 전극을 노출하는 콘택홀을 형성하는 공정.

[0034] 제 5 마스크 공정 : 상기 콘택홀을 통해 접촉하는 화소 전극을 형성하는 공정.

[0035] 이상과 같은 5 마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.

[0036] 이와 같이 다수의 공정을 통해 어레이 기판이 제작되기 때문에, 공정이 많을수록 불량이 발생할 확률이 커지게 되어 생산수율이 저하되는 문제가 있고, 공정시간 증가와 공정비용 상승으로 제품의 경쟁력이 약화되는 문제가 있다.

[0037] 이러한 문제를 해결하기 위한 방법으로 4 마스크 공정이 제안되었다.

[0038] 도 2는 종래의 4 마스크 공정으로 제작한 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.

[0039] 도시한 바와 같이, 어레이 기판은 절연 기판(60)상에 일 방향으로 연장된 게이트 배선(62)과, 이와는 교차하여 화소 영역(P)을 정의하는 데이터 배선(98)을 포함한다.

[0040] 상기 게이트 배선(62)의 일 끝단에 게이트 패드(64)가 구성되고, 상기 데이터 배선(98)의 일 끝단에는 데이터 패드(99)가 구성된다.

[0041] 상기 게이트 패드(64)와 데이터 패드(99)의 상부에는 각각 이들과 접촉하는 투명한 게이트 패드 전극(GP)과, 데이터 패드 전극(DP)이 구성된다.

[0042] 상기 게이트 배선(62)과 데이터 배선(98)의 교차지점에는 상기 게이트 배선(62)과 접촉하는 게이트 전극(64)과,

게이트 전극(64)의 상부에 위치한 제 1 반도체층(90a)과, 제 1 반도체층(90a)의 상부에 이격되어 위치하고 상기 데이터 배선(82)과 연결된 소스 전극(94)과, 이와는 이격된 드레인 전극(96)을 포함하는 박막트랜지스터(T)가 구성된다.

[0043] 상기 화소 영역(P)에는 상기 드레인 전극(96)과 접촉하는 투명한 화소 전극(PXL)이 구성된다.

[0044] 이때, 상기 게이트 배선(62)의 일부 상부에 상기 화소 전극(PXL)과 접촉하게 되는 섬형상의 금속층(86)을 형성함으로써, 상기 게이트 배선(62)의 일부를 제 1 전극으로 하고 상기 섬형상의 금속층(86)을 제 2 전극으로 하고, 상기 두 전극 사이에 위치한 게이트 절연막(미도시)을 유전체로 한 스토리지 캐패시터(Cst)가 형성된다.

[0045] 상기 데이터 배선(98)의 하부에는 상기 제 1 반도체층(90a)에서 연장된 제 2 반도체층(90b)이 구성되고, 상기 섬형상의 금속층(86)하부에는 제 3 반도체층(90c)이 형성된다.

[0046] 이때, 종래에 따른 범용적인 4 마스크 공정으로 제작된 어레이기판은, 상기소스 및 드레인 전극(94,96)및 데이터 배선(98)의 주변으로 하부의 액티브층(비정질 실리콘층, 92a,70)이 연장된 형태로 구성된다.

[0047] 상기 순수 비정질 실리콘층(70)은 빛에 노출되어 광전류가 발생하게 되며, 이와 같이 발생한 광 누설전류(photo- leakage current)로 인해 인접한 화소전극(PXL)과 커플링(coupling)현상이 발생하여, 액정패널의 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있다.

[0048] 또한, 상기 연장된 액티브층은 개구영역을 잠식하여 휘도가 저하되는 원인이 되고 있다.

[0049] 이하, 도 3을 참조하여 이에 대해 상세히 설명한다.

[0050] 도 3은 도 2의 Ⅱ-Ⅱ와 Ⅴ-Ⅴ를 따라 절단한 단면도이다.

[0051] 도시한 바와 같이, 종래의 4마스크 공정으로 박막트랜지스터 어레이기판(60)을 제작하게 되면, 소스 및 드레인 전극(94,96)과 데이터 배선(98)의 하부에 제 1 반도체층(90a)과 제 2 반도체층(90b)이 구성된다.

[0052] 상기 제 1 및 제 2 반도체층(90a,90b)은 순수 비정질 실리콘층(a-Si:H layer)과 불순물이 포함된 비정질 실리콘층(n+a-Si:H)으로 적층되어 구성되며 특히, 상기 제 1 반도체층(90a)을 구성하는 순수 비정질 실리콘층은 액티브층(active layer, 92a)이라 하고 상부의 불순물 비정질 실리콘층은 오믹 콘택층(ohmic contact layer, 92b)이라 한다.

[0053] 상기 데이터 배선(98)의 하부에 위치하면서 상기 데이터 배선(98)의 양측으로 돌출된 제 2 반도체층(90b)의 순수 비정질 실리콘층(70)은 하부의 광원(미도시)에 노출되어 광전류가 발생하게 된다.

[0054] 이때, 하부의 광원에 의한 미세한 깜빡임으로 인해, 상기 순수 비정질 실리콘층(70)은 미세하게 반응하여 활성화와 비활성화 상태가 반복되며, 이로 인한 광전류의 변화가 발생하게 된다.

[0055] 이와 같은 전류 성분은 이웃하는 화소 전극(114)을 흐르는 신호와 함께 커플링(coupling)되어 화소전극(114)에 위치한 액정(미도시)의 움직임을 왜곡하게 된다.

[0056] 이로 인해, 액정패널의 화면에는 물결무늬의 가는 선이 나타나는 웨이비 노이즈(wavy noise)가 발생하게 된다.

[0057] 또한, 상기 데이터 배선(98)의 폭은 3.9㎛로 패턴하고, 상기 데이터 배선(98)하부의 순수비정질 실리콘층(70)은 데이터 배선(98)의 양측으로 각각 약 1.85㎛정도 돌출된 상태로 구성된다.

[0058] 일반적으로 상기 데이터 배선(98)과 화소 전극(PXL)은 얼라인 오차를 감안하여 4.5㎛정도의 이격거리(D)를 두고 패턴하는데 이때, 상기 돌출부분을 감안하여 상기 데이터 배선(98)과 화소 전극(PXL)의 이격거리(D)는 6.35㎛가 되고, 이때 얼라인 오차는 약 6㎛정도로 설계하게 된다.

[0059] 따라서, 상기 블랙매트릭스의 폭(W1)은 상기 데이터 배선의 폭(W2)과, 상기 데이터 배선 양측으로 노출된 액티브층의 길이(D1×2)와, 상기 데이터 배선과 화소 전극의 거리(D3×2)와 상기 얼라인 마진(D4)을 더한 값과 같다.

[0060] 따라서, 종래에 따른 블랙매트릭스의 폭(W1)은 약, 28.6㎛가 되며, 결국 상기 액티브층의 연장된 길이(D2)와 얼라인 오차를 감안하여 블랙매트릭스(BM)의 폭은 더욱 넓어지게 되어 그 만큼 개구영역이 잠식되는 문제가 있다.

[0061] 전술한 바와 같은 어레이 기판의 구성은, 종래의 범용적인 4마스크 공정으로 제작된 형태에 의해 필연적으로 발생하게 되는 것이며 이하, 이해를 돕기 위해 종래에 따른 4 마스크 공정을 설명한다.

[0062] 이하, 공정도면을 참조하여 종래에 따른 4 마스크 공정으로 어레이기판을 제작하는 방법을 설명한다.

[0063] 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 Ⅱ-Ⅱ,Ⅲ-Ⅲ,Ⅳ-Ⅳ를 따라 절단하여, 종래의 4마스크 공정순서에 따라 도시한 공정 단면도이다.

[0064] 도 4a와 도 5a와 도 6a는 제 1 마스크 공정을 나타낸 도면이다.

[0065] 도 4a와 도 5a와 도 6a에 도시한 바와 같이, 기판(60)상에 스위칭 영역(S)을 포함하는 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다.

[0066] 이때, 상기 스토리지 영역(C)은 게이트 영역(G)의 일부에 정의된다.

[0067] 상기 다수의 영역(S,P,G,D,C)이 정의된 기판(60)상에 일방향으로 연장되고, 일 끝단에 게이트 패드(66)를 포함하는 게이트 배선(62)과, 상기 게이트 배선(62)과 연결되고 상기 스위칭 영역(S)에 위치하는 게이트 전극(64)을 형성한다.

[0068] 이때, 상기 게이트 패드 및 게이트 배선(66,62)과 게이트 전극(64)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo)등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo))등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.

[0069] 다음으로, 도 4b 내지 도 4e와 도 5b 내지 도 5e와 도 6b 내지 도 6e는 제 2 마스크 공정을 나타낸 도면이다.

[0070] 도 4b와 도 5b와 도 6b에 도시한 바와 같이, 상기 게이트 전극(64)과 게이트 패드(66)를 포함하는 게이트 배선(62)이 형성된 기판(60)의 전면에 게이트 절연막(68)과, 순수 비정질 실리콘층(a-Si:H, 70)과 불순물이 포함된 비정질 실리콘층(n+ 또는 p+ a-Si:H, 72)과 도전성 금속층(74)을 형성한다.

[0071] 상기 게이트 절연막(68)은 질화 실리콘(SiN_x)과 산화 실리콘(SiO_2)등이 포함된 무기절연물질 또는 경우에 따라서는 벤조사이클로부텐(BCB)과 아크릴(Acryl)계 수지(resin)등이 포함된 유기절연물질 중 하나를 증착하여 형성하고, 상기 금속층(74)은 앞서 언급한 도전성 금속그룹 중 선택된 하나 또는 그 이상의 물질을 증착하여 형성한다.

[0072] 다음으로, 상기 도전성 금속층(74)이 형성된 기판(60)의 전면에 포토레지스트(photo resist)를 도포하여 감광층(76)을 형성한다.

[0073] 다음으로, 상기 감광층(76)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.

[0074] 이때, 상기 반투과부(B3)는 마스크(M)에 슬릿(slit)형상 또는 반투명막을 형성하여, 빛의 강도를 낮추거나 빛의 투과량을 낮추어 상기 감광층을 불완전 노광할 수 있도록 하는 기능을 한다.

[0075] 또한, 상기 차단부(B2)는 빛을 완전히 차단하는 기능을 하고, 상기 투과부(B1)는 빛을 투과시켜 빛에 의해 감광층(76)이 완전한 화학적 변화 즉, 완전 노광되도록 하는 기능을 한다.

[0076] 한편, 상기 스위칭 영역(S)에는 반투과부(B3)와, 반투과부(B3)의 양측에 차단부(B2)가 위치하도록 하고, 상기 스토리지 영역(C)에는 차단부(B2)가 위치하도록 하고, 상기 게이트 영역(G)과 교차하는 방향인 상기 데이터 영역(D)에는 차단부(B2)가 위치하도록 한다.

[0077] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여, 하부의 감광층(76)을 노광하고 현상하는 공정을 진행한다.

[0078] 도 4c와 도 5c와 도 6c에 도시한 바와 같이, 상기 스위칭 영역(S)과 데이터 영역(D)과 스토리지 영역(C)의 상부에 패턴된 제 1 내지 제 3 감광층(78a,78b,78c)을 형성한다.

[0079] 다음으로, 상기 제 1 내지 제 3 감광층(78a,78b,78c)의 주변으로 노출된 상기 금속층(74)과 그 하부의 불순물 비정질 실리콘층(72)과, 순수 비정질 실리콘층(70)을 제거하는 공정을 진행한다.

[0080] 이때, 상기 금속층(74)의 종류에 따라 금속층과 그 하부층(72,70)이 동시에 제거될 수도 있고, 상기 금속층을 먼저 식각한 후 건식식각 공정을 통해 하부의 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)을 제거하는 공정을 진행한다.

[0081] 도 4d와 도 5d와 도 6d에 도시한 바와 같이, 전술한 제거공정을 완료하게 되면, 상기 제 1 내지 제 3 감광층(78a,78b,78c)의 하부에 제 1 금속패턴(80)과, 제 1 금패턴(80)에서 화소영역(P)의 일 측을 따라 연장된 제 2

금속패턴(82)과, 상기 스토리지 영역(C)에 대응하여 아일랜드 형상의 제 3 금속패턴(86)이 형성된다.

[0082] 이때, 제 1 내지 제 3 금속패턴(80,82,86)의 하부에 순수 비정질 실리콘층(70)과 불순물이 포함된 비정질 실리콘층(72)이 존재하며, 편의상 상기 제 1 금속패턴(80)의 하부에 구성된 것은 제 1 반도체 패턴(90a), 상기 제 2 금속패턴(82)의 하부에 구성된 것은 제 2 반도체 패턴(90b), 상기 제 3 금속패턴(86)의 하부에 구성된 것은 제 3 반도체 패턴(90c)이라 칭한다.

[0083] 다음으로, 상기 제 1 감광층(78a)중, 상기 게이트 전극(64)의 중심에 대응하여 높이가 낮은 부분을 제거하여 하부의 금속패턴(80)을 노출하기 위한 애싱 공정(ashing process)을 진행한다.

[0084] 결과적으로 도시한 바와 같이, 상기 게이트 전극(64)의 중심에 대응하는 제 1 금속패턴(80)의 일부가 노출되며 이때, 상기 제 1 내지 제 3 감광패턴(78a,78b,78c)의 주변으로 제 1 내지 제 3 금속패턴(80,84,86)의 일부가 동시에 노출된다.

[0085] 상기 애싱 공정을 진행한 후, 상기 제 1 금속패턴(86)의 노출된 부분과 그 하부의 불순물 비정질 실리콘층(72)을 제거하는 공정을 진행한다.

[0086] 도 4e와 도 5e와 도 6e에 도시한 바와 같이, 상기 제거공정을 완료하면, 상기 게이트 전극(64)의 상부에 위치한 제 1 반도체 패턴(90a)중 하부층(순수 비정질 실리콘층)은 액티브층(92a)으로서 기능하게 되고, 상기 액티브층(92a)의 상부에서 일부가 제거되어 이격된 상부층은 오믹 콘택층(92b)의 기능을 하게 된다.

[0087] 이때, 상기 액티브층(92a) 상부의 오믹 콘택층(92b)을 제거하면서, 하부의 액티브층(92a)을 과식각하여 액티브층의 표면(액티브채널,active channel)에 불순물이 남아 있지 않도록 한다.

[0088] 한편, 상기 오믹 콘택층(92b)의 상부에 위치하여 나누어진 금속패턴은 각각 소스 전극(94)와 드레인 전극(96)이라 칭한다.

[0089] 이때, 상기 소스 전극(94)과 접촉하는 제 2 금속패턴(도 5c의 82)은 데이터 배선(98)이라 하고, 상기 데이터 배선(98)의 일 끝단은 데이터 패드(99)라 칭한다.

[0090] 또한, 상기 스토리지 영역(C)에 대응하여 형성된 아일랜드 형상의 제 3 금속패턴(86)은 그 하부의 게이트 배선(62)과 함께 스토리지 전극(storage electrode)의 기능을 하게 된다.

[0091] 즉, 게이트 배선(62)은 스토리지 제 1 전극의 기능을 하게 되고, 상부의 제 3 금속패턴(86)은 스토리지 제 2 전극의 기능을 하게 된다.

[0092] 따라서, 상기 스토리지 제 1 전극과 그 상부의 게이트 절연막(68)과 제 3 반도체 패턴(90c)과 그 상부의 스토리지 제 2 전극(86)은 보조 용량부인 스토리지 캐패시터(Cst)를 구성한다.

[0093] 다음으로, 상기 잔류한 감광층(78a,78b,78c)을 제거하는 공정을 진행함으로써, 제 2 마스크 공정을 완료할 수 있다.

[0094] 도 4f와 도 5f와 도6f는 제 3 마스크 공정을 나타낸 도면으로, 상기 소스 및 드레인 전극(94,96)과 데이터 패드(99)를 포함하는 데이터 배선(98)과, 스토리지 캐패시터(Cst)가 구성된 기판(60)의 전면에 질화 실리콘(SiN_X) 또는 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나를 증착하거나 경우에 따라서, 벤조사이클로부텐(BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나를 도포하여 보호막(PAS)을 형성한다.

[0095] 연속하여, 상기 보호막(PAS)을 패턴하여 드레인 전극(96)의 일부를 노출하는 드레인 콘택홀(CH1)과, 상기 섬형상의 제 3 금속패턴(86)을 노출하는 스토리지 콘택홀(CH2)과, 상기 게이트 패드(66)의 일부를 노출하는 게이트 패드 콘택홀(CH3)과 상기 데이터 패드(DP)의 일부를 노출하는 데이터 패드 콘택홀(CH4)을 형성한다.

[0096] 도 4g와 도 5g와 도 6g는 제 4 마스크 공정을 나타낸 도면으로, 상기 보호막(PAS)이 형성된 기판(60)의 전면에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패턴하여, 상기 드레인 전극(96)과 섬형상의 제 3 금속패턴(86)과 동시에 접촉하면서 상기 화소 영역(P)에 위치하는 화소 전극(PXL)을 형성한다. 동시에, 상기 게이트 패드(66)와 접촉하는 게이트 패드 전극(GP)과 상기 데이터 패드(99)와 접촉하는 데이터 패드 전극(DP)을 형성한다.

[0097] 전술한 공정을 통해 종래에 따른 4마스크 공정으로 액정표시장치용 어레이기판을 제작할 수 있다.

[0098] 종래의 4 마스크 공정은 기존의 5 마스크 공정에 비해 획기적이라 할 만큼 생산비용을 낮추는 효과 및 공정시간을 단축하는 효과가 있었고, 공정이 단축됨으로써 그 만큼 불량발생 확률 또한 감소하는 결과를 얻고 있다.

[0099] 그러나, 앞서 언급한 바와 같이, 종래의 4 마스크 공정으로 제작된 박막트랜지스터 어레이기판의 구조를 보면, 데이터 배선의 양측으로 연장된 액티브층(비정질 실리층)으로 인해, 화면에 웨이비 노이즈(wavy noise)가 발생하는 문제가 있고, 또한, 상기 확장된 반도체층으로 인해 개구율이 저하되는 문제가 있다.

발명이 이루고자 하는 기술적 과제

[0100] 본 발명은 전술한 문제를 해결하기 위한 것으로, 웨이비 노이즈(wavy noise)가 발생하지 않아 고화질을 구현하는 액정패널을 제작하는 것을 제 1 목적으로 하고, 개구영역을 확대하여 고휘도를 구현하는 하는 것을 제 2 목적으로 한다.

발명의 구성 및 작용

[0101] 전술한 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 화소영역과, 스위칭 영역과, 게이트 영역과, 데이터 영역이 정의된 기판과; 상기 스위칭 영역에 위치하고, 게이트 전극과 절연막과 액티브층과 이격된 오믹 콘택층 및 버퍼 금속과, 상기 버퍼 금속과 각각 접촉하는 소스 전극과 드레인 전극으로 구성된 박막트랜지스터와; 상기 데이터 영역에 위치하고, 일 끝단에 투명한 데이터 패드를 포함하고 투명 금속층과 불투명한 금속층이 적층되어 구성된 데이터 배선과; 상기 게이트 영역에 위치하고, 일 끝단에는 투명 금속층으로 구성된 게이트 패드를 포함하는 게이트 배선과; 상기 화소 영역에 위치하고, 상기 드레인 전극과 접촉하고 외측에 불투명한 금속패턴이 형성된 투명한 화소 전극을 포함한다.

[0102] 상기 소스 전극과 드레인 전극은 투명한 금속층과 불투명한 금속층이 적층되어 구성된 것을 특징으로 한다.

[0103] 상기 액티브층은 상기 게이트 전극의 상부에 섬형상으로 구성된 것을 특징으로 한다.

[0104] 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판에 화소영역과 스위치 영역과 게이트 영역과 데이터 영역을 정의하는 단계와; 상기 스위칭 영역에 게이트 전극과, 상기 게이트 영역에 일 끝단에 게이트패드를 포함하는 게이트 배선을 형성하는 제 1 마스크 공정 단계와; 상기 게이트 전극의 상부에 제 1 절연막과, 액티브층와 오믹 콘택층과 버퍼금속을 적층하여 형성하고, 상기 게이트 패드를 노출하는 제 2 마스크 공정 단계와; 상기 버퍼 금속과 오믹 콘택층이 이격되도록 형성하고, 상기 이격된 버퍼금속과 각각 접촉하며 투명 금속층과 불투명 금속층이 적층된 소스 전극과 드레인 전극과, 상기 화소 영역에 위치하고 투명 금속층과 불투명 금속층이 적층된 화소 전극과, 상기 데이터 영역에 위치하고 투명 금속층과 불투명 금속층이 적층되어 구성되고 일 끝단에 데이터 패드를 포함하는 데이터 배선과, 상기 게이트 패드와 접촉하며 투명 금속층과 불투명 금속층이 적층된 게이트 패드 전극을 형성하는 제 3 마스크 공정 단계와; 상기 화소 전극과 게이트 패드 전극과 데이터 패드를 구성하는 상부 불투명한 금속층을 제거하여, 상기 외측(끝단)에 금속패턴이 형성된 투명한 화소 전극과, 상기 게이트 패드 전극과 데이트 패드는 하부의 투명한 금속층만을 남기는 제 4 마스크 공정 단계를 포함한다.

[0105] 제 2 마스크 공정 단계는, 상기 게이트 전극과 게이트 배선과 게이트 패드가 형성된 기판의 전면에 제 1 절연막과, 비정질 실리콘층과, 불순물 비정질 실리콘층과, 도전성 금속층과, 감광층을 적층하는 단계와; 상기 감광층의 이격된 상부에 투과부와 차단부와 반과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층을 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 게이트 패드에 대응하는 도전성 금속층을 노출하고, 상기 스위칭 영역을 제외한 영역은 낮은 높이로 패턴된 감광패턴을 형성하는 단계와; 상기 노출된 도전성 금속층과 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 식각하여 하부의 게이트 패드를 노출하는 단계와; 상기 스위칭 영역을 제외한 그 외의 낮은 높이로 형성된 감광패턴을 제거하여, 하부의 제 2 금속층을 노출하고, 상기 노출된 도전성 금속층과 그 하부의 불순물 비정질 실리콘층과 순수 비정질 실리콘층과 제 1 절연막을 제거하여, 상기 스위칭 영역에 게이트 전극과 제 1 절연막과 액티브층(순수 비정질 실리콘층)과 오믹 콘택층과 버퍼금속(패턴된 도전성 금속층)을 형성하는 단계를 포함한다.

[0106] 상기 마스크는, 상기 스위칭 영역에 대응하여 차단부를 중심으로 양측에 반투과부가 위치하고, 상기 게이트 패드에 대응하여 투과부가 위치하고 그 외의 영역에 반투과부가 위치하도록 구성한 것을 특징으로 한다.

[0107] 상기 도전성 금속층은 몰리브덴(Mo)인 것을 특징으로 한다.

[0108] 상기 제 3 마스크 공정 단계는 상기 버퍼금속이 형성되고, 상기 게이트 패드가 노출된 기판의 전면에 투명 금속층과 불투명한 금속층을 형성하는 단계와; 상기 불투명한 금속층의 상부에 감광층을 형성하고, 상기 감광층의 이격된 상부에 투과부와 차다부와 반투과부로 구성된 마스크를 위치시키고, 상기 마스크의 상부로 빛을 조사하여 하부의 감광층의 노광하는 단계와; 상기 노광된 감광층을 현상하여, 상기 스위칭 영역에 대응하여 이격된 제 1 감광패턴과, 상기 화소 영역에 위치한 제 2 감광패턴과 상기 게이트 패드의 상부에 패턴된 제 3 감광패턴과, 상기 데이터 영역에 위치한 제 4 감광패턴을 형성하는 단계와; 상기 제 1 내지 제 4 감광패턴 사이로 노출된 하부의 불투명한 금속층과 투명한 금속층을 식각하여, 상기 스위칭 영역에 이격된 소스전극과 드레인 전극과, 상기 화소 영역에 화소 전극과, 상기 게이트 패드와 접촉하는 게이트 패드 전극과, 상기 데이터 영역에 일 끝단에 데이터 패드를 포함하는 데이터 배선을 형성하는 단계와; 상기 소스 전극과 드레인 전극의 이격된 사이로 노출된 버퍼금속과 하부의 오믹 콘택층을 제거하여, 하부의 액티브층을 노출하는 단계를 포함한다.

[0109] 상기 투명 금속층은 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나로 형성된다.

[0110] 상기 소스 전극과 드레인 전극과, 화소 전극과, 게이트 패드 전극과, 데이터 배선 및 데이터 패드는 투명한 금속층과 불투명한 금속층이 적층되어 구성된 것을 특징으로 한다.

[0111] 상기 제 4 마스크 공정 단계는 상기 소스 및 드레인 전극과 화소 전극과 게이트 패드 전극과 데이터 배선및 데이터 패드가 형성된 기판의 전면에 제 2 절연막을 형성하는 단계와; 상기 제 2 절연막의 상부에 감광층을 형성하고 제 4 마스크를 이용하여 노광한 후 현상하여, 상기 게이트 패드와 데이터 패드와 상기 화소 전극에 대응하는 제 2 절연막을 노출하는 단계와; 상기 제 2 절연막과 상기 게이트 패드와 상기 데이터 패드와 상기 화소 전극을 구성하는 불투명한 금속층을 제거하여, 외측(끝단)에 금속패턴이 형성된 투명한 화소전극과, 상기 게이트 패드 전극과 데이트 패드는 하부의 투명한 금속층만을 남기는 단계를 포함한다.

[0112] 상기 제 2 절연막은 건식식각을 이용하고, 상기 불투명한 금속층은 습식식각을 이용하여 제거하는 것을 특징으로 한다.

[0113] 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

[0114] -- 실시예 --

[0115] 본 발명은 게이트 전극의 상부에 액티브층을 섬형상으로 구성하고, 상기 화소 전극의 주변으로 불투명한 금속층을 최소폭으로 구성함으로써, 개구영역을 더욱 확보할 수 있는 어레이기판의 구조와 그 제조방법에 관한 것이다.

[0116] 도 7은 본 발명에 따른 액정표시장치용 어레이 기판의 일부를 확대한 평면도이다.

[0117] 도시한 바와 같이, 절연 기판(100)상에 일 방향으로 연장되고 일 끝단에 게이트 패드(106)가 구성된 게이트 배선(104)과, 게이트 배선(104)과 교차하여 화소 영역(P)을 정의하고 일 끝단에 데이터 패드(148)를 포함하는 데이터 배선(146)을 구성한다.

[0118] 이때, 상기 게이트 패드(106)는 상부에는 투명한 게이트 패드 전극(142)을 구성한다.

[0119] 상기 게이트 배선(104)과 데이터 배선(146)의 교차지점에 게이트 전극(102)과 액티층(122)및 오믹 콘택층(미도시)과, 상기 오믹 콘택층과 접촉하는 버퍼 금속(126)과, 상기 버퍼금속(126)과 접촉하는 소스 전극(136)과 드레인 전극(138)을 포함하는 박막트랜지스터(T)를 구성한다.

[0120] 상기 화소 영역(P)에는 상기 드레인 전극(138)과 연결된 투명한 화소 전극(140)을 구성한다.

[0121] 이때, 상기 화소 전극(140)의 끝단에는 불투명한 금속패턴(MP)을 소폭으로 구성하는 것을 특징으로 한다. 이와 같은 구성은, 얼라인 오차를 최소화 하여 개구영역을 더욱 확보할 수 있다.

[0122] 또한, ITO로 형성한 화소 전극에 상기 금속패턴(MP)을 더욱 구성함으로써 화소 전극의 저항을 낮출 수 있으므로, 상기 화소 전극의 두께를 얇게 구성하는 것이 가능하다.

[0123] 따라서, 상기 화소 전극의 투과율을 개선할 수 있으므로 더욱더 고휘도를 구현할 수 있는 장점이 있다.

[0124] 한편, 상기 화소영역(P)을 정의하는 부분의 게이트 배선(104)의 상부에는 이를 스토리지 제 1 전극으로 하고, 상기 게이트 배선(104)의 상부로 연장된 화소 전극(140)의 일부를 제 2 스토리지 전극으로 하는 스토리지 캐패시터(Cst)를 구성한다.

[0125] 전술한 구성은, 새로운 4마스크 공정으로 제작된 것이며 특히, 상기 액티브층(미도시)이 데이터 배선(146)의 하부에 존재하지 않을 뿐 아니라, 배선의 외측으로 노출된 형상이 아닌 것을 특징으로 한다.

[0126] 이하, 도 8a와 도 8b와 도 8c와 도 8d를 참조하여, 본 발명에 따른 박막트랜지스터 어레이기판의 단면 구성을 살펴본다.

[0127] 도 8a와 도 8b와 도 8c와 도 8d는 각각 도 7의 Ⅵ-Ⅵ,Ⅶ-Ⅶ, Ⅸ-Ⅸ, Ⅷ-Ⅷ를 따라 절단한 단면도이며, 각각은 스위칭 영역 스토리지 영역과, 화소 영역과, 게이트 패드와, 데이터 패드 부분을 절단한 단면도와 데이터 패드를 절단한 단면도이다.

[0128] 도시한 바와 같이, 기판(100)을 다수의 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)으로 정의하고 동시에, 상기 게이트 영역(G)의 일부에 스토리지 영역(C)을 정의하고, 상기 화소 영역(P)마다 이에 근접하여 스위칭 영역(S)을 정의한다.

[0129] 상기 스위칭 영역(S)에는 게이트 전극(102)과, 게이트 전극(102)의 상부에 제 1 절연막(108)과 액티브층(122)과 이격된 오믹 콘택층(124)과, 오믹 콘택층(124)과 각각 접촉하는 버퍼금속(126)과, 상기 버퍼 금속(126)과 접촉하는 소스 및 드레인 전극(136,138)으로 구성된 박막트랜지스터(T)를 구성한다.

[0130] 이때, 상기 소스 및 드레인 전극(136,138)은 투명 금속층(128)과 불투명 금속층(130)이 적층된 상태로 구성되며, 상기 투명 금속층(128)과 하부의 오믹 콘택층(124)의 접촉면에서 저항이 매우 높기 때문에, 이를 낮추기 위해 버퍼금속(126)을 더욱 구성하는 것이다.

[0131] 또한, 상기 소스 전극(138)과 연결된 데이터 배선(146)을 화소 영역(P)의 일 측에 구성하며, 상기 데이터 배선(146)또한 투명.불투명 금속층(128,130)의 적층구조로 구성하나, 상기 데이터 배선(146)의 끝단인 데이터 패드(148)는 투명한 금속층(128)으로 구성 한다.

[0132] 또한, 상기 게이트 패드(106)의 상부에는 투명한 금속층으로 구성된 게이트 패드 전극(142)을 구성한다.

[0133] 전술한 구성에서 특징적인 것은, 상기 화소 전극(140)의 끝단에 소폭의 불투명 금속패턴(MP)을 형성하는 것이다.

[0134] 상기 불투명한 금속패턴(MP)의 폭은 설계에 따라 달라 질 수 있으나, 얼라인 오차로 설정한 값에 비해 작은 폭으로 설계하게 된다.

[0135] 따라서, 상기 금속패턴(MP)은 종래와 비교하여 개구영역을 잠식하는 구조가 아니며 오히려, 상기 불투명한 금속패턴(MP)의 존재로 인해, 상부 기판의 블랙매트릭스(미도시)를 패턴할 때, 상기 금속패턴(MP)의 존재로 인해 얼라인 마진(align margin)을 줄여 설계하는 것이 가능하다.

[0136] 즉, 종래는 얼라인 마진(align margin)을 6.0㎛로 설계하여 그 만큼 상기 블랙매트릭스(BM)가 하부의 화소전극(140)을 덮는 구조로 구성되었으며, 얼라인 오차가 3~4㎛만 발생하여도 화소전극 끝단에서 발생하는 빛샘이 관찰되는 문제가 있었다.

[0137] 그러나, 상기와 같이 금속패턴(MP)을 형성하게 되면 블랙매트릭스(미도시)의 역할을 하기 때문에 위와 같은 얼라인 오차가 발생하여도 화소전극의 끝단에서 발생하는 빛샘을 방지할 수 있는 장점이 있다.

[0138] 전술한 구성 외에 또 다른 특징적인 구성은, 상기 액티브층(122, 순수 비정질 실리콘층)과 오믹 콘택층(124, 불순물 비정질 실리콘층)이 게이트 전극(102)의 상부에 섬형상으로 구성될 뿐, 순수 비정질 실리콘(a-Si:H)과 불순물 비정질 실리콘(n+a-Si:H)이 상기 게이트 배선 및 데이터 배선(104,146)의 하부에 존재하지 않는 것이며, 이러한 구성으로 인해 종래 4마스크 구조의 대표적인 문제점으로 작용했던 웨이비 노이즈(wavy noise)및 개구율 문제가 해결될 수 있는 장점이 있다.

[0139] 또한, 앞서 언급한 바와 같이, ITO로 형성한 화소 전극(140)에 상기 금속패턴(MP)을 더욱 구성함으로써 화소 전극(140)의 저항을 낮출 수 있으므로, 상기 화소 전극(140)의 두께를 얇게 구성하는 것이 가능하다.

[0140] 따라서, 상기 화소 전극의 투과율을 개선할 수 있으므로 더욱더 고휘도를 구현할 수 있는 장점이 있다.

[0141] 전술한 특징적인 구성들은, 본 발명에서 제안한 4마스크공정에 의한 것이며 이하, 도면을 참조하여 본 발명에 따른 새로운 4마스크 공정으로 액정표시장치용 어레이 기판을 제작하는 방법을 상세히 설명한다.

[0142] 도 9a 내지 도 9l와 도 10a 내지 도 10l와 도 11a 내지 도 11l과 도 12a 내지 도 12l은 도 7의 Ⅵ-Ⅵ,Ⅶ-Ⅶ,

Ⅸ-Ⅸ, Ⅷ-Ⅷ을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.(이때, 도 7의 Ⅵ-Ⅵ은 박막트랜지스터 및 스토리지 영역의 절단선이고, 상기 Ⅶ-Ⅶ 화소 영역의 절단선이고, 상기 Ⅸ-Ⅸ은 게이트 배선 및 게이트 패드의 절단선이고, Ⅷ-Ⅷ은 데이터 배선 및 데이터 패드의 절단선이다.)

[0143] 도 9a와 도 10a와 도 11a와 12a는 제 1 마스크 공정을 나타낸 공정 단면도이다.

[0144] 도시한 바와 같이, 기판(100)상에 스위칭 영역(S)과 화소 영역(P)과 게이트 영역(G)과 데이터 영역(D)과 스토리지 영역(C)을 정의한다. 이때, 상기 스토리지 영역(C)을 게이트 영역(G)의 일부에 정의 한다.

[0145] 상기 다수의 영역(S,P,G,D,C)을 정의한 기판(100)상에 알루미늄(Al)과 알루미늄합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 티타늄(Ti), 구리(Cu), 탄탈륨(Ta)등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 하나 이상의 금속을 증착하여 제 1 도전성 금속층(미도시)을 형성하고, 상기 제 1 도전성 금속층을 제 1 마스크 공정으로 패턴하여, 상기 스위칭 영역(S)에 게이트 전극(102)을 형성하고, 상기 게이트 영역(G)에 대응하여 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(104)을 형성한다.

[0146] 이하, 도 9b 내지 도 9e와 도 10b 내지 도 10e와 도 11b 내지 도 11e와 12b 내지 도 12e는 제 2 마스크 공정을 공정순서에 따라 도시한 공정 단면도이다.

[0147] 도 9b와 도 10b와 도 11b와 도 12b에 도시한 바와 같이, 상기 게이트 전극(102)과 게이트 패드 및 게이트 배선(106,104)이 형성된 기판(100)의 전면에 제 1 절연막(108)과, 비정질 실리콘층(a-Si:H layer,110)과 불순물 비정질 실리콘층(n+ a-Si:H layer,112)과 제 2 도전성 금속층(114)을 적층하고, 상기 제 2 도전성 금속층(114)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(116)을 형성한다.

[0148] 이때, 상기 제 1 절연막(108)은 질화 실리콘(SiN_X)과 산화 실리콘(SiO_2)을 포함하는 무기절연물질 그룹 중 선택된 하나 또는 하나 이상의 물질을 증착하여 형성하고, 상기 제 2 도전성 금속층(114)은 앞서 언급한 도전성 금속 그룹 중 선택된 하나로 형성할 수 있으나, 바람직하게는 건식식각이 가능한 금속이면 좋으며 이러한 금속 중에는 몰리브덴(Mo)이 있다.

[0149] 한편, 상기 감광층(116)을 형성한 후, 상기 감광층(116)이 형성된 기판(100)의 이격된 상부에 투과부(B1)와 차단부(B2)와 반투과부(B3)로 구성된 마스크(M)를 위치시킨다.

[0150] 이때, 상기 스위칭 영역(S)에 대응하여 차단부(B2)가 위치하도록 하고, 상기 게이트 패드(106)에 대응하여 투과부(B1)가 위치하도록 하고, 그 외의 영역에는 차단부(B2)가 위치하도록 한다.

[0151] 상기 차단부(B2)의 면적은 상기 게이트 전극(102)의 면적을 넘지 않는 범위로 한정된다.

[0152] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(116)을 노광하는 공정과, 연속한 현상공정을 진행한다.

[0153] 이와 같이 하면, 도 9c와 도 10c와 도 11c와 도 12c에 도시한 바와 같이, 상기 스위칭 영역(S)에 원래의 높이대로 패턴되고, 상기 게이트 패드(106)에 대응하여 완전히 제거되어 하부의 제 2 금속층(112)을 노출하고 나머지 영역은 낮은 높이로 패턴된 감광패턴(118)이 남게 된다.

[0154] 다음으로, 상기 게이패드(106)에 대응하여 상부의 노출된 제 2 금속층(114)과 그 하부의 불순물 비정질 실리콘층(112)과 순수 비정질 실리콘층(110)과 제 1 절연막(108)을 제거하고, 상기 감광패턴(118)을 제거하는 공정을 진행한다.

[0155] 이와 같이 하면, 도 9d와 도 10d와 도 11d와 도 12d에 도시한 바와 같이, 상기 게이트 패드(106)를 노출하는 게이트 패드 콘택홀(CH1)이 형성된 상태가 되고, 상기 스위칭 영역(S)에는 높이가 낮게 패턴된 감광패턴(120)이 남게 되고, 그 외의 영역에는 상기 제 1 절연막(108)과 불순물 비정질 실리콘층(112)과 순수 비정질 실리콘층(110)과 제 2 금속층(114)이 적층된 상태가 된다.

[0156] 다음으로, 상기 남겨진 감광패턴(120)의 주변으로 노출된 상기 제 2 금속층(114)과 그 하부의 불순물 비정질 실리콘층(112)과 순수 비정질 실리콘층(110)을 제거하는 공정을 진행한다.

[0157] 이와 같이 하면, 도 9e와 도 10e와 도 11e와 도 12e에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 게이트 전극(102)과 제 1 절연막(110)과 액티브층(패턴된 순수 비정질 실리콘층,122)과 오믹 콘택층(패턴된 불순물 비정질 실리콘층,124)과 금속패턴(126)이 적층된 형태가 되고, 이외의 영역은 상기 게이트 패드 콘택홀(CH1)을 통해 게이트 패드(106)를 노출하는 제 1 절연막(108)이 남겨진 상태가 된다.

[0158] 이때, 상기 액티브층(122)은 상기 게이트 전극(102)의 상부에 섬형상으로 구성되며, 상기 게이트 전극(102)을 넘지 않는 면적으로 패턴되어, 하부 백라이트(back light)로부터 조사되는 광에 의해 상기 액티브층(122)이 노출되지 않아 광에 의한 누설전류 발생을 방지할 수 있다.

[0159] 이하, 도 9f 내지 도 9h와 도 10f 내지 도 10h와 도 11f 내지 도 11h와 도 12f 내지 도 12h는 제 3 마스크 공정단계를 공정순서에 따라 도시한 공정 단면도이다.

[0160] 도 9f와 도 10f와 도 11f도 12f에 도시한 바와 같이, 상기 기판(100)의 전면에 투명 금속층(128)과 불투명한 금속층(130)을 적층하고, 상기 불투명한 금속층(130)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(132)을 형성하는 공정을 진행한다.

[0161] 다음으로, 상기 감광층(132)의 이격된 상부에 투과부(B1)와 차단부(B2)로 구성된 마스크(M)를 위치시킨다.

[0162] 이때, 상기 스위칭 영역(S)은 투과부(B1)를 중심으로 양측에 차단부(B2)가 위치하도록 한다.

[0163] 상기 화소 영역(P)과 게이트 패드(106)와 데이터 영역(D)에 차단부가 위치하도록 하고 그 외의 영역은 투과부(B1)가 위치하도록 하는 것을 특징으로 한다.

[0164] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(132)을 노광한 후, 현상하는 공정을 진행한다.

[0165] 이와 같이 하면, 도 9g와 도 10g와 도 11g와 도 12g에 도시한 바와 같이, 상기 스위칭 영역(P)에 이격된 감광패턴(134a)과, 상기 화소 영역(P)에 제 2 감광패턴(134b)과 상기 게이트 패드(106)에 대응한 제 3 감광패턴(134c)과 상기 데이터 영역(D)에 대응하여 제 4 감광패턴(134d)이 형성된다.

[0166] 다음으로, 상기 제 1 내지 제 4 감광패턴(134a,134b,134c,134d)사이로 노출된 불투명한 금속층(130)과 하부의 투명 금속층(128)을 제거하는 공정을 진행한다.

[0167] 이와 같이 하면, 도 9h와 도 10h와 도 11h와 도 12h에 도시한 바와 같이, 상기 스위칭 영역(S)에 대응하여 이격된 소스 전극(136)과 드레인 전극(138)이 형성되고, 상기 화소 영역(P)에는 화소 전극(140)이 형성되고, 상기 게이트 영역(G)에는 상기 게이트 패드(106)와 접촉하는 게이트 패드 전극(142)이 형성되고, 상기 데이터 영역(D)에는 일 끝단에 데이터 패드(148)를 포함하는 데이터 배선(146)이 형성된다.

[0168] 이때, 상기 소스 전극(136)과 드레인 전극(138)과 화소 전극(140)과 게이트 패드 전극(142)과 데이터 배선및 데이터 패드(146,148)는 모두 투명 금속층(128)과 불투명한 금속층(130)이 적층된 상태로 패턴 된다.

[0169] 다음으로, 상기 소스 및 드레인 전극(136,138)의 이격된 사이로 노출된 하부의 버퍼 금속(126)과 그 하부의 오믹 콘택층(124)을 제거하는 공정을 진행한다.

[0170] 이하, 도 9i 내지 도 9l과 도 10i 내지 도 10l과 도 12i 내지 도 12l은 제 4 마스크 공정단계를 공정순서에 따라 도시한 공정 단면도이다.

[0171] 도 9i와 도 10i와 도 11i와 도 12i에 도시한 바와 같이, 전술한 공정을 통해 상기 소스 및 드레인 전극(136,138)의 하부에 이격된 버퍼금속(126)과 오믹 콘택층(124)이 형성되고, 상기 두 전극(136,138)의 이격영역 사이로 하부의 액티브층(122)이 노출되는 형태가 된다.

[0172] 이때, 상기 버퍼금속(126)은 상기 투명한 금속층(128)과 상기 오믹 콘택층(124)사이의 저항을 낮추는 역할을 한다.

[0173] 다음으로, 상기 소스 및 드레인 전극(136,138)과 화소 전극(140)과 게이트 패드 전극(142)과 데이터 배선 및 데이터 패드(146,148)가 형성된 기판(100)의 전면에 앞서 언급한 무기절연물질 그룹 중 선택된 하나 또는 하나 이상을 증착하여 제 2 절여막(150)을 형성한다.

[0174] 다음으로, 상기 제 2 절연막(150)의 상부에 포토레지스트(photo-resist)를 도포하여 감광층(152)을 형성하고, 상기 감광층(152)의 이격된 상부에 투과부(B1)와 차단부(B2)로 구성된 마스크(M)를 위치시킨다.

[0175] 이때, 상기 화소 영역(P)에 투과부(B1)와 차단부(B2)가 위치하도록 하고, 상기 게이트 패드(106)와 상기 데이터 패드(148)에 대응하여 투과부(B1)가 위치하도록 하고, 그 외의 영역은 차단부(B2)가 위치하도록 한다.

[0176] 상기 화소 영역(P)의 차단부(B2)는 상기 데이터 영역(D)과 근접한 부분에 소폭으로 위치하도록 한다.(이때, 차단부의 폭은 얼라인 마진(align margin)에 따라 달라지는 값이다.)

[0177] 다음으로, 상기 마스크(M)의 상부로 빛을 조사하여 하부의 감광층(152)을 노광하고 현상한 후, 연속한 현상공정을 진행한다.

[0178] 이와 같이 하면, 도 9j와 도 10j와 도 11j와 도 12j에 도시한 바와 같이, 상기 화소 영역(S)과 상기 게이트 패드(106)와 상기 데이터 패드(148)에 대응한 부분이 제거되어 하부의 제 2 절연막(150)을 노출하는 감광패턴(154)이 남게 된다.

[0179] 이때, 상기 데이터 영역(D)에 근접한 상기 화소 영역(P)의 양측 끝단은 소폭(W4)으로 감광패턴(154)이 남겨진 상태가 된다.

[0180] 다음으로, 상기 노출된 제 2 절연막(150)을 제거하고, 상기 화소 전극(140)과 상기 게이트 패드 전극(142)과 상기 데이터 패드(148)를 구성하는 상부 불투명한 금속층(130)을 제거하는 공정을 진행한다.

[0181] 이와 같이 하면, 도 9k와 도 10k와 도 11k와 도 12k에 도시한 바와 같이, 상기 화소 영역(P)에는 투명 금속층으로만 구성된 화소 전극(140)이 남게 되고, 상기 게이트 패드 전극(142)과 데이터 패드(148)또한 하부의 투명한 금속층(128)만이 남게 된다.

[0182] 다음으로, 상기 남겨진 감광패턴(154)을 제거하는 공정을 진행한다.

[0183] 이때, 상기 양측 데이터 배선(146)과 근접한 끝단은 소폭으로 불투명한 금속패턴(MP)이 남겨진다.

[0184] 상기 불투명한 금속패턴(MP)의 존재로 인해, 상기 데이터 배선(146)과, 데이터 배선(146)과 양측의 화소전극(140)까지의 이격거리 보다 큰 폭으로 제작되는 상부 기판의 블랙매트릭스(BM)는 상기 금속패턴(MP)의 존재로 인해 얼라인 마진(align margin)을 줄여 설계하는 것이 가능하다.

[0185] 따라서, 개구영역을 더욱 확보할 수 있어 고휘도를 구현할 수 있는 장점이 있다.

[0186] 또한, ITO로 형성한 화소 전극에 상기 금속패턴(MP)을 더욱 형성함으로써 화소 전극의 저항을 낮출 수 있으므로, 상기 화소 전극(140)의 두께를 얇게 구성하는 것이 가능하다.

[0187] 따라서, 상기 화소 전극의 투과율을 개선할 수 있으므로 더욱더 고휘도를 구현할 수 있는 장점이 있다.

[0188] 도 9l와 도 10l과 도 11l과 12l에 도시한 바와 같이, 상기 감광패턴을 제거하면 최종적으로, 상기 스위칭 영역(S)은 게이트 전극(102)과 제 1 절연막(120)과 액티브층(122)과 이격된 오믹 콘택층(124)과, 이격된 버퍼금속(126)과, 상기 버퍼금속(126)과 각각 접촉하고 투명 금속층(128)과 불투명한 금속층(130)으로 구성된 박막트랜지터(T)를 형성할 수 있고, 상기 화소 영역(P)에는 끝단에 금속패턴(MP)이 형성된 투명한 화소 전극(140)을 형성할 수 있고, 상기 게이트 영역(G)에는 일 끝단에 게이트 패드(106)를 포함하는 게이트 배선(104)을 형성할 수 있고, 상기 게이트 패드(106)와 접촉하는 게이트 패드 전극(142)을 형성할 수 있고, 상기 데이터 영역(D)에는 일 끝단에 투명한 데이터 패드(148)를 포함하는 데이터 배선(146)을 형성할 수 있다.

[0189] 이때, 상기 화소 전극(140)을 게이트 배선(104)의 상부로 연장된 형태로 구성하여, 상기 게이트 배선(104)을 제 1 전극으로 하고, 상기 게이트 배선(104)을 제 1 전극으로 하고, 상기 제 1 및 제 2 전극의 사이에 개재된 제 1 절연막(120)을 유전체로 하는 스토리지 캐패시터(Cst)를 형성할 수 있다.

[0190] 전술한 공정을 통해 본 발명에 따른 새로운 4마스크 공정으로, 배선의 하부에 액티브층이 존재하지 않는 형상의 액정표시장치용 어레이기판을 제작할 수 있다.

[0191] 이하, 본 발명에 따른 공정을 간략히 설명하면 아래와 같다.

[0192] 제 1 마스크 공정 : 게이트 전극과 게이트 배선및 게이트 패드를 형성한다.

[0193] 제 2 마스크 공정 : 절연막의 하부로 상기 게이트 패드를 노출하고, 게이트 전극과, 게이트 전극의 상부에 절연막과 액티브층과 오믹 콘택층과 버퍼금속을 형성한다.

[0194] 제 3 마스크 공정 : 투명 금속층과 불투명한 금속층으로 적층된 소스 전극과 드레인 전극과 상기 게이트 패드와 접촉하는 게이트 패드 전극과 상기 데이터 배선 및 데이터 패드와, 화소전극을 형성한다.

[0195] 기판의 전면에 보호막을 형성한다.

[0196] 제 4 마스크 공정 : 상기 보호막을 식각하는 공정에 연속하여, 상기 게이트 패드 전극과 데이터 패드의 불투명 금속층을 제거하여 하부의 투명 금속층만을 남기고, 상기 화소 전극은 끝단에 소폭으로 불투명한 금속패턴이 구

성된 투명전극층으로 형성한다.

[0197] 이상의 공정을 통해 본 발명에 따른 액정표시장치용 어레이기판을 제작할 수 있다.

발명의 효과

[0198] 본 발명에 따른 액정표시장치용 어레이기판의 구성은, 배선의 하부에 액티브층(순수 비정질 실리콘층)이 존재하지 않는 즉, 박막트랜지스터에 아일랜드 형상의 액티브층 만이 존재하는 구조임으로, 웨이비 노이즈(wavy noise)가 발생하지 않아 고화질의 액정패널을 제작 할 수 있는 효과가 있다.

[0199] 또한, 배선의 외부로 상기 액티브층이 연장된 구성이 아니므로 개구율을 더욱 확보할 수 있어 휘도를 개선할 수 있는 효과가 있다.

[0200] 또한, ITO로 형성한 화소 전극에 상기 금속패턴(MP)을 더욱 구성함으로써 화소 전극의 저항을 낮출 수 있으므로, 상기 화소 전극의 두께를 얇게 구성하는 것이 가능하다. 따라서, 상기 화소 전극의 투과율을 개선할 수 있으므로 더욱더 고휘도를 구현할 수 있는 효과가 있다.

[0201] 더욱이, 상기 화소전극의 끝단(외측)으로 금속패턴을 남김으로써 얼라인 마진(align margin)을 줄이는 것이 가능하여, 개구영역을 더욱더 확보할 수 있는 효과가 있다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정패널의 구성을 개략적으로 도시한 사시도이고,

[0002] 도 2는 종래에 따른 액정표시장치용 어레이 기판의 일부를 확대한 평면도이고,

[0003] 도 3은 도 2의 Ⅱ-Ⅱ와 Ⅴ-Ⅴ를 따라 절단한 단면도이고,

[0004] 도 4a 내지 도 4g와 도 5a 내지 도 5g와 도 6a 내지 도 6g는 도 2의 Ⅱ-Ⅱ,Ⅲ-Ⅲ,Ⅳ-Ⅳ를 절단하여, 종래에 따른 공정순서에 따라 도시한 공정 단면도이고,

[0005] 도 7은 본 발명에 따른 액정표시장치용 어레이기판의 일부를 확대한 평면도이고,

[0006] 도 8a와 도 8b와 도 8c와 도 8d는 각각 도 7의 Ⅵ-Ⅵ과 Ⅶ-Ⅶ, Ⅸ-Ⅸ, Ⅷ-Ⅷ을 따라 절단한 단면도이고,

[0007] 도 9a 내지 도 9l과 도 10a 내지 도 10l과 도 11a 내지 도 11l, 도 12a 내지 도 12l은 도 7의 Ⅵ-Ⅵ과 Ⅶ-Ⅶ, Ⅸ-Ⅸ, Ⅷ-Ⅷ을 따라 절단하여, 본 발명의 공정순서에 따라 도시한 공정 단면도이다.

[0008] <도면의 주요부분에 대한 간단한 설명>

[0009] 100 : 기판 102 : 게이트 전극

[0010] 104 : 게이트 배선 106 : 게이트 패드

[0011] 122 : 액티브층 126 : 버퍼금속

[0012] 136 : 소스 전극 138 : 드레인 전극

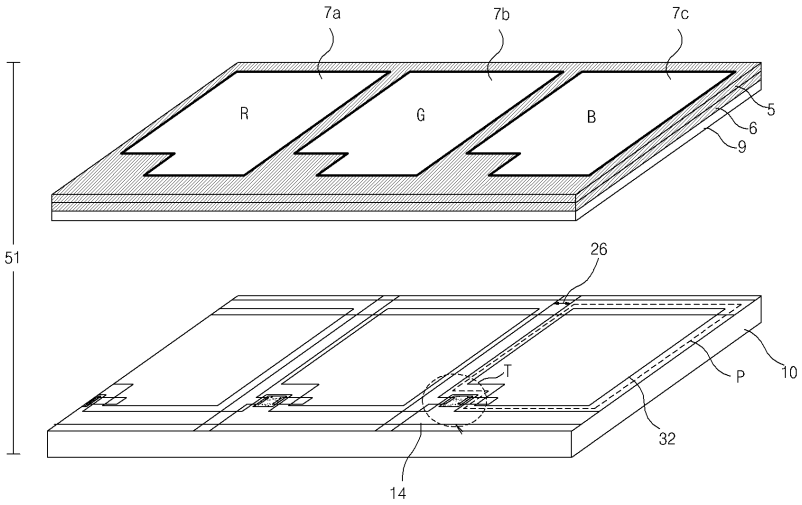
[0013] 140 : 화소 전극 142 : 게이트 패드 전극

[0014] 146 : 데이터 배선 148 : 데이터 패드

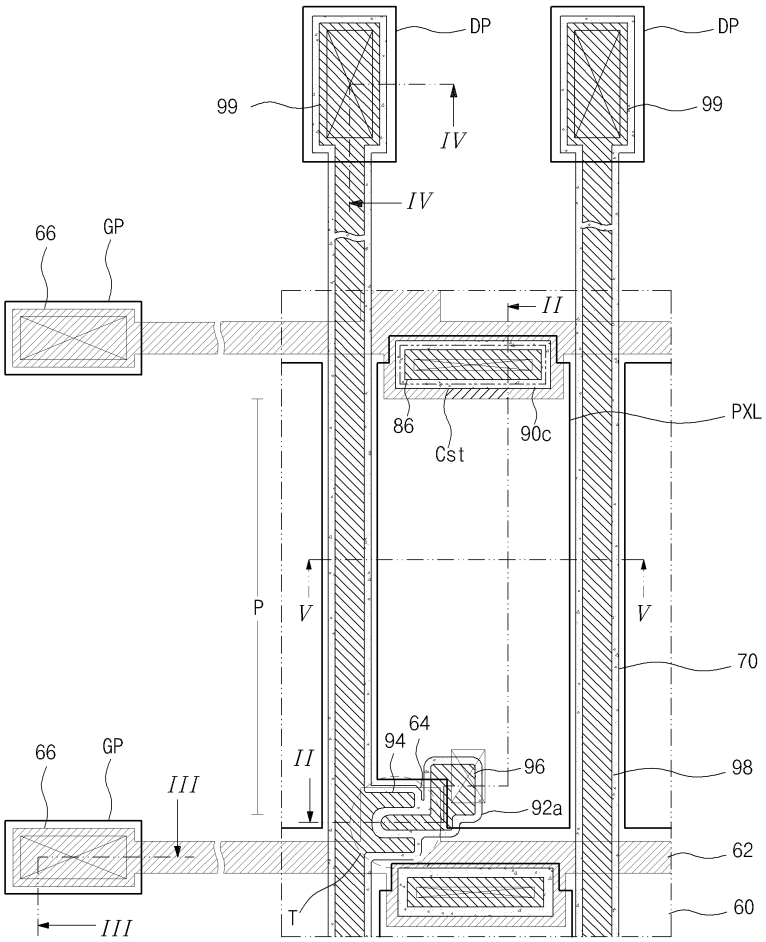
[0015] MP : 불투명한 금속패턴

도면

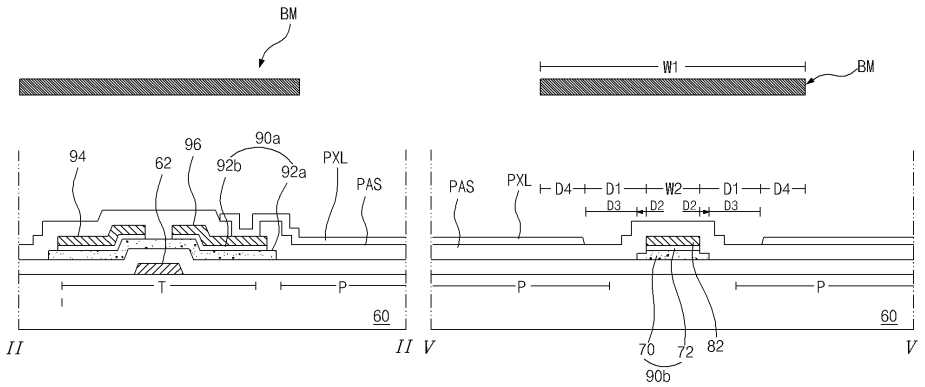
도면1


7a
7b
7c
R
G
B
5
6
9
51
26
T
P
10
32
14

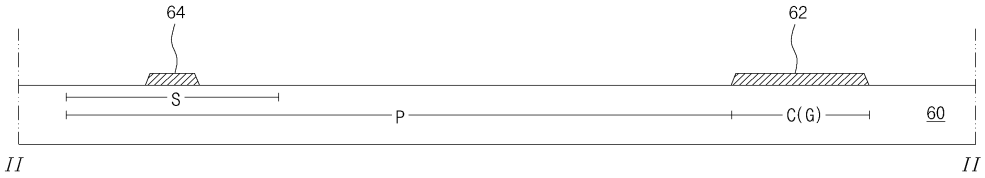
도면2


DP
DP
99
99
IV
IV
66
GP
II
86
Cst
90c
PXL
P
V
V
70
64
94
96
98
92a
66
GP
III
II
62
T
60
III

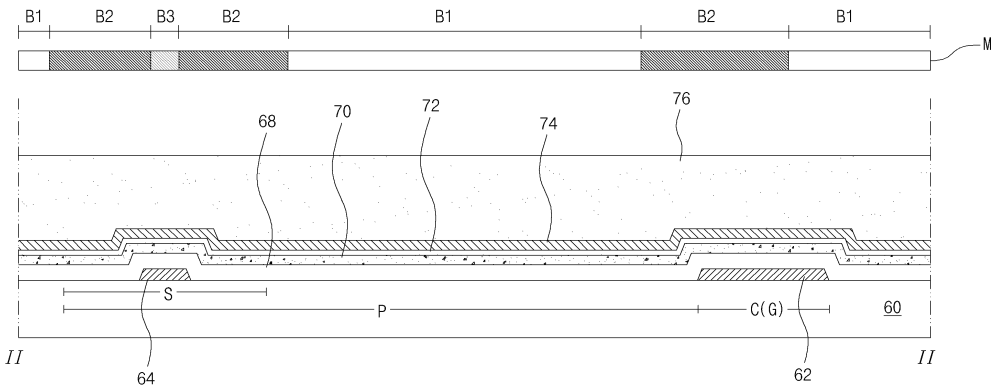
도면3



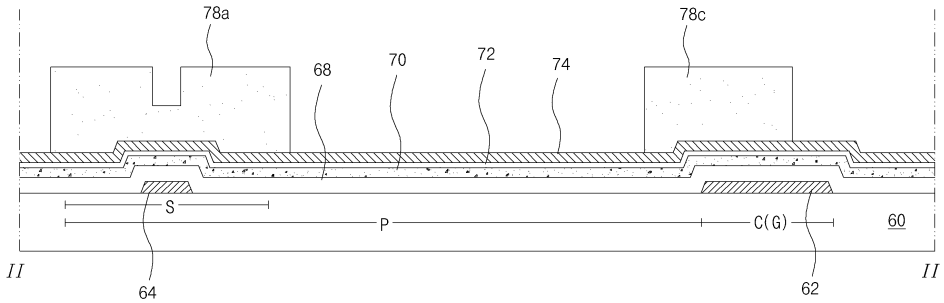
도면4a



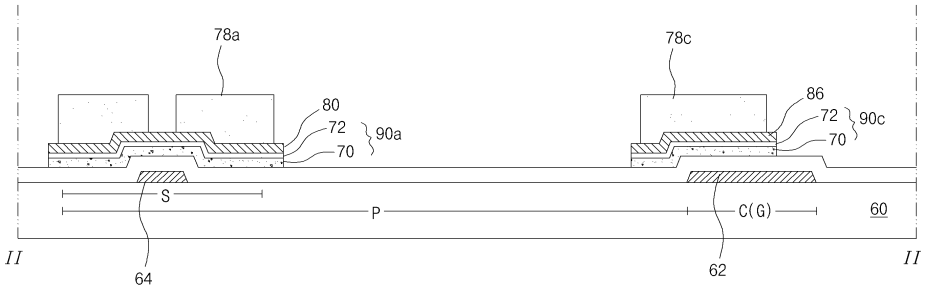
도면4b



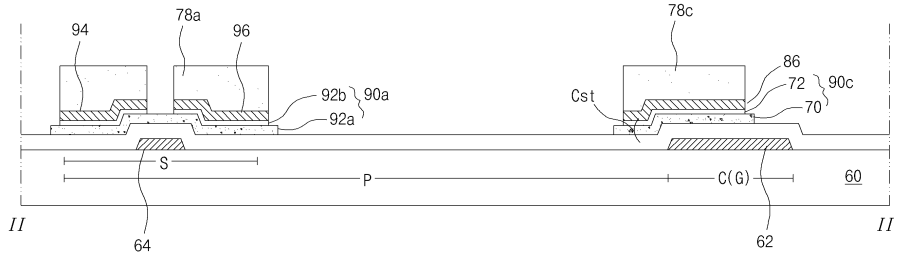
도면4c



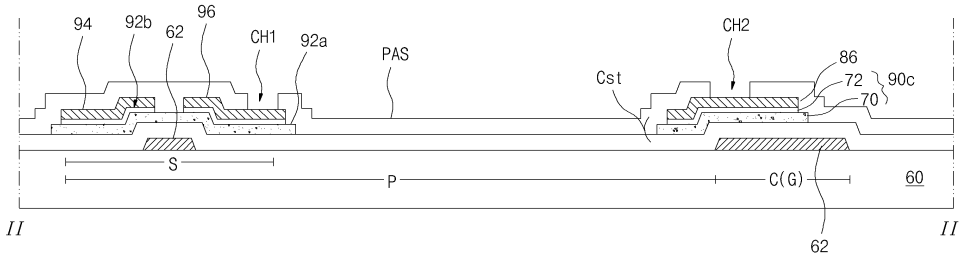
도면4d



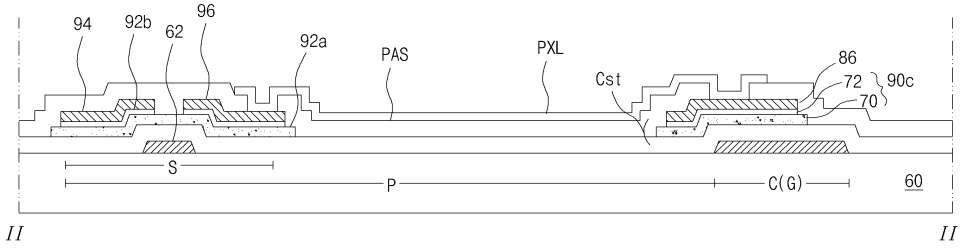
도면4e



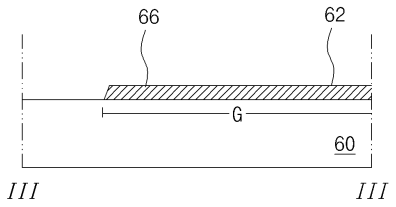
도면4f



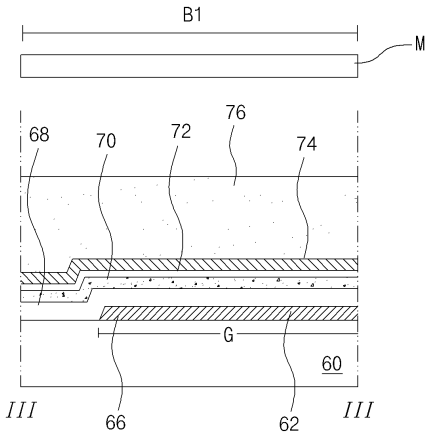
도면4g



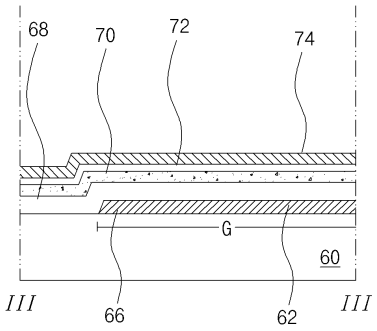
도면5a



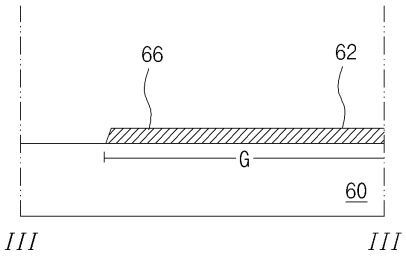
도면5b



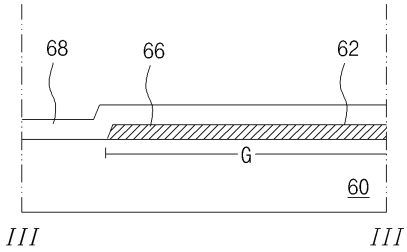
도면5c



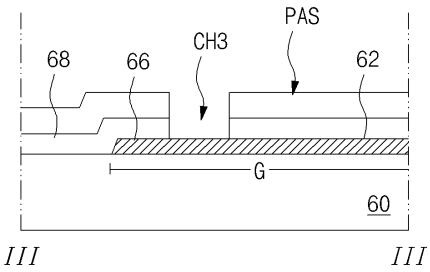
도면5d



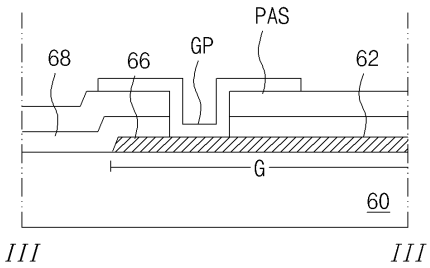
도면5e



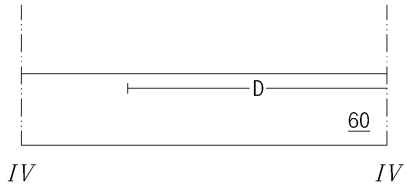
도면5f



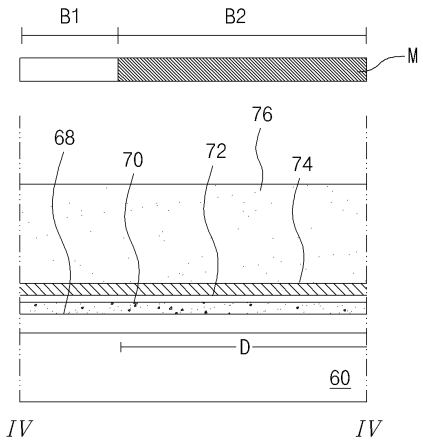
도면5g



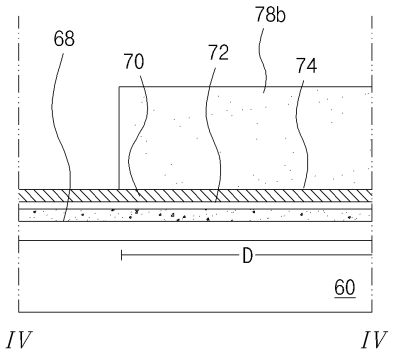
도면6a



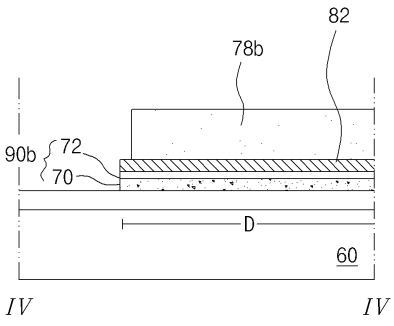
도면6b



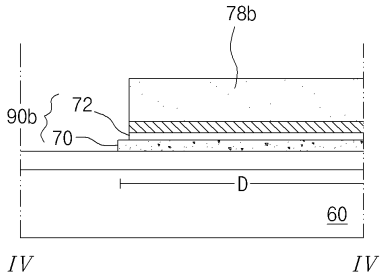
도면6c



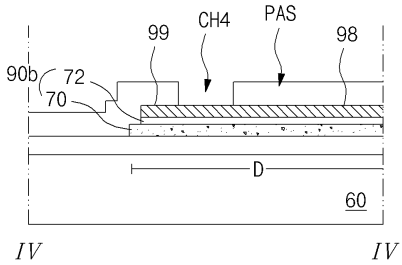
도면6d



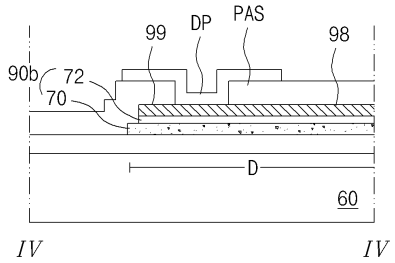
도면6e



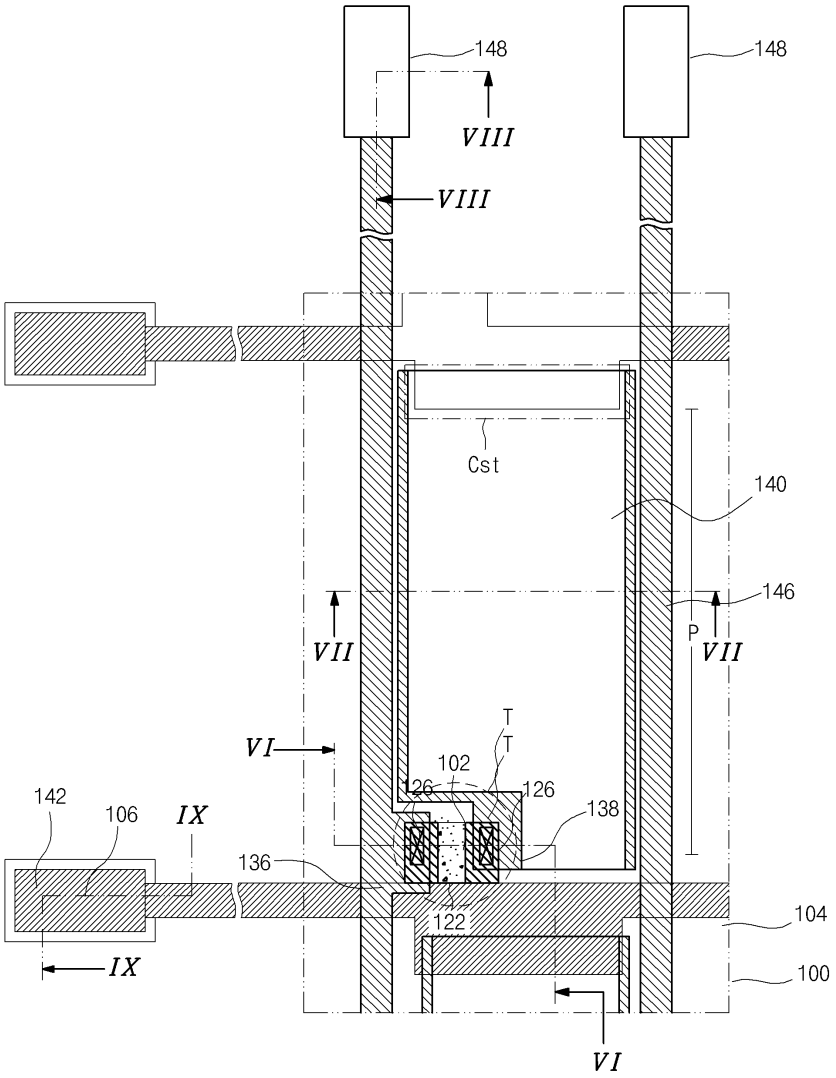
도면6f



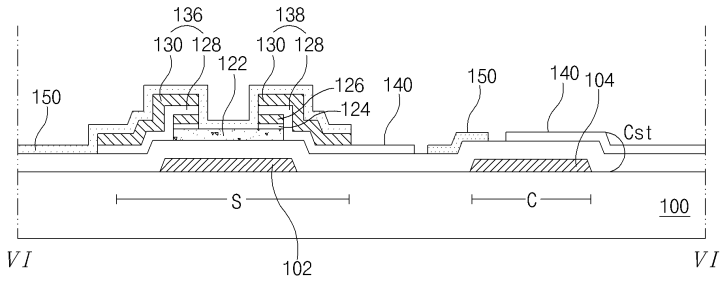
도면6g



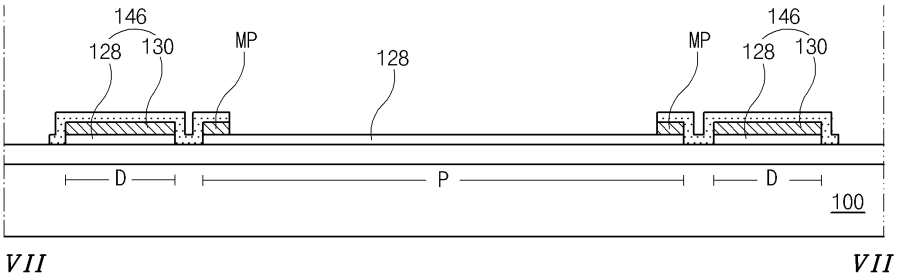
도면7


148
148
VIII
VIII
Cst
140
146
VII
P
VII
VI
T
T
102
126
126
138
142
106
IX
136
122
104
100
IX
VI

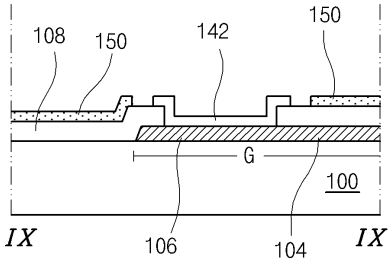
도면8a


136
138
130
128
130
128
122
126
140
150
140
104
150
124
Cst
S
C
100
VI
102
VI

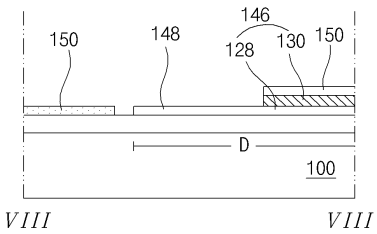
도면8b



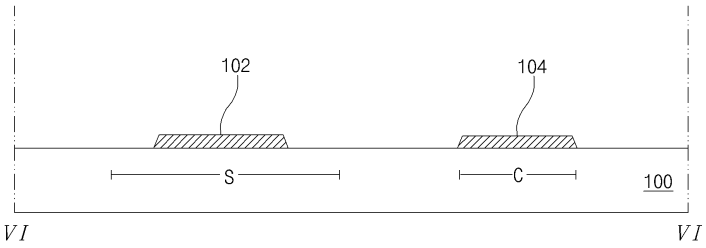
도면8c



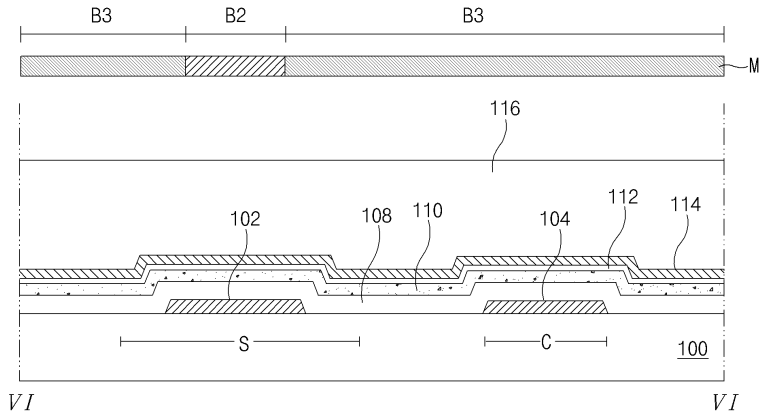
도면8d



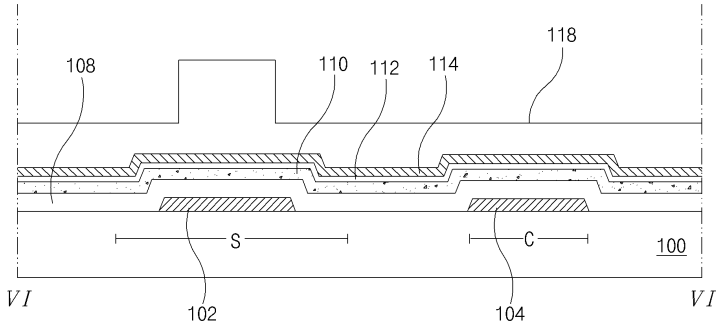
도면9a



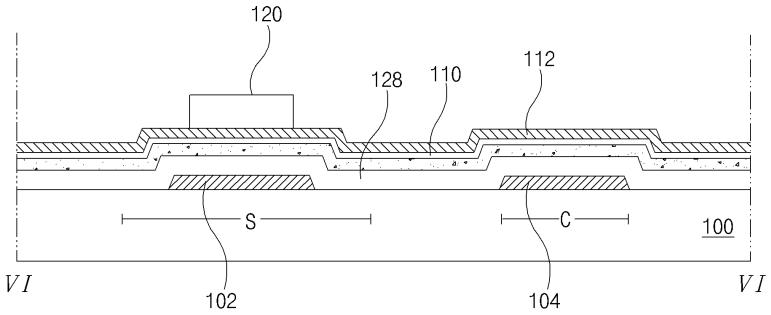
도면9b



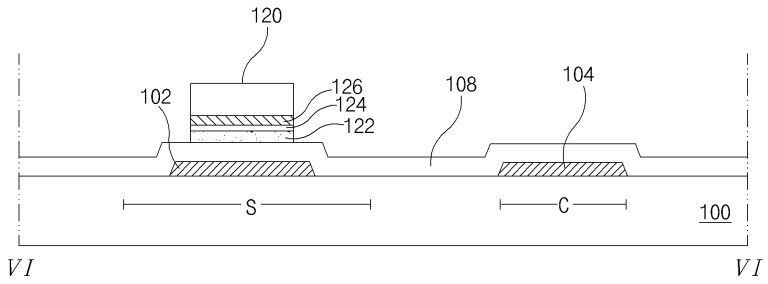
도면9c



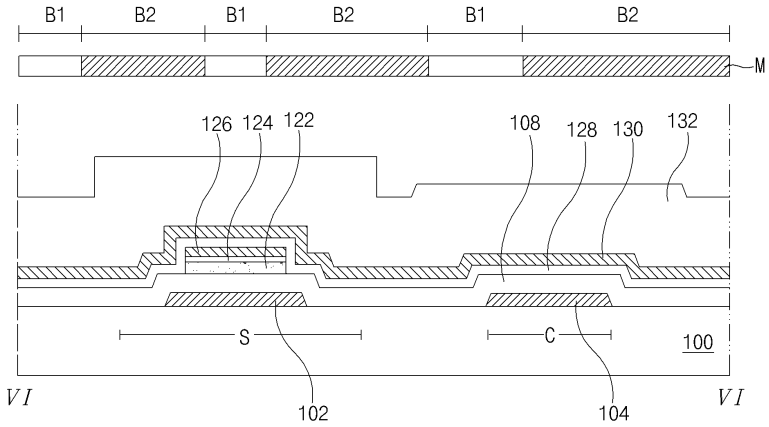
도면9d



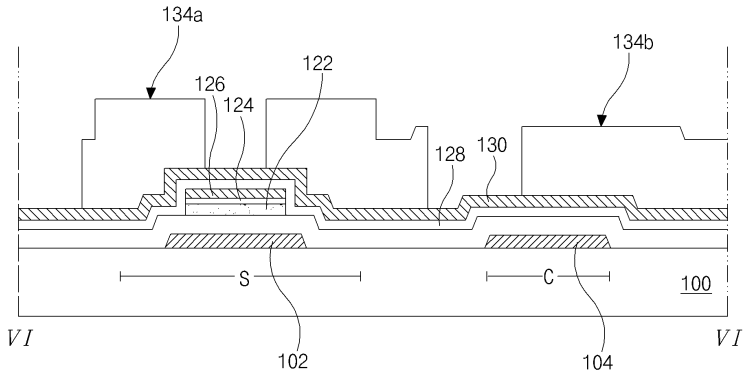
도면9e



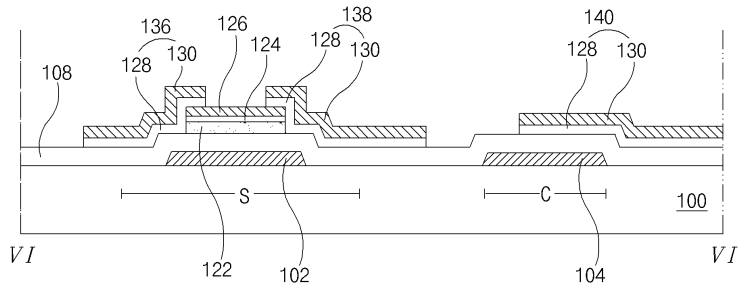
도면9f



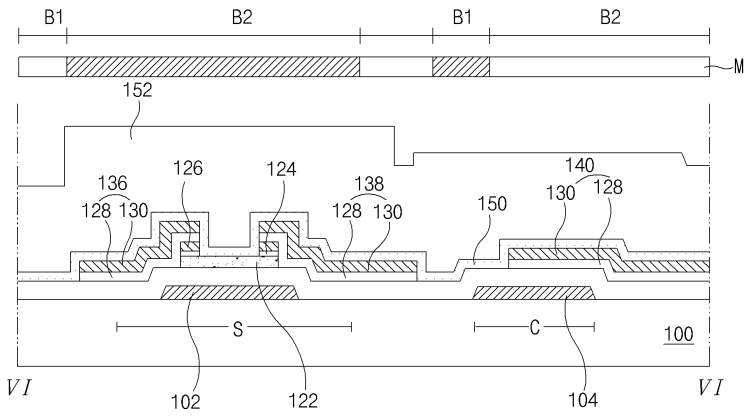
도면9g



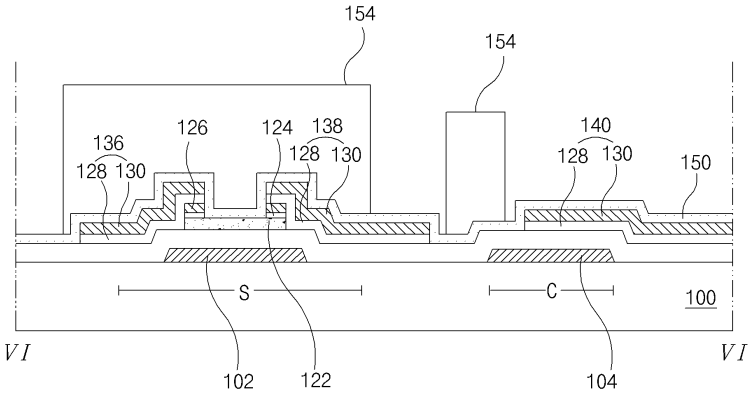
도면9h



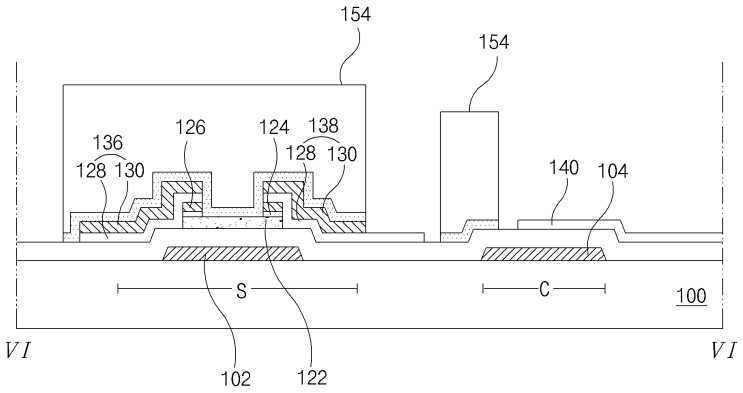
도면9i



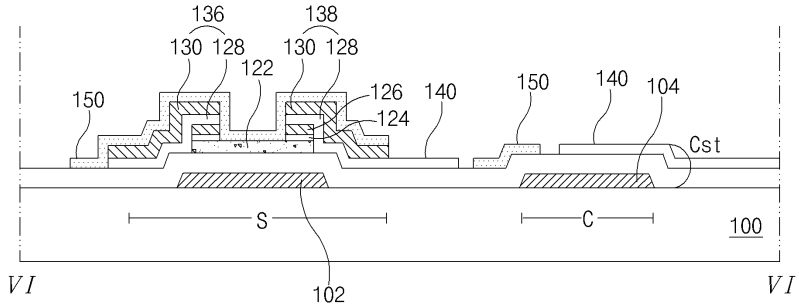
도면9j



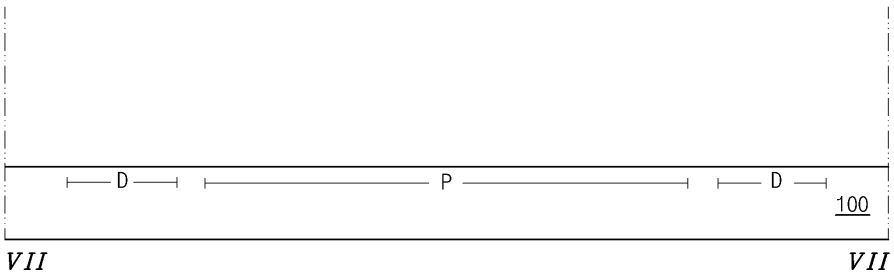
도면9k



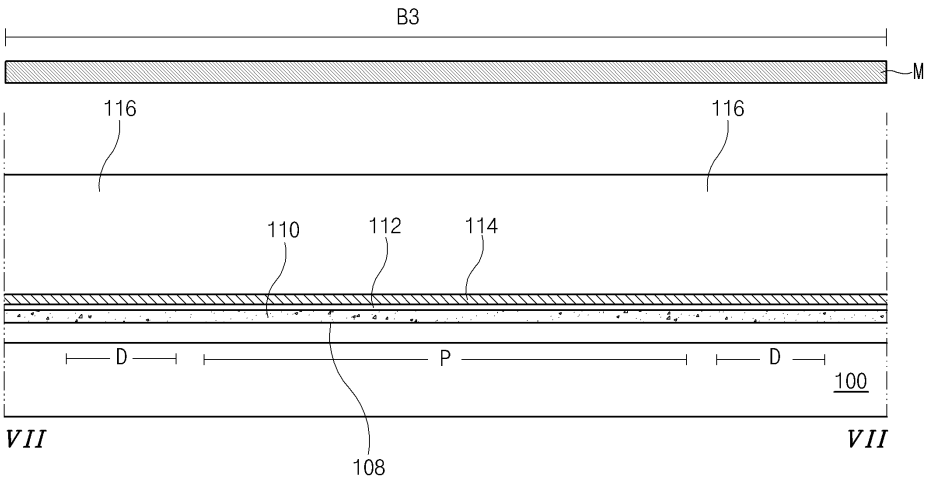
도면91



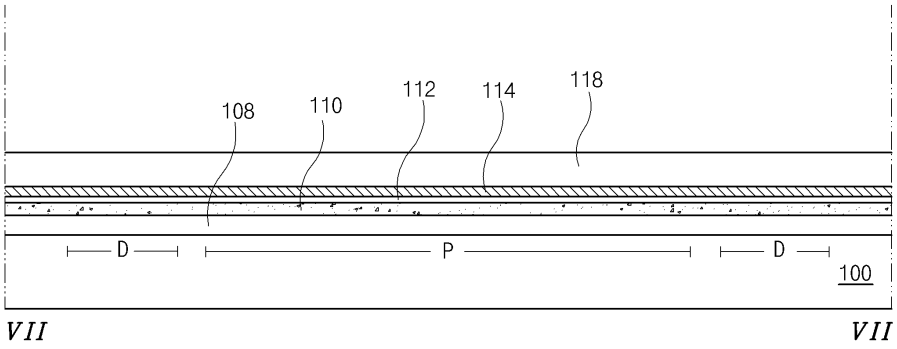
도면10a



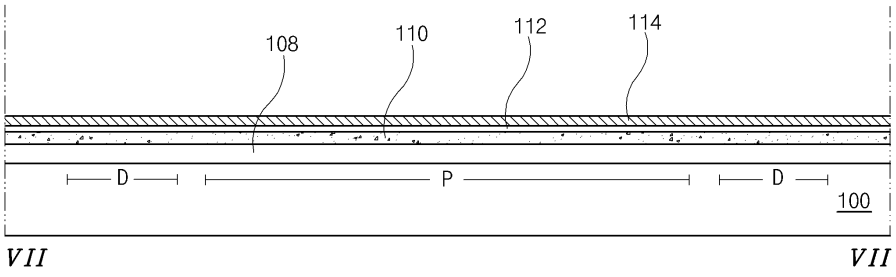
도면10b



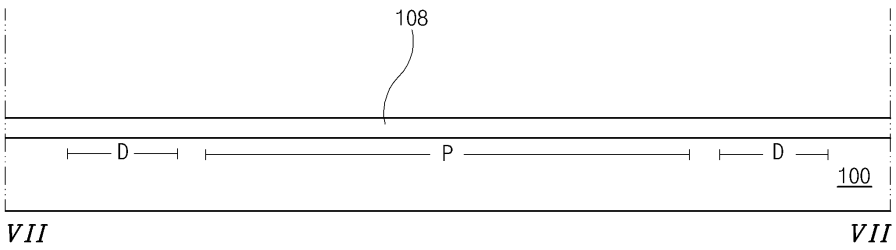
도면10c



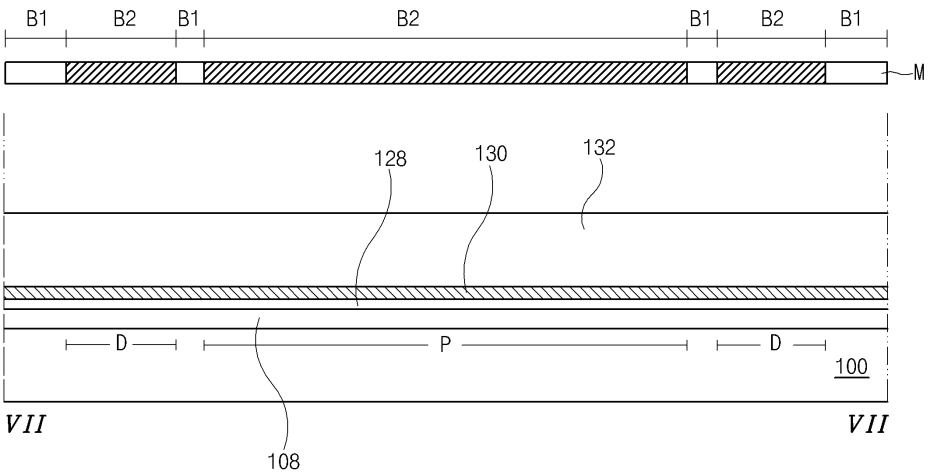
도면10d



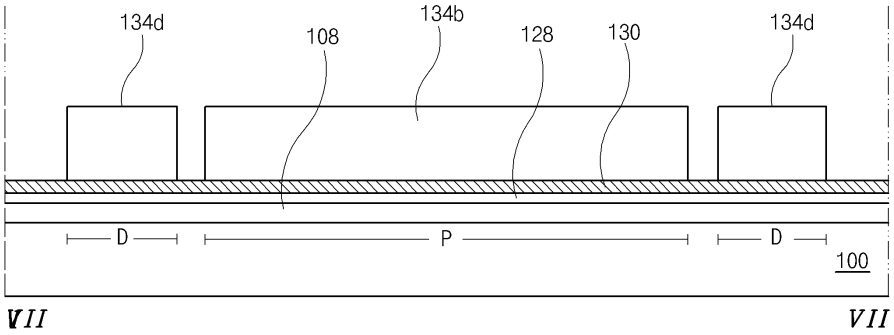
도면10e



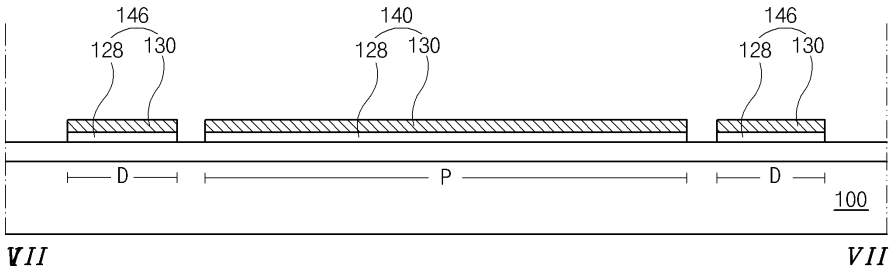
도면10f



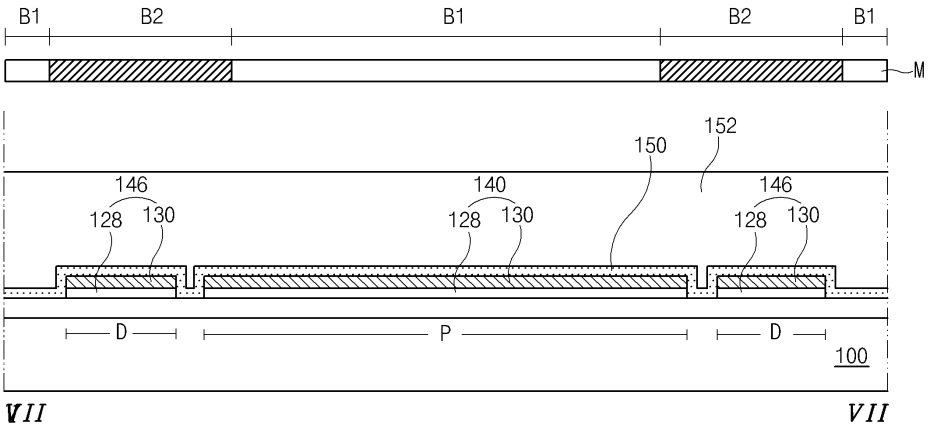
도면10g



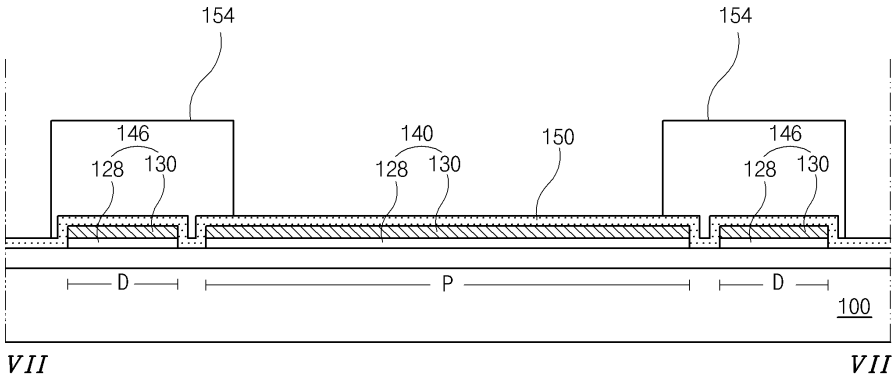
도면10h



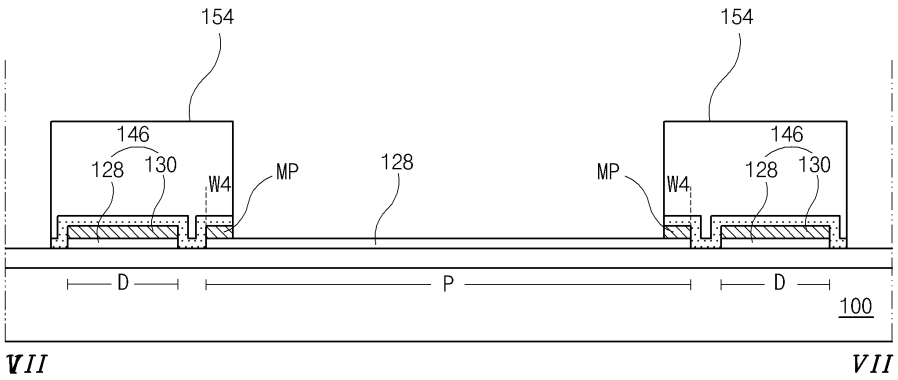
도면10i



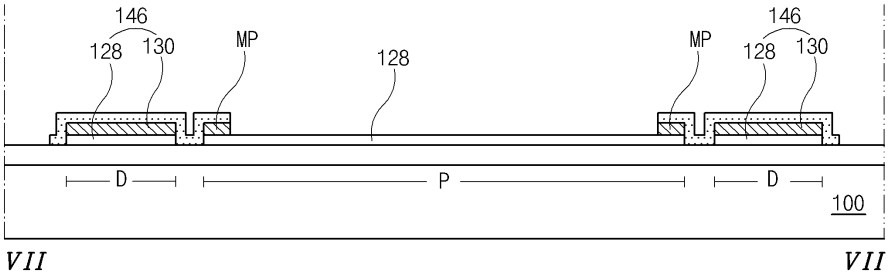
도면10j



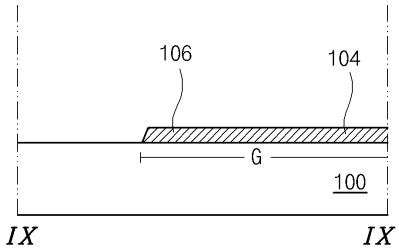
도면10k



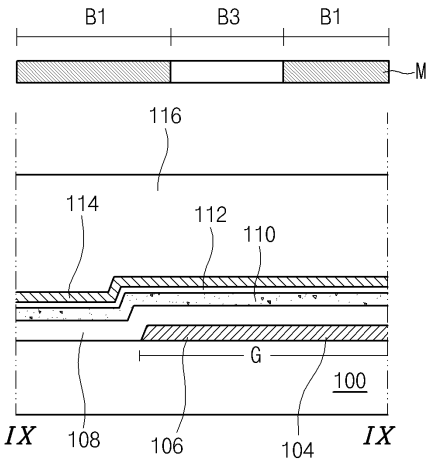
도면10l



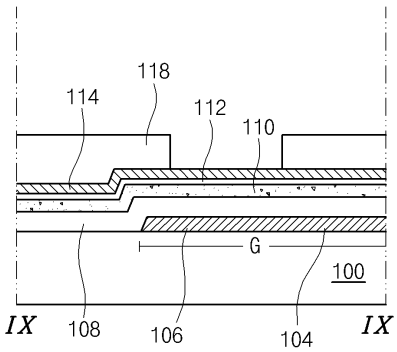
도면11a



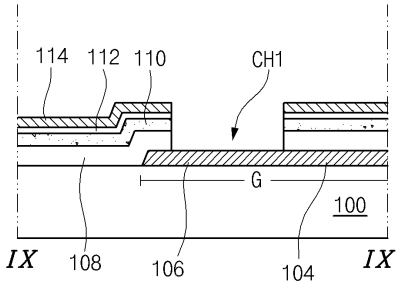
도면11b



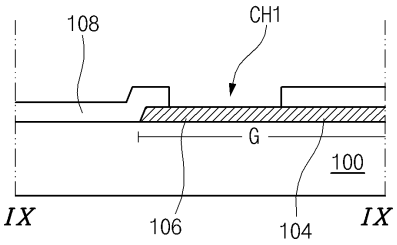
도면11c



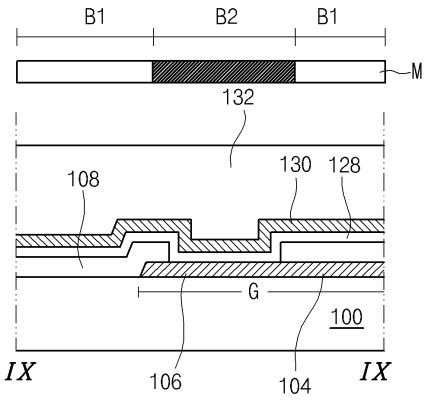
도면11d



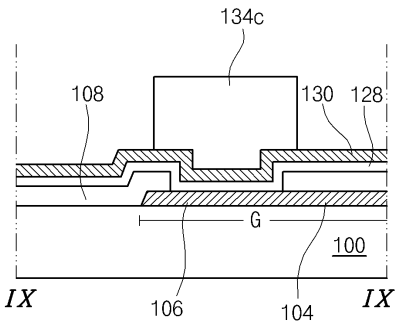
도면11e



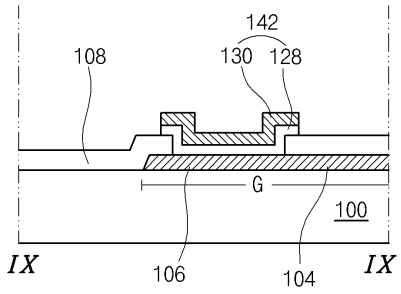
도면11f



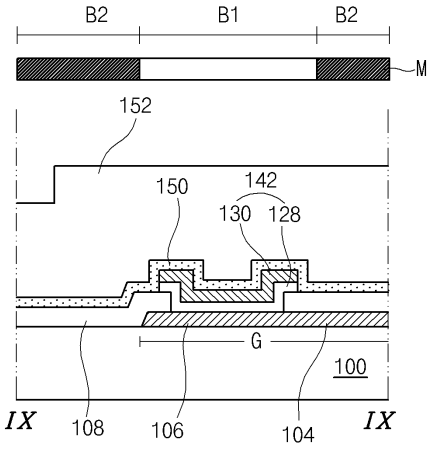
도면11g



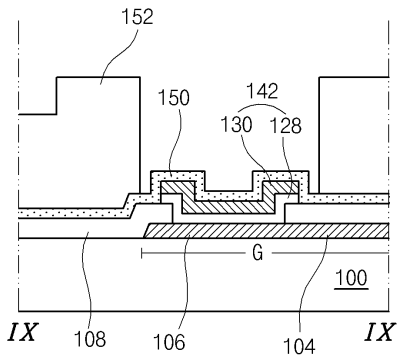
도면11h



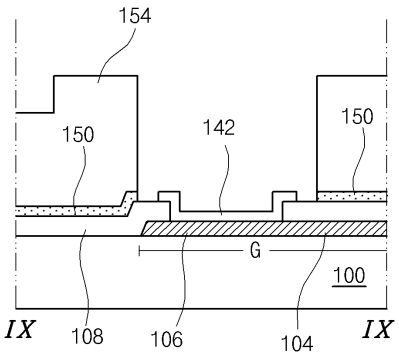
도면11i



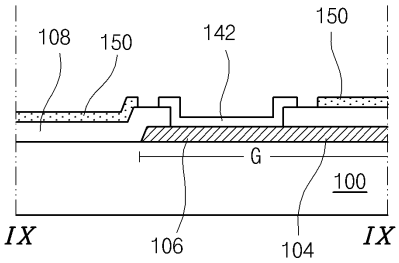
도면11j



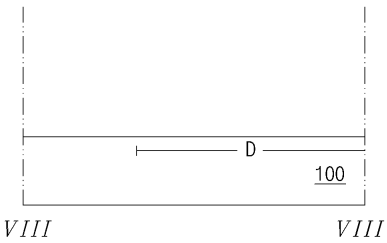
도면11k



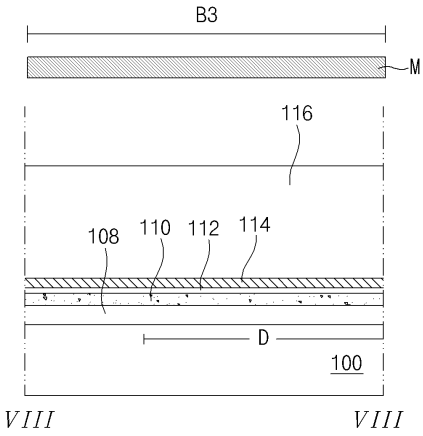
도면11l



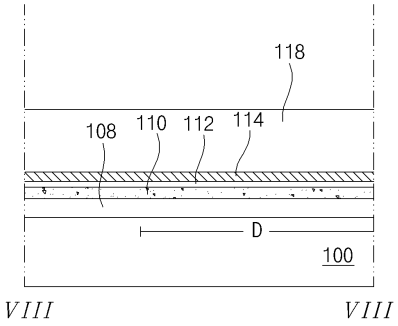
도면12a



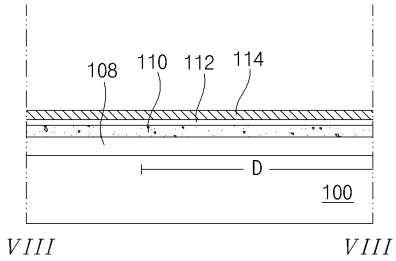
도면12b



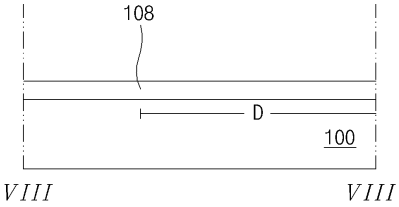
도면12c



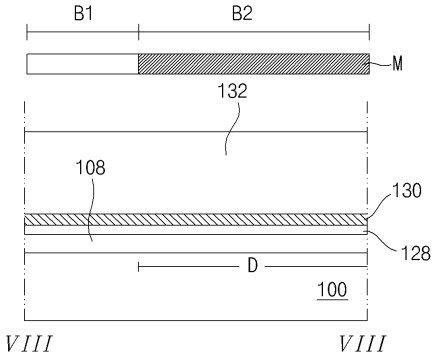
도면12d



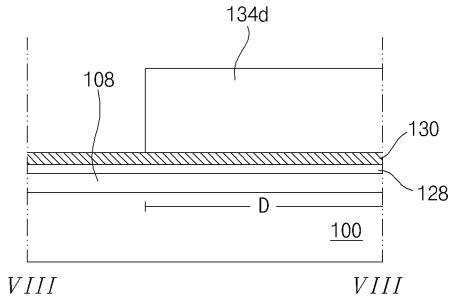
도면12e



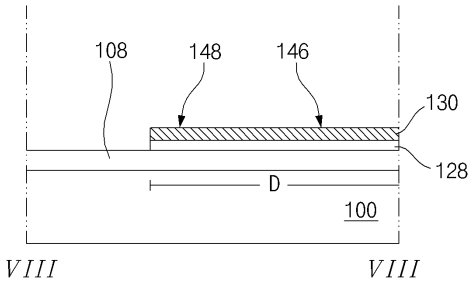
도면12f



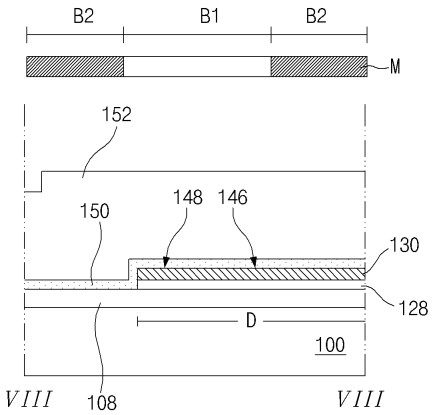
도면12g



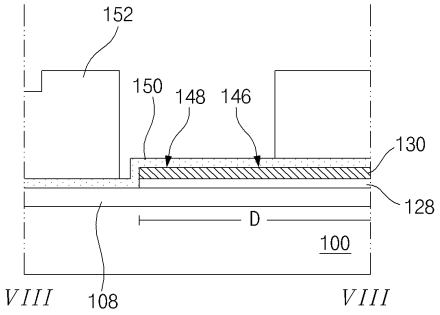
도면12h



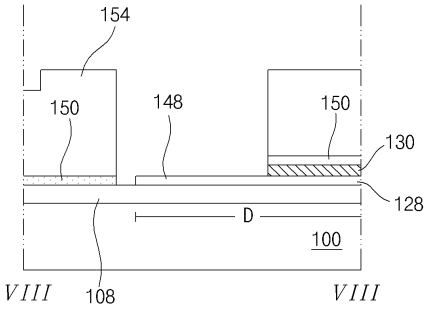
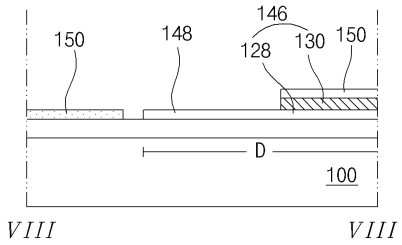
도면12i



도면12j



도면12k



도면12l